

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成29年6月29日(2017.6.29)

【公開番号】特開2014-229905(P2014-229905A)

【公開日】平成26年12月8日(2014.12.8)

【年通号数】公開・登録公報2014-067

【出願番号】特願2014-103455(P2014-103455)

【国際特許分類】

H 0 1 L 29/788 (2006.01)

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/792 (2006.01)

H 0 1 L 27/115 (2017.01)

【F I】

H 0 1 L 29/78 3 7 1

H 0 1 L 27/10 4 3 4

【手続補正書】

【提出日】平成29年5月18日(2017.5.18)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

不揮発性メモリデバイスであって、  
半導体基板と、

基板の上に形成されたトンネル誘電体と、

トンネル誘電体の上に形成されたフローティングゲートであって、下部層と上部金属層  
とを含むハイブリッドフローティングゲート構造を含むフローティングゲートと、

フローティングゲートの上に形成された第1界面層と、

第1界面層の上に形成されたインターゲート誘電体スタックと、

インターゲート誘電体スタックの上に形成されたコントロールゲートと、を含み、

インターゲート誘電体スタックは、第1層、第2層、および第3層を含み、第1層は第  
1界面層の上に形成され、コントロールゲート構造は第3層の上に形成され、第1層と第  
3層はそれらの間に挟まれた第2層より高いk値を有し、

第1界面層は、高いk値の材料を含む不揮発性メモリデバイス。

【請求項2】

第1界面層は、ハイブリッドフローティングゲート構造の上部金属層中に含まれる金属  
元素を含む請求項1に記載の不揮発性メモリデバイス。

【請求項3】

インターゲート誘電体スタックの第1層および第3層は、アルミン酸ハフニウムを含む  
請求項1に記載の不揮発性メモリデバイス。

【請求項4】

インターゲート誘電体スタックの第2層は、酸化アルミニウムと酸化シリコンの少なく  
とも1つを含む請求項1に記載の不揮発性メモリデバイス。

【請求項5】

第1界面層は、インターゲート誘電体スタックの第1層のk値より高いk値を有する請  
求項1に記載の不揮発性メモリデバイス。

## 【請求項 6】

更に、インターゲート誘電体スタックとコントロールゲートとの間に形成された第 2 界面層を含む請求項 1 に記載の不揮発性メモリデバイス。

## 【請求項 7】

第 2 界面層は、インターゲート誘電体スタックの第 3 層の  $k$  値より高い  $k$  値を有する請求項 6 に記載の不揮発性メモリデバイス。

## 【請求項 8】

第 2 界面層は、コントロールゲート中に含まれる金属元素を含む請求項 6 に記載の不揮発性メモリデバイス。

## 【請求項 9】

第 1 界面層および第 2 界面層のそれぞれは、約 1 nm より小さい膜厚を有する請求項 6 に記載の不揮発性メモリデバイス。

## 【請求項 10】

第 1 界面層および第 2 界面層のそれぞれは、0.1 nm から 0.7 nm の範囲内の膜厚を有する請求項 9 に記載の不揮発性メモリデバイス。

## 【請求項 11】

不揮発性メモリデバイスの製造方法であって、  
半導体基板の上にトンネル誘電体を形成する工程と、  
トンネル誘電体の上にフローティングゲートを形成する工程であって、  
下部層を形成する工程、および  
上部金属層を形成する工程、を含む工程と、  
フローティングゲートの上に第 1 界面層を形成する工程であって、第 1 界面層は high- $k$  誘電体材料を含む工程と、  
第 1 界面層の上にインターゲート誘電体スタックを形成する工程であって、インターゲート誘電体スタックは第 1 層、第 2 層、および第 3 層を含み、第 2 層は、第 1 層と第 3 層との間に挟まれ、第 1 層と第 3 層は、第 2 層より高い  $k$  値を有する工程と、  
インターゲート誘電体スタックの上にコントロールゲートを形成する工程と、を含む製造方法。

## 【請求項 12】

第 1 界面層を形成する工程は、インターゲート誘電体スタックの第 1 層を形成する形成プロセスの一部として、第 1 界面層を形成する工程を含む請求項 11 に記載の製造方法。

## 【請求項 13】

更に、コントロールゲートを形成する工程の前に、インターゲート誘電体スタックの上に第 2 界面層を形成する工程を含む請求項 11 に記載の製造方法。

## 【請求項 14】

第 2 界面層を形成する工程は、インターゲート誘電体スタックの第 3 層を形成する形成プロセスの一部として、第 2 界面層を形成する工程を含む請求項 13 に記載の製造方法。

## 【請求項 15】

不揮発性メモリデバイスであって、  
半導体基板と、  
トンネル誘電体、ハイブリッドフローティングゲート、インターゲート誘電体スタック、およびコントロールゲートを含むメモリセルスタックであって、  
ハイブリッドフローティングゲートは、トンネル誘電体とインターゲート誘電体スタックとの間に挟まれ、かつトンネル誘電体の上の半導体材料と、半導体材料の上の金属材料とを含むスタックを含み、  
インターゲート誘電体スタックは、ハイブリッドフローティングゲートとコントロールゲートとの間に挟まれ、かつ 2 つの低バリア材料の間に挟まれた高バリア材料を含み、高バリア材料は、低バリア材料に比較して高い伝導帯を有し、高バリア材料は、低バリア材料に比較して低い  $k$  値を有する、メモリセルスタックと、  
金属材料と低バリア材料のより近い 1 つとの間に形成された界面材料であって、金属材

料の少なくとも1つの金属元素と、低バリア材料のより近い1つとの混合物を含む界面材料と、を含む不揮発性メモリデバイス。

【請求項16】

界面材料は、低バリア材料と比較してより低い伝導帯を有し、低バリア材料と比較してより高いk値を有する請求項15に記載の不揮発性メモリデバイス。

【請求項17】

界面材料のk値と膜厚との組み合わせは、基板とコントロールゲートとの電位差が1.2Vを超え、界面材料を横切る電圧降下が約500mVより小さくなるプログラム条件下で選択される請求項15に記載の不揮発性メモリデバイス。

【請求項18】

界面材料は、Tiを含む請求項15に記載の不揮発性メモリデバイス。

【請求項19】

ハイブリッドフローティングゲートは、

n型ドーパントでドーパされたシリコンを含む半導体材料と、

プログラム条件下で、半導体材料の伝導帯が金属材料に向かって上方に曲がるような、十分に高い仕事関数を含む金属材料と、を含む請求項17に記載の不揮発性メモリデバイス。

【請求項20】

更に、コントロールゲートと低バリア材料のより近い1つとの間に形成された第2界面材料を含み、第2界面材料は、コントロールゲートの少なくとも1つの金属元素と、低バリア材料のより近い1つとの混合物を含む請求項15に記載の不揮発性メモリデバイス。