

發明專利說明書 200402068

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※申請案號：9103307 ※IPC分類：H01M 7/06

※申請日期：92.2.18

壹、發明名稱

(中文) 可調整電流模式差動放大器

(英文) ADJUSTABLE CURRENT MODE DIFFERENTIAL AMPLIFIER

貳、發明人(共1人)

發明人 1 (如發明人超過一人，請填說明書發明人續頁)

姓名：(中文) 腓特烈 A. 伯納

(英文) Frederick A. Perner

住居所地址：(中文) 美國加州巴洛雅圖市拉莫納街 3234 號

(英文) 3234 Ramona St. Palo Alto, CA 94306, USA

國籍：(中文) 美國 (英文) USA

參、申請人(共1人)

申請人 1 (如申請人超過一人，請填說明書申請人續頁)

姓名或名稱：(中文) 惠普研發公司

(英文) HEWLETT-PACKARD DEVELOPMENT COMPANY, L.P.

住居所或營業所地址：(中文) 美國德州休士頓市 S.H. 249 20555 號

(英文) 20555 S.H. 249, HOUSTON, TEXAS 77070, USA

國籍：(中文) 美國 (英文) USA

代表人：(中文) 蓋伊 J. 凱利

(英文) Guy J. Kelley

☐ 續發明人或申請人續頁 (發明人或申請人欄位不敷使用時，請註記並使用續頁)

捌、聲明事項

☐ 本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間，其日期為：_____

☐ 本案已向下列國家（地區）申請專利，申請日期及案號資料如下：

【格式請依：申請國家（地區）；申請日期；申請案號 順序註記】

1. _____
2. _____
3. _____

☒ 主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1. 美國； 2002, 07, 16； 10/198, 278
2. _____
3. _____
4. _____
5. _____
6. _____
7. _____
8. _____
9. _____
10. _____

☐ 主張專利法第二十五條之一第一項優先權：

【格式請依：申請日；申請案號 順序註記】

1. _____
2. _____
3. _____

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

1. _____
2. _____
3. _____

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

1. _____
2. _____
3. _____

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明

(發明說明應敘明：發明所屬之技術領域、先前技術、內容、實施方式及圖式簡單說明)

【發明所屬之技術領域】

發明領域

本發明係關於記憶體感測放大器之領域。更具體地說
5 ，本發明係關於具有可調整之感測和參考電路之記憶體差
動感測放大器。

【先前技術】

發明背景

在一隨機存取記憶體(RAM)陣列中，使用一放大器來
10 感測一定址記憶體晶胞之狀態，並提供一表示所感測到的
狀態之訊號給陣列之輸出。此感測放大器有不同之型式，
視RAM陣列之型式而定。在一靜態隨機存取記憶體(SRAM)
陣列或動態隨機存取記憶體(DRAM)陣列中，記憶體通常是
揮發性的，即，當陣列被關掉電源時，不會保持資料。這
15 樣的記憶體通常是複雜的，且需要諸如指引(解碼)電路和
有時脈的，電流模式放大器之複雜的感測電路。

對照起來，諸如一交叉點陣列之非揮發性記憶體陣列
利用十分簡單的精簡記憶體晶胞，諸如交叉點型式，考慮
長期記憶，高密度和快速存取。一非揮發性陣列可為一在
20 每個交叉點晶胞上具有一熔絲或逆熔絲之寫入一次型式，
或一多重讀取寫入變化，諸如一磁性隨機存取記憶體
(MRAM)陣列，其具有交叉點磁性晶胞，每一個皆能夠在
二或更多個狀態之間改變。

一個與諸如使用MRAM晶胞之陣列之電阻性記憶體陣

玖、發明說明

列相關之問題為在正確地判斷一記憶體晶胞之邏輯狀態上的困難。此問題係因為晶胞狀態並非如在一逆熔絲記憶體中由傳導或非傳導來測量而產生。而是以由和薄絕緣接面相鄰之鐵磁層之相對磁化方向所引起的在嵌入於MRAM記憶體晶胞內之一薄絕緣接面之導電性上的微小差異來判斷MRAM晶胞狀態。一般來說，以一具有相對於一固定之磁性層不是“平行”就是“逆平行”之磁性矩之資料磁性層來判斷一MRAM晶胞之狀態。以對固定層為“平行”或“逆平行”之資料層之磁性所引起之電阻之改變來測量該等狀態。以經過絕緣層之電流來感測此電阻，且感測電流之大小一般在500nA之量級，且在“平行”和“逆平行”狀態之間的電流上的差異一般約50nA。

因此，為了要正確地判斷晶胞之邏輯狀態，仔細地感測在通過一所選擇記憶體晶胞之感測電流中之小變化是關鍵的。一普通的感測放大器為一電流模式感測放大器，其中記憶體晶胞電流必須由一電路來加以感測，其依賴一精確的電流鏡做為感測放大器之一部份。如此，對電流模式感測放大器來說，提供一來自晶胞之感測電流之正確的“鏡像”至感測放大器亦是重要的，以及提供一測量感測電流偏離一可靠標準之方法來判斷晶胞之狀態。

另外，有對更高密度記憶體裝置之更大需求，來滿足越來越複雜之裝置之記憶體要求。此需要已造成較以前更為增加的微小化和更精簡的資料儲存。目前正在進行努力以改造技術來使能將資料儲存於奈米至數十奈米之大小，

玖、發明說明

有時稱為原子解析度儲存。此尺寸減少和記憶體裝置之精簡性需要更小的電壓和電流，結果造成對測量電流和電壓之更大精確性之需要，以正確地判斷在晶胞中之資料。

在處理微小化電路和極小電流和電壓時，最小化感測功能之侵入特性是重要的。使用於一感測電路中之每個元件可能貢獻至電壓和電流失真或漏出，其會具有對感測器之測量正確性之影響。因此，對高密度記憶體晶胞之感測放大器必須最小化任何可能造成對正受感測之參數之不利影響之對記憶體矩陣之侵入是必要的。

電壓模式感測放大器有時需要複雜的電路來實現正確性。例如，一電壓模式差動放大器在一複雜電路中需要五個電晶體來執行必要的感測，如在美國專利第6,262,625號中所看到的，其於2001年七月17日核發給Perner等人。在該電路中，背閘數位控制的電壓加至一對電晶體，如此使得感測放大器偏移參數可增量地加以調整。背閘數位控制值儲存於一暫存器記憶體中以控制感測放大器之精確性，進一步增加了感測電路之複雜性。

有時使用電流模式感測放大器以供高密度，敏感記憶體矩陣感測之用。然而，因為這樣一個電路之受限的動態範圍之故，電流模式感測放大器傾向於需要一高程度之組件匹配。若參考晶胞之電流相當地與正受感測之記憶體晶胞之電流不同，則電流模式感測放大器可能無法正確地判斷記憶體晶胞之邏輯狀態。增加組件，諸如額外的感測電阻器，可補償此受限範圍問題。然而，增加組件至一電流

玖、發明說明

感測電路中易於不利地影響正受感測之電路。

其他感測放大器使用類比至數位轉換(ADC)來測量感測和參考電流並數位地比較它們。此方法在延伸組件之動態範圍時是有用的。然而，感測電路之增加的複雜性是一項重大的缺點。

因此，需要一簡單的感測放大器以在十分低大小之感測電流和電壓上來測量記憶體晶胞矩陣。需要會正確地反映感測參數並將它們反映給感測電路之感測組件。另外，需要一使用小數目之組件之感測放大器，如此使得對一記憶體矩陣之侵入最小化。最後，一感測放大器具有相對廣的動態範圍以容納不同大小之電流和電壓是重要的。

【發明內容】

發明概要

本發明提供一種有用的且獨特的感測電路，其特性為一可調整電流模式之差動感測放大器。該放大器係與一所選擇之記憶體晶胞和一具有一預先決定之值之參考晶胞通訊。放大器能夠感測與所選擇之記憶體晶胞相關之電流和電壓改變，並將它們與和參考晶胞相關之電流和電壓改變相比較。

藉由修改在感測放大器中之絕緣電晶體之臨界電壓來改變感測放大器之操作點。藉由在絕緣電晶體之背閘電極上應用一控制電壓來以一非侵入性方式完成此。當一第一偏壓電壓加至一所選擇之記憶體晶胞以使得放大器之敏感度最大化時，此調整能力使得感測放大器之電流或電壓能

玖、發明說明

被設定。當一第二偏壓電壓加至記憶體晶胞和參考晶胞以決定記憶體晶胞之值時，放大器能夠感測在與所選擇之記憶體晶胞和參考晶胞相關之電流或電壓上的輕微改變，並比較它們以決定記憶體晶胞之狀態。此增加的敏感性使得
5 放大器能夠具有一相當程度增加的動態範圍，而不會引入可能不利地影響記憶體電路參數之組件。

本發明之一裝置實施例包含一感測電路，其用以判斷在一電阻性記憶體裝置中之一記憶體晶胞之邏輯狀態。該電路包括一具有一預先選擇之邏輯狀態之參考晶胞。一記
10 憶體晶胞感測電路改造為在第一偏壓電壓加於記憶體晶胞上時，判斷與記憶體晶胞相關之第一記憶體晶胞電壓，以及用以當一第二偏壓電壓加在記憶體晶胞上時，判斷一與記憶體晶胞相關之第二記憶體晶胞電壓。改造一參考晶胞感測電路以在第一偏壓電壓加在參考晶胞上時，判斷一與
15 參考晶胞相關之第一參考晶胞電壓，以及用以在第二偏壓電壓加於參考晶胞時，判斷與參考晶胞相關之第二參考電壓。使用一調整電路來修改第一參考晶胞電壓或第二記憶體晶胞電壓，如此使得在第一偏壓電壓上，第一參考晶胞電壓等於第一記憶體晶胞電壓。配置一狀態判斷電路來於
20 第二偏壓電壓上，感測在第二記憶體晶胞電壓和第二參考晶胞電壓之間之差異，以判斷記憶體晶胞之邏輯狀態。

類似於上面的裝置實施例，本發明之一方法實施例為一用以使用一預先設定至一已知之邏輯狀態之參考晶胞來判斷在一電阻性記憶體裝置中之一記憶體晶胞之邏輯狀態

玖、發明說明

。當一第一偏壓電壓加於記憶體晶胞和參考晶胞上時，感測一與記憶體晶胞相關之第一記憶體晶胞電壓和一與參考晶胞相關之第一參考晶胞電壓。然後使用一非侵入性背閘控制電壓來調整第一記憶體晶胞電壓或第一參考晶胞電壓，如此使得第一參考晶胞電壓和第一記憶體晶胞電壓近似於彼此相等。接下來，當一第二偏壓電壓加至記憶體晶胞和至參考晶胞時，感測一與記憶體晶胞相關之第二記憶體晶胞電壓和一與參考晶胞相關之第二參考晶胞電壓。然後測量在第二記憶體晶胞電壓和第二參考晶胞電壓間之差異，來判斷記憶體晶胞之邏輯狀態。

應了解到，對上述的裝置和方法實施例，並非感測和調整第一和第二記憶體晶胞電壓與第一和第二參考晶胞電壓，而是可感測和調整諸如電流或電阻之其他與記憶體晶胞和參考晶胞相關之參數，以判斷一所選擇之記憶體晶胞之狀態。本發明之範圍係意指包括根據本發明之原理來選擇任何與所選擇之記憶體晶胞和參考晶胞相關之參數為待感測和調整的。

本發明之其他觀點和優點將從下列詳細說明而變得明顯，其與所附圖形連結，以範例之方式來說明本發明之原理。

圖式簡單說明

第1圖為一顯示根據本發明之先前技藝電阻性交叉點記憶體裝置之示意圖；

第2圖為一顯示一MRAM記憶體晶胞之先前技藝結構

玖、發明說明

以及連接至其之導體之示意圖；

第3圖為一對晶胞之二不同邏輯狀態以所應用的偏壓電壓之函數測量的一MRAM記憶體晶胞之電阻值之圖形化說明；

- 5 第4A，4B和4C圖為顯示根據本發明在不同的偏壓電壓上，記憶體晶胞電阻和參考晶胞電阻之間的關係之圖形化說明；

第5圖為一顯示根據本發明之MRAM記憶體晶胞陣列以及感測元件之結構之示意方塊圖；

- 10 第6圖為一顯示根據本發明之感測放大器之一實施例之示意電路圖；以及

第7圖為一顯示根據本發明之感測放大器之其他實施例之示意電路圖。

【實施方式】

- 15 較佳實施例之詳細說明

- 第1圖顯示了一典型的先前技藝交叉點記憶體陣列10。在一方向上進行的列導體12稱為字線，而在一般垂直於第一方向之第二方向上延伸的行導體14稱為位元線。記憶體晶胞16通常配置為一正方形或矩形陣列，如此使得每個
- 20 記憶體晶胞單元16連接以一字線12和一交叉之位元線14。

在一電阻性RAM陣列中，每個記憶體晶胞之電阻具有超過一個狀態，且在記憶體晶胞中之資料可藉由測量晶胞之電阻狀態來加以決定。電阻性記憶體晶胞可包括一或多個磁性層，一熔絲或逆熔絲，或任何藉由影響元件之名義

玖、發明說明

電阻之大小來儲存或產生資訊之元件。使用於一電阻性RAM陣列中之電阻元件之其他型式包括做為一唯讀記憶體之一部份之多晶矽電阻器，以及做為光學記憶體，成像裝置或浮閘記憶體裝置之一部份之浮閘電晶體。

- 5 其他型式之電阻性隨機存取記憶體為一磁性隨機存取記憶體(MRAM)，在其中每個記憶體晶胞係由多個以隔絕層加以分離之磁性層所構成的。一磁性層稱為一固定層或參考層，其中磁性方位固定，以在出現位於感興趣之範圍中之應用磁場時不會旋轉。其他磁性層稱為一感測層或資
- 10 料層，其中磁性方位可在一與固定層之狀態對齊之狀態和與固定層之狀態不對齊之狀態間變化。一隔絕之穿隧位障層夾在磁性固定層和磁性感測層之間。在應用一外部感測電壓時，此隔絕穿隧位障層允許量子機械穿隧電流在感測層和固定層之間流動。穿隧為電子自旋相關，使得記憶體
- 15 晶胞之電阻為感測層和固定層之相關磁化方位之函數。對感測層之二狀態之接面電阻上的變化決定了儲存於記憶體晶胞中之資料。於2001年一月2日發給Brug等人之美國專利第6,169,686號揭示了這樣一個磁性記憶體晶胞記憶體。

- 參考第2圖，顯示了一MRAM記憶體晶胞。記憶體單
- 20 元16顯示為一三層磁性穿隧接面(MTJ)記憶體晶胞20。在每個晶胞MTJ 20中，根據晶胞20之可改變的磁性感測層22之方位來儲存一位元之資訊。通常，晶胞20具有對應於邏輯狀態“1”和“0”之二穩定的磁性狀態。在感測層22上之雙向箭頭15顯示了此二元狀態能力。在晶胞20中之一固定層

玖、發明說明

24係以一薄隔絕器26而與感測層分離。跨在MTJ記憶體晶胞20上之電阻係由薄隔絕器26之特性和可改變之磁性感測層22之方位加以決定的。

5 固定層24具有一固定的磁性方位，諸如由在層24上之單向箭號17所示的。當感測層22之磁性狀態指向與固定層24之磁化方向相同方向時，晶胞磁化稱為“平行”。類似地，當感測層22之磁化狀態指向與固定層24之磁化方向相反之方向時，晶胞磁化稱為“逆平行”。這些方位分別對應於一低電阻狀態和一高電阻狀態。任意地，平行狀態可能被
10 認為對應於記憶體晶胞之一“0”狀態或邏輯值，而逆平行狀態可能被認為對應至一“1”狀態，然而若需要的話，可倒反指派“0”和“1”狀態。

可藉由應用電流至跨越所選擇之記憶體晶胞之一字線12和一位元線14來改變一所選擇之記憶體晶胞20之磁性狀態。電流產生二垂直磁場，其當組合時，會將所選擇之記憶體晶胞20之感測層之磁性方位於平行和逆平行狀態之間
15 切換。其他未選擇到的記憶體晶胞只從跨越未選擇到之記憶體晶胞之字線或位元線接收一磁場。單一場不夠強來改變未選擇晶胞之感測層之磁性方位，因此它們維持它們的
20 磁性方位。

如上述，在電阻性記憶體晶胞裝置中，在記憶體晶胞邏輯狀態中的差異係由在一平行狀態和在一逆平行狀態中之記憶體晶胞之電阻中的差異所決定的。如第3圖中之圖形30中看到的，特別是MRAM晶胞之電阻性晶胞之電阻大

玖、發明說明

小已被發現隨著對晶胞之不同大小之偏壓電壓之應用而變化。一般來說，已發現電阻晶胞之電阻隨著偏壓電壓之增加而減少。線32所小之逆平行狀態中之晶胞具有一高於線34所示之在平行狀態中之晶胞之電阻值。

- 5 已發現隨著偏壓電壓之增加，在逆平行狀態中之晶胞之電阻一般以比在平行狀態中之晶胞之電阻快速許多的速率減少，如藉由比較線32之斜率和線34者可看到的。已技藝上廣為人知的，在不同偏壓電壓上此電阻上之動態差異為磁性穿隧接面(MTJ)記憶體裝置之一致特性，其一般藉
- 10 由決定一MTJ裝置之穿隧磁阻比(TMR)來加以量化。

- 已在標題“用以判斷在磁性穿隧接面記憶體裝置中之記憶體晶胞之邏輯狀態之系統與方法”之共同待審之專利申請案中所述之雙取樣方法中利用了此在逆平行和平行狀態中之晶胞之電阻上的動態差異(HP備忘錄10014201-1)。
- 15 在此方法中，記憶體晶胞電流在二個不同的偏壓電壓 V_1 和 V_2 上被加以取樣，且將第一和第二電流值36和37(逆平行狀態)或38和39(平行狀態)之比與一預先決定之值相比較以判斷一記憶體晶胞之邏輯狀態。可將預先決定的值儲存於一表中或從一具有一已知邏輯狀態之參考晶胞決定。

- 20 因為逆平行狀態之曲線32之斜率或坡度比平行狀態之曲線34之斜率大得多，所以在不同偏壓電壓上之二測量之對應比將容易地決定記憶體晶胞之邏輯狀態。

 在本發明中，參考值係由一受到與記憶體晶胞相同之偏壓電壓作用之參考晶胞所提供的。一感測電路藉由在感

玖、發明說明

測電路中比較感測和參考電流來在所選擇之偏壓電壓上比較參考晶胞和記憶體晶胞中之電流。參考和感測電流造成感測電路之輸入節點上之參考和感測電壓，其視應用至參考和記憶體晶胞之偏壓電壓而定來改變。在一第一偏壓電壓上，調整感測電流，如此使得第一參考電壓為與第一感測電壓近似相同之值。此調整比例地減少了在第一偏壓電壓測量點上之第一參考電壓和第一感測電壓之間的差異，如此致能電路之閉調整。因此，藉由消除參考記憶體元件和受測記憶體元件之間的共模差異來改進電流取樣之動態範圍。

在第4A、4B和4C圖中說明了上面的配置，其顯示了對不同偏壓電壓以及在不同的記憶體晶胞邏輯狀態上之一記憶體晶胞之推斷的相對電阻對一參考晶胞之推斷的相對電阻之關係。此電阻關係亦指出與一所選擇之記憶體晶胞和參考晶胞相關之電流和電壓上之差異。在此使用線性之電阻關係以供簡化說明在本發明中所應用之原理之目的。如稍後將看到的，最好藉由感測和調整與所選擇之記憶體晶胞和參考晶胞相關之電壓來間接地感測和調整電流。

藉由進一步說明之方式，第4A-C圖用來說明感測在一已知狀態中之參考元件並將之與所選擇之元件比較之觀念。決定之基本參數為電阻。然而，在此實施例中，實際上由感測放大器所感測之參數為電壓與電流。在所說明的感測配置中，感測電流受漏出路徑修改，因此要做一絕對的電阻測量是不可能的。反之，感測其他參數之相對值，從

玖、發明說明

其推斷電阻值。在第4A-C圖中，為y軸為推斷的電阻，其為所應用之電壓，放大器偏移，以及漏出路徑電阻之複合函數。

如在第4A圖中之線40所示的，設定參考晶胞電阻 R_R 為平行狀態 R_R (P)。在此平行狀態中，MRAM晶胞之特性為與偏壓電壓之弱相關。如此，當偏壓電壓改變時，在電阻上很少改變，如此使得線40只具有一些許的斜率。

所選擇之記憶體晶胞 R_M 不是如線42所示在一平行狀態 R_M (P)中，就是在如線44所示之逆平行狀態 R_M (AP)中。所選擇的晶胞之電阻 R_M 之電壓相關性將類似於參考晶胞之電阻 R_R 之電壓相關性。如此，線42指出若所選擇之晶胞為在平行狀態中，則隨著偏壓電壓之改變，與顯示隨著偏壓電壓之改變在逆平行狀態中之記憶體晶胞之電阻 R_M (AP)之較大斜率或改變之線44相比較，在電阻 R_M (P)中將有相對小的改變。最好參考晶胞實體上位於近於所選擇之記憶體晶胞，如此使得參考和記憶體晶胞共用相同或十分類似的處理變數和環境狀況。

應注意到所選擇之記憶體晶胞和參考晶胞之第4A-4C圖中所指出之電阻之絕對電阻值不需相同，且事實上假設其為不同。這些絕對值上的差異不會影響上面的比，如將於下面更詳細說明的。

第4B和4C圖顯示了相對電阻 R_M 和 R_R 之間的差異，其與所選擇之記憶體晶胞分別在平行狀態(線42)或逆平行狀態(線44)中相關。如第4B和4C圖中所示的，無論在第一電

玖、發明說明

壓 V_1 加上之點上記憶體晶胞之狀態為何，調整通過參考晶胞之 R_R 之電流，如此使得其幾乎與通過記憶體晶胞之 R_M 之電流相同。調整通過 R_R 之電流之方法調整放大器偏移參數，如此使得表示參考元件之推斷的相對電阻近似等於表示

5 R_M 之推斷的相對電阻。最好通過 R_R 之電流略小於通過 R_M 之電流，提供電流值間之小差異以及推斷的相對電阻值之間的差異，其在第4B和4C圖中皆顯示為一三角差異46。

在應用 V_1 時對通過參考晶胞之 R_R 之電流做調整造成在 V_2 時之電流間的戲劇般的差異，視記憶體晶胞之狀態而定

10 。如第4B圖中所示的，若所選擇之記憶體晶胞為在平行狀態中，則推斷的電阻 R_M 具有 V_1 和 V_2 之間的小改變，因此在偏壓電壓 V_2 上之推斷的電阻 R_M 和 R_R 之間的三角差異48約與在偏壓電壓 V_1 上之三角差異46相同。因此用來測量差異之感測電路將大致不會改變其輸出值。

15 對照起來，如第4C圖中所示的，在偏壓電壓 V_2 應用時，由線44所示之所選擇記憶體晶胞之在逆平行狀態中之推斷的相對電阻 R_M 已大大地掉至由線40所示之參考晶胞之推斷的電阻 R_R 之下，結果為一更大的三角差異49。再者，線40和44已交叉，其改變了三角差異49之正負號。

20 因為在感測電路中之電流改變對應至推斷的相對電阻改變，前述的分析指出參考和記憶體晶胞之電阻。如此，可藉由比較在第二偏壓電壓點上之參考和記憶體晶胞電流之值來判斷記憶體晶胞之邏輯狀態。若在第二偏壓電壓 V_2 上之記憶體晶胞和參考晶胞電流之值間的差異48約與在第

玖、發明說明

一偏壓電壓 V_1 上之記憶體晶胞和參考晶胞電流值間的差異 46 相同，則記憶體晶胞電阻被認為是平行的(其可能為邏輯 0)，如第 4B 圖中所示的。若記憶體晶胞和參考晶胞電流之值已改變，且已有一值之交叉，則記憶體晶胞為逆平行 5。若記憶體晶胞電流仍高於參考電流，則記憶體晶胞為平行。

可對與記憶體晶胞和參考晶胞相關之節點上之電壓做一類似之分析，如將在與第 6 圖中之電路相關之討論中看到的。

10 現在參考第 5 圖，一電阻性記憶體陣列 50 顯示本發明之感測電路之環境。一列選擇器電路 53 和一行解碼器電路 54 連接至記憶體陣列 50，以藉由提供電壓於晶胞 56 之適當的列和行上來選擇一記憶體晶胞 56。一感測放大器 52 通過行解碼器電路 54 中之開關 58 連接至所選擇之記憶體晶胞 56 15 之位元線 60。列選擇器電路 53 將一電壓 V_{row} 應用至所選擇之記憶體晶胞 56 之字線 62 以及一電壓 V_{read} 加至位元線 60。

相同的位元線電壓 V_{read} 應用至沿著位元線 60 之全部未選擇到的晶胞。然而，未選擇到的晶胞未接收一字線電壓 V_{row} ，如此它們未提供任何相當的輸出電流至位元線 60 上 20。在選擇記憶體晶胞之後，感測放大器 52 中之放大器(未顯示)作用以將行 60 保持至電壓 V_{read} 。

一記憶體控制器 64 接收讀取控制和選擇位址訊號 66，並分別提供適當的列和行選擇訊號至線 67 和 68 上之列選擇電路 53 和行解碼器電路 54。若需要一時序脈衝，如第 6 圖

玖、發明說明

中所示，為了給一運算放大器76時脈之目的，一比較器時脈訊號69應用至感測放大器52。運算放大器76控制一傳輸閘以供應一變數電壓至電晶體73之背閘，如與第6圖中之電路相關討論的。

- 5 如第5圖中所示的，一參考元件57連接至字線62和參考行線61。當電壓 V_{row} 選擇記憶體晶胞56時，其亦選擇參考元件57。在選擇之後，感測放大器52中之運算放大器(未顯示)作用來將參考行61保持於讀取電壓 V_{read} 上。因此，參考元件57受到加至所選擇之記憶體晶胞56之相同電壓
- 10 影響。

- 感測放大器52在S'上從晶胞56接收表示儲存於其中之資料之訊號電流。同樣地，通過開關59將一在S''上之輸出訊號電流從參考元件57應用至感測放大器52。繼而，感測放大器52比較來自記憶體晶胞在S'上之感測電流與在S''上
- 15 之參考電流，並提供一表示儲存於記憶體晶胞56中之資料之輸出訊號 V_0 。

- 現在看第6圖，顯示一感測放大器52，其在感測和調整與一所選擇之記憶體晶胞和參考晶胞相關之電壓之環境中應用與上面第4A-C圖相關討論之觀念。感測放大器52為
- 20 一可調整電流模式差動放大器(ACMDA)，其具有一用以調整記憶體晶胞感測電路之臨界電壓之背閘偏壓控制機制。在此實施例中，使用P通道MOSFET電晶體。然而，使用N通道電晶體是可能的，如稍後所示的。亦可使用NPN或PNP雙極電晶體來完成本發明之目的。

玖、發明說明

於第6圖中所示之ACDMA 70中顯示了感測放大器52之一實施例，其中一“僕”電晶體72和一“主”電晶體73之閘極連接在一起以形成一鏡裝置。調整鏡裝置，如此使得跨於僕電晶體72上之 V_{DS} 電壓(汲極至源極電壓，未顯示)等於跨在主電晶體73之 V_{DS} 電壓。因為相同的電壓 V_{DD} 被應用至電晶體72和73之源極，且因為跨在二電晶體上之電壓 V_{DS} 相等，所以在電晶體72和73之汲極節點上之電壓 V_R 和 V_S 將亦分別相等。

主電晶體73之閘極以連接器75連接至主電晶體73之汲極。如所示，以與 I_{sen} 相同之汲極電流 I_D 為基礎，此連接在主閘極和主源極之間建立一控制位能 V_{GS} (閘極至源極電壓，未顯示)。控制位能 V_{GS} 應用至僕電晶體72之閘極，其繼而在僕電晶體72中形成一汲極電流 I_D ，如所示其與 I_{ref} 相同。因為 V_S 等於 V_R ，則 I_{sen} 和 I_{ref} 將與個別電晶體之實體設計與尺寸成比例。感測和參考電流 I_{ref} 和 I_{sen} 流經與記憶體晶胞 R_M 和參考晶胞 R_R 相關之一般化電路80。

了解到跨在主電晶體73上之電壓 V_{DS} 等於跨在僕電晶體72上之電壓 V_{DS} 是重要的。當這些電壓是相等的，在個別電流 I_{ref} 和 I_{sen} 之間的關係係僅由個別電晶體73和72之實體參數加以決定。若在電流中有不平衡，則電壓關係將指出電流不平衡，以及電流不平衡之方向。

主電晶體73之汲極連接至一具有一電壓 V_S 之節點，其為一運算放大器76之負輸入。僕電晶體72之汲極連接至一具有一電壓 V_R 之節點，其為運算放大器76之正輸入。運算

玖、發明說明

放大器76輸出 V_0 連接至一傳輸閘77，其選擇性地連接一斜波產生器78至主電晶體73之背閘74。一電容器79與背閘74並聯連接以維持背閘之電壓。

對占記憶體晶胞和參考晶胞之在感測放大器70和電路80之間的連接可採用不同的型式。第6圖中給予的一般型式顯示了一連接於 V_S 和地端之間的感測電流產生器82。類似地，一參考電流產生器84連接於 V_R 和地端之間。

一所選擇之記憶體晶胞 R_M 連接於地端和一供偏壓電壓 $V_{B(1)}$ 和 $V_{B(2)}$ 之輸入節點86之間。同樣地，一參考晶胞 R_R 連接於地端和輸入節點86之間。電流產生器82和84為表示電流由個別的感測和參考電路所產生，以回應偏壓電壓輸入。應注意到，在第6圖中 V_S 和 V_R 之節點分別對應至在第5圖中之位元線60和61。類似地，在第6圖中之電阻器 R_M 和 R_R 分別對應至第5圖中之記憶體元件56和57。

電路80為分離但相關之發明之主體，其描述於申請人之共同待審之申請案中，其標題為“具有一可調整電流模式感測放大器和等位能隔絕之多重偏壓點MRAM”(HP備忘錄號碼100201678-1)和“具有一可調整電流模式感測放大器和二極體隔絕之多重偏壓點MRAM”(HP備忘錄號碼100201679-1)。

在設定感測放大器70之第一步驟為要建立背閘偏壓連接，其係用以將 V_S 設定為等於在 I_{sen} 和 I_{ref} 之已予初始值上之 V_R ，其中 N 乘以 I_{ref} 等於 I_{sen} 。 N 為實體鏡比，定義為： $N=(W/L_{ref})/(W/L_{sen})$ 。若 $N=1$ ，則當 $V_S=V_R$ 時，僕電流 I_{ref} 將

玖、發明說明

等於主電流 I_{sen} 。然而，只應用至主電晶體 73 之背閘電壓 V_{BG} 之變化可能需要大於 V_{DD} 之位能，來調整主電晶體 73 之臨界，如此使得 I_{sen} 等於 I_{ref} 。原則上，這可做到，但實際上難以產生大於供應電壓 V_{DD} 之電壓。

- 5 因此，設定 N 為大於 1，如此使得只有小於 V_{DD} 之電壓需被應用至背閘來實現對所加之 I_{sen} 和 I_{ref} 之 $V_S = V_R$ 平衡。一實施例在一 3.3 伏 0.5 微米 CMOS 技術中，使用等於 2 之 N ，其中對僕電晶體 W/L 為 20/1，而對主電晶體 W/L 為 10/1， I_{sen} 和 I_{ref} 約相等於 500 奈安培，且背閘電壓 V_{BG} (未顯示) 約
- 10 3.2 伏特。類似的關係和值將應用於 N 通道電晶體和雙極電晶體電路。

- 為了建立上述之背閘偏壓連接，一技術將要使用一具有 V_S 和 V_R 做為輸入之基本的五電晶體 CMOS 運算放大器 76。運算放大器 76 判斷何時 V_S 大於或小於 V_R ，且應用一輸出
- 15 訊號 V_O 至一傳輸閘 77。此輸出訊號打開傳輸閘 77，且連接至斜波產生器 78 至主電晶體 73 之背閘，藉此調整主電晶體 73 之操作點，如此使得 V_R 近似等於 V_S 。在該點上，輸出訊號 V_O 改變，關閉傳輸閘 77，並將斜波產生器 78 從主電晶體 73 之背閘切斷。

- 20 下列順序更詳細地給予了獮以調整主電晶體 73 之背閘電壓之步驟，以在一第一偏壓電壓 $V_{B(1)}$ 加至所選擇之記憶體晶胞和參考晶胞時，將 V_R 設定為近似等於 V_S ：

(1) 以 V_{BG} “主”=開始。

(2) I_{sen} (在 $V_{BG} = V_{DD}$ 上) 大於 I_{sen} (在使得 V_R 等於 V_S 之

玖、發明說明

V_{BG} 上)，如此使得 I_{sen} 大於 I_{ref} 。

(3) $V_{BG}=V_{DD}$ 設定造成 V_R 大於 V_S ，造成 V_O 近似等於 V_{DD} ，其為邏輯1。

(4) V_O =邏輯1應用來打開傳輸閘。傳輸閘打開造成
5 $V_{BG}=V_{ramp}$

(5) 背閘電壓從 V_{DD} 線性地減少至一第二低的電壓。
(若 V_{DD} 為3.3伏特，則第二較低電壓可為3.0伏特。)

(6) 在應用 V_{ramp} 期間的某時間上，背閘電壓將抵達
一 $V_S=V_R$ 之點。在該點上，運算放大器76將把其輸出從一
10 邏輯1切換至一邏輯0。傳輸閘77將被關閉，將背閘電壓
 V_{BG} 與 V_{ramp} 隔絕，並將 V_{ramp} (對 $V_R=V_S$)之值儲存於主電晶
體73之背閘節點74上以持續以一電容器79之方法來做感測
功能。

(7) 在此點上設定完成。儲存背閘電壓 V_{BG} 以供感測
15 步驟之持續。此動作在感測功能期間將 V_R 和 V_S 維持為大致
相等，如此使得 I_{sen} 和 I_{ref} 將隨著分別感測一記憶體晶胞和
參考晶胞而變化。

ACMDA現在準備好要感測記憶體晶胞之狀態。在一
高於第一偏壓電壓 $V_{B(1)}$ 之值上應用一第二偏壓電壓 $V_{B(2)}$ 。
20 若 I_{sen} 改變，如此使得 I_{sen} 小於 I_{ref} ，則 V_R 將被拉下，如此使
得 V_S 大於 V_R 。在該點上，運算放大器76之輸出 V_O 將變成
一邏輯“0”。若 I_{sen} 大於 I_{ref} ，則 V_S 將被拉下，如此使得 V_R 大
於 V_S ，且運算放大器76之輸出 V_O 將變成一邏輯“1”。

上面的實施例描述了主(感測)電晶體之背閘電壓之調

玖、發明說明

整，以使得感測電壓和參考電壓彼此相等。了解到可替代地調整僕(參考)電晶體之背閘電壓或可調整二背閘電壓來完成相同的結果。

現在看第7圖，應用在一P井CMOS製程中之N通道
 5 MOSFET電晶體，來取代使用於第6圖中所示之實施例中所使用之P通道電晶體。因此，電路佈局基本上為第6圖中所示之電路之相反的鏡像。一主電晶體94和一僕電晶體92具有連接在一起之共用閘極，其亦以線96連接至電晶體94之汲極。電晶體94之汲極亦連接至一具有形成對一運算放
 10 大器98之輸入之電壓 V_S 之節點。電晶體92之汲極亦連接至一具有一形成對運算放大器98之負輸入之電壓 V_R 之節點。運算放大器98之輸出控制一傳輸閘100，其選擇性地將一斜波產生器102連接至主電晶體94之背閘。

電晶體94之汲極亦連接至一提供感測電壓 V_S 之節點，
 15 以及至一電流產生器112，其使另一側連接至 V_{DD} 。類似地，電晶體92之汲極連接至一提供參考電壓 V_R 之節點，以及至一電流產生器114，其使另一側連接至 V_{DD} 。輸入節點116透過記憶體晶胞 R_M 連接至 V_{DD} ，且亦通過參考晶胞 R_R 至 V_{DD} 。參考與第6圖相關給予之說明，感測電路90之描述
 20 對於熟悉技藝之人士而言是明顯的。

上述ACMDA電路之優點之一為可應用一使用背閘偏壓技術之簡單的差動電流感測器電路來使用一參考晶胞感測所選擇之記憶體晶胞以供應用，其中通過個別記憶體和參考晶胞之初始電流不相等。當記憶體和參考晶胞之電流

玖、發明說明

關係改變時，感測器電路將偵測改變並比較改變以判斷所選擇之記憶體晶胞之狀態。

雖然上面的實施例表示了本發明，但從考慮本發明說明以及所附之申請專利範圍，或從所揭示之發明之實施例之實作，其他實施例對於熟悉技藝之人士來說是明顯的。預定其中之說明和實施例被認為僅是示範性的，本發明係由申請專利範圍及其等效加以定義。

【圖式簡單說明】

第1圖為一顯示根據本發明之先前技藝電阻性交叉點記憶體裝置之示意圖；

第2圖為一顯示一MRAM記憶體晶胞之先前技藝結構以及連接至其之導體之示意圖；

第3圖為一對晶胞之二不同邏輯狀態以所應用的偏壓電壓之函數測量的一MRAM記憶體晶胞之電阻值之圖形化說明；

第4A、4B和4C圖為顯示根據本發明在不同的偏壓電壓上，記憶體晶胞電阻和參考晶胞電阻之間的關係之圖形化說明；

第5圖為一顯示根據本發明之MRAM記憶體晶胞陣列以及感測元件之結構之示意方塊圖；

第6圖為一顯示根據本發明之感測放大器之一實施例之示意電路圖；以及

第7圖為一顯示根據本發明之感測放大器之其他實施例之示意電路圖。

玖、發明說明

【圖式之主要元件代表符號表】

10…交叉點記憶體陣列	66…讀取控制和選擇位址 訊號
12…列導體	67、68、96…線
14…行導體	69…時脈訊號
15…雙向箭頭	72…僕電晶體
16、20、56…記憶體晶胞	73…主電晶體
17…箭號	74…背閘
22…感測層	75…連接器
24…固定層	76、77、78、79…電壓調 整裝置
26…薄隔絕器	70、80、90…感測電路
50…記憶體陣列	82、84…電流產生器
52…感測放大器	86、116…節點
53…列選擇器電路	92、94…電晶體
54…行解碼器電路	98…運算放大器
57…參考元件	100…傳輸閘
59…開關	102…斜波產生器
60…位元線	104…電容器
61…行線	112、114…電流源
62…字線	
64…記憶體控制器	

肆、中文發明摘要

提供一種調整電流模式差動感測放大器70。放大器70配置為與一所選擇之記憶體晶胞 R_M 和一具有一預先決定之值之參考晶胞 R_R 通訊。放大器70能夠感測與所選擇之記憶體晶胞 R_M 相關之電流和電壓改變，並將它們與和參考晶胞 R_R 相關之電流和電壓改變相比較。可藉由修改與加至放大器中之所選擇電晶體72,73之背閘極74偏壓相關之臨界電壓來改變感測放大器70之操作點。當一第一偏壓電壓 V_1 加至一所選擇之記憶體晶胞 R_M 以使得放大器70之敏感度最大化時，此調整能力使得感測放大器70,80之電流或電壓能被設定。當一第二偏壓電壓 V_2 加至記憶體晶胞 R_M 和參考晶胞 R_R 以決定記憶體晶胞 R_M 之值時，放大器70能夠感測在與所選擇之記憶體晶胞 R_M 和參考晶胞 R_R 相關之電流或電壓上的輕微改變，並比較它們以決定記憶體晶胞 R_M 之狀態。此增加的敏感性使得放大器70能夠具有一相當程度增加的動態範圍，而不會引入可能不利地影響記憶體電路參數之組件。

伍、英文發明摘要

An adjustable current mode differential sense amplifier 70 is provided. The amplifier 70 is disposed to be in communication with a selected memory cell R_M and a reference cell R_R having a predetermined value. The amplifier 70 is able to sense current and voltage changes associated with the selected memory cell R_M and compare them to current and voltage changes associated with the reference cell R_R . The operating point of the sensing amplifier 70 may be changed by modifying threshold voltages related to the back gate 74 bias applied to selected transistors 72, 73 in the amplifier. This adjusting capability enables currents or voltages of the sense amplifier 70, 80 to be set when a first-bias voltage V_1 is applied to a selected memory cell R_M in order to maximize the sensitivity of the amplifier 70. When a second bias voltage V_2 is applied to the memory cell R_M and the reference cell R_R in order to determine the value of the memory cell R_M , the amplifier 70 is able to sense slight changes in the currents or voltages associated with the selected memory cell R_M and the reference cell R_R and compare them to determine the state of the memory cell R_M . This increased sensitivity enables the amplifier 70 to have a substantially increased dynamic range without introducing components that might adversely affect the memory circuitry parameters.

拾、申請專利範圍

1. 一種用以判斷在一電阻性記憶體裝置中，相對於一具有一預先選擇之邏輯狀態之參考晶胞 R_R 之一記憶體晶胞 R_M 之邏輯狀態，其包含：

(a) 一記憶體晶胞感測電路 70,80，其係改造來在一
5 第一偏壓電壓 V_1 加於記憶體晶胞 R_M 上時判斷與記憶體晶胞 R_M 相關之第一記憶體晶胞參數 V_S ，以及在一第二偏壓電壓 V_2 加於記憶體晶胞 R_M 上時判斷與記憶體晶胞 R_M 相關之第二記憶體晶胞參數 V_S ，

(b) 一參考晶胞感測電路 70,80，其係改造來在一第一
10 偏壓電壓 V_1 加於參考晶胞 R_R 上時判斷與參考晶胞 R_R 相關之第一參考晶胞參數 V_R ，以及在一第二偏壓電壓 V_2 加於參考晶胞 R_R 上時判斷與參考晶胞 R_R 相關之第二參考晶胞參數 V_R ，

(c) 一調整電路 76,77,78,79，其用以修改第一記憶
15 體晶胞參數 V_S 和 / 或第一參考晶胞參數以使得在第一偏壓電壓 V_1 上第一記憶體晶胞參數 V_S 近似等於第一參考晶胞參數 V_R ，以及

(d) 一狀態判斷電路 76,80，其用以判斷在第二記憶
20 體晶胞參數 V_S 和第二參考晶胞參數之間 V_R 的差異，以判斷在第二偏壓電壓 V_2 上之記憶體晶胞 R_M 之邏輯狀態。

2. 如申請專利範圍第 1 項之感測電路，其中記憶體晶胞感測電路 70,80 改造來在一第一偏壓電壓 V_1 加於記憶體晶胞 R_M 上時判斷與記憶體晶胞 R_M 相關之一記憶體晶胞節點上之第一記憶體晶胞電壓 V_S ，以及在一第二偏壓電

拾、申請專利範圍

- 壓 V_2 加於記憶體晶胞 R_M 上時判斷與記憶體晶胞 R_M 相關之記憶體晶胞節點上之第二記憶體晶胞參數 V_S 。
3. 如申請專利範圍第2項之感測電路，其中參考晶胞感測電路係改造來在一第一偏壓電壓 V_1 加於參考晶胞 R_R 上時判斷在與參考晶胞 R_R 相關之一參考晶胞節點上之第一參考晶胞參數 V_R ，以及在一第二偏壓電壓 V_2 加於參考晶胞 R_R 上時判斷在與參考晶胞 R_R 相關之參考晶胞節點上之第二參考晶胞參數 V_R 。
4. 如申請專利範圍第1項之感測電路，其中狀態判斷電路 76,80 包含一裝置 76，其係用以將 (i) 記憶體晶胞參數 V_S 和參考晶胞參數 V_R 間的差異和 (ii) 一臨界值相比較，以判斷記憶體晶胞 R_M 之邏輯狀態。
5. 如申請專利範圍第3項之感測電路，其中記憶體晶胞感測電路 70,80 包含一感測電晶體 73，以及參考晶胞感測電路 70,80 包含一參考電晶體 72，其使其閘極與感測電晶體 73 之閘極共用。
6. 如申請專利範圍第5項之感測電路，其中調整電路 76,77,78,79 包含一連接至感測電晶體 73 和/或參考電晶體 72 之背閘 74 之電壓調整裝置 77,78，以選擇性地修改在感測電晶體 73 和/或參考電晶體 72 之背閘 74 上之電壓至一平衡點，在該處第一參考晶胞電壓 V_R 近似等於第一記憶體晶胞電壓 V_S 。
7. 一種判斷在一電阻性記憶體裝置中相對於一具有一預先選擇之邏輯狀態之參考晶胞之記憶體晶胞 R_M 之邏輯

拾、申請專利範圍

狀態之方法，其包含：

(a)在一第一偏壓電壓 V_1 加於記憶體晶胞 R_M 上時判斷與記憶體晶胞 R_M 相關之第一記憶體晶胞參數 V_S ，以及在一第二偏壓電壓 V_2 加於記憶體晶胞 R_M 上時判斷與
5 記憶體晶胞 R_M 相關之第二記憶體晶胞參數 V_S ，

(b)在一第一偏壓電壓 V_1 加於參考晶胞 R_R 上時判斷與參考晶胞 R_R 相關之第一參考晶胞參數 V_R ，以及在一第二偏壓電壓 V_2 加於參考晶胞 R_R 上時判斷與參考晶胞
10 R_R 相關之第二參考晶胞參數 V_R ，

(c)修改第一記憶體晶胞參數 V_S 和/或第一參考晶胞參數以使得在第一偏壓電壓 V_1 上第一記憶體晶胞參數 V_S 近似等於第一參考晶胞參數 V_R ，以及

(d)判斷在第二記憶體晶胞參數 V_S 和第二參考晶胞參數之間 V_R 的差異，以判斷在第二偏壓電壓 V_2 上之記
15 憶體晶胞 R_M 之邏輯狀態。

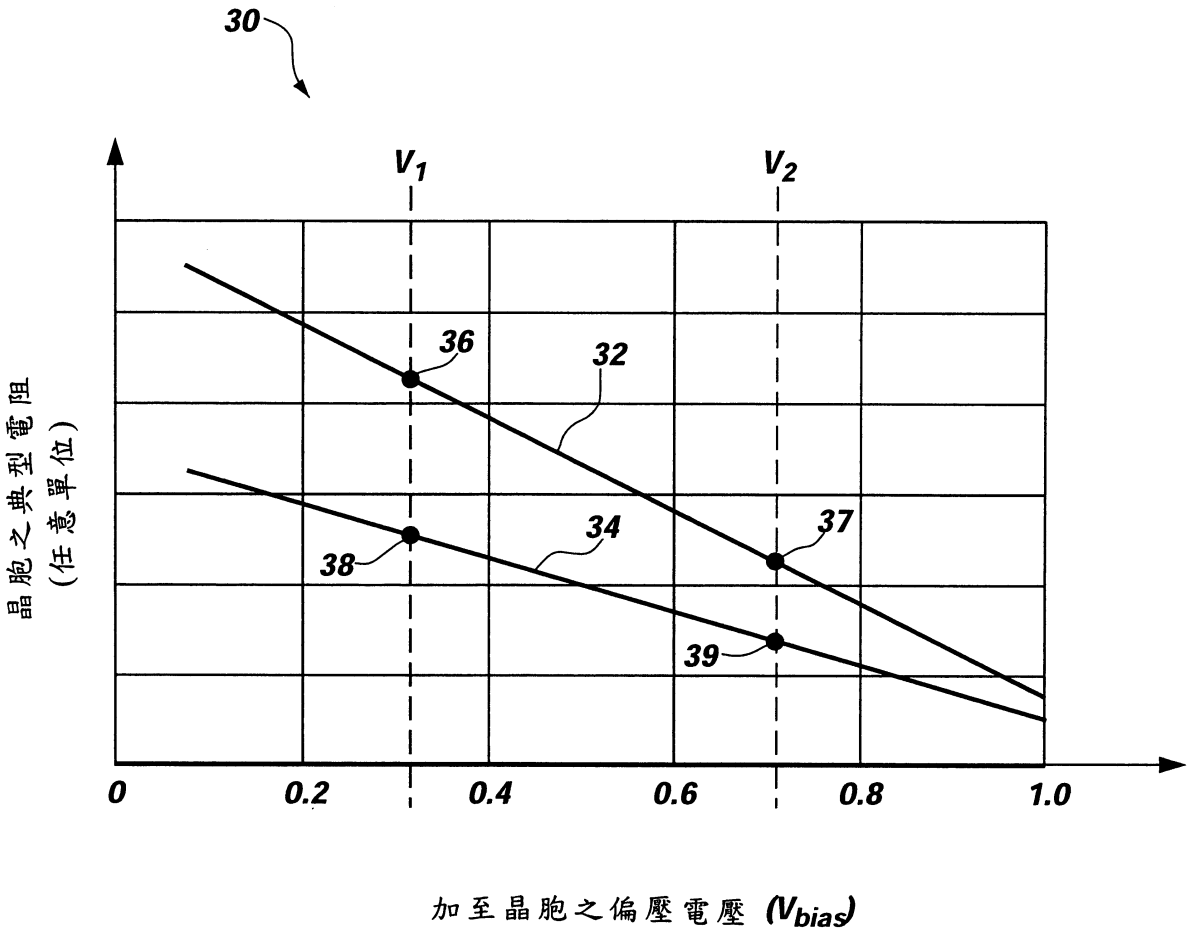
8. 如申請專利範圍第7項之方法，其中第一和第二記憶體晶胞參數 V_S 為在與記憶體晶胞 R_M 相關之記憶體晶胞節點上之第一和第二記憶體晶胞參數 V_S 且其中第一和第二參考晶胞參數 V_R 為與參考晶胞 R_R 相關之第一和第二
20 電壓 V_R 。

9. 如申請專利範圍第7項之方法，其中第一和第二記憶體晶胞參數為與記憶體晶胞 R_M 相關之第一和第二電流 I_{sen} ，而第一和第二參考晶胞參數為與參考晶胞 R_R 相關之第一和第二電流 I_{ref} 。

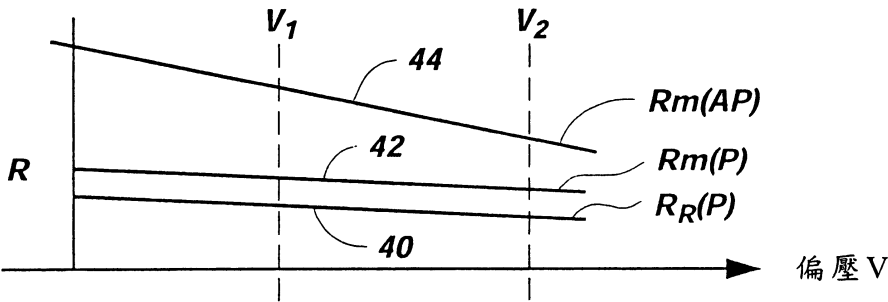
拾、申請專利範圍

10. 如申請專利範圍第7項之方法，其中比較步驟牽涉到將
在第一記憶體晶胞電壓 V_S 和第一參考晶胞電壓 V_R 之間
的差異與一臨界值相比較以判斷記憶體晶胞 R_M 之邏輯
狀態。

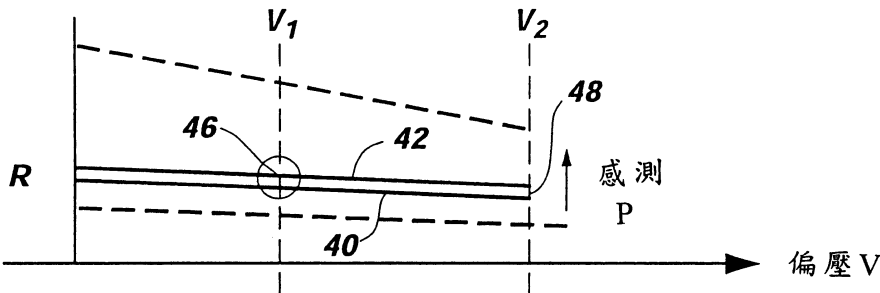
823



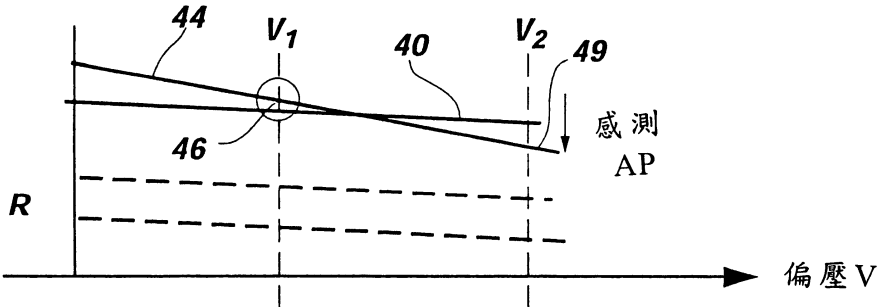
第 3 圖



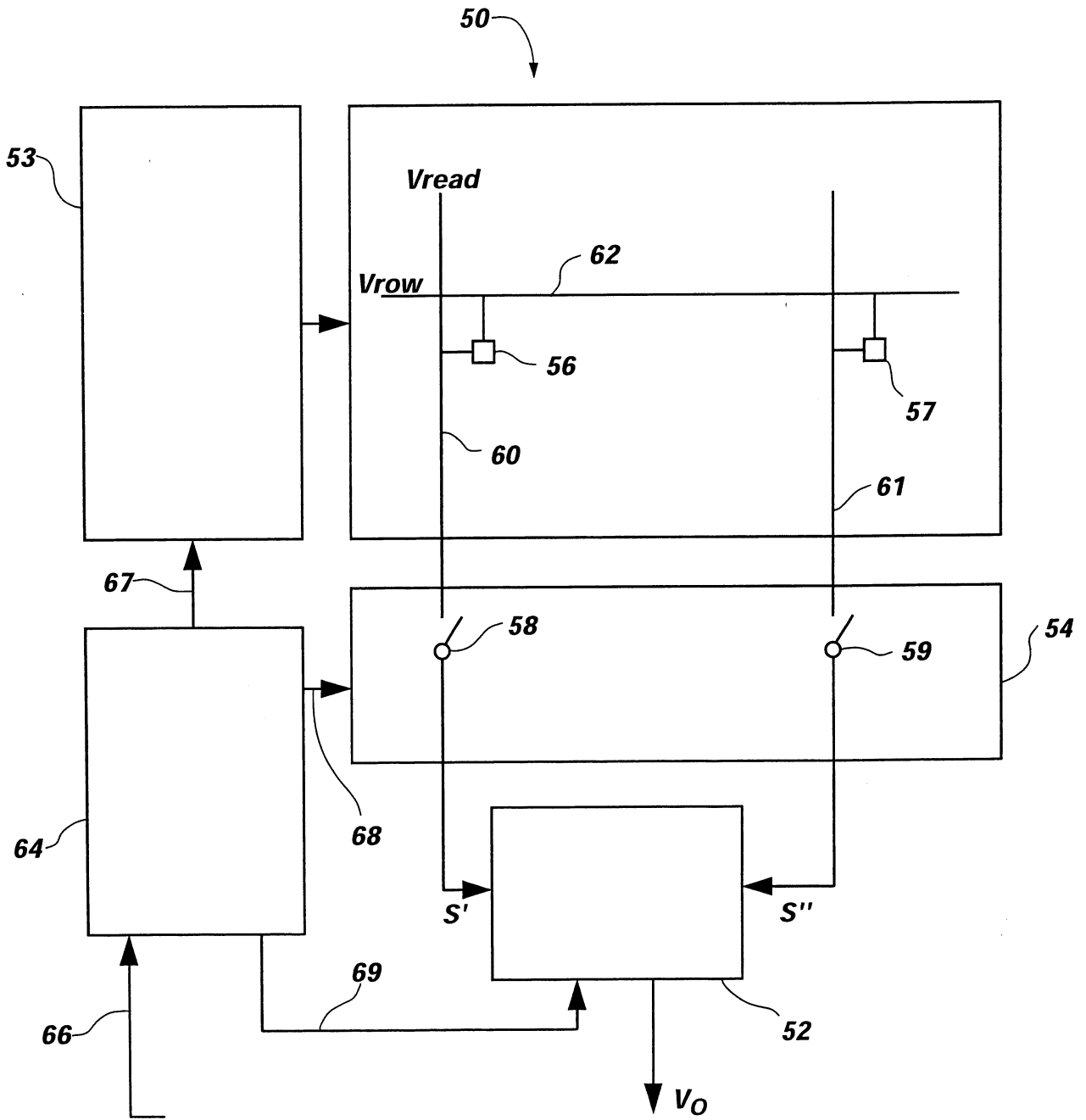
第 4A 圖



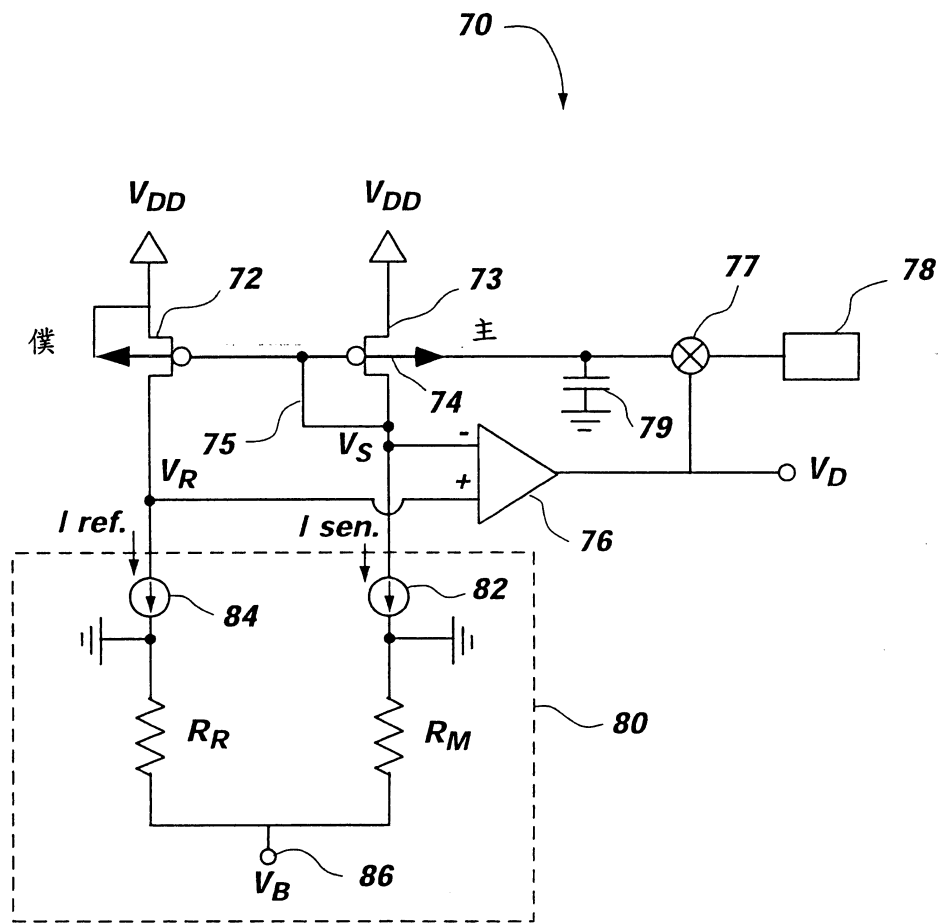
第 4B 圖



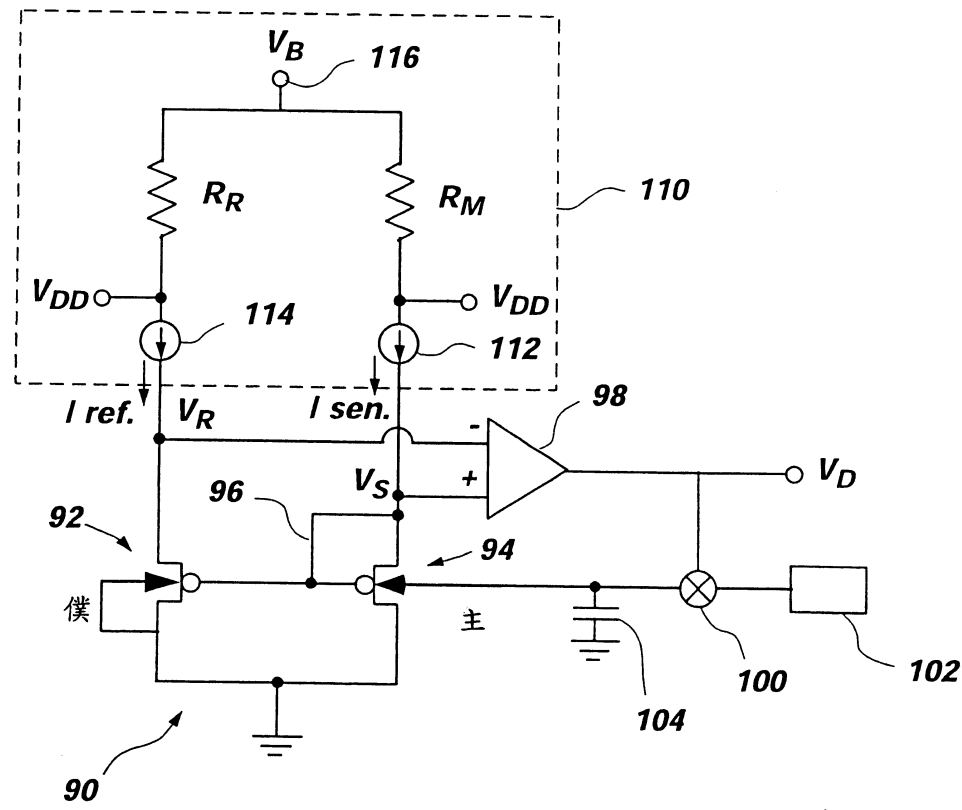
第 4C 圖



第 5 圖



第 6 圖



第 7 圖

陸、(一)、本案指定代表圖爲：第6圖

(二)、本代表圖之元件代表符號簡單說明：

72…僕電晶體

73…主電晶體

74…背閘

75…連接器

76,77,78,79…電壓調整裝置

80…感測電路

82,84…電流產生器

86…節點

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：