



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0075385
(43) 공개일자 2019년07월01일

(51) 국제특허분류(Int. Cl.)
H01G 13/00 (2006.01) H01J 37/06 (2006.01)
(52) CPC특허분류
H01G 13/00 (2013.01)
H01J 37/06 (2013.01)
(21) 출원번호 10-2017-0176929
(22) 출원일자 2017년12월21일
심사청구일자 2017년12월21일

(71) 출원인
울산과학기술원
울산광역시 울주군 언양읍 유니스트길 50
(72) 발명자
박형욱
울산광역시 울주군 언양읍 유니스트길 50
김지수
울산광역시 울주군 언양읍 유니스트길 50
(74) 대리인
특허법인다나

전체 청구항 수 : 총 11 항

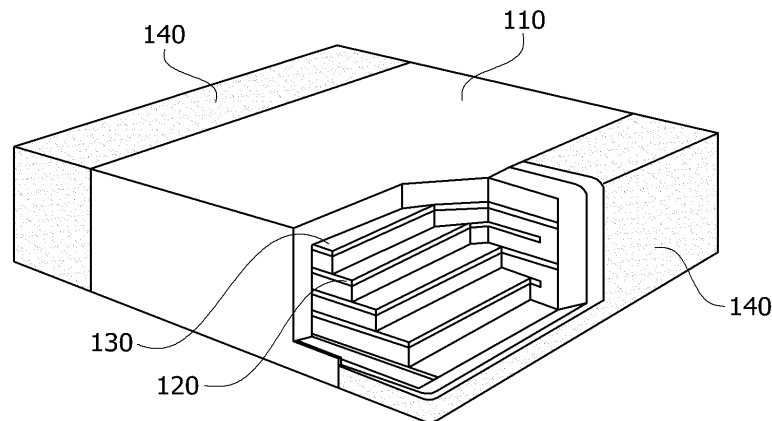
(54) 발명의 명칭 적층 세라믹 콘덴서 표면 처리 장치 및 방법

(57) 요약

본 발명의 실시예에 따르면, 내부에 플라즈마가 형성되는 챔버; 상기 챔버내에 위치하며 상부면에 전도성 테이프층이 배치되고, 상기 전도성테이프층의 상부면에는 적층 세라믹 콘덴서(MLCC, Multi-Layer Ceramic Capacitor)를 수용하기 위한 공간이 마련되는 스테이지; 캐소드 및 애노드를 포함하는 가속 전극 및 솔레노이드 코일을 포함하며 상기 플라즈마를 통하여 상기 스테이지상에 펄스빔을 조사하는 전자총 및 상기 전자총 및 상기 스테이지를 제어하는 제어부를 포함하며, 상기 제어부는 상기 가속 전극의 전압을 12kV 내지 13kV로 조절하는 적층 세라믹 콘덴서 표면 처리 장치를 제공한다.

대표도 - 도1

100



이 발명을 지원한 국가연구개발사업

과제고유번호 1711052028

부처명 과학기술정보통신부

연구관리전문기관 한국연구재단

연구사업명 개인기초연구(미래부)

연구과제명 전자빔 기반 하이브리드 디버팅 공정 기술 및 멀티피직스 모델 연구

기 여 율 1/1

주관기관 울산과학기술원

연구기간 2017.05.01 ~ 2018.04.30

명세서

청구범위

청구항 1

내부에 플라즈마가 형성되는 챔버;

상기 챔버내에 위치하며 상부면에 전도성 테이프층이 배치되고, 상기 전도성테이프층의 상부면에는 적층 세라믹 콘덴서(MLCC, Multi-Layer Ceramic Capacitor)를 수용하기 위한 공간이 마련되는 스테이지;

캐소드 및 애노드를 포함하는 가속 전극 및 솔레노이드 코일을 포함하며 상기 플라즈마를 통하여 상기 스테이지 상에 펄스빔을 조사하는 전자총 및

상기 전자총 및 상기 스테이지를 제어하는 제어부를 포함하며,

상기 제어부는 상기 가속 전극의 전압을 12kV 내지 13kV로 조절하는 적층 세라믹 콘덴서 표면 처리 장치.

청구항 2

제1항에 있어서,

상기 전도성 테이프층은 카본 테이프를 포함하는 적층 세라믹 콘덴서 표면 처리 장치.

청구항 3

제2항에 있어서,

복수개의 적층 세라믹 콘덴서가 상기 전도성 테이프층 상부에 소정 간격 이격하여 배치되는 적층 세라믹 콘덴서 표면 처리 장치.

청구항 4

제1항에 있어서, 상기 제어부는

상기 전자총 및 상기 스테이지를 제어하여 상기 적층 세라믹 콘덴서의 마감 부분(termination)에 상기 펄스빔이 조사되도록 제어하는 적층 세라믹 콘덴서 표면 처리 장치.

청구항 5

제1항에 있어서,

상기 제어부는 상기 솔레노이드 코일의 전압을 0.5 내지 1.5kV로 조절하여 상기 펄스빔 가속 전자의 회전 반경을 조절하는 적층 세라믹 콘덴서 표면 처리 장치.

청구항 6

챔버 내의 스테이지상에 전도성 테이프층을 배치하는 단계;

상기 전도성 테이프층 상부에 적층 세라믹 콘덴서를 배치하는 단계;

솔레노이드 코일에 펄스 전류를 인가하여 챔버내에 플라즈마를 생성하는 단계;

챔버내의 캐소드 및 애노드를 포함하는 가속 전극의 전압을 12kV 내지 13kV로 조절하는 단계;

상기 가속 전극 사이에 펄스빔이 생성되는 단계;

상기 펄스빔이 솔레노이드 코일에 의하여 나선형으로 가속되어 스테이지상의 적층 세라믹 콘덴서에 조사되는 단계를 포함하는 적층 세라믹 콘덴서 표면 처리 방법.

청구항 7

제6항에 있어서,

상기 전도성 테이프층은 카본 테이프를 포함하는 적층 세라믹 콘덴서 표면 처리 방법.

청구항 8

제7항에 있어서,

복수개의 적층 세라믹 콘덴서가 상기 전도성 테이프층 상부에 소정 간격 이격하여 배치되는 적층 세라믹 콘덴서 표면 처리 방법.

청구항 9

제6항에 있어서,

상기 제어부가 상기 솔레노이드 코일의 전압을 0.5 내지 1.5kV로 조절하여 상기 펄스빔 가속 전자의 회전 반경을 조절하는 단계를 더 포함하는 적층 세라믹 콘덴서 표면 처리 방법.

청구항 10

제6항에 있어서,

상기 전자총 및 상기 스테이지를 제어하여 상기 적층 세라믹 콘덴서의 마감(termination) 부분에 상기 펄스빔이 조사되도록 제어하는 단계를 더 포함하는 적층 세라믹 콘덴서 표면 처리 방법.

청구항 11

제6항에 있어서,

상기 펄스빔이 조사된 적층 세라믹 콘덴서 표면을 코팅하는 단계를 더 포함하는 적층 세라믹 콘덴서 표면 처리 방법.

발명의 설명

기술 분야

[0001] 본 발명의 일실시예는 적층 세라믹 콘덴서 표면 처리 장치 및 방법에 관한 것이다.

배경 기술

[0002] 최근 전자기기의 다기능화 소형화 추세는 급속히 진행됨에 따라 전자부품의 소형화와 성능향상도 빠른 속도로 진행되고 있으며, 자동차, 네트워크 장비 등 전장품 및 산업용에 대응하는 고신뢰성을 요구하는 전자부품의 채용도 크게 증가하고 있다. 이와 같은 시장요구에 부응하기 위한 수동부품(인덕터, 커패시터, 저항)의 기술 개발이 경쟁이 가속화 되고 있으며, 특히 적층 세라믹 콘덴서(MLCC, Multilayer Ceramic Chip Capacitor)의 경우에

유전체층과 내부전극층의 박층화에 기반한 초고용량제품개발로 시장을 선점하기 위한 노력이 경주되고 있다.

- [0003] 적층 세라믹 콘덴서는 세라믹 그린시트 위에 내부전극용 페이스트를 인쇄, 건조한 인쇄 시트를 수백 층 겹쳐 적층하고, 이를 소성시켜 제조한다. 내부 전극용 페이스트는 내부 전극의 재료가 되는 금속 분말과 세라믹 분말, 분산제, 첨가제, 바인더 및 용제 등을 포함한다. 상기 내부 전극용 페이스트를 세라믹 그린시트 위에 인쇄하게 되면, 금속 분말, 세라믹 분말, 및 용제 및 기타 유기물 등이 도포된 상태로 존재한다.
- [0004] 그러나, 페이스트 건조시, 페이스트에 포함된 용제와 같은 성분들이 휘발되면서 부분적으로 건조 표면에 빈 공간이 생기게 되고(porous), 치밀도가 감소하며, 인쇄 두께 단면의 곡선이 불규칙적인 형태를 띄게 된다.
- [0005] 따라서, 내부 전극층의 인쇄 두께를 균일하게 하기 위해서 내부 전극 페이스트 제조에 사용되는 금속 분말과 세라믹 분말, 분산제, 첨가제, 바인더, 및 용제의 혼합 과정에서 분산성을 높임으로써 미분산 응집체나 뭉침을 최소화하는 것이 중요하다.
- [0006] 한편, 인쇄 단면 곡선의 건조 표면 형상을 나타내는 척도인 표면 거칠기(조도)는 주로 단면곡선의 중심선 평균 거칠기 R_a 와 중심선으로부터 높이가 가장 낮은 부분과 가장 높은 부분을 취한 최고값 거칠기 R_{max} 로 많이 표현된다.
- [0007] 여기서 조도 R_a 가 높을수록 건조 표면이 불균일하여 높이 차가 많이 나고, R_{max} 가 높을수록 측정 부위별 두께 편차가 심하고 건조 표면이 불균일하다고 할 수 있다. 미세 표면을 확대 관찰하여 등고선의 형태로 높낮이를 구분하여 조도를 확인할 수도 있다.
- [0008] 적층 세라믹 콘덴서의 제조 공정상 세라믹 그린시트 위에 페이스트를 인쇄, 건조한 인쇄시트를 수백 층 겹쳐 적층하게 되는데, 이 경우 국부적으로 페이스트의 건조 표면 조도가 높을 경우 쇼트(short) 불량 발생할 수 있다.

발명의 내용

해결하려는 과제

- [0009] 본 발명이 이루고자 하는 기술적 과제는 표면 거칠기의 평탄화를 통하여 안정성과 수율을 향상시킬 수 있는 적층 세라믹 콘덴서 표면 처리 장치 및 방법을 제공하는데 있다.

과제의 해결 수단

- [0010] 본 발명의 실시예에 따르면, 내부에 플라즈마가 형성되는 챔버; 상기 챔버내에 위치하며 상부면에 전도성 테이프층이 배치되고, 상기 전도성테이프층의 상부면에는 적층 세라믹 콘덴서(MLCC, Multi-Layer Ceramic Capacitor)를 수용하기 위한 공간이 마련되는 스테이지; 캐소드 및 애노드를 포함하는 가속 전극 및 솔레노이드 코일을 포함하며 상기 플라즈마를 통하여 상기 스테이지상에 펄스빔을 조사하는 전자총 및 상기 전자총 및 상기 스테이지를 제어하는 제어부를 포함하며, 상기 제어부는 상기 가속 전극의 전압을 12kV 내지 13kV로 조절하는 적층 세라믹 콘덴서 표면 처리 장치를 제공한다.
- [0011] 상기 전도성 테이프층은 카본 테이프를 포함할 수 있다.
- [0012] 복수개의 적층 세라믹 콘덴서가 상기 전도성 테이프층 상부에 소정 간격 이격하여 배치될 수 있다.
- [0013] 상기 제어부는 상기 전자총 및 상기 스테이지를 제어하여 상기 적층 세라믹 콘덴서의 마감 부분(termination)에 상기 펄스빔이 조사되도록 제어할 수 있다.
- [0014] 상기 제어부는 상기 솔레노이드 코일의 전압을 0.5 내지 1.5kV로 조절하여 상기 펄스빔 가속 전자의 회전 반경을 조절할 수 있다.
- [0015] 본 발명의 실시예에 따르면, 챔버 내의 스테이지상에 전도성 테이프층을 배치하는 단계; 상기 전도성 테이프층 상부에 적층 세라믹 콘덴서를 배치하는 단계; 솔레노이드 코일에 펄스 전류를 인가하여 챔버내에 플라즈마를 생성하는 단계; 챔버내의 캐소드 및 애노드를 포함하는 가속 전극의 전압을 12kV 내지 13kV로 조절하는 단계; 상기 가속 전극 사이에 펄스빔이 생성되는 단계; 상기 펄스빔이 솔레노이드 코일에 의하여 나선형으로 가속되어 스테이지상의 적층 세라믹 콘덴서에 조사되는 단계를 포함하는 적층 세라믹 콘덴서 처리 방법을 제공한다.
- [0016] 상기 전도성 테이프층은 카본 테이프를 포함할 수 있다.

- [0017] 복수개의 적층 세라믹 콘덴서가 상기 전도성 테이프층 상부에 소정 간격 이격하여 배치될 수 있다.
- [0018] 상기 제어부가 상기 솔레노이드 코일의 전압을 0.5 내지 1.5kV로 조절하여 상기 펄스빔 가속 전자의 회전 반경을 조절하는 단계를 더 포함할 수 있다.
- [0019] 상기 전자총 및 상기 스테이지를 제어하여 상기 적층 세라믹 콘덴서의 마감(termination) 부분에 상기 펄스빔이 조사되도록 제어하는 단계를 더 포함할 수 있다.
- [0020] 상기 펄스빔이 조사된 적층 세라믹 콘덴서 표면을 코팅하는 단계를 더 포함할 수 있다.

발명의 효과

- [0021] 본 발명인 적층 세라믹 콘덴서 표면 처리 장치 및 방법은 적층 세라믹 콘덴서의 표면 조도를 평탄화하여 안정성 및 수율을 향상시킬 수 있다.
- [0022] 또한, 최적의 세기를 가지는 펄스빔을 조사하여 적층 세라믹 콘덴서의 크랙을 방지할 수 있다.
- [0023] 또한, 친환경적인 기술로 화학적 유해 물질을 사용하지 않고 피처리물의 표면 성능을 향상시킬 수 있다.

도면의 간단한 설명

- [0024] 도1은 본 발명의 일실시예에 따른 적층 세라믹 콘덴서의 단면도이다.
- 도 2는 본 발명의 일실시예에 따른 적층 세라믹 콘덴서 표면 처리 장치의 단면도이다.
- 도3 은 본 발명의 실시예에 따른 적층 세라믹 콘덴서 표면 처리 결과를 설명하기 위한 이미지이다.
- 도4 내지 도9는 본 발명의 실시예에 따른 적층 세라믹 콘덴서의 마감 처리 결과와 비교하기 위한 비교예를 설명하기 위한 도면이다.
- 도10은 본 발명의 일실시예에 따른 적층 세라믹 콘덴서의 표면 처리 방법의 순서도이다.

발명을 실시하기 위한 구체적인 내용

- [0025] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0026] 제2, 제1 등과 같이 서수를 포함하는 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되지는 않는다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제2 구성요소는 제1 구성요소로 명명될 수 있고, 유사하게 제1 구성요소도 제2 구성요소로 명명될 수 있다. 및/또는 이라는 용어는 복수의 관련된 기재된 항목들의 조합 또는 복수의 관련된 기재된 항목들 중의 어느 항목을 포함한다.
- [0027] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다.
- [0028] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0029] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

- [0030] 이하, 첨부된 도면을 참조하여 실시예를 상세히 설명하되, 도면 부호에 관계없이 동일하거나 대응하는 구성 요소는 동일한 참조 번호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.
- [0031] 도1은 본 발명의 일실시예에 따른 적층 세라믹 콘덴서의 단면도이다. 도1을 참조하면, 적층 세라믹 콘덴서(100)는 몸체(110)를 포함하고 있다. 몸체(110)는 육면체 형상일 수 있다. 몸체(110)의 가장자리는 모서리나 능선이 둥근 형상을 포함하고, 표면에 요철이 형성될 수 있다.
- [0032] 몸체(110)는 복수의 적층된 세라믹(120)층과, 복수의 세라믹층(120) 간의 특정 계면을 따라 형성된 복수의 내부전극(130)을 포함할 수 있다.
- [0033] 세라믹층(120)은 예를 들면 티탄산바륨(BaTiO_3), 티탄산칼슘(CaTiO_3), 티탄산스트론튬(SrTiO_3), 또는 지르콘산칼슘(CaZrO_3) 등을 주성분으로 하는 유전체 세라믹으로 이루어질 수 있다. 세라믹층(120)은, 또한 부성분으로 Mn, Mg, Si, Co, Ni, 또는 희토류 원소 등을 포함할 수 있다.
- [0034] 몸체(110)의 서로 대향하는 측면에는, 각각 내부전극(130)에 전기적으로 접속되는 외부전극(140)이 형성될 수 있다. 외부전극(140)은, 예를 들면 Ni 분말 및 세라믹 분말을 포함하는 도전성 페이스트의 베이킹에 의해 형성될 수 있다.
- [0035] 또한, 외부전극(140)은 몸체(110)의 가장자리 또는 모서리를 덮는 형태로 형성될 수 있다.
- [0036] 외부전극(140) 상에는 도금막이 형성될 수 있다. 도금막은, 예를 들면 Cu 도금막으로 구성되거나, Cu 도금층, 그 위의 Ni 도금층 및 그 위의 Sn 도금층으로 구성될 수 있다. 예를 들어, 적층 세라믹 콘덴서(100)가 다층 기관에 설치되는 경우에는 Cu 도금막이 형성될 수 있고, 표면 실장부품으로 이용되는 경우에는 Cu 도금층, Ni 도금층 및 Sn 도금층으로 이루어지는 도금막이 형성될 수 있다.
- [0037] 본 발명에서는 적층 세라믹 콘덴서(100)의 외부전극(140)을 실장하는 도금막을 마감 부분(termination)으로 설명하기로 한다.
- [0038] 도 2는 본 발명의 일실시예에 따른 적층 세라믹 콘덴서 표면 처리 장치의 단면도이다.
- [0039] 도1 및 도 2를 참조하면, 본 발명에 따른 적층 세라믹 콘덴서 표면 처리 장치는 챔버(10), 스테이지(20), 전도성 테이프층(21), 전자총(30) 및 제어부(40)를 포함하여 구성될 수 있다.
- [0040] 챔버(10)는 진공 상태(Vacuum)로 내부에는 아르곤 가스가 충전되어 있다. 챔버(10) 내부는 0.03Pa로 진공배기된 후, 아르곤(Ar) 가스가 주입되어 진공도가 0.05Pa 유지될 수 있다.
- [0041] 스테이지(20)는 챔버(10) 내부에 위치하며 적층 세라믹 콘덴서(100)를 수용할 수 있다. 스테이지(20)는 펄스빔이 조사될 수 있도록 펄스빔의 조사 방향에 위치할 수 있다. 스테이지(20)는 제어부(40)의 제어에 따라 회전 및 이동이 가능하도록 마련되어 있다.
- [0042] 스테이지(20)의 상부에는 전도성 테이프층(21)이 배치될 수 있다. 전도성 테이프층(21)은 스테이지(20)의 상부면을 따라 스테이지(20) 상부면 표면의 일부 또는 전면을 커버할 수 있도록 배치될 수 있다. 전도성 테이프층(21)의 상부면에는 적층 세라믹 콘덴서(100)를 수용하기 위한 공간이 마련될 수 있다. 전도성 테이프층(21)은 스테이지(20)상에서 발생한 열을 적층 세라믹 콘덴서(100)로 전달할 수 있다. 전도성 테이프층(21)은 우수한 열전도 특성을 가지고 있는 재료로 구성될 수 있으며, 예를 들면, 카본 테이프에 이루어질 수 있다.
- [0043] 적층 세라믹 콘덴서(100)는 전도성 테이프층(21) 상부면을 따라 배치될 수 있다. 적층 세라믹 콘덴서(100)는 복수개의 적층 세라믹 콘덴서(100)가 전도성 테이프(21)층 상부에 소정 간격 이격하여 배치될 수 있다. 적층 세라믹 콘덴서(100)의 배열 면적과 이격 간격은 펄스빔 가속 전자의 회전 반경에 따라 달라질 수 있다.
- [0044] 전자총(30)은 캐소드(31) 및 애노드(32)를 포함하는 가속 전극(33) 및 솔레노이드 코일(34)을 포함하며 플라즈마를 통하여 스테이지(20)상에 펄스빔을 조사할 수 있다. 솔레노이드 코일(34)은 챔버(10)의 외부에 따라 배치될 수 있다. 솔레노이드 코일(34)에 펄스 전류를 인가하면 자장인가에 의해 챔버 내의 전자를 이용하여 플라즈마를 발생 유지한다. 충분한 플라즈마가 생긴 후, 애노드(31) 및 캐소드(32)사이에 가속 전극 전압을 인가하면 폭발적으로 전자가 발생하고, 인가한 가속 전극 전압에 대응하여 전자는 가속된다. 이 때 전자들은 솔레노이드 코일(34)에 의해 유도된 전기 및 자기장을 이용하여 나선형 통로로 가속된다.
- [0045] 제어부(40)는 전자총(30) 및 스테이지(20)를 제어할 수 있다.
- [0046] 제어부(40)는 가속 전극(33)의 전압을 12kV 내지 13kV로 조절할 수 있다.

- [0047] 또한, 제어부(40)는 솔레노이드 코일(34)의 전압을 0.5 내지 1.5kV로 조절하여 펄스빔 가속 전자의 회전 반경을 조절할 수 있다.
- [0048] 또한, 제어부(40)는 펄스빔이 1 내지 10회의 펄스를 가지도록 제어할 수 있다.
- [0049] 이 때, 제어부(40)는 전자총 및 스테이지를 제어하여 적층 세라믹 콘덴서(100)의 마감 부분(140)에 펄스빔이 조사되도록 제어할 수 있다. 즉, 제어부(40)는 적층 세라믹 콘덴서(100)의 몸체(110) 및 마감 부분(140) 중 적어도 하나에 펄스빔이 조사되도록 전자총(30) 및 스테이지(20)를 제어할 수 있다. 제어부(40)는 표면 조도(roughness)를 개선하기 위하여 적층 세라믹 콘덴서(100)의 몸체(110) 및 마감 부분(140) 전체에 펄스빔을 조사하거나, 몸체(110)에만 펄스빔을 조사하거나 또는 마감 부분(140)에만 펄스빔을 조사하도록 하여 선택적으로 표면 거칠기를 개선할 수 있다. 이 때, 제어부(40)는 적층 세라믹 콘덴서(100)의 몸체(110)에 조사되는 펄스빔의 가속 전극 전압 및 펄스빔의 조사 횟수와 마감 부분(140)에 조사되는 펄스빔의 가속 전극 전압 및 펄스빔의 조사 횟수를 상이하게 조절할 수 있다. 이에 의하여, 적층 세라믹 콘덴서(100)의 몸체(110)와 마감 부분(140)의 표면 거칠기를 원하는 스펙에 따라 다양하게 조절할 수 있다.
- [0050] 도3 은 본 발명의 실시예에 따른 적층 세라믹 콘덴서 표면 처리 결과를 설명하기 위한 이미지이다.
- [0051] 도3은 가속 전극 전압(Va)을 변화시켜 펄스빔을 조사한 경우 적층 세라믹 콘덴서의 몸체와 마감 부분의 SEM(Scanning Electron Microscope)이미지이다. 도3을 참조하면, 가속 전극 전압(Va)이 15kV, 14kV에서 13kV로 감소되었을 때 몸체의 크랙(crack)이 현저하게 감소되었음을 확인할 수 있다. 또한, 가속 전극 전압(Va)이 11kV 인 경우, 12kV인 경우와 비교하여 몸체와 마감 부분의 광택이 현저하게 낮아지는 것을 확인할 수 있다. 따라서, 가속 전극 전압(Va)을 12kV 내지 13kV로 하여 펄스빔을 조사할 때, 적층 세라믹 콘덴서의 몸체와 마감 부분의 광택이 현저하게 개선됨과 동시에 크랙 발생을 유의미하게 억제할 수 있음을 확인할 수 있다.
- [0052] 도4 내지 도9는 본 발명의 실시예에 따른 적층 세라믹 콘덴서의 마감 처리 결과와 비교하기 위한 비교예를 설명하기 위한 도면이다.
- [0053] 도4는 30kV의 가속 전극 전압(Va), 1.5kV의 솔레노이드 전압에 따라 30mm의 조사 높이에서 10회의 펄스빔이 도금 처리 되지 않은 마감 부분에 조사된 경우의 표면 이미지이다. 도4를 참조하면, 펄스빔의 조사에 의하여 너무 높은 에너지 밀도로 인해 도금 처리 되지 않은 세라믹에 표면 공극이 생성되고, 표면(surface), 상단 가장자리(edge) 및 측면 가장자리(side edge) 모두 손상되어 있는 것을 확인할 수 있다.
- [0054] 도5는 30kV의 가속 전극 전압(Va), 1.5kV의 솔레노이드 전압에 따라 30mm의 조사 높이에서 10회의 펄스빔이 Cu 및 Glass로 도금 처리된 마감 부분에 조사된 경우의 표면 이미지이다. 도5를 참조하면, 빠른 용융 및 재응고로 인해 마감 부분이 용해 및 수축되었음을 확인할 수 있다. 또한, 마감 부분의 표면(surface의 우측부분)은 연마(polished) 되었으나, 몸체의 표면(surface의 좌측 부분)은 LPEB 조사에 의해 큰 손상을 입었음을 확인할 수 있다.
- [0055] 도6은 30kV의 가속 전극 전압(Va), 1.5kV의 솔레노이드 전압에 따라 30mm의 조사 높이에서 10회의 펄스빔이 Cu, Glass 및 Sn로 도금 처리된 마감 부분에 조사된 경우의 표면 이미지이다. 도6을 참조하면, 마감 부분은 펄스빔 조사로 양호한 상태로 연마되으나, 몸체 표면(surface의 좌측 부분)은 크게 손상되었음을 확인할 수 있다. 따라서, 마감 부분과 몸체 표면이 동시에 양호하게 연마되기 위해서는 가속 전극 전압(Va)의 크기를 감소시켜야 한다.
- [0056] 도7은 30kV의 가속 전극 전압(Va), 1.5kV의 솔레노이드 전압에 따라 30mm의 조사 높이에서 1회의 펄스빔이 몸체에 조사된 경우의 단면 SEM 이미지이다. 도7을 참조하면, 세라믹으로 이루어진 몸체 표면은 펄스빔 조사에 의하여 수많은 균열이 발생하고 치명적으로 손상되었음을 확인할 수 있다. 또한, 세라믹과 내부 전극 사이는 큰 열경사(thermal gradient)에 의하여 갈라져있는 것을 확인할 수 있으며, 균질 구조를 나타내는 몸체 표면에 펄스빔이 조사된 후 기공이 적은 재응고층이 형성되었음을 확인할 수 있다.
- [0057] 도8은 20kV의 가속 전극 전압(Va), 1.2kV의 솔레노이드 전압에 따라 30mm의 조사 높이에서 1회의 펄스빔이 몸체에 조사된 경우의 단면 SEM 이미지이다. 도8을 참조하면, 가속 전극 전압(Va)을 20kV로 감소시킴으로써 펄스빔 조사 후 균질 비정질 재응고층이 형성되었으며, 크랙의 크기가 대부분 감소되었음을 확인할 수 있다. 그러나, 여전히 고밀도 미세 균열이 펄스빔 조사에 의하여 생성되었으며, 몸체와 내부전극의 계면에서 미세한 박리가 관찰되었다.
- [0058] 도9는 15kV의 가속 전극 전압(Va), 1.0kV의 솔레노이드 전압에 따라 30mm의 조사 높이에서 1회의 펄스빔이 몸체

에 조사된 경우의 단면 SEM 이미지이다. 도9를 참조하면, 가속 전극 전압(Va)을 15kV로 감소시킴으로써 미세한 크랙이 간헐적으로만 생성되었으며, 몸체와 내부전극의 계면에서 박리가 관찰되지 않았다. 또한, 펄스빔 조사 후 크랙 밀도가 크게 감소하였으나 크랙 발생을 더 억제시키기 위해서는 가속 전극 전압(Va)의 추가적인 감소가 필요함을 확인할 수 있다.

- [0059] 다시 도3을 참조하면, 본 발명의 실시예에 따라 12kV 내지 13kV의 가속 전극 전압에 따라 펄스빔을 조사할 경우 적층 세라믹 콘텐서의 몸체와 마감 부분 모두에서 크랙 발생이 현저하게 억제되는 것을 확인할 수 있다. 또한, 다른 가속 전극 전압의 범위와 비교하여 연마 정도가 현저하게 개선되었음을 확인할 수 있다.
- [0060] 도10은 본 발명의 실시예에 따른 적층 세라믹 콘텐서의 표면 처리 방법의 순서도이다.
- [0061] 도10을 참조하면, 먼저, 챔버 내의 스테이지상에 전도성 테이프층을 배치한다. 전도성 테이프층은 스테이지의 상부면을 따라 연속적으로 배치될 수 있으며, 예를 들면 카본 테이프를 이루어질 수 있다(S1001).
- [0062] 다음으로, 전도성 테이프층 상부에 적층 세라믹 콘텐서를 배치한다. 적층 세라믹 콘텐서는 복수개의 적층 세라믹 콘텐서가 상호간 소정 간격 이격하여 배치될 수 있다(S1002).
- [0063] 다음으로, 제어부는 솔레노이드 코일에 펄스 전류를 인가하여 챔버내에 플라즈마를 생성한다. 챔버는 진공 상태로 내부에는 아르곤 가스가 충전되어 있다. 챔버 내부는 0.03Pa로 진공배기된 후, 아르곤(Ar) 가스가 주입되어 진공도가 0.05Pa 유지되어 있다. 이 때, 솔레노이드 코일에 펄스 전류가 인가되면 자장인가에 의해 챔버 내의 전자를 이용하여 플라즈마가 발생 유지된다(S1003).
- [0064] 다음으로, 제어부는 챔버내의 캐소드 및 애노드를 포함하는 가속 전극의 전압을 12kV 내지 13kV로 조절한다. 제어부는 캐소드에 고전압을 인가하여 애노드 및 캐소드 사이에 12kV 내지 13kV 가속 전압을 형성한다(S1004).
- [0065] 다음으로, 가속 전극 사이에 펄스빔이 생성된다. 충분한 플라즈마가 생긴 후, 애노드 및 캐소드 사이에 가속 전압을 인가하면 폭발적으로 전자가 발생하고, 인가한 가속 전압에 대응하여 전자가 가속되어 펄스빔이 생성된다(S1005).
- [0066] 다음으로, 펄스빔이 솔레노이드 코일에 의하여 나선형으로 가속되어 스테이지상의 적층 세라믹 콘텐서에 조사된다. 전자들은 솔레노이드 코일에 의해 유도된 전기 및 자기장을 이용하여 나선형 통로로 가속되어 스테이지상의 적층 세라믹 콘텐서에 조사된다(S1006).
- [0067] 본 실시예에서 사용되는 '~부'라는 용어는 소프트웨어 또는 FPGA(field-programmable gate array) 또는 ASIC과 같은 하드웨어 구성요소를 의미하며, '~부'는 어떤 역할들을 수행한다. 그렇지만 '~부'는 소프트웨어 또는 하드웨어에 한정되는 의미는 아니다. '~부'는 어드레싱할 수 있는 저장 매체에 있도록 구성될 수도 있고 하나 또는 그 이상의 프로세서들을 재생시키도록 구성될 수도 있다. 따라서, 일 예로서 '~부'는 소프트웨어 구성요소들, 객체지향 소프트웨어 구성요소들, 클래스 구성요소들 및 태스크 구성요소들과 같은 구성요소들과, 프로세스들, 함수들, 속성들, 프로시저들, 서브루틴들, 프로그램 코드의 세그먼트들, 드라이버들, 펌웨어, 마이크로코드, 회로, 데이터, 데이터베이스, 데이터 구조들, 테이블들, 어레이들, 및 변수들을 포함한다. 구성요소들과 '~부'들 안에서 제공되는 기능은 더 작은 수의 구성요소들 및 '~부'들로 결합되거나 추가적인 구성요소들과 '~부'들로 더 분리될 수 있다. 뿐만 아니라, 구성요소들 및 '~부'들은 디바이스 또는 보안 멀티미디어카드 내의 하나 또는 그 이상의 CPU들을 재생시키도록 구현될 수도 있다.
- [0068] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

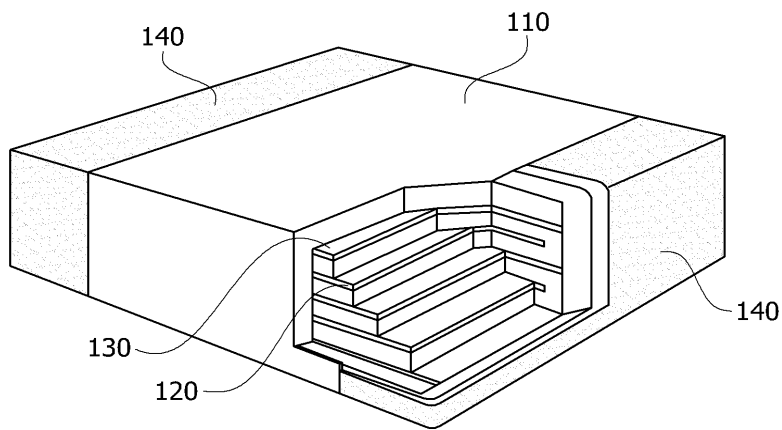
- [0069] 10: 챔버
20: 스테이지
30: 전자총
40: 제어부
100: 적층 세라믹 콘텐서

- 110: 몸체
- 120: 세라믹층
- 130: 내부전극
- 140: 외부전극

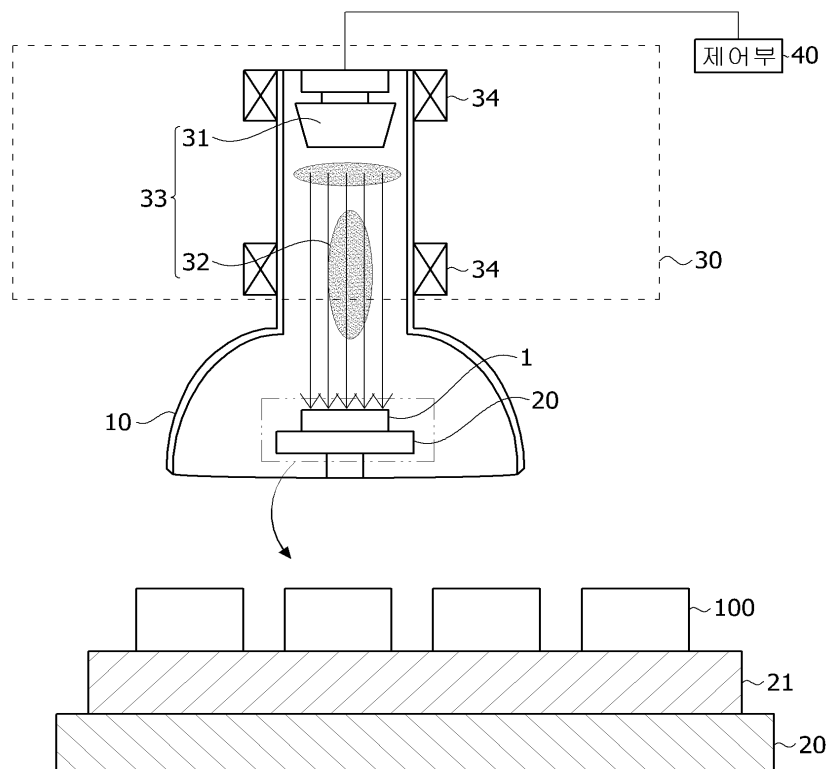
도면

도면1

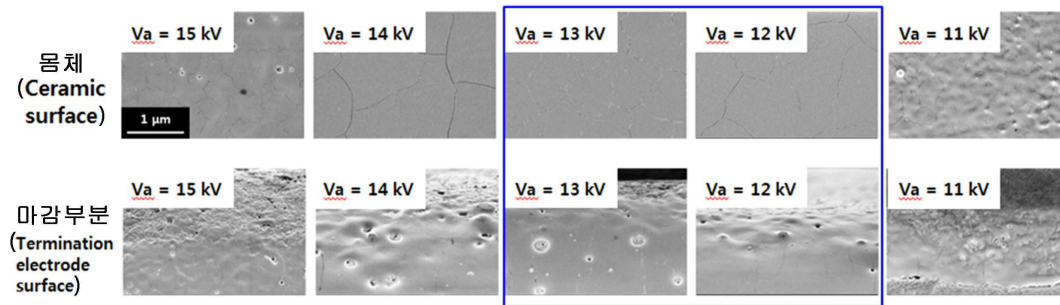
100



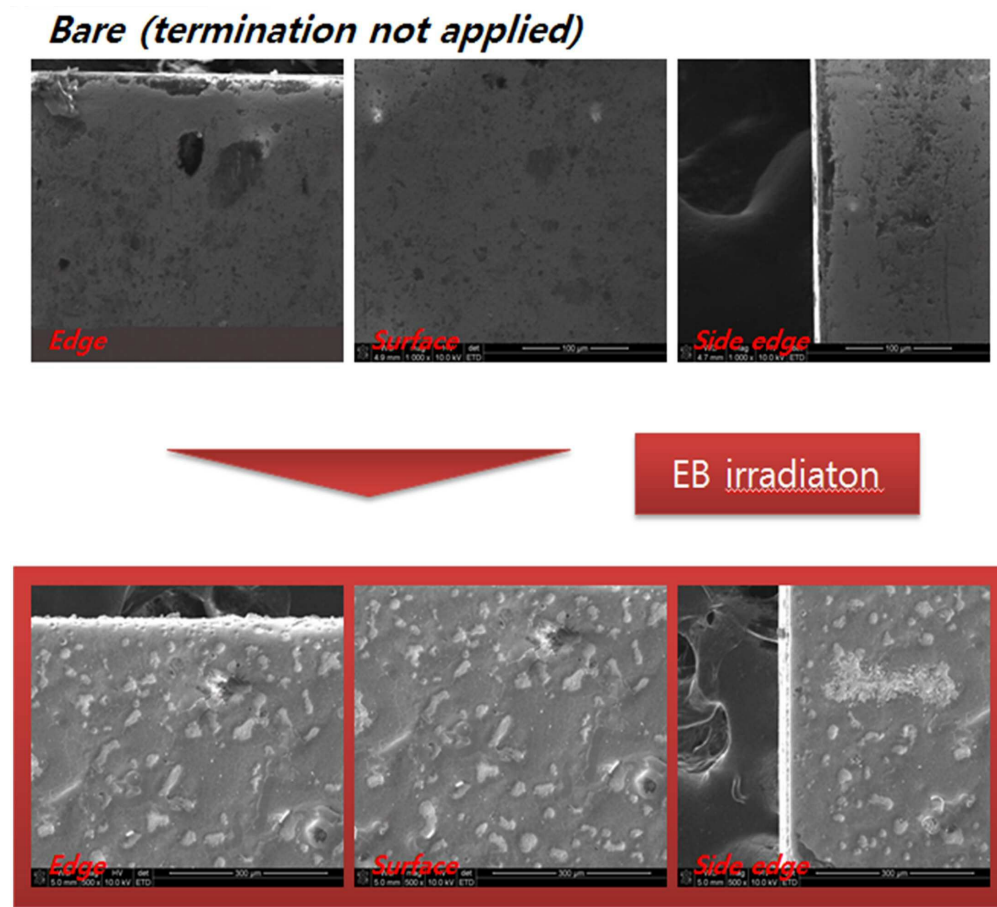
도면2



도면3

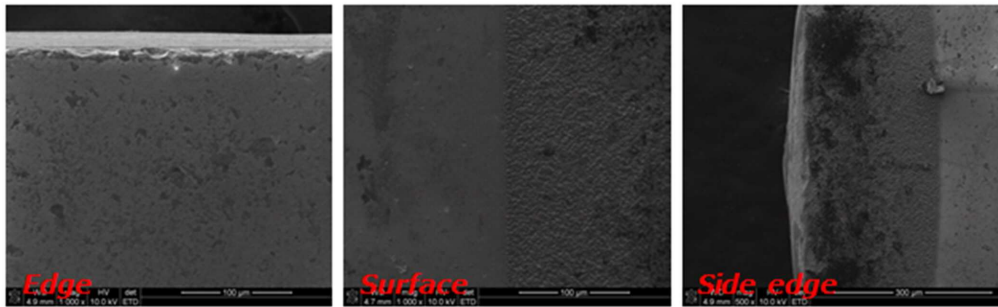


도면4

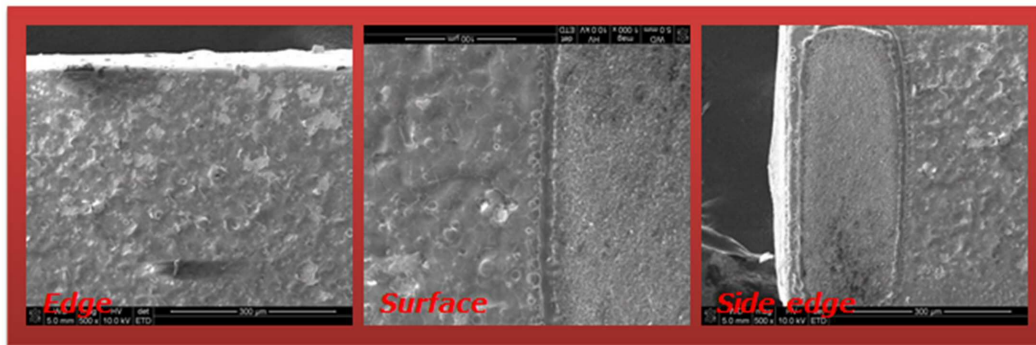


도면5

Cu+Glass termination

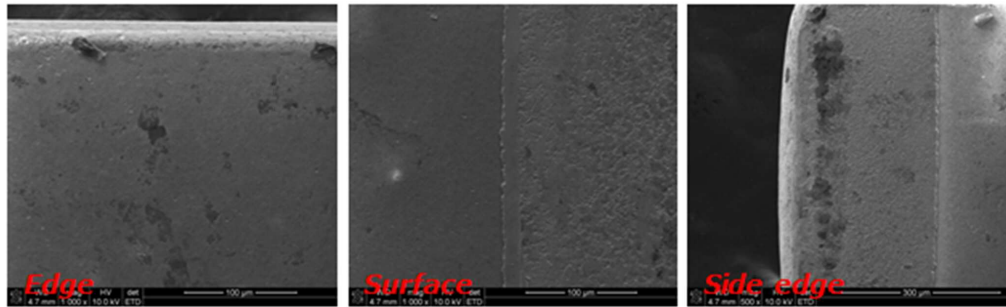


EB irradiation

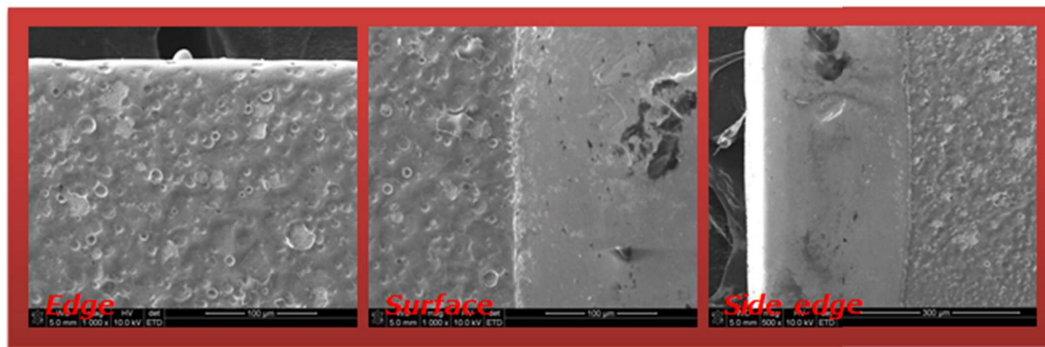


도면6

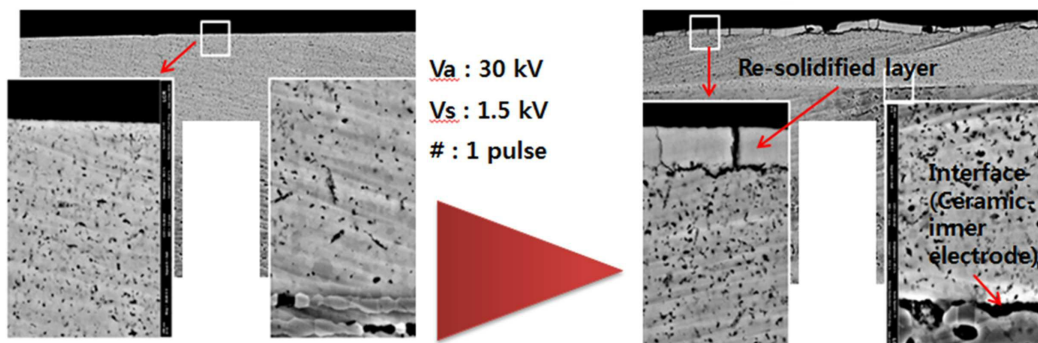
Cu+Glass+Sn termination



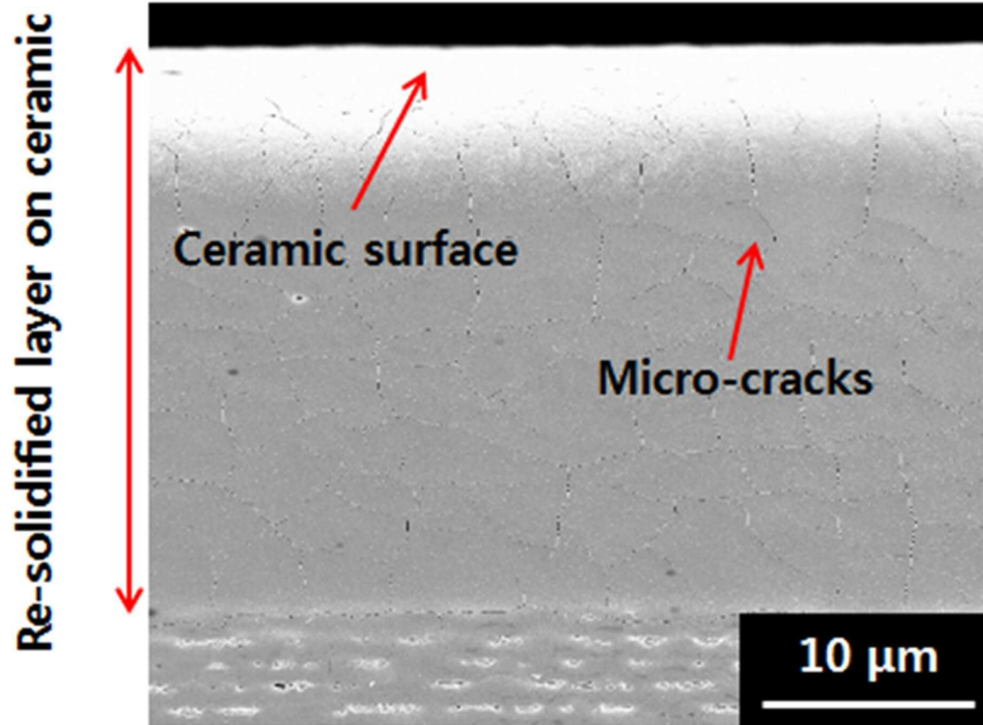
EB irradiation



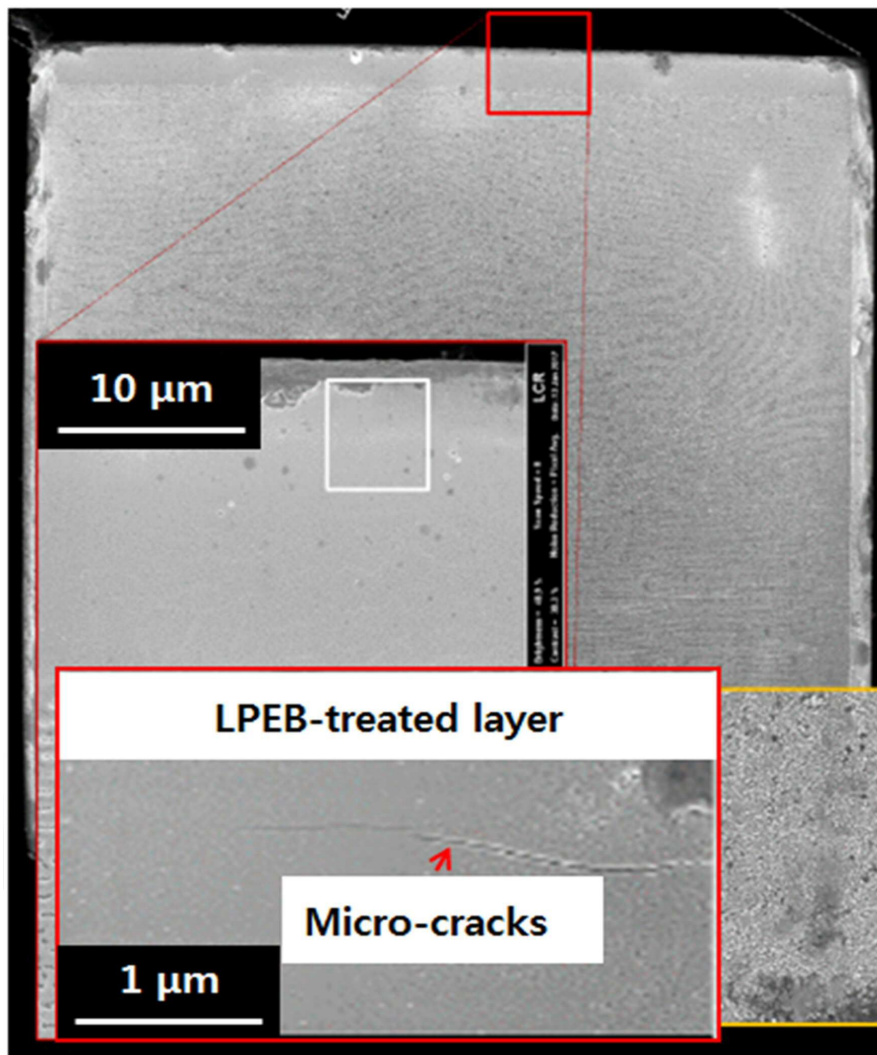
도면7



도면8



도면9



도면10

