

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年5月22日(22.05.2020)



(10) 国際公開番号

WO 2020/100616 A1

(51) 国際特許分類:

G09G 3/3233 (2016.01) H01L 27/32 (2006.01)
G09G 3/20 (2006.01) H01L 51/50 (2006.01)

神奈川県厚木市旭町四丁目14番
1号 Kanagawa (JP).

(21) 国際出願番号: PCT/JP2019/042826

(22) 国際出願日: 2019年10月31日(31.10.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2018-215525 2018年11月16日(16.11.2018) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

(72) 発明者: 豊村 直史 (TOYOMURA, Naobumi);
〒2430014 神奈川県厚木市旭町四丁目14
番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

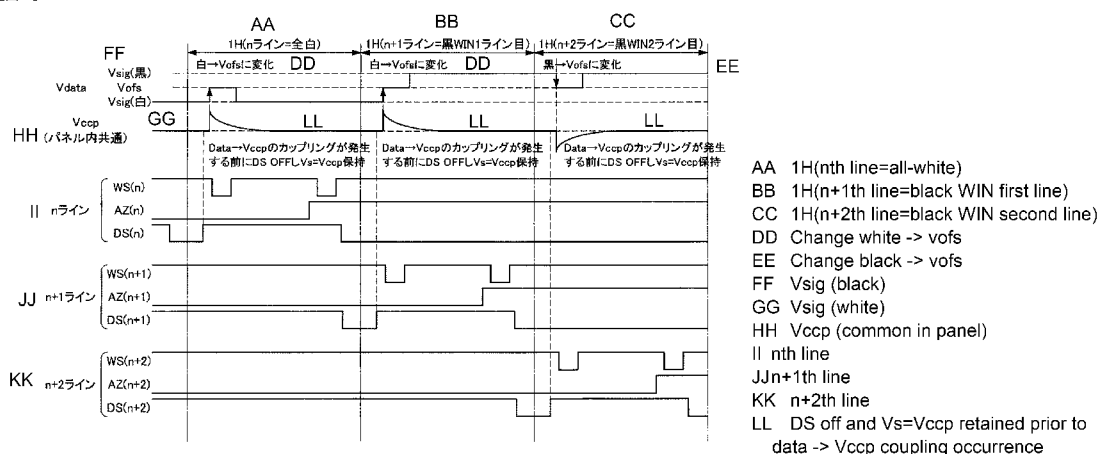
(74) 代理人: 特許業務法人酒井国際特許事務所 (SAKAI INTERNATIONAL PATENT OFFICE); 〒1000013 東京都千代田区霞が関3丁目8番1号 虎の門三井ビルディング Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,

(54) Title: PIXEL CIRCUIT, DISPLAY DEVICE, DRIVE METHOD FOR PIXEL CIRCUIT, AND ELECTRONIC DEVICE

(54) 発明の名称: 画素回路、表示装置、画素回路の駆動方法および電子機器

[図11]



(57) Abstract: Provided is a pixel circuit provided with: a light emitting element (EL); a drive transistor (T2) which has a first terminal connected to the anode of the light emitting element (EL); a sampling transistor (T3) which has a second terminal connected to the gate of the drive transistor (T2) and samples a signal voltage which is written to the drive transistor (T2); a light emission control transistor (T1) which has a first terminal connected to a second terminal of the drive transistor (T2) and a second terminal connected to a power supply line for supplying a power supply voltage; and a reset transistor (T4) which resets the anode of the light emitting element (EL) to a prescribed potential at a prescribed timing. The light emission control transistor (T1) is switched on and the power supply voltage is written to the second terminal of the drive transistor (T2) before the signal voltage switches from a prior frame video signal to a threshold value

[続葉有]

CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

correction reference potential of the drive transistor (T2).

(57) 要約: 発光素子 (E L) と、発光素子 (E L) のアノードに第 1 端子が接続される駆動トランジスタ (T 2) と、駆動トランジスタ (T 2) のゲートに第 2 端子が接続され、駆動トランジスタ (T 2) へ書き込まれる信号電圧をサンプリングするサンプリングトランジスタ (T 3) と、駆動トランジスタ (T 2) の第 2 端子に第 1 端子が接続され、第 2 端子に電源電圧を供給する電源線が接続される発光制御トランジスタ (T 1) と、所定のタイミングで発光素子 (E L) のアノードを所定の電位にリセットするリセットトランジスタ (T 4) と、を備え、信号電圧が、前フレームの映像信号から駆動トランジスタ (T 2) の閾値補正基準電位に切り替わる前に発光制御トランジスタ (T 1) をオンさせて、駆動トランジスタ (T 2) の第 2 端子に電源電圧を書き込む、画素回路が提供される。

明 細 書

発明の名称：

画素回路、表示装置、画素回路の駆動方法および電子機器

技術分野

[0001] 本開示は、画素回路、表示装置、画素回路の駆動方法および電子機器に関する。

背景技術

[0002] 近年、表示装置の分野では、発光部を含む画素が行列状（マトリクス状）に配置されて成る平面型（フラットパネル型）の表示装置が主流となっている。平面型の表示装置の一つとして、発光部に流れる電流値に応じて発光輝度に変化する、所謂、電流駆動型の電気光学素子、例えば、有機エレクトロルミネッセンス（E l e c t r o L u m i n e s c e n c e : E L）素子を用いる有機EL表示装置がある。

[0003] この有機EL表示装置に代表される平面型の表示装置にあつては、電気光学素子を駆動する駆動トランジスタのトランジスタ特性（例えば、閾値電圧）が、プロセスの変動などによって画素毎にばらつく場合がある。その駆動トランジスタの特性の補正動作を行うに当たって、駆動トランジスタのゲートノードに対する初期化電圧の書込み時間の短縮化を可能にした表示装置の技術が、例えば特許文献1に開示されている。

先行技術文献

特許文献

[0004] 特許文献1：特開2015-34861号公報

発明の概要

発明が解決しようとする課題

[0005] しかし、特定のパターンを有する画像を表示しようとする際に、例えば上記特許文献1などで開示されている技術を用いて駆動トランジスタの特性の補正動作を行うと、横クロストークと呼ばれる、白表示部分に輝度差が発生

する現象が生じうる。

[0006] そこで、本開示では、特定のパターンを有する画像を表示しようとする際に横クロストークの発生を防ぐことが可能な、新規かつ改良された画素回路、表示装置、画素回路の駆動方法および電子機器を提案する。

課題を解決するための手段

[0007] 本開示によれば、発光素子と、前記発光素子のアノードに第1端子が接続される駆動トランジスタと、前記駆動トランジスタのゲートに第2端子が接続され、前記駆動トランジスタへ書き込まれる信号電圧をサンプリングするサンプリングトランジスタと、前記駆動トランジスタの第2端子に第1端子が接続され、第2端子に電源電圧を供給する電源線が接続される発光制御トランジスタと、所定のタイミングで前記発光素子のアノードを所定の電位にリセットするリセットトランジスタと、を備え、前記信号電圧が、前フレームの映像信号から前記駆動トランジスタの閾値補正基準電位に切り替わる前に前記発光制御トランジスタをオンさせて、前記駆動トランジスタの第2端子に前記電源電圧を書き込む、画素回路が提供される。

[0008] また本開示によれば、発光素子と、前記発光素子のアノードに第1端子が接続される駆動トランジスタと、前記駆動トランジスタのゲートに第2端子が接続され、前記駆動トランジスタへ書き込まれる信号電圧をサンプリングするサンプリングトランジスタと、前記駆動トランジスタの第2端子に第1端子が接続され、第2端子に電源電圧を供給する電源線が接続される発光制御トランジスタと、所定のタイミングで前記発光素子のアノードを所定の電位にリセットするリセットトランジスタと、を備える画素回路において、前記信号電圧が、前フレームの映像信号から前記駆動トランジスタの閾値補正基準電位に切り替わる前に前記発光制御トランジスタをオンさせて、前記駆動トランジスタの第2端子に前記電源電圧を書き込むことを含む、画素回路の駆動方法が提供される。

図面の簡単な説明

[0009] [図1]本開示の実施の形態に係る表示装置100の構成例を示す説明図である

。

[図2]同実施の形態に係る表示装置100のより詳細な構成例を示す説明図である。

[図3]同実施の形態に係る表示装置100のより詳細な構成例を示す説明図である。

[図4]図3に示した画素回路を抜き出して示した説明図である。

[図5]同実施の形態に係る表示装置100の駆動方法の比較例を示す説明図である。

[図6]表示装置100に表示させる表示パターンの例を示す説明図である。

[図7]比較例における駆動タイミング例を示す説明図である。

[図8]比較例における駆動タイミング例を示す説明図である。

[図9]比較例における駆動タイミング例を示す説明図である。

[図10]比較例における駆動タイミング例を示す説明図である。

[図11]同実施の形態に係る表示装置100の駆動方法を示す説明図である。

[図12]駆動タイミング例を示す説明図である。

[図13]駆動タイミング例を示す説明図である。

[図14]駆動タイミング例を示す説明図である。

[図15]同実施の形態に係る表示装置100の駆動方法を示す説明図である。

[図16]同実施の形態に係る表示装置100の画素回路の変形例を示す説明図である。

[図17]図16に示した画素回路を備える表示装置100における駆動例を示す説明図である。

[図18]図16に示した画素回路を備える表示装置100における駆動例を示す説明図である。

[図19]図16に示した画素回路を備える表示装置100における駆動例を示す説明図である。

[図20]図16に示した画素回路を備える表示装置100における駆動例を示す説明図である。

発明を実施するための形態

[0010] 以下に添付図面を参照しながら、本開示の好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

[0011] なお、説明は以下の順序で行うものとする。

1. 本開示の実施の形態

1. 1. 本開示の表示装置、表示装置の駆動方法、及び、電子機器、全般に関する説明

1. 2. 構成例および動作例

1. 3. 変形例

2. まとめ

[0012] <1. 本開示の実施の形態>

[1. 1. 本開示の表示装置、表示装置の駆動方法、及び、電子機器、全般に関する説明]

本開示の表示装置は、発光部を駆動する駆動トランジスタの他に、サンプリングトランジスタ及び保持容量を有する画素回路が配置されて成る平面型（フラットパネル型）の表示装置である。平面型の表示装置としては、有機EL表示装置、液晶表示装置、プラズマ表示装置などを例示することができる。これらの表示装置のうち、有機EL表示装置は、有機材料のエレクトロルミネッセンスを利用し、有機薄膜に電界をかけると発光する現象を用いた有機EL素子を画素の発光素子（電気光学素子）として用いている。

[0013] 画素の発光部として有機EL素子を用いた有機EL表示装置は次のような特長を持っている。すなわち、有機EL素子が10V以下の印加電圧で駆動できるために、有機EL表示装置は低消費電力である。有機EL素子が自発光型の素子であるために、有機EL表示装置は、同じ平面型の表示装置である液晶表示装置に比べて、画像の視認性が高く、しかも、バックライト等の照明部材を必要としないために軽量化及び薄型化が容易である。更に、有機

ＥＬ素子の応答速度が数マイクロ秒程度と非常に高速であるために、有機ＥＬ表示装置は動画表示時の残像が発生しない。

[0014] 有機ＥＬ素子は、自発光型の素子であるとともに、電流駆動型の電気光学素子である。電流駆動型の電気光学素子としては、有機ＥＬ素子の他に、無機ＥＬ素子、ＬＥＤ素子、半導体レーザー素子などを例示することができる。

[0015] 有機ＥＬ表示装置等の平面型の表示装置は、表示部を備える各種の電子機器において、その表示部（表示装置）として用いることができる。各種の電子機器としては、テレビジョンシステムその他、ヘッドマウントディスプレイ、デジタルカメラ、ビデオカメラ、ゲーム機、ノート型パーソナルコンピュータ、電子書籍等の携帯情報機器、ＰＤＡ（Personal Digital Assistant）や携帯電話機等の携帯通信機器などを例示することができる。

[0016] 本開示の表示装置、表示装置の駆動方法、及び、電子機器にあっては、駆動部について、駆動トランジスタのゲートノードをフローティング状態にした後ソースノードをフローティング状態にする構成とすることができる。また、駆動部について、駆動トランジスタのソースノードをフローティング状態にしたままサンプリングトランジスタによる信号電圧の書込みを行う構成とすることができる。初期化電圧については、信号電圧と異なるタイミングで信号線に供給され、信号線からサンプリングトランジスタによるサンプリングによって駆動トランジスタのゲートノードに書き込まれる構成とすることができる。

[0017] 上述した好ましい構成を含む本開示の表示装置、表示装置の駆動方法、及び、電子機器にあっては、画素回路について、シリコンのような半導体上に形成する構成とすることができる。また、駆動トランジスタについて、Ｐチャネル型のトランジスタから成る構成とすることができる。駆動トランジスタとして、Ｎチャネル型のトランジスタではなく、Ｐチャネル型のトランジスタを用いるのは次の理由による。

- [0018] トランジスタをガラス基板のような絶縁体上ではなく、シリコンのような半導体上に形成する場合、トランジスタは、ソース／ゲート／ドレインの3端子ではなく、ソース／ゲート／ドレイン／バックゲート（ベース）の4端子となる。そして、駆動トランジスタとしてNチャネル型のトランジスタを用いた場合、バックゲート（基板）電圧が0Vとなり、駆動トランジスタの閾値電圧の画素毎のばらつきを補正する動作などに悪影響を及ぼすことになる。
- [0019] また、トランジスタの特性ばらつきは、LDD（Lightly Doped Drain）領域を持つNチャネル型のトランジスタに比べて、LDD領域を持たないPチャネル型のトランジスタの方が小さく、画素の微細化、ひいては、表示装置の高精細化を図る上で有利である。このような理由などから、シリコンのような半導体上への形成を想定した場合、駆動トランジスタとして、Nチャネル型のトランジスタではなく、Pチャネル型のトランジスタを用いるのが好ましい。
- [0020] 上述した好ましい構成を含む本開示の表示装置、表示装置の駆動方法、及び、電子機器にあっては、サンプリングトランジスタについても、Pチャネル型のトランジスタから成る構成とすることができる。
- [0021] あるいは又、上述した好ましい構成を含む本開示の表示装置、表示装置の駆動方法、及び、電子機器にあっては、画素回路について、発光部の発光／非発光を制御する発光制御トランジスタを有する構成とすることができる。このとき、発光制御トランジスタについても、Pチャネル型のトランジスタから成る構成とすることができる。
- [0022] あるいは又、上述した好ましい構成を含む本開示の表示装置、表示装置の駆動方法、及び、電子機器にあっては、保持容量について、駆動トランジスタのゲートノードとソースノードとの間に接続された構成とすることができる。また、画素回路について、駆動トランジスタのソースノードと固定電位のノードとの間に接続された補助容量を有する構成とすることができる。
- [0023] あるいは又、上述した好ましい構成を含む本開示の表示装置、表示装置の

駆動方法、及び、電子機器にあっては、画素回路について、駆動トランジスタのドレインノードと発光部のカソードノードとの間に接続されたスイッチングトランジスタを有する構成とすることができる。このとき、スイッチングトランジスタについても、Pチャネル型のトランジスタから成る構成とすることができる。また、駆動部について、発光部の非発光期間にスイッチングトランジスタを導通状態にする構成とすることができる。

[0024] あるいは又、上述した好ましい構成を含む本開示の表示装置、表示装置の駆動方法、及び、電子機器にあっては、駆動部は、スイッチングトランジスタを駆動する信号を、サンプリングトランジスタによる初期化電圧のサンプリングタイミングよりも前にアクティブ状態にする。そして、発光制御トランジスタを駆動する信号をアクティブ状態にした後に非アクティブ状態にする構成とすることができる。このとき、駆動部について、発光制御トランジスタを駆動する信号を非アクティブ状態にする前に、サンプリングトランジスタによる初期化電圧のサンプリングを完了する構成とすることができる。

[0025] [1. 2. 構成例および動作例]

続いて、本開示の実施の形態に係る表示装置の構成例を説明する。図1は、本開示の実施の形態に係る表示装置100の構成例を示す説明図である。以下、図1を用いて本開示の実施の形態に係る表示装置100の構成例を説明する。

[0026] 画素部110は、有機EL素子その他の自発光素子がそれぞれ設けられた画素がマトリクス状に配置された構成を有する。画素部110は、マトリクス状に配置した画素に対して、走査線がライン単位で水平方向に設けられ、また走査線と直交するように信号線が列毎に設けられる。

[0027] 水平セレクタ120は、所定のサンプリングパルスを順次転送し、このサンプリングパルスで画像データを順次ラッチすることにより、この画像データを各信号線に振り分ける。また水平セレクタ120は、各信号線に振り分けた画像データをそれぞれアナログディジタル変換処理し、これにより各信号線に接続された各画素の発光輝度を時分割により示す駆動信号を生成する

。水平セクタ１２０は、この駆動信号を対応する信号線に出力する。

[0028] 垂直スキャナ１３０は、この水平セクタ１２０による信号線の駆動に応動して、各画素の駆動信号を生成して走査線ＳＣＮに出力する。これにより表示装置１００は、垂直スキャナ１３０により画素部１１０に配置された各画素を順次駆動し、水平セクタ１２０より設定される各信号線の信号レベルで各画素を発光させ、所望の画像を画素部１１０で表示する。

[0029] 図２は、本開示の実施の形態に係る表示装置１００のより詳細な構成例を示す説明図である。以下、図２を用いて本開示の実施の形態に係る表示装置１００の構成例を説明する。

[0030] 画素部１１０には、赤色を表示する画素１１１Ｒ、緑色を表示する画素１１１Ｇ、青色を表示する画素１１１Ｂがマトリクス状に配置されている。

[0031] そして垂直スキャナ１３０は、オートゼロスキャナ１３１、駆動スキャナ１３２及び書き込みスキャナ１３３を有する。それぞれのスキャナから信号が画素部１１０にマトリクス状に配置された画素に供給されることで、それぞれの画素に設けられるＴＦＴのオン、オフ動作が行われる。

[0032] 図３は、本開示の実施の形態に係る表示装置１００のより詳細な構成例を示す説明図である。以下、図３を用いて本開示の実施の形態に係る表示装置１００の構成例を説明する。

[0033] 図３には、画素部１１０にマトリクス状に配置された１つの画素に対する画素回路を図示している。画素回路は、トランジスタＴ１～Ｔ４と、キャパシタＣ１、Ｃ２と、有機ＥＬ素子ＥＬと、を含んで構成される。図４は、図３に示した画素回路を抜き出して示した説明図である。

[0034] トランジスタＴ１は有機ＥＬ素子ＥＬの発光を制御する発光制御トランジスタである。トランジスタＴ１は、電源電圧ＶＣＣＰの電源ノードと、トランジスタＴ２のソースノード（ソース電極）との間に接続され、駆動スキャナ１３２から出力される発光制御信号による駆動の下に、有機ＥＬ素子ＥＬの発光／非発光を制御する。

[0035] トランジスタＴ２は、キャパシタＣ２の保持電圧に応じた駆動電流を有機

ＥＬ素子ＥＬに流すことによって有機ＥＬ素子ＥＬを駆動する駆動トランジスタである。

[0036] トランジスタＴ３は、書き込みスキャナ１３３から供給される信号電圧 V_{sig} をサンプリングすることによって、トランジスタＴ２のゲートノード（ゲート電極）に信号電圧 V_{sig} を書き込む。

[0037] トランジスタＴ４は、トランジスタＴ２のドレインノード（ドレイン電極）と電流排出先ノード（例えば、電源 V_{SS} ）との間に接続されるリセットトランジスタである。トランジスタＴ４は、オートゼロスキャナ１３１からの駆動信号による駆動の下に、有機ＥＬ素子ＥＬの非発光期間に有機ＥＬ素子ＥＬが発光しないように制御する。トランジスタＴ１～Ｔ４は、いずれもＰチャネル型のトランジスタから成る構成とすることができる。

[0038] キャパシタＣ２は、トランジスタＴ２のゲートノードとソースノードとの間に接続されており、トランジスタＴ３によるサンプリングによって書き込まれた信号電圧 V_{sig} を保持する。キャパシタＣ１は、トランジスタＴ２のソースノードと、固定電位のノード（例えば、電源電圧 V_{CCP} の電源ノード）との間に接続されている。このキャパシタＣ１は、信号電圧を書き込んだときにトランジスタＴ２のソース電圧が変動するのを抑制するとともに、トランジスタＴ２のゲートソース間電圧 V_{gs} をトランジスタＴ２の閾値電圧 V_{th} にする作用をなす。また、 C_p は、信号線 $Data$ と電源電圧 V_{ccp} 間の寄生容量である。

[0039] この種の表示装置１００では、ポリシリコンＴＦＴを用いてガラス基板等による透明絶縁基板上に画素部１１０、水平セクタ１２０、垂直スキャナ１３０等がまとめて形成される。ポリシリコンＴＦＴは、しきい値電圧、移動度にばらつきを避け得ず、有機ＥＬ素子を用いたディスプレイ装置では、これらのばらつきにより画質が劣化する問題がある。

[0040] そこで、例えば図４に示す回路構成により画素回路を構成し、駆動用トランジスタのしきい値電圧、移動度のばらつきを補正することが考えられる。

[0041] 上記の構成の表示装置１００の駆動方法に関して、まず、本開示の技術（

即ち、実施形態に係る駆動方法）よりも前の技術について、比較例に係る駆動方法を説明する。

[0042] 図5は、本開示の実施の形態に係る表示装置100の駆動方法の比較例を示す説明図である。図5には、水平同期信号XVD、信号電圧Vdata、駆動スキャナ132からの信号DS、書き込みスキャナ133からの信号WS、オートゼロスキャナ131からの信号AZの時間的推移が示されている。また図5には、トランジスタT2のソース電位Sourceおよびゲート電位Gate、ならびに有機EL素子ELのアノード電位Anodeの時間的推移も示されている。

[0043] 時刻t1までが前フレームの発光期間である。この時刻t1になる前に、信号DSがハイからローになり、トランジスタT1がオフからオンとなる。時刻t1において信号AZがハイからローになり、発光期間が終了し、消光期間が始まる。信号AZをハイからローに遷移させるのは、後述のVth補正期間中に有機EL素子ELに電流が流れ込み、有機EL素子ELが発光することを防ぐためである。

[0044] 時刻t1からt2になるまでの間、信号電圧Vdataがオフセット電圧Vofsに変化する。このオフセット電圧Vofsは、Vth補正の基準電位である。その後、時刻t2になり、消光期間が終わり、Vth準備期間が始まると信号WSがハイからローになり、トランジスタT3がオフからオンとなる。トランジスタT3がオンになることで、トランジスタT2のゲートが信号線Dataと接続され、トランジスタT2のゲート電圧がオフセット電圧Vofsまで低下する。

[0045] 時刻t3になると、信号WSがローからハイになり、トランジスタT3がオンからオフとなる。トランジスタT3がオンからオフとなるとトランジスタT2のゲートが信号線Dataから切り離される。

[0046] その後、時刻t4になると、信号DSがローからハイになり、トランジスタT1がオンからオフとなる。信号DSがハイになることでVth補正期間に入る。Vth補正期間において、トランジスタT2のゲートソース間電圧

V_{gs} がトランジスタ T_2 の閾値電圧 V_{th} に設定される。また、 V_{th} 補正期間の間の時刻 t_5 において信号 AZ がローからハイになる。

[0047] その後、時刻 t_6 において信号 WS がハイからローになり、信号電圧 V_{sig} のトランジスタ T_2 への書き込み期間となる。この書き込み期間において、トランジスタ T_2 のゲート電位が V_{sig} になる。時刻 t_7 において信号 WS がローからハイになり、信号電圧 V_{sig} のトランジスタ T_2 への書き込み期間が終了する。そして時刻 t_8 において信号 DS がハイからローになり、トランジスタ T_1 がオンになることで有機 EL 素子 EL が発光する発光期間となる。発光期間では、トランジスタ T_2 のソース電位が画素回路の電源電圧 V_{CCP} となる。

[0048] 図6は、表示装置100に表示させる表示パターンの例を示す説明図である。図6の様に、背景を白（高階調）とし、その中に2つの黒ウィンドウがある表示パターンを考える。ここで、黒ウィンドウの前段（上段）の白（高階調）表示画素のみのラインを n ライン目とし、黒ウィンドウの1段目を $n+1$ ライン目、黒ウィンドウの2段目を $n+2$ ライン目と定義する。

[0049] 図7は、上記比較例における、 n ライン目、 $n+1$ ライン目、 $n+2$ ライン目の信号線 $Data$ の電位 V_{data} 、電源電圧を供給する信号線 V_{ccp} 及び各ラインの信号 WS 、 AZ 、 DS の駆動タイミング例を示す説明図である。

[0050] ここで信号線 $Data$ の電位 V_{data} の変動に着目する。 n ライン目の前段は白階調で、 V_{sig} と V_{ofs} との関係が $V_{sig} < V_{ofs}$ とすると、電位 V_{data} が V_{ofs} に切り替わる際に、寄生容量 C_p を介して信号線 V_{ccp} に正の電位方向にカップリングが入り、その瞬間、信号線 V_{ccp} の電位は、カップリング分だけ高くなる。

[0051] 信号線 V_{ccp} で供給される電位は、メタル給電線によって常に全画素に供給されているので、信号線 V_{ccp} の電位は V_{ccp} に戻ろうとするが、画素領域の拡大や高精細化により、配線インピーダンスが増加するとスルーレートが遅くなる。この時、画素回路はトランジスタ T_1 がオン状態となっ

ており、トランジスタT2のソースに電位 V_{ccp} を書き込む動作が行われている。

[0052] しかし、トランジスタT1がオフになった時点でも、まだ電位 V_{ccp} に戻りきらず、信号線 V_{ccp} の電位が $V_{ccp} + \alpha$ [V]の状態になっていると、 V_{th} 補正開始時のトランジスタT2のゲートソース間電圧 V_{gs} がより広くなる。

[0053] 黒ウインドウの先頭ラインである $n+1$ ライン目に関しても、1ライン前の n ライン目が白階調であることから、 V_{th} 補正時のトランジスタT2のソース電圧は $V_{ccp} + \alpha$ [V]になる。

[0054] 一方、 $n+2$ ライン目は、前ラインに黒信号($=V_{sig} > V_{ofs}$)が含まれており、黒信号画素が多いほど(すなわち、黒ウインドウの幅が大きいほど)、 V_{ofs} への切り替わりの際に、信号線 V_{ccp} に負の電位方向にカップリングが入る。すなわち、 V_{th} 補正時のトランジスタT2のゲートソース間電圧 V_{gs} が小さくなる傾向にある。

[0055] 上記比較例における、 n ライン目、 $n+1$ ライン目、 $n+2$ ライン目の白画素の駆動を、図8、9、10に示す。図8、9に示した n ライン目、 $n+1$ ライン目の駆動に対し、図10の $n+2$ ライン目の駆動では、前述の通り、 V_{th} 補正前のトランジスタT2のゲートソース間電圧 V_{gs} が小さくなる。

[0056] よって補正後のトランジスタT2のゲート電位 V_g 、ソース電位 V_s は、 n ライン目、 $n+1$ ライン目よりも $n+2$ ライン目の方が高くなり、映像信号書き込み後のトランジスタT2のゲートソース間電圧 V_{gs} は、 n ライン目、 $n+1$ ライン目よりも $n+2$ ライン目の方が小さくなる。すなわち、 n ライン目、 $n+1$ ライン目の電流よりも $n+2$ ライン目の電流の方が小さくなり、 $n+2$ ライン目の白表示が、 n ライン目、 $n+1$ ライン目より暗くなる。つまり、図5のような比較例の駆動を行うと、黒ウインドウのエッジの1ライン下のラインから暗くなり、図6の様にクロストークとして視認されてしまう。

[0057] そこで本開示の実施の形態では、図6のような黒ウィンドウを表示する場合にクロストークを発生させないようにする表示装置100の駆動方法を提供する。

[0058] 図11は、本開示の実施の形態に係る表示装置100の駆動方法を示す説明図である。本開示の実施の形態に係る表示装置100は、上述した比較例と比べ、駆動スキャナ132からの信号DSの状態の遷移タイミングが異なる。上述の比較例では、前フレームの発光期間で信号DSがハイからローになり、信号線Dataの電位がVofsに切り替わった後に信号DSがローからハイになっていた。

[0059] しかし、本開示の実施の形態に係る表示装置100は、前フレームの発光期間で信号DSがハイからローになり、その後、信号線Dataの電位がVofsに切り替わる前に信号DSがローからハイに変化する。すなわち、本開示の実施の形態に係る表示装置100は、信号線Dataの電位がVofsに切り替わる前にトランジスタT1をオフにしている。

[0060] 本開示の実施の形態に係る表示装置100は、このように信号DSの状態の切り替わりを制御することで、カップリングの影響なく、トランジスタT2のソースに電位Vccpを書き込むことを特徴としている。

[0061] 図12～14は、本開示の実施の形態に係る表示装置100に係る、図6に示す画像のnライン目、n+1ライン目、n+2ライン目の駆動について、それぞれ示す説明図である。

[0062] まず、図12を用いて、本開示の実施の形態に係る表示装置100に係る、図6に示す画像のnライン目の駆動を説明する。図12には、水平同期信号XVD、信号電圧Vdata、駆動スキャナ132からの信号DS、書き込みスキャナ133からの信号WS、オートゼロスキャナ131からの信号AZの時間的推移が示されている。また図12には、トランジスタT2のソース電位Sourceおよびゲート電位Gate、ならびに有機EL素子ELのアノード電位Anodeの時間的推移も示されている。

[0063] 時刻t1までが前フレームの発光期間である。この時刻t1になる前に、

信号DSがハイからローになり、トランジスタT1がオフからオンとなる。時刻t1において信号AZがハイからローになり、発光期間が終了し、消光期間が始まる。信号AZをハイからローに遷移させるのは、後述のVth補正期間中に有機EL素子ELに電流が流れ込み、有機EL素子ELが発光することを防ぐためである。

[0064] 続く時刻t2の時点で、信号DSがローからハイになり、トランジスタT1がオンからオフとなる。

[0065] その後、時刻t2より後、時刻t3より前の時点で、信号線Dataの電位がVsigより高いVofsに変化すると、信号線Vccpに正の電位方向にカップリングが入り、その瞬間、信号線Vccpの電位は、カップリング分だけ高くなる。しかし、この時点でトランジスタT1はオフとなっているため、信号線Vccpの電位の変化の影響がトランジスタT2のソース電位に影響を及ぼすことは無い。従って、信号線Dataの電位がVofsに変化しても、トランジスタT2のソース電位はVccp=Vrefのままである。

[0066] その後、時刻t3になり、消光期間が終わり、Vth準備期間が始まると信号WSがハイからローになり、トランジスタT3がオフからオンとなる。トランジスタT3がオンになることで、トランジスタT2のゲートが信号線Dataと接続され、トランジスタT2のゲート電圧がオフセット電圧Vofsまで低下する。

[0067] 時刻t4になると、信号WSがローからハイになり、トランジスタT3がオンからオフとなる。トランジスタT3がオンからオフとなるとトランジスタT2のゲートが信号線Dataから切り離される。時刻t4からVth補正期間に入り、トランジスタT2のゲートソース間電圧VgsがトランジスタT2の閾値電圧Vthに設定される。また、Vth補正期間の間の時刻t5において信号AZがローからハイになる。

[0068] その後、時刻t6において信号WSがハイからローになり、信号電圧VsigのトランジスタT2への書き込み期間となる。この書き込み期間におい

て、トランジスタT2のゲート電位が V_{sig} になる。時刻 t_7 において信号WSがローからハイになり、信号電圧 V_{sig} のトランジスタT2への書き込み期間が終了する。そして時刻 t_8 において信号DSがハイからローになり、トランジスタT1がオンになることで有機EL素子ELが発光する発光期間となる。発光期間では、トランジスタT2のソース電位が電源電圧 $V_{ccp} = V_{ref}$ となる。

[0069] 図13に示した $n+1$ ライン目、図14に示した $n+2$ ライン目の駆動についても同様である。すなわち、本実施形態では、信号DSがハイであり、トランジスタT1がオフとなっているタイミングで信号線Dataの電位を変化させることで、カップリングの影響をトランジスタT2のソース電位に与えない。

[0070] 以上より、本開示の実施の形態に係る表示装置100は、このように信号DSの状態の切り替わりを制御することで白背景に黒ウィンドウなどの特殊なパターンを表示する際に、クロストークの発生を防ぎ、高品質の画像の表示を実現することができる。

[0071] 本開示の実施の形態に係る表示装置100は、 V_{th} 補正を行う水平期間より1水平期間以上前に、あらかじめトランジスタT2のゲートに電位 V_{ofs} を書き込むようにしてもよい。図15は、本開示の実施の形態に係る表示装置100の駆動方法を示す説明図である。図15では、 $n+1$ ライン目、 $n+2$ ライン目において、 V_{th} 補正を行う水平期間の1つ前の水平期間に、あらかじめトランジスタT2のゲートに電位 V_{ofs} を書き込むため、信号線WSの状態を変化させている様子が示されている。

[0072] V_{th} 補正を行う水平期間より1水平期間以上前に、あらかじめトランジスタT2のゲートに電位 V_{ofs} を書き込むことにより、本開示の実施の形態に係る表示装置100は、前フレームの映像信号の影響を受けることなく、 V_{th} 補正開始時のトランジスタT2のゲートソース間電圧を設定する事が出来る。

[0073] ここまでは、画素回路がP型MOSFETで構成されている例を示したが

、画素回路がN型MOSFETで構成されている場合であっても、同様にクロストークの発生を防ぎ、高品質の画像の表示を実現することができる。

[0074] 図16は、本開示の実施の形態に係る表示装置100における画素回路の変形例を示す説明図である。図16には、4つのN型MOSFETからなる画素回路が示されている。

[0075] トランジスタT11は有機EL素子ELの発光を制御する発光制御トランジスタである。トランジスタT11は、電源電圧VCCPの電源ノードと、トランジスタT12のソースノード（ソース電極）との間に接続され、駆動スキャナ132から出力される発光制御信号による駆動の下に、有機EL素子ELの発光／非発光を制御する。

[0076] トランジスタT12は、キャパシタC12の保持電圧に応じた駆動電流を有機EL素子ELに流すことによって有機EL素子ELを駆動する駆動トランジスタである。

[0077] トランジスタT13は、書き込みスキャナ133から供給される信号電圧Vsigをサンプリングすることによって、トランジスタT12のゲートノード（ゲート電極）に信号電圧Vsigを書き込む。

[0078] トランジスタT14は、トランジスタT12のドレインノード（ドレイン電極）と電流排出先ノード（例えば、電源VSS）との間に接続されるリセットトランジスタである。トランジスタT14は、オートゼロスキャナ131からの駆動信号による駆動の下に、有機EL素子ELの非発光期間に有機EL素子ELが発光しないように制御する。トランジスタT11～T14は、いずれもNチャネル型のトランジスタから成る構成とすることができる。

[0079] 図16に示した画素回路を備える表示装置100で、図6に示したような黒ウインドウを有する画像を表示する場合を考える。上述したように、黒ウインドウの前段（上段）の白（高階調）表示画素のみのラインをnライン目とし、黒ウインドウの1段目をn+1ライン目、黒ウインドウの2段目をn+2ライン目と定義する。

[0080] 図17は、図16に示した画素回路を備える表示装置100におけるn+

1ライン目の駆動例を示す説明図である。また図18は、図16に示した画素回路を備える表示装置100における $n+2$ ライン目の駆動例を示す説明図である。図17、図18には、信号電圧 V_{data} 、駆動スキャナ132からの信号 DS 、書き込みスキャナ133からの信号 WS 、オートゼロスキャナ131からの信号 AZ の時間的推移が示されている。また図17、18には、トランジスタ $T12$ のソース電位 V_s およびゲート電位 V_g の時間的推移も示されている。また図17、18には、トランジスタ $T14$ のソース電位 V_s の時間的推移も示されている。

[0081] 時刻 t_1 において、信号 WS 、 AZ がローからハイになる。これにより、トランジスタ $T13$ 、 $T14$ がオフからオンに切り替わる。トランジスタ $T13$ がオンになることで、トランジスタ $T12$ のゲート電位は V_{ofs} となり、ソース電位は V_{ss} まで低下していく。

[0082] 時刻 t_2 において、信号 AZ がハイからローになる。これにより、トランジスタ $T14$ がオンからオフに切り替わる。トランジスタ $T14$ がオフになることで、トランジスタ $T12$ のソース電位 V_s は、電源電位 V_{ss} から切り離されるとともに、キャパシタ $C12$ に蓄えられた電荷により上昇を始める。

[0083] その後、時刻 t_3 において信号 WS がハイからローになる。これにより、トランジスタ $T13$ がオンからオフに切り替わる。トランジスタ $T13$ がオフになることでトランジスタ $T12$ のゲートは信号線 $Data$ から切り離される。またこの時刻 t_3 の時点で、信号線 $Data$ の電位が V_{sig} に変化する。

[0084] その後、時刻 t_4 になると再び信号 WS がローからハイになる。これにより、トランジスタ $T13$ がオフからオンに切り替わる。トランジスタ $T13$ がオンになることで、トランジスタ $T12$ のゲート電位は V_{sig} となる。

[0085] その後、時刻 t_5 において信号 WS がハイからローになる。これにより、トランジスタ $T13$ がオンからオフに切り替わる。そして、時刻 t_6 の時点で信号 DS がハイからローになる。これにより、トランジスタ $T11$ がオン

からオフに切り替わり、有機EL素子ELに電流が流れて有機EL素子ELが発光する。

[0086] このように図16に示した画素回路が駆動する際、時刻 t_1 において、信号電圧 V_{data} が V_{sig} から V_{ofs} に切り替わる際、カップリングの影響が無ければ、トランジスタ T_{12} のソース電位は破線で示したように変化する。しかし、上述したようPチャネル型の画素回路において指摘したように、寄生容量を介したカップリングの影響で、トランジスタ T_{12} のソースに書き込む V_{ss} の電位が変動してしまう。

[0087] 図17に示した $n+1$ ライン目の画素回路と、図18に示した $n+2$ ライン目の画素回路とでは、カップリングの電位方向が変わり、時刻 t_3 から t_4 における V_{th} 補正期間で、 V_{th} 補正開始時のトランジスタ T_{12} のゲートソース間電圧 V_{gs} が変動する。そして、時刻 t_4 から t_5 における映像信号書き込み期間が終了した後の、トランジスタ T_{12} のゲートソース間電圧 V_{gs} も、 $n+1$ ライン目の画素回路と、 $n+2$ ライン目の画素回路とで異なってしまい、その結果、表示装置100は、図17や図18に示したような駆動を行うと、クロストークが発生する。

[0088] そこで、本実施形態では、 V_{th} 補正開始時のトランジスタ T_{12} のソースノードを決めるトランジスタ T_{14} のオン、オフのタイミングを、信号線の電位 V_{data} が、前段の V_{sig} から V_{ofs} に切り替わる前とする。本実施形態は、このように駆動することで、寄生容量を介したカップリングの影響無く、トランジスタ T_{12} の V_{th} 補正を行うことが出来る。そして本実施形態では、寄生容量を介したカップリングの影響が無くなることで、クロストークの発生を防ぐことが出来る。

[0089] 図19は、本実施形態に係る、図16に示した画素回路を備える表示装置100における $n+1$ ライン目の駆動方法を示す説明図である。図19には、信号電圧 V_{data} 、駆動スキャナ132からの信号DS、書き込みスキャナ133からの信号WS、オートゼロスキャナ131からの信号AZの時間的推移が示されている。また図19には、トランジスタ T_{12} のソース電

位 V_s およびゲート電位 V_g の時間的推移も示されている。また図 19 には、トランジスタ T14 のソース電位 V_s の時間的推移も示されている。

[0090] 本実施形態では、図 19 に示したように、信号線の電位 V_{data} が、前段の V_{sig} から V_{ofs} に切り替わる前の時刻 t_1 の時点で、信号 AZ をローからハイに切り替える。時刻 t_1 の時点で、信号 AZ をローからハイに切り替えることでトランジスタ T14 がオンからオフに切り替わる。トランジスタ T14 がオフになることで、信号電圧 V_{data} が V_{sig} から V_{ofs} に切り替わる際のカップリングがソース電位 V_s に入っても、トランジスタ T12 のソース電位 V_s に影響を及ぼすことが無くなる。

[0091] 従って、本実施形態に係る表示装置 100 は、図 19 に示したような駆動を実行することで、寄生容量を介したカップリングの影響が無くなり、クロストークの発生を防ぐことが出来る。

[0092] 本開示の実施の形態に係る表示装置 100 は、 V_{th} 補正を行う水平期間より 1 水平期間以上前に、あらかじめトランジスタ T12 のゲートに電位 V_{ofs} を書き込むようにしてもよい。

[0093] 図 20 は、本実施形態に係る、図 16 に示した画素回路を備える表示装置 100 における $n+1$ ライン目の駆動方法を示す説明図である。図 20 には、信号電圧 V_{data} 、駆動スキャナ 132 からの信号 DS、書き込みスキャナ 133 からの信号 WS、オートゼロスキャナ 131 からの信号 AZ の時間的推移が示されている。また図 20 には、トランジスタ T12 のソース電位 V_s およびゲート電位 V_g の時間的推移も示されている。また図 20 には、トランジスタ T14 のソース電位 V_s の時間的推移も示されている。

[0094] 図 20 に示した駆動方法では、 V_{th} 補正を行う水平期間の 1 つ前の水平期間における時刻 t_1 の時点で信号 WS をローからハイにしている。信号 WS がローからハイになることでトランジスタ T13 がオンとなる。トランジスタ T13 がオンとなることで、トランジスタ T12 のゲートに電位 V_{ofs} が書き込まれる。そして時刻 t_2 の時点で信号線 Data の電位が V_{sig} になるとともに信号 WS がハイからローになり、トランジスタ T13 がオフと

なる。

[0095] その後、前段のV s i gからV o f sに切り替わる前の時刻t 3の時点で、信号A Zをローからハイに切り替える。時刻t 3の時点で、信号A Zをローからハイに切り替えることでトランジスタT 1 4がオンからオフに切り替わる。トランジスタT 1 4がオフになることで、信号電圧V d a t aがV s i gからV o f sに切り替わる際のカップリングがソース電位V sに入っても、トランジスタT 1 2のソース電位V sに影響を及ぼすことが無くなる。その後は、図1 9に示した駆動と同じ駆動が行われる。

[0096] これにより、本開示の実施の形態に係る表示装置1 0 0は、前フレームの映像信号の影響を受けることなく、Vth補正開始時のトランジスタT 1 2のゲートソース間電圧を設定する事が出来る。

[0097] <2. まとめ>

以上説明したように、本開示の実施の形態によれば、白背景に黒ウインドウなどの特殊なパターンを表示する際に、クロストークの発生を防ぎ、高品質の画像の表示を実現することが可能な表示装置1 0 0を提供することが出来る。

[0098] そして、本開示の実施の形態に係る表示装置を備えた電子機器も同様に提供される。本開示の実施の形態に係る表示装置を備えた電子機器は、コントラストの良化と横クロストークの防止の2つの効果を奏する。そのような電子機器には、テレビ、スマートフォン等の携帯電話、タブレット型携帯端末、パーソナルコンピュータ、携帯型ゲーム機、携帯型音楽再生装置、デジタルスチルカメラ、デジタルビデオカメラ、腕時計型携帯端末、ウェアラブルデバイスなどがある。

[0099] 以上、添付図面を参照しながら本開示の好適な実施形態について詳細に説明したが、本開示の技術的範囲はかかる例に限定されない。本開示の技術分野における通常の知識を有する者であれば、請求の範囲に記載された技術的思想の範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、これらについても、当然に本開示の技術的範囲に属するものとす

解される。

[0100] また、本明細書に記載された効果は、あくまで説明的または例示的なものであって限定的ではない。つまり、本開示に係る技術は、上記の効果とともに、または上記の効果に代えて、本明細書の記載から当業者には明らかな他の効果を奏しうる。

[0101] なお、以下のような構成も本開示の技術的範囲に属する。

(1)

発光素子と、

前記発光素子のアノードに第1端子が接続される駆動トランジスタと、

前記駆動トランジスタのゲートに第2端子が接続され、前記駆動トランジスタへ書き込まれる信号電圧をサンプリングするサンプリングトランジスタと、

前記駆動トランジスタの第2端子に第1端子が接続され、第2端子に電源電圧を供給する電源線が接続される発光制御トランジスタと、

所定のタイミングで前記発光素子のアノードを所定の電位にリセットするリセットトランジスタと、

を備え、

前記信号電圧が、前フレームの映像信号から前記駆動トランジスタの閾値補正基準電位に切り替わる前に前記発光制御トランジスタをオンさせて、前記駆動トランジスタの第2端子に前記電源電圧を書き込む、画素回路。

(2)

前記駆動トランジスタの閾値補正を行う水平期間の1以上前の水平期間に前記駆動トランジスタのゲートに閾値補正基準電位を設定するよう前記サンプリングトランジスタをオンさせる、前記(1)に記載の画素回路。

(3)

前記発光制御トランジスタは、Pチャネル型のトランジスタであり、前記第1端子はドレインである、前記(1)または(2)に記載の画素回路。

(4)

前記リセットトランジスタは、Pチャネル型のトランジスタである、前記（１）～（３）のいずれかに記載の画素回路。

（５）

前記駆動トランジスタは、Pチャネル型のトランジスタであり、前記第１端子はドレインであり、前記第２端子はソースである、前記（１）～（４）のいずれかに記載の画素回路。

（６）

前記発光制御トランジスタは、Nチャネル型のトランジスタであり、前記第１端子はソースである、前記（１）または（２）に記載の画素回路。

（７）

前記リセットトランジスタは、Nチャネル型のトランジスタである、前記（１）、（２）または（６）のいずれかに記載の画素回路。

（８）

前記駆動トランジスタは、Nチャネル型のトランジスタであり、前記第１端子はソースであり、前記第２端子はドレインである、前記（１）、（２）、（６）または（７）のいずれかに記載の画素回路。

（９）

前記（１）～（８）のいずれかに記載の画素回路が配置される画素アレイ部と、

前記画素アレイ部を駆動させる駆動回路と、
を備える、表示装置。

（１０）

前記（９）に記載の表示装置を備える、電子機器。

（１１）

発光素子と、

前記発光素子のアノードに第１端子が接続される駆動トランジスタと、

前記駆動トランジスタのゲートに第２端子が接続され、前記駆動トランジスタへ書き込まれる信号電圧をサンプリングするサンプリングトランジスタ

と、

前記駆動トランジスタの第2端子に第1端子が接続され、第2端子に電源電圧を供給する電源線が接続される発光制御トランジスタと、

所定のタイミングで前記発光素子のアノードを所定の電位にリセットするリセットトランジスタと、

を備える画素回路において、

前記信号電圧が、前フレームの映像信号から前記駆動トランジスタの閾値補正基準電位に切り替わる前に前記発光制御トランジスタをオンさせて、前記駆動トランジスタの第2端子に前記電源電圧を書き込むことを含む、画素回路の駆動方法。

符号の説明

[0102]	1 0 0	: 表示装置
	1 1 0	: 画素部
	1 1 1 B	: 画素
	1 1 1 G	: 画素
	1 1 1 R	: 画素
	1 2 0	: 水平セレクト
	1 3 0	: 垂直スキャナ
	1 3 1	: オートゼロスキャナ
	1 3 2	: 駆動スキャナ
	1 3 3	: 書き込みスキャナ
	C 1	: キャパシタ
	C 2	: キャパシタ
	T 1	: トランジスタ
	T 2	: トランジスタ
	T 3	: トランジスタ
	T 4	: トランジスタ

請求の範囲

- [請求項1] 発光素子と、
 前記発光素子のアノードに第1端子が接続される駆動トランジスタと、
 前記駆動トランジスタのゲートに第2端子が接続され、前記駆動トランジスタへ書き込まれる信号電圧をサンプリングするサンプリングトランジスタと、
 前記駆動トランジスタの第2端子に第1端子が接続され、第2端子に電源電圧を供給する電源線が接続される発光制御トランジスタと、
 所定のタイミングで前記発光素子のアノードを所定の電位にリセットするリセットトランジスタと、
 を備え、
 前記信号電圧が、前フレームの映像信号から前記駆動トランジスタの閾値補正基準電位に切り替わる前に前記発光制御トランジスタをオンさせて、前記駆動トランジスタの第2端子に前記電源電圧を書き込む、画素回路。
- [請求項2] 前記駆動トランジスタの閾値補正を行う水平期間の1以上前の水平期間に前記駆動トランジスタのゲートに閾値補正基準電位を設定するよう前記サンプリングトランジスタをオンさせる、請求項1に記載の画素回路。
- [請求項3] 前記発光制御トランジスタは、Pチャネル型のトランジスタであり、前記第1端子はドレインである、請求項1に記載の画素回路。
- [請求項4] 前記リセットトランジスタは、Pチャネル型のトランジスタである、請求項1に記載の画素回路。
- [請求項5] 前記駆動トランジスタは、Pチャネル型のトランジスタであり、前記第1端子はドレインであり、前記第2端子はソースである、請求項1に記載の画素回路。
- [請求項6] 前記発光制御トランジスタは、Nチャネル型のトランジスタであり

、前記第1端子はソースである、請求項1に記載の画素回路。

[請求項7] 前記リセットトランジスタは、Nチャネル型のトランジスタである、請求項1に記載の画素回路。

[請求項8] 前記駆動トランジスタは、Nチャネル型のトランジスタであり、前記第1端子はソースであり、前記第2端子はドレインである、請求項1に記載の画素回路。

[請求項9] 請求項1に記載の画素回路が配置される画素アレイ部と、
前記画素アレイ部を駆動させる駆動回路と、
を備える、表示装置。

[請求項10] 請求項9に記載の表示装置を備える、電子機器。

[請求項11] 発光素子と、
前記発光素子のアノードに第1端子が接続される駆動トランジスタと、

前記駆動トランジスタのゲートに第2端子が接続され、前記駆動トランジスタへ書き込まれる信号電圧をサンプリングするサンプリングトランジスタと、

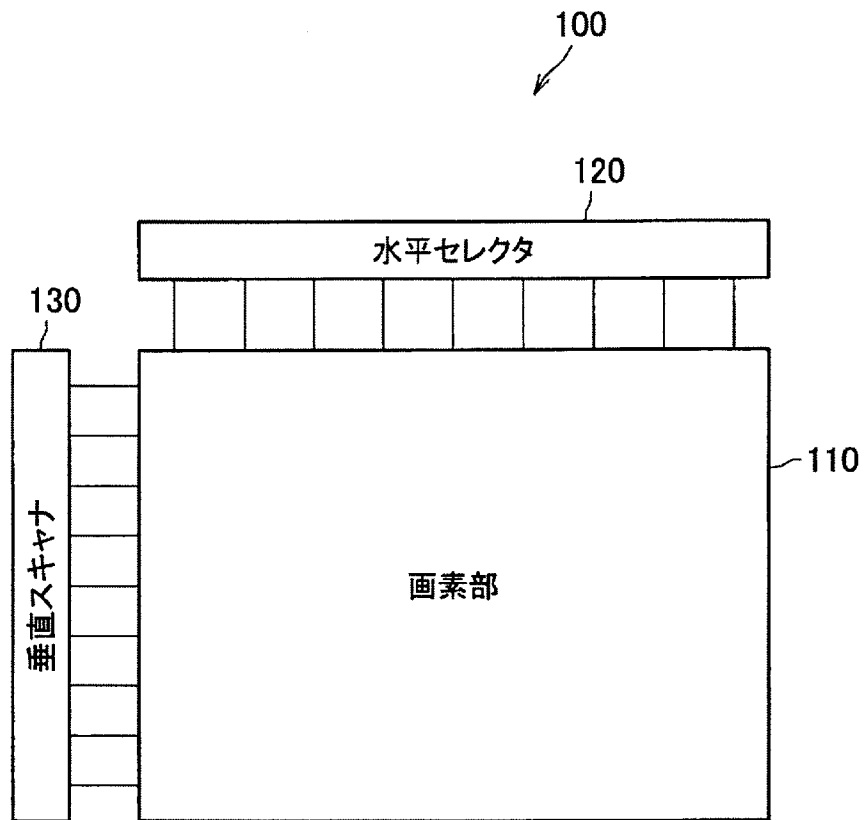
前記駆動トランジスタの第2端子に第1端子が接続され、第2端子に電源電圧を供給する電源線が接続される発光制御トランジスタと、

所定のタイミングで前記発光素子のアノードを所定の電位にリセットするリセットトランジスタと、

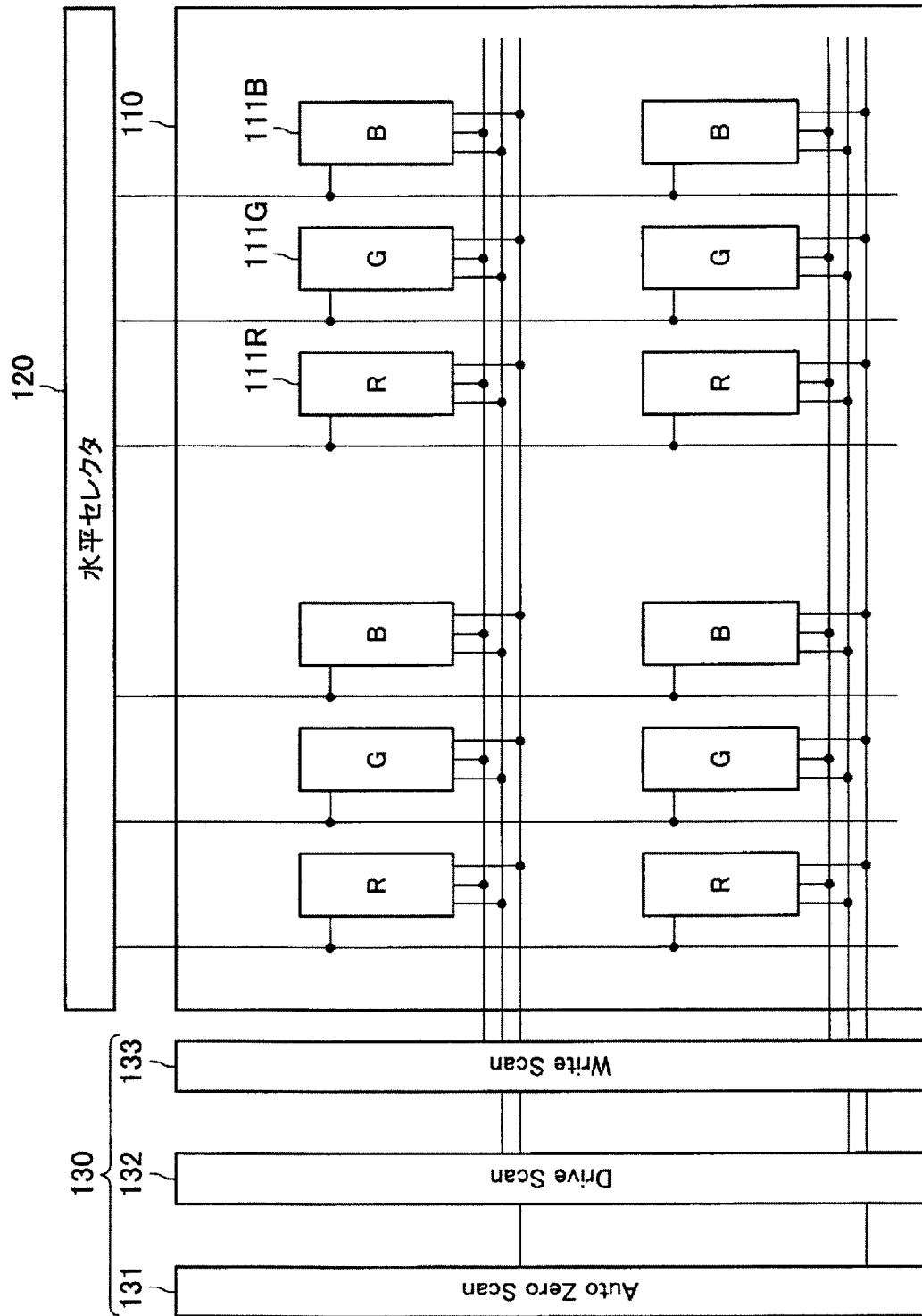
を備える画素回路において、

前記信号電圧が、前フレームの映像信号から前記駆動トランジスタの閾値補正基準電位に切り替わる前に前記発光制御トランジスタをオンさせて、前記駆動トランジスタの第2端子に前記電源電圧を書き込むことを含む、画素回路の駆動方法。

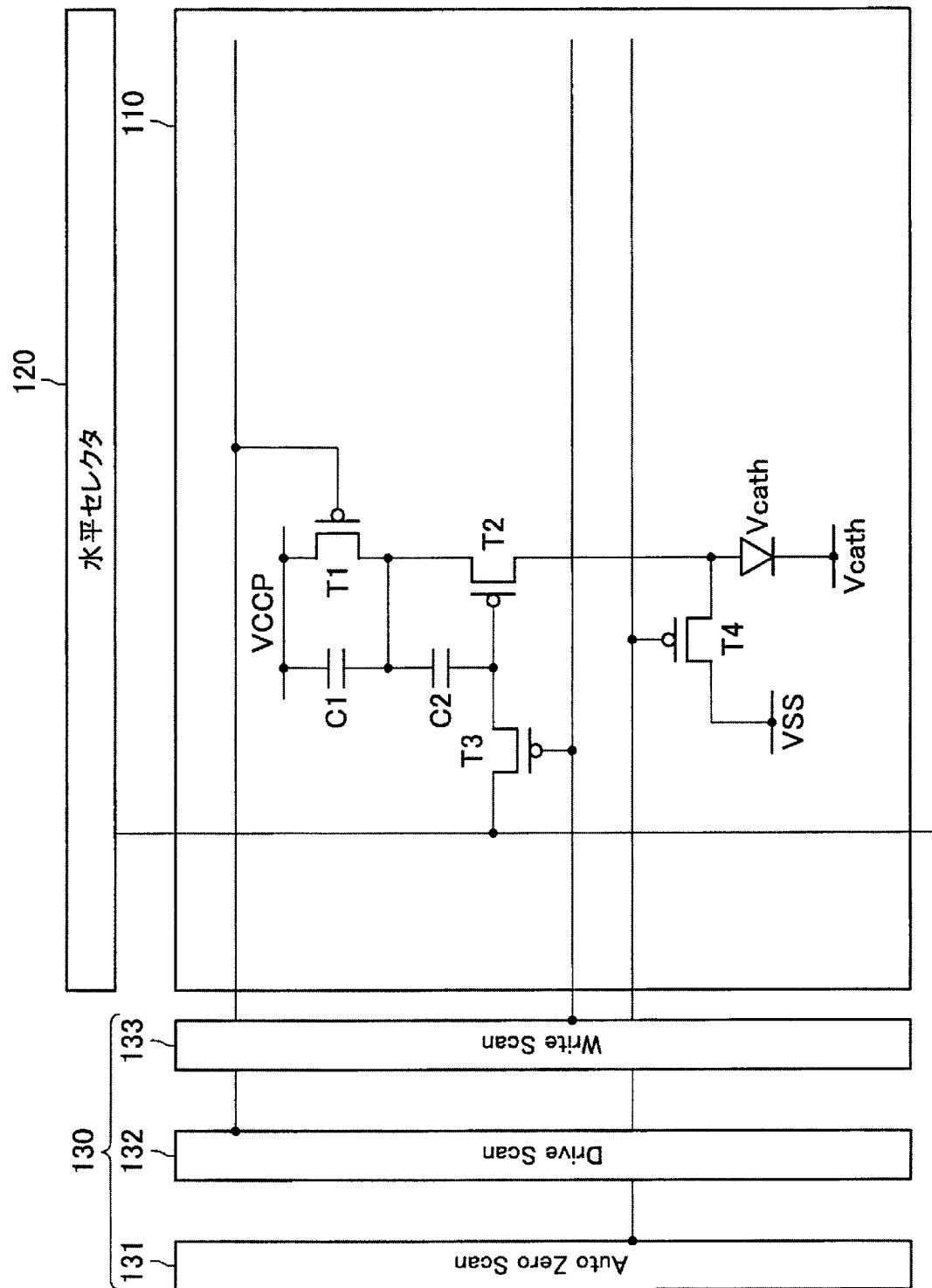
[図1]



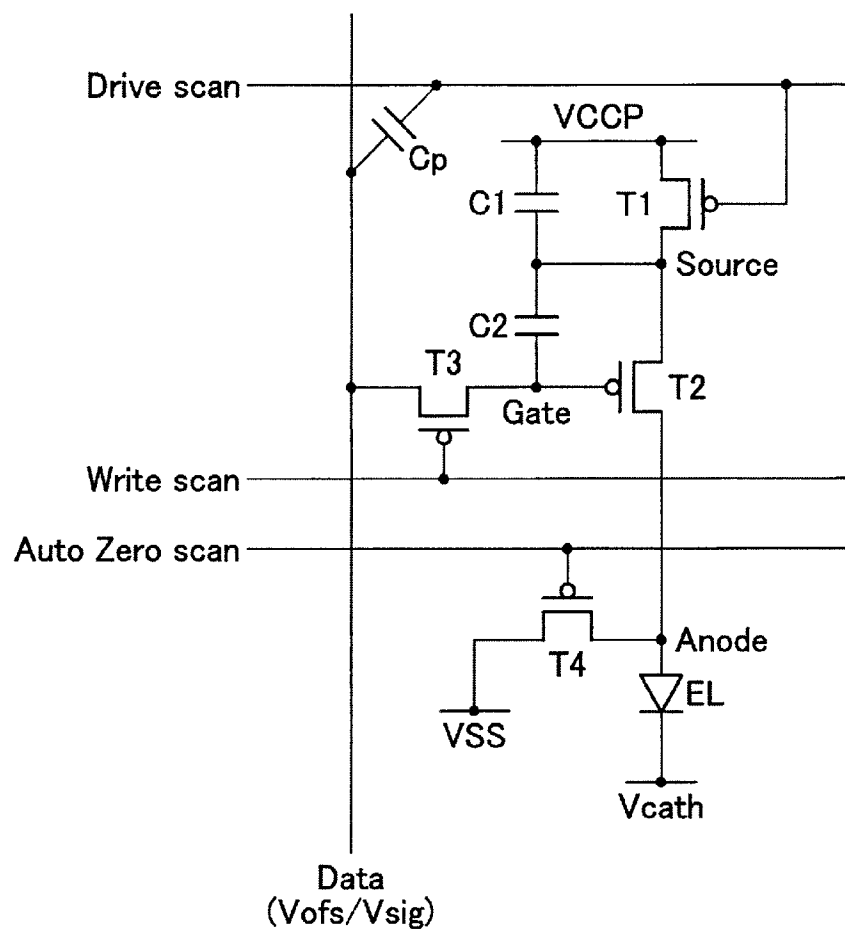
[図2]



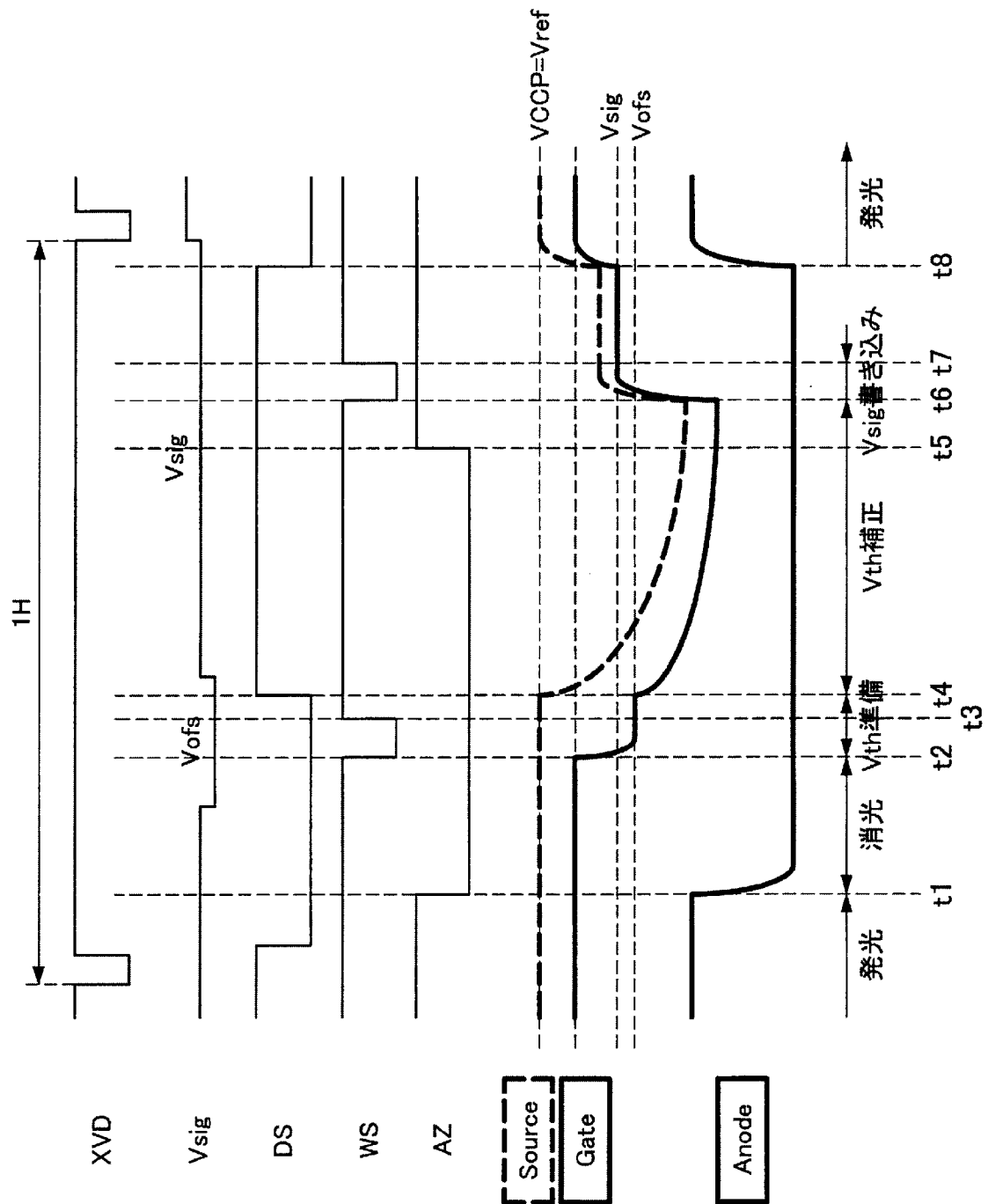
[図3]



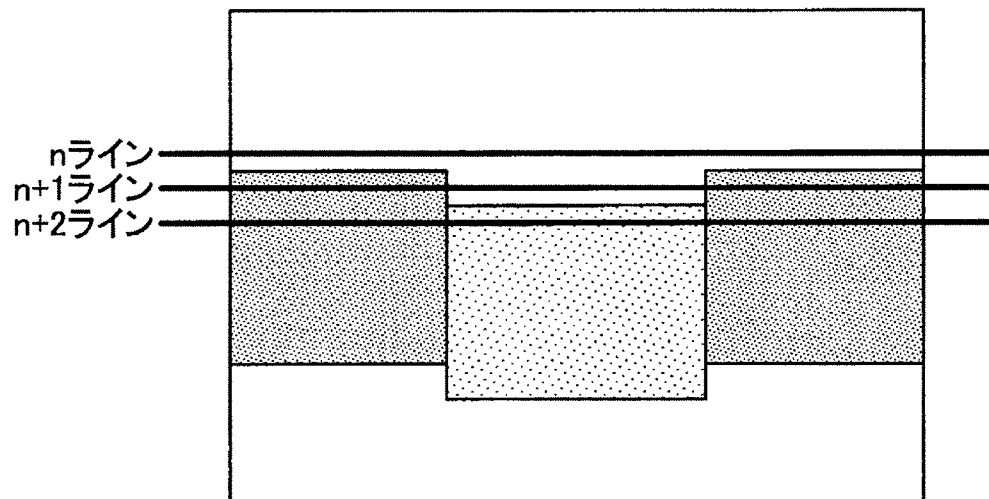
[図4]



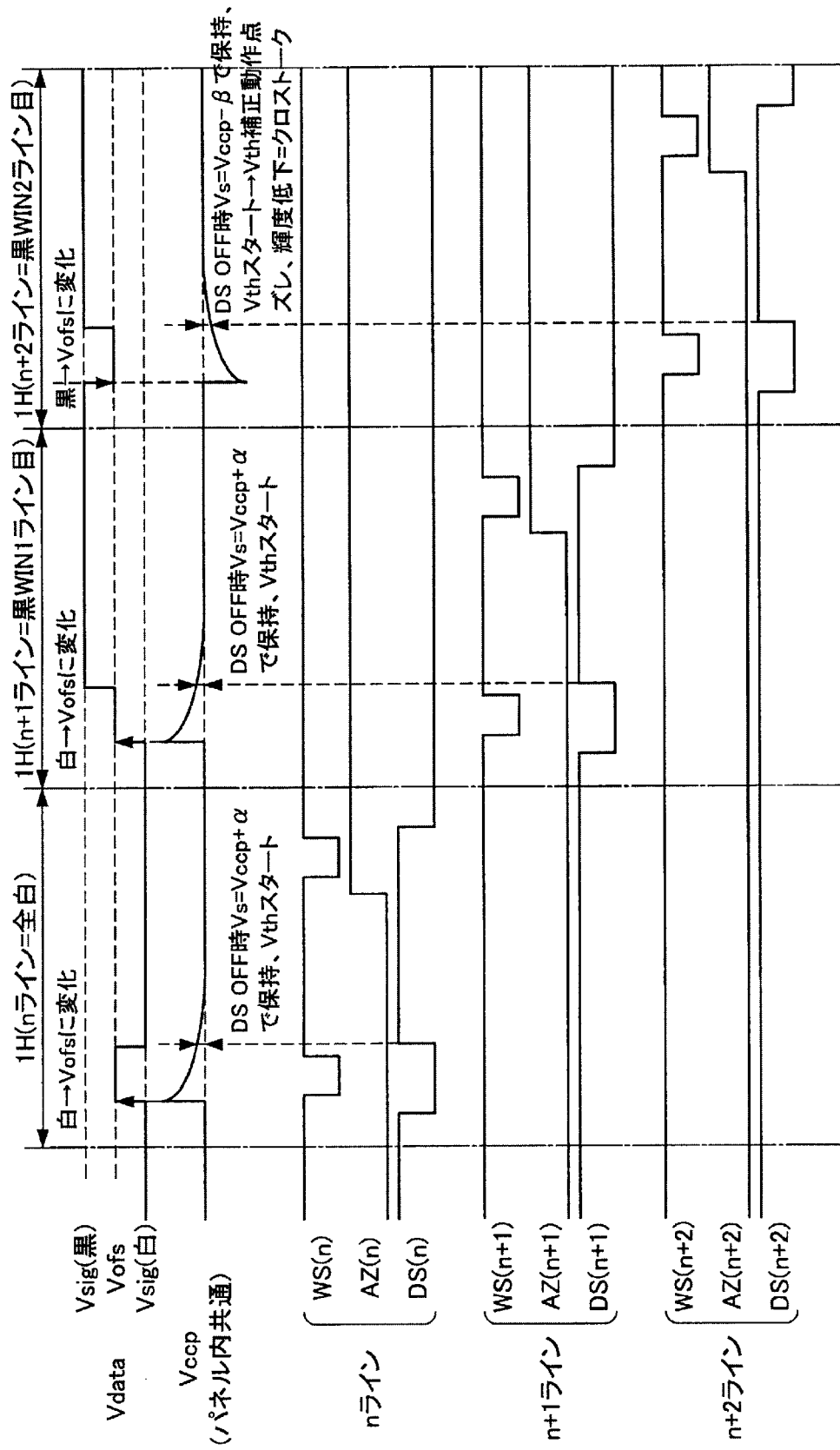
[図5]



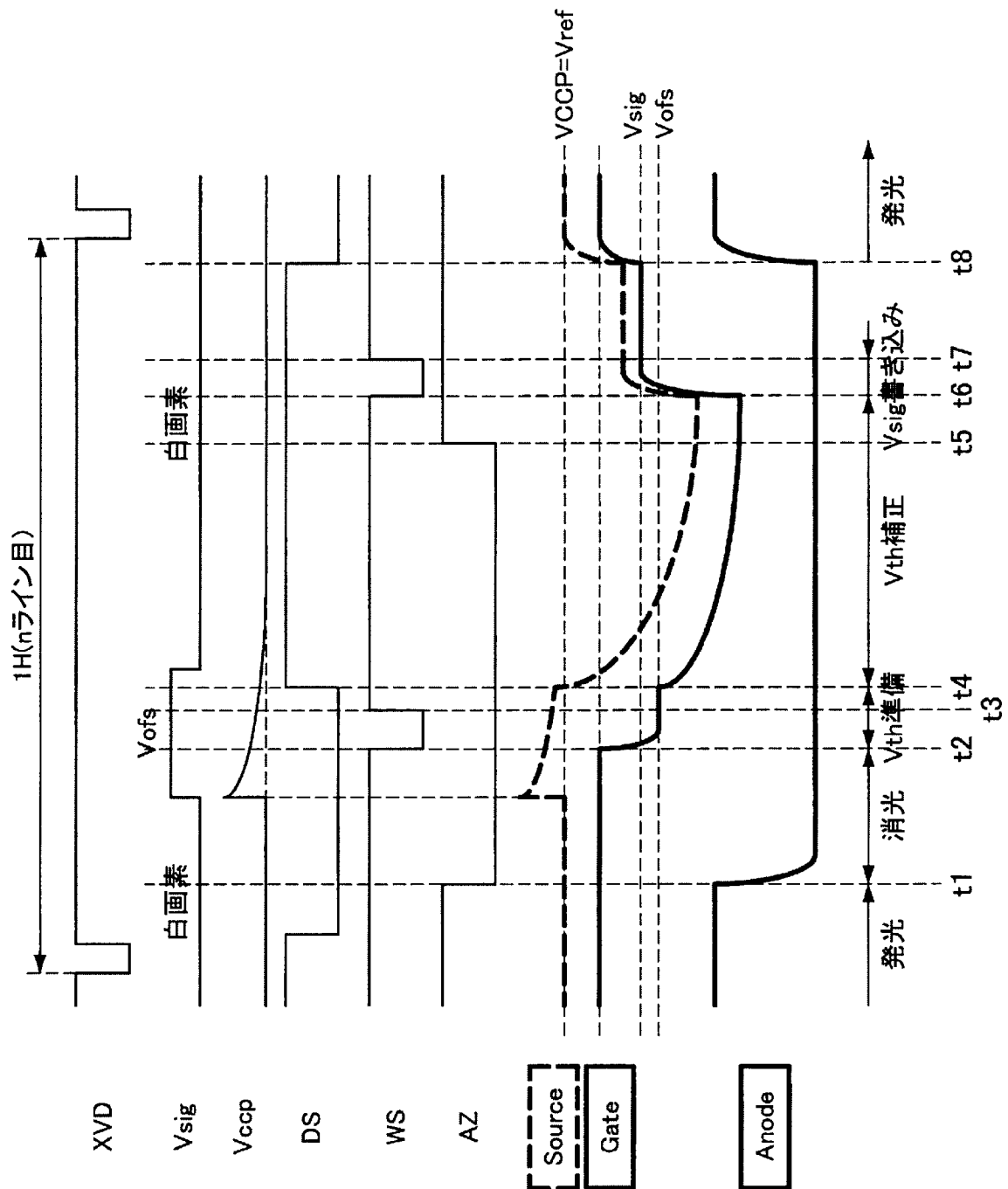
[図6]



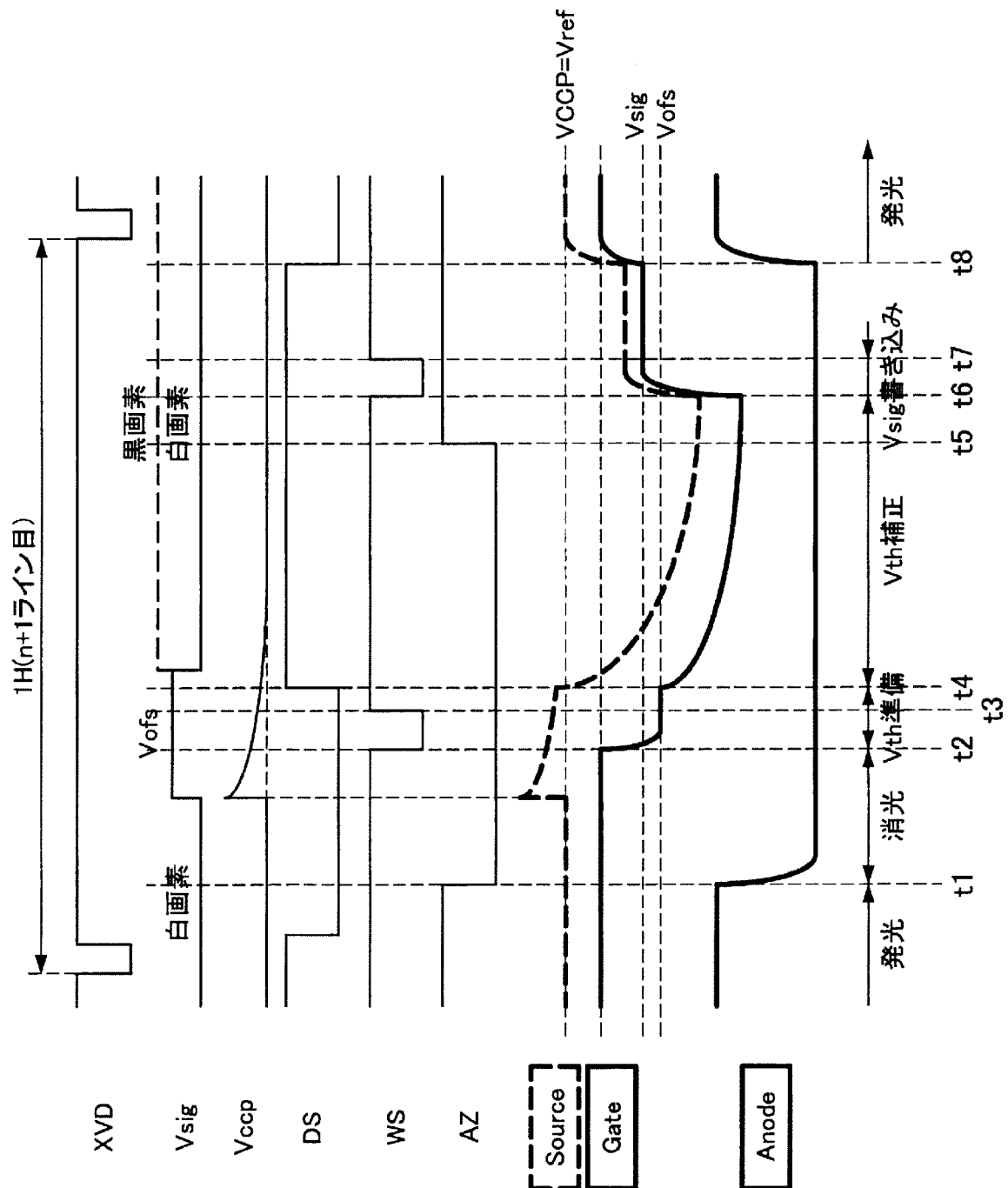
[図7]



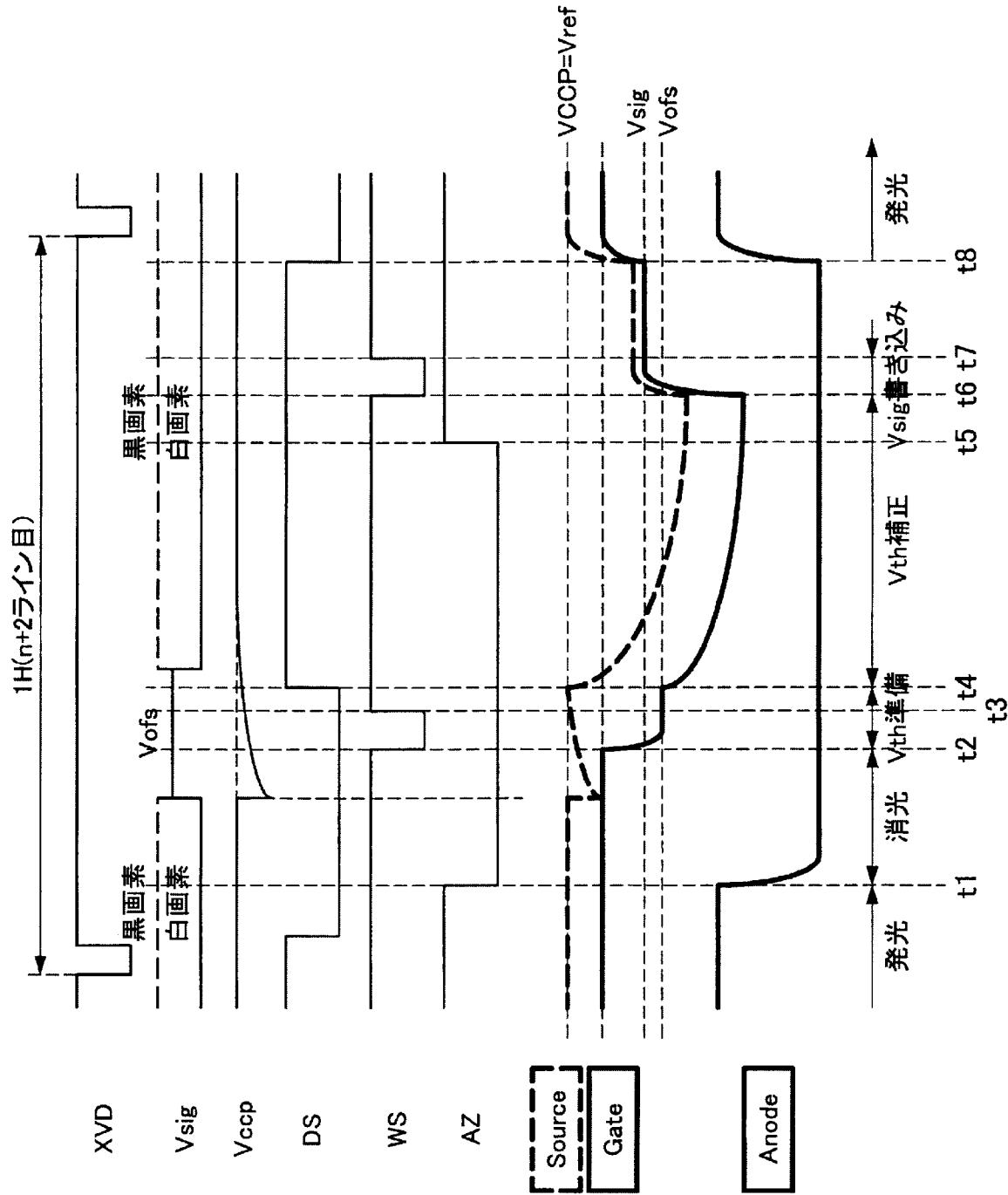
[図8]



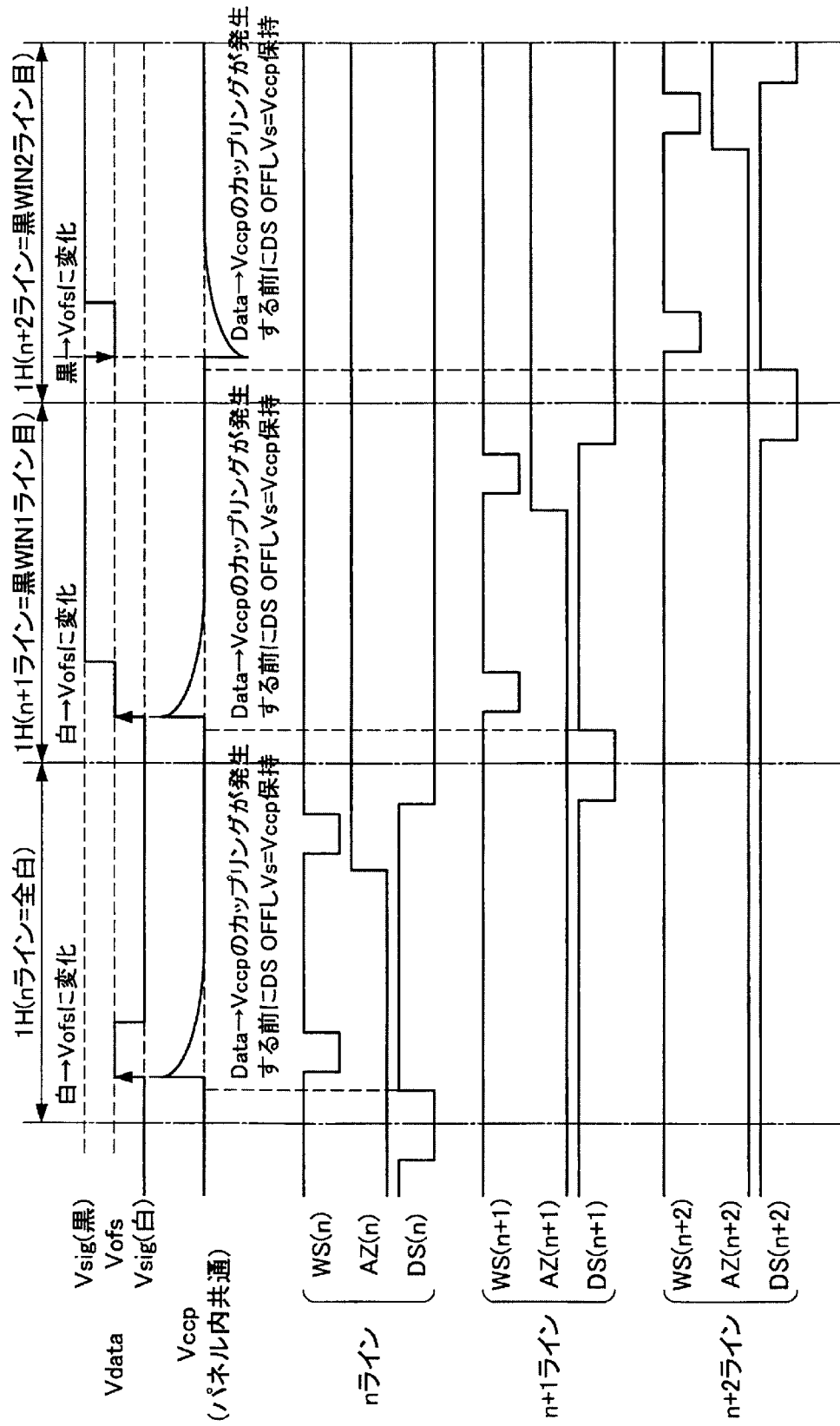
[図9]



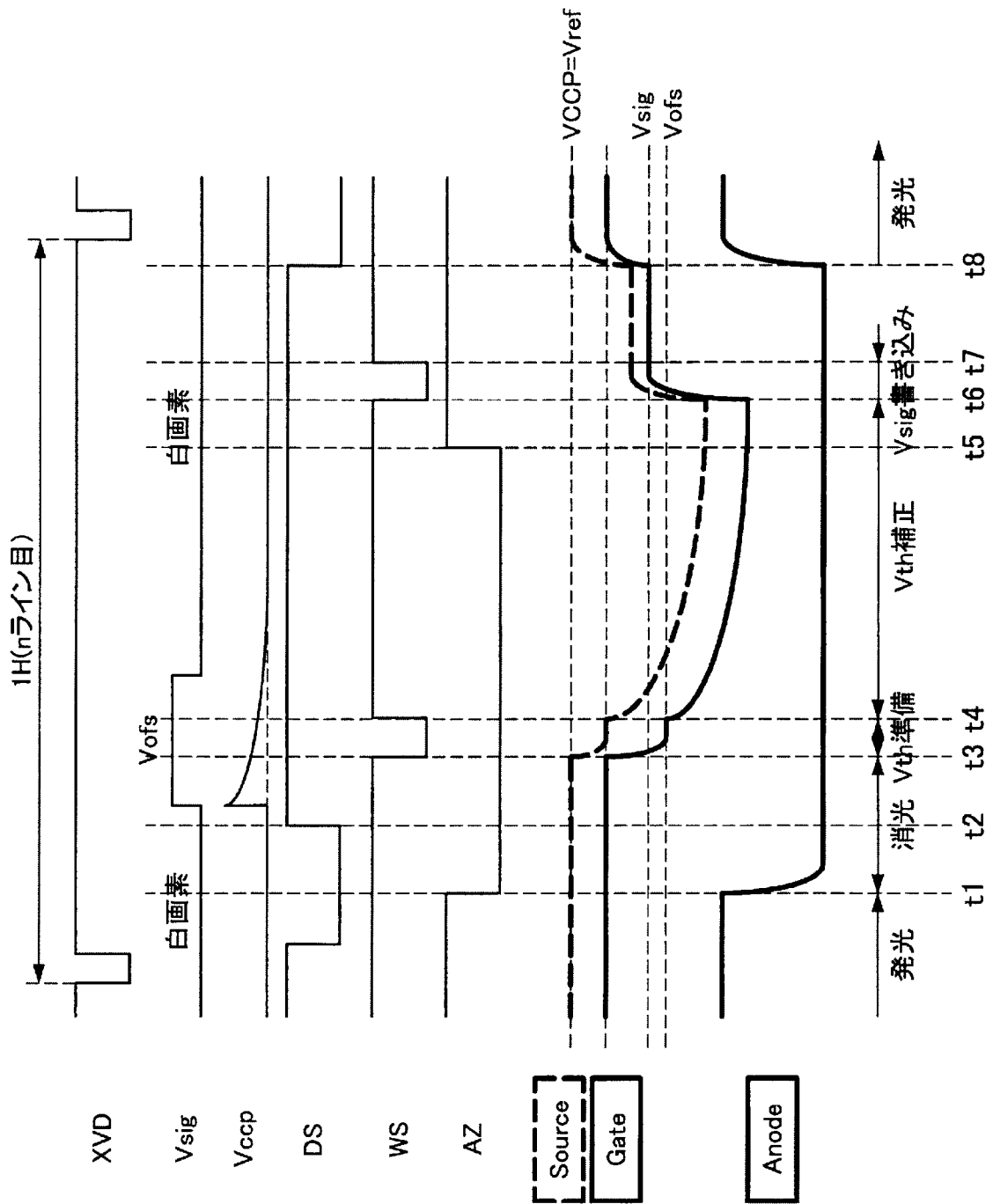
[図10]



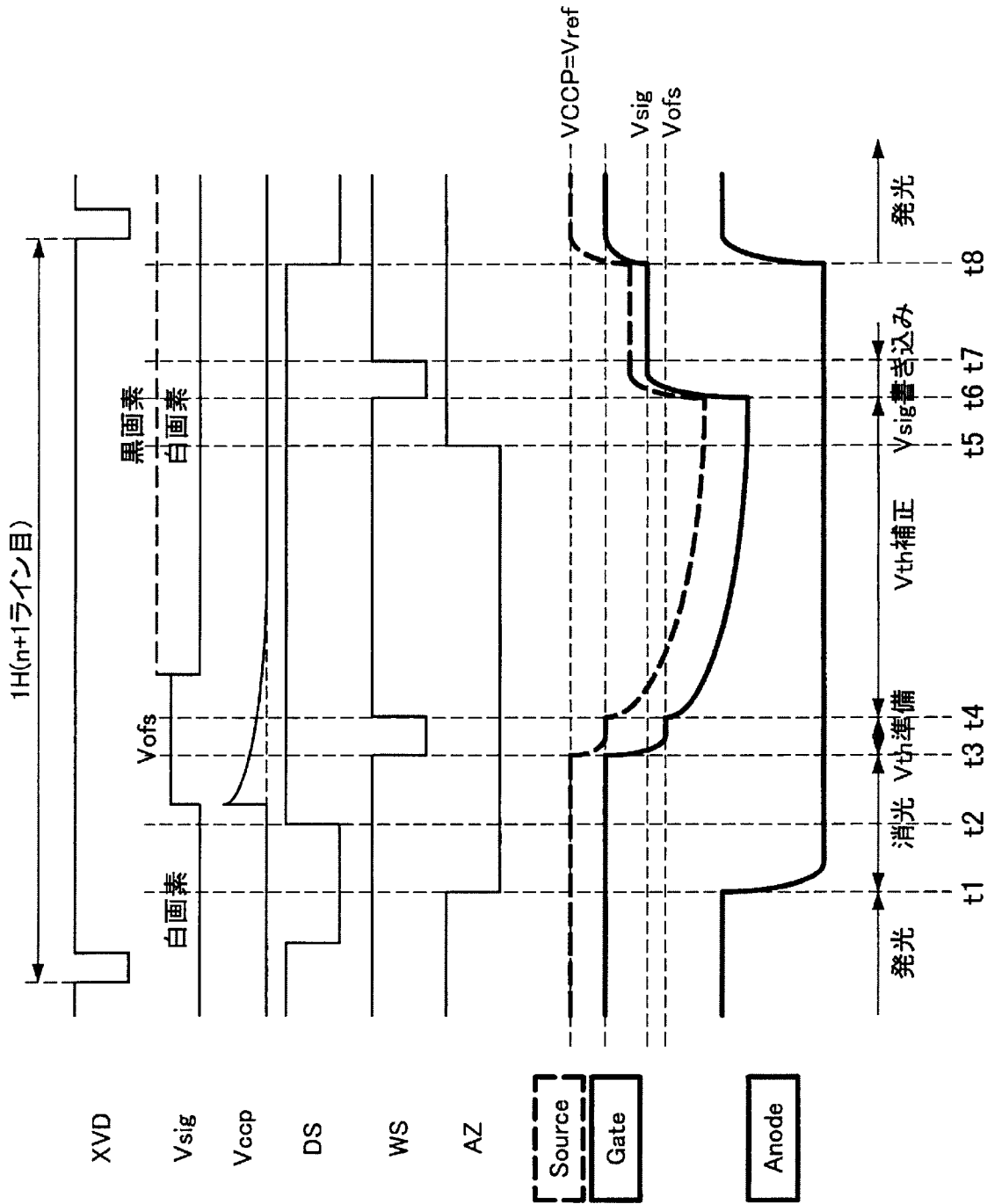
[図11]



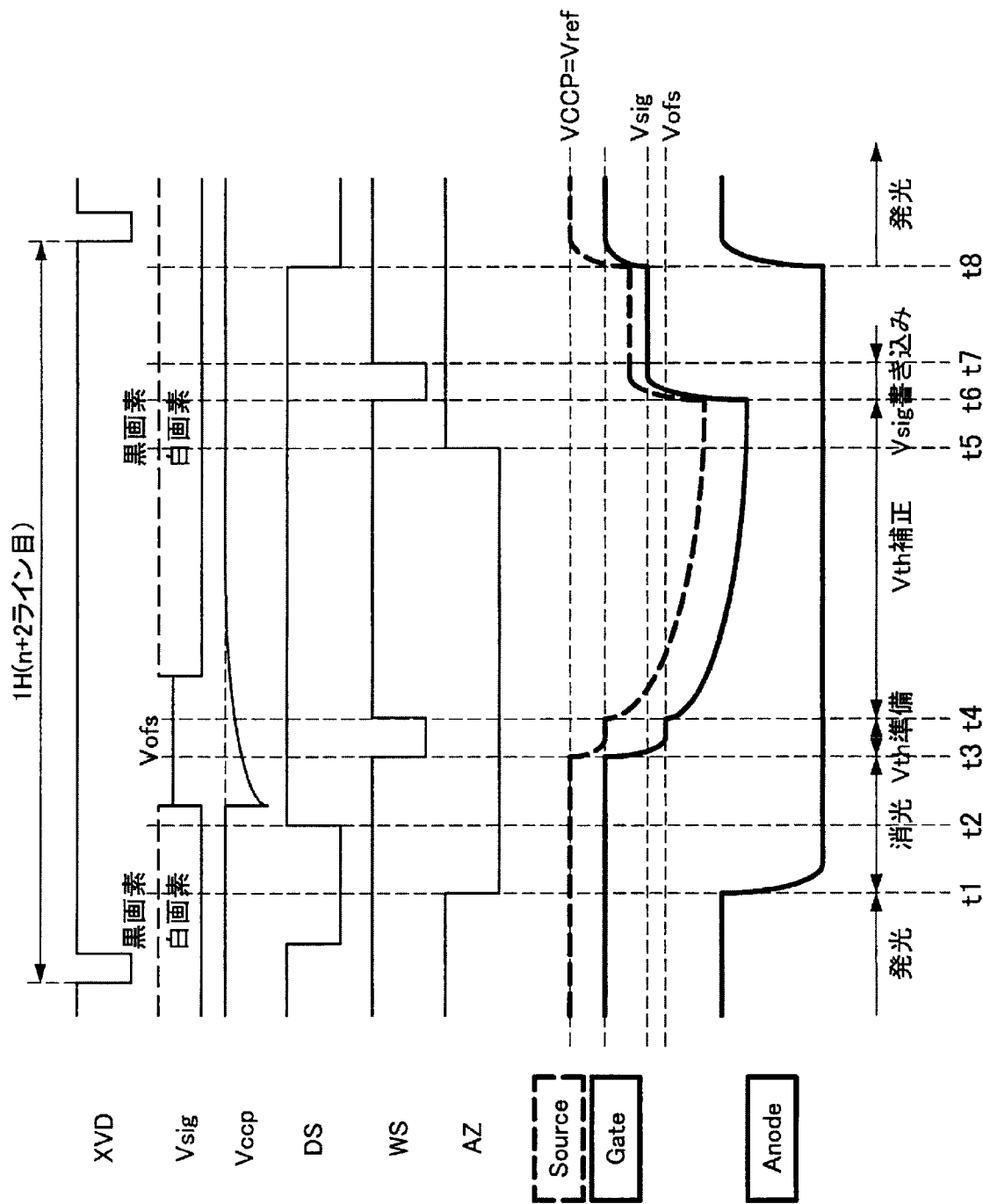
[図12]



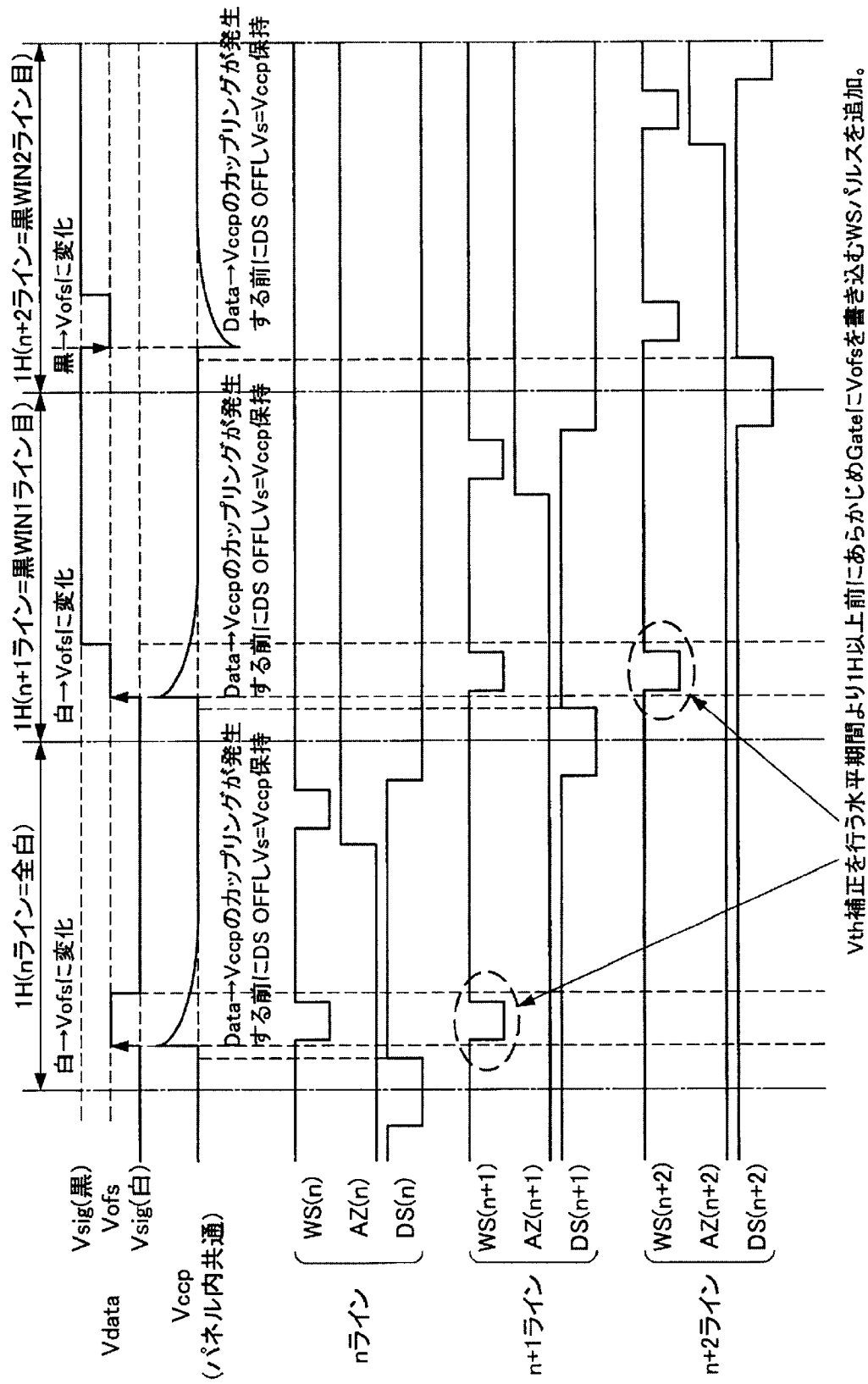
[図13]



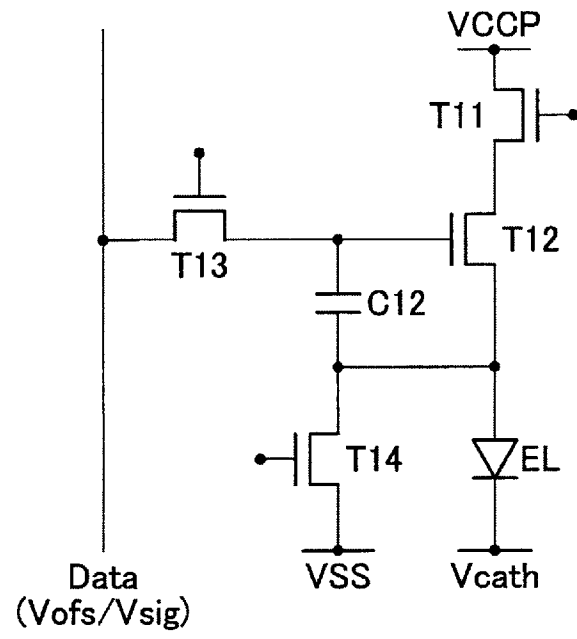
[図14]



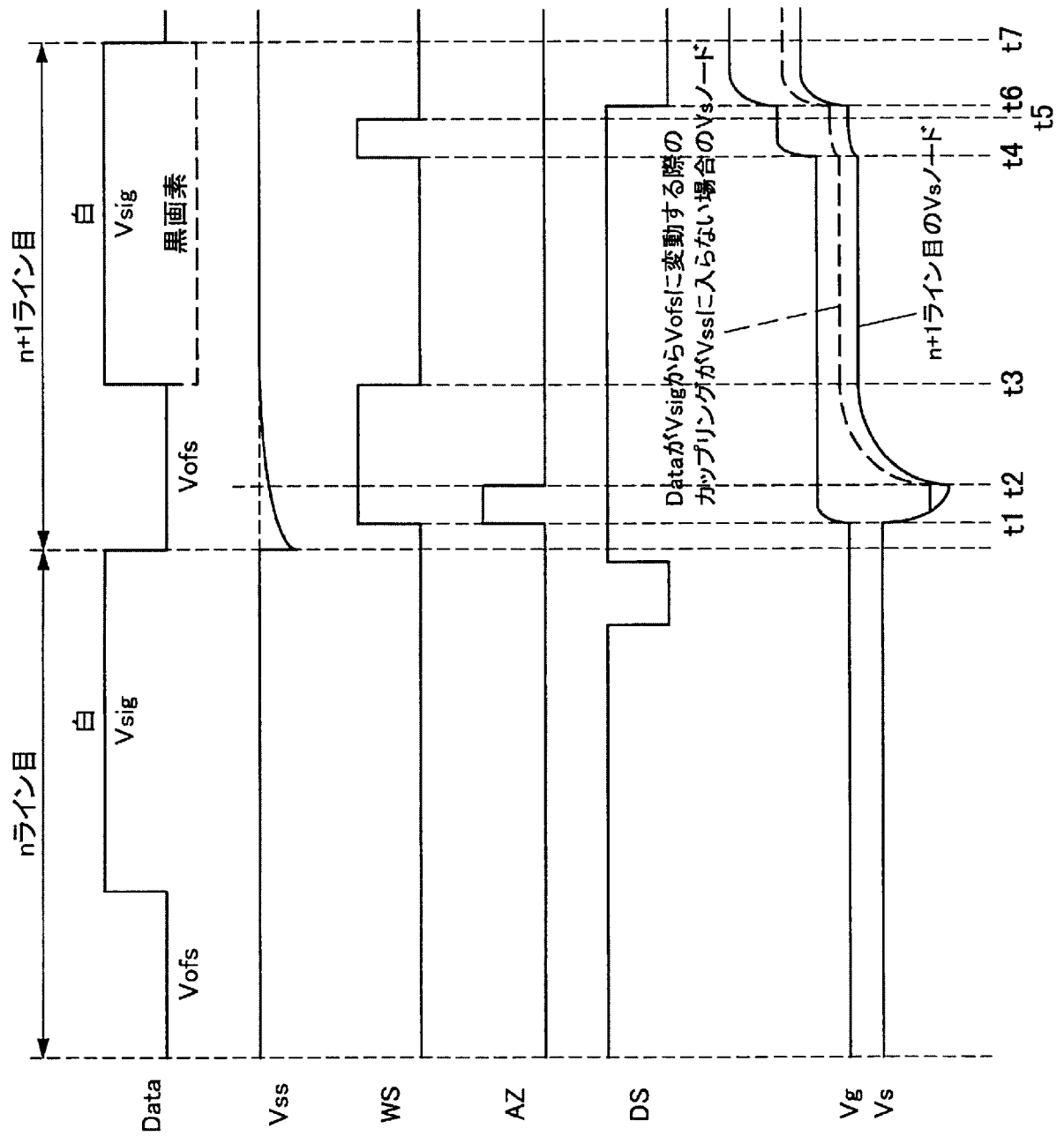
[図15]



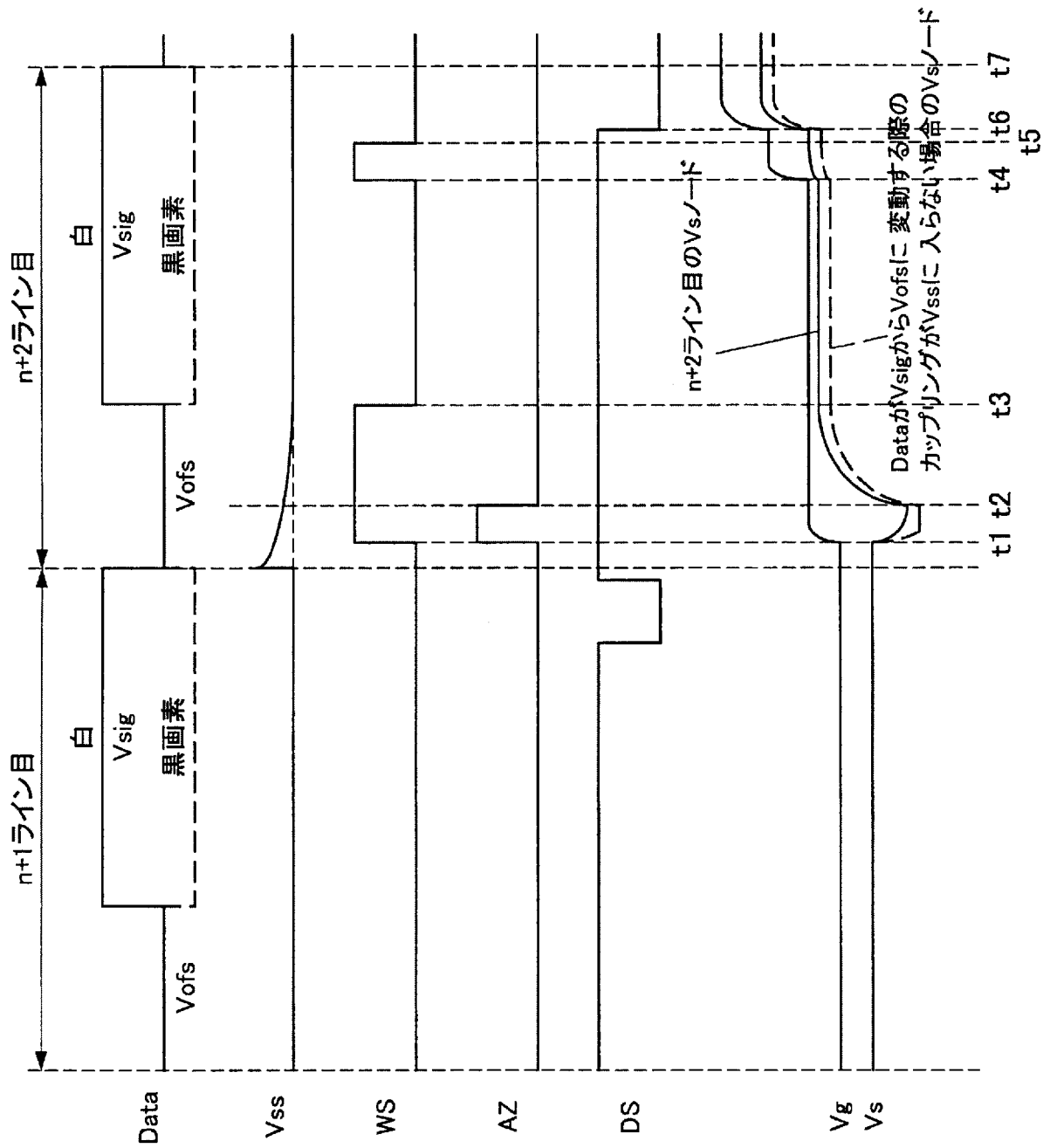
[図16]



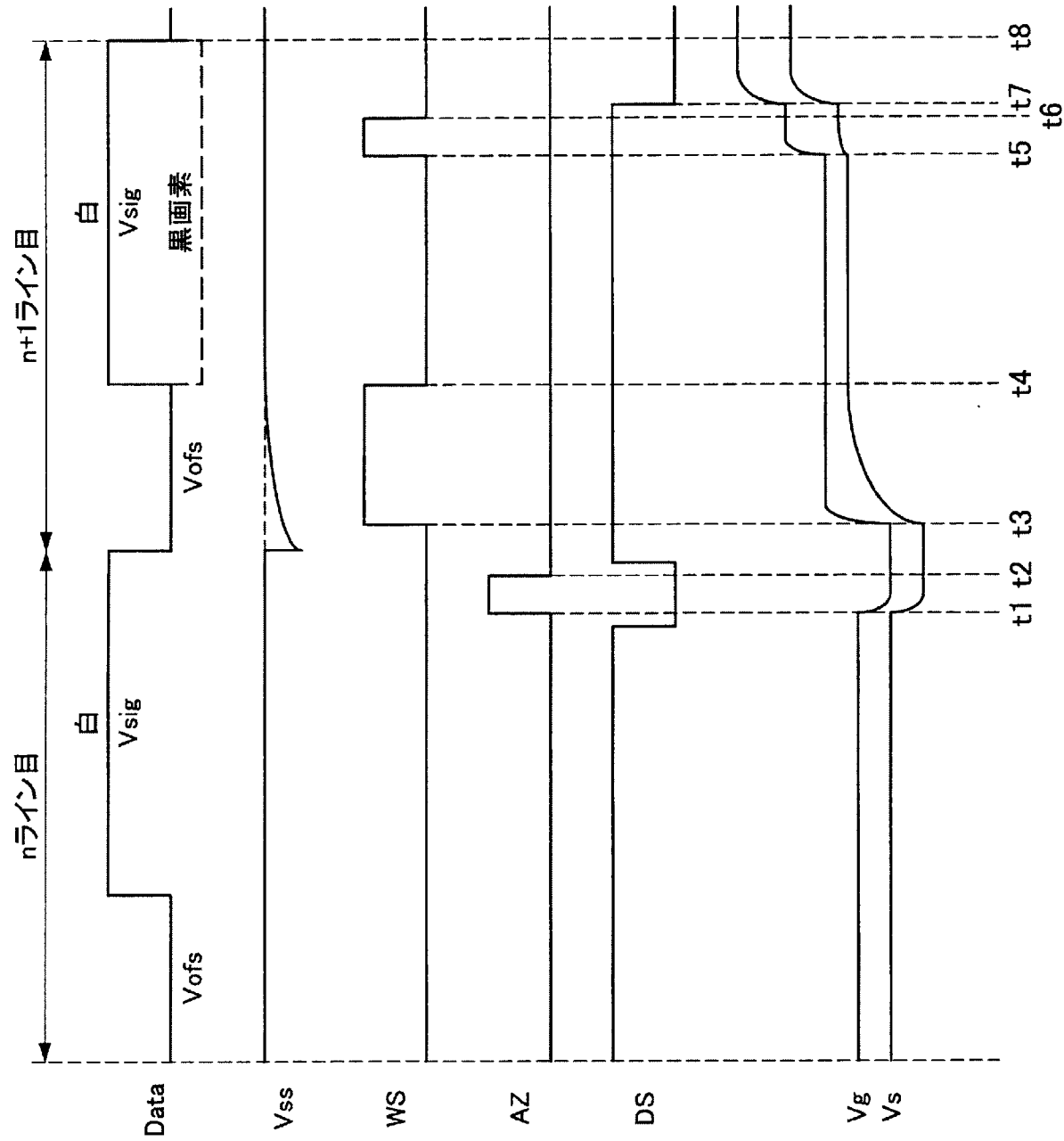
[図17]



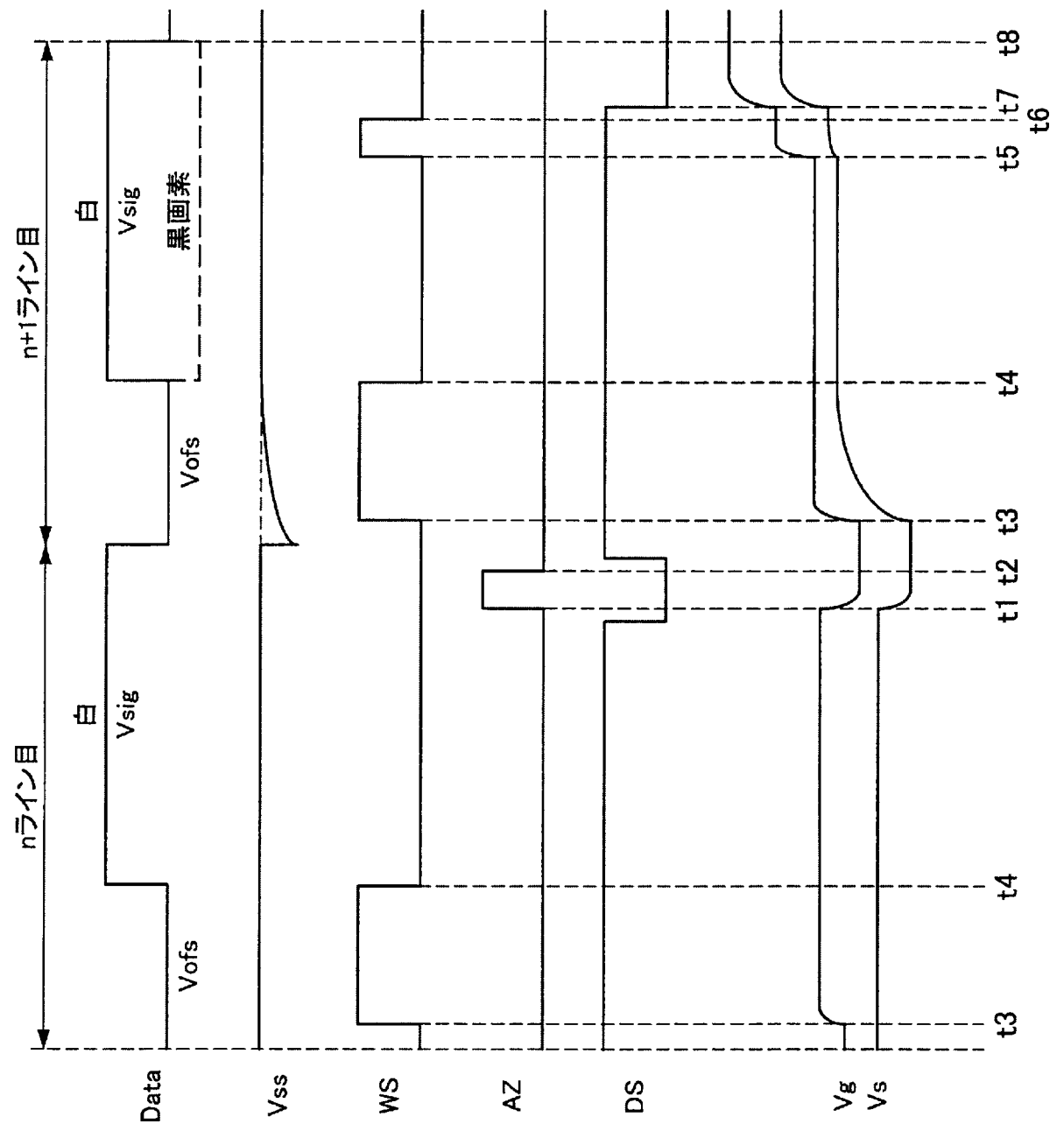
[図18]



[図19]



[図20]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/042826

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. G09G3/3233 (2016.01) i, G09G3/20 (2006.01) i, H01L27/32 (2006.01) i,
H01L51/50 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G09G3/3233, G09G3/20, H01L27/32, H01L51/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2015-14763 A (SONY CORP.) 22 January 2015, paragraphs [0075]-[0102], fig. 5-8 & US 2015/0009201 A1, paragraphs [0090]-[0117], fig. 5-8B & CN 104282257 A	1-11
Y	JP 2017-203991 A (SONY CORP.) 16 November 2017, paragraphs [0035]-[0056], [0070], fig. 3-4 (Family: none)	1-11

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
09 December 2019 (09.12.2019)

Date of mailing of the international search report
17 December 2019 (17.12.2019)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/042826

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2013-92674 A (SONY CORP.) 16 May 2013, paragraphs [0053]-[0056], fig. 5 & US 2014/0232705 A1, paragraphs [0077]-[0080], fig. 5 & WO 2013/061767 A1 & CN 103890831 A & KR 10-2014-0094510 A	2
A	JP 2014-228863 A (SAMSUNG DISPLAY CO., LTD.) 08 December 2014, entire text, all drawings & US 2014/0347347 A1 & EP 2806421 A1 & KR 10-2014-0137504 A & CN 104183215 A	1-11
P, A	JP 2019-82548 A (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 30 May 2019, entire text, all drawings & WO 2019/087950 A1	1-11

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G09G3/3233 (2016.01)i, G09G3/20 (2006.01)i, H01L27/32 (2006.01)i, H01L51/50 (2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G09G3/3233, G09G3/20, H01L27/32, H01L51/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 9 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 9 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 9 年

国際調査で利用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2015-14763 A (ソニー株式会社) 2015.01.22, 段落 [0075] - [0102], [図5] - [図8] & US 2015/0009201 A1, [0090]-[0117], 図5-図8B & CN 104282257 A	1-11
Y	JP 2017-203991 A (ソニー株式会社) 2017.11.16, 段落 [0035] - [0056], [0070], [図3] - [図4] (ファミリーなし)	1-11

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 9 . 1 2 . 2 0 1 9

国際調査報告の発送日

1 7 . 1 2 . 2 0 1 9

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

西島 篤宏

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 7 3

2 1

9 3 0 8

C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2013-92674 A (ソニー株式会社) 2013. 05. 16, 段落 [0053] - [0056], [図5] & US 2014/0232705 A1, [0077]-[0080], 図5 & WO 2013/061767 A1 & CN 103890831 A & KR 10-2014-0094510 A	2
A	JP 2014-228863 A (三星ディスプレイ株式会社) 2014. 12. 08, 全文, 全図 & US 2014/0347347 A1 & EP 2806421 A1 & KR 10-2014-0137504 A & CN 104183215 A	1-11
P, A	JP 2019-82548 A (ソニーセミコンダクタソリューションズ株式会社) 2019. 05. 30, 全文, 全図 & WO 2019/087950 A1	1-11