

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/336 (2006.01)

H01L 21/285 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200780001474.6

[43] 公开日 2009年2月4日

[11] 公开号 CN 101361172A

[22] 申请日 2007.1.9

[21] 申请号 200780001474.6

[30] 优先权

[32] 2006.1.9 [33] US [31] 11/306,719

[86] 国际申请 PCT/EP2007/050175 2007.1.9

[87] 国际公布 WO2007/080165 英 2007.7.19

[85] 进入国家阶段日期 2008.6.2

[71] 申请人 国际商业机器公司

地址 美国纽约

[72] 发明人 K·洸汉·黄 R·波泰尔

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所
代理人 杜娟

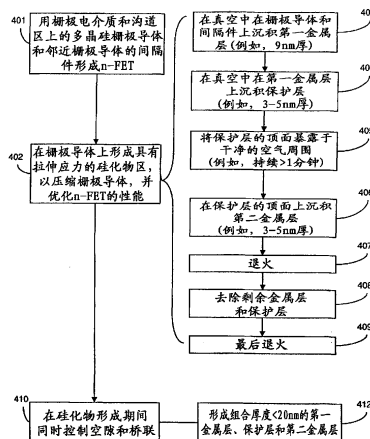
权利要求书4页 说明书11页 附图5页

[54] 发明名称

用复合盖改善硅化物形成的空气断开

[57] 摘要

公开一种结构和方法，用于调节硅化物应力，具体用于在 n-FET 的栅极导体上生长(402)有拉伸应力的硅化物区以优化 n-FET 的性能。更具体地，在 n-FET 结构上形成第一金属层-保护盖层-第二金属层叠层(403-406)。在第二金属层的沉积(406)之前，将保护层暴露(405)于空气。这一空气断开步骤改变了在保护盖层和第二金属层之间的粘附力，从而影响了硅化物形成期间在第一金属层上施加的应力。结果是对 n-FET 的性能最佳的有更多拉伸应力/更少压缩应力的硅化物。此外，该方法能够使用相对薄的第一金属层-保护盖层-第二金属层叠层，具体地使用相对薄的第二金属层形成这种有拉伸应力的硅化物区，以最小化在栅极导体和侧壁间隔件之间的结处累积的机械能，从而避免硅桥联。



1. 一种自对准硅化物形成方法，包括以下步骤：

在硅本体上形成第一金属层；

在所述第一金属层上形成保护层；

将所述保护层的顶面暴露于空气一段时间；

在所述保护层的所述顶面上形成第二金属层；和

执行退火，以在所述硅本体上形成有拉伸应力的硅化物区。

2. 权利要求1所述的方法，其中所述硅本体包括n型场效应晶体管的多晶硅栅极导体，以及所述有拉伸应力的硅化物区压缩所述多晶硅栅极导体，以优化所述晶体管的性能。

3. 权利要求1或权利要求2所述的方法，其中将所述保护层暴露于空气的步骤改变了在执行所述退火期间由所述保护层和所述第二金属层施加在所述第一金属层上的机械应力。

4. 权利要求1、2或3所述的方法，其中形成的所述第二金属层比所述保护层厚大约1至5倍。

5. 权利要求1至4中任一所述的方法，其中形成的所述保护层的厚度是所述第一金属层的厚度的大约1/3。

6. 一种自对准硅化物形成方法，包括以下步骤：

在硅本体上形成金属层；

在所述金属层上形成氮化钛层；

将所述氮化钛层的顶面暴露于空气一段时间；

在所述氮化钛层的所述顶面上形成镍层；和

执行退火，以在所述硅本体上形成有拉伸应力的硅化物区。

7. 权利要求6所述的方法，其中所述硅本体包括n型场效应晶体管的多晶硅栅极导体，并且所述有拉伸应力的硅化物区压缩所述多晶硅栅极导体，以优化所述晶体管的性能。

8. 权利要求6或权利要求7所述的方法，其中将所述氮化钛层暴露于空气的步骤改变了在执行所述退火期间由所述氮化钛层和所

述镍层施加在所述金属层上的机械应力。

9. 权利要求 6 至 8 中任一所述的方法，其中形成的所述镍层的比所述氮化钛层厚大约 1 至 5 倍。

10. 权利要求 6 至 9 中任一所述的方法，其中形成的所述氮化钛层的厚度是所述金属层的厚度的大约 1/3。

11. 一种自对准硅化物形成方法，包括以下步骤：

在硅本体和邻近绝缘体上形成第一金属层；

在所述第一金属层上形成保护层；

将所述保护层的顶面暴露于空气一段时间；

在所述保护层的所述顶面上形成第二金属层，其中所述第一金属层、所述保护层和所述第二金属层形成具有预先选择的组合厚度，以最小化在所述硅本体和所述邻近绝缘体之间的不均匀结处累积的机械能；和

执行退火，以在所述硅本体上形成有拉伸应力的硅化物区。

12. 权利要求 11 所述的方法，其中所述硅本体包括 n 型场效应晶体管的多晶硅栅极导体，并且所述有拉伸应力的硅化物区压缩所述多晶硅栅极导体，以优化所述晶体管的性能。

13. 权利要求 11 或权利要求 12 所述的方法，其中将所述保护层暴露于空气的步骤改变了在执行所述退火期间由所述保护层和所述第二金属层施加在所述第一金属层上的机械应力。

14. 权利要求 11 至 13 中任一所述的方法，其中形成的所述第二金属层比所述保护层厚大约 1 至 5 倍。

15. 权利要求 11 至 14 中任一所述的方法，其中形成的所述保护层的厚度是所述第一金属层的厚度的大约 1/3。

16. 一种在硅本体上形成硅化物区的结构，所述结构包括：

在所述硅本体上的第一金属层；

在所述第一金属层上的保护层，其中所述保护层具有污染的顶面；和

附着于所述污染的顶面的第二金属层，其中作为对所述结构应用

退火的结果，在所述硅本体上形成有拉伸应力的硅化物区。

17. 权利要求 16 所述的结构，其中所述硅本体包括 n 型场效应晶体管的多晶硅栅极导体，并且所述有拉伸应力的硅化物区压缩所述栅极导体，以优化所述晶体管的性能。

18. 权利要求 16 或权利要求 17 所述的结构，其中所述污染的顶面改变了在所述退火期间由所述保护层和所述第二金属层施加在所述第一金属层上的机械应力。

19. 权利要求 16 至 18 中任一所述的结构，其中所述第二金属层比所述保护层厚大约 1 至 5 倍。

20. 权利要求 16 至 19 中任一所述的结构，其中所述第二金属层的厚度是所述第一金属层的厚度的大约 1/3。

21. 一种在邻近于绝缘体的硅本体上形成硅化物区的结构，所述结构包括：

在所述硅本体和所述绝缘体上的第一金属层；

在所述第一金属层上的保护层，其中所述保护层具有污染的顶面；和

附着于所述污染的顶面的第二金属层，其中所述结构的组合厚度被预先选定，以最小化在所述结构中在所述硅本体和所述绝缘体之间的不均匀结处累积的机械能，并且作为对所述结构应用退火的结果，在所述硅本体上形成有拉伸应力的硅化物区。

22. 权利要求 21 所述的结构，其中所述硅本体包括 n 型场效应晶体管的多晶硅栅极导体，并且所述有拉伸应力的硅化物区压缩所述栅极导体，以优化所述晶体管的性能。

23. 权利要求 21 或权利要求 22 所述的结构，其中所述组合厚度小于约 20nm。

24. 权利要求 21 至 23 中任一所述的结构，其中所述污染的顶面改变了在所述退火期间由所述保护层和所述第二金属层施加在所述第一金属层上的机械应力。

25. 权利要求 21 至 24 中任一所述的结构，其中所述第二金属层

比所述保护层厚大约 1 至 5 倍。

26. 权利要求 21 至 25 中任一所述的结构，其中所述第二金属层的厚度是所述第一金属层的厚度的大约 $1/3$ 。

用复合盖改善硅化物形成的空气断开

技术领域

本发明总的涉及硅化物形成工艺，更具体地，涉及一种结构和方法，用于在自对准硅化物形成工艺期间同时调节硅化物应力和控制硅桥联。

背景技术

随着互补型金属氧化物半导体器件被规模化，具体地，随着沟道长度被规模化，在这种器件中的寄生电阻增加。为了最小化寄生电阻，在多晶硅栅极导体上、在硅源极/漏极扩散区上形成硅化物区，并且硅化物区还用作器件之间（例如，一个器件的硅源极/漏极扩散区和另一器件的多晶硅栅极导体之间）的本地互连。这些硅化物区提供了低电阻，并且能够抵挡高温。因此，它们可用于改善 CMOS 器件速度，因此改善器件性能。

在传统自对准硅化物形成工艺期间，在器件结构上（例如，在例如绝缘体上硅（SOI）晶片的半导体晶片上形成的场效应晶体管上）沉积金属层（例如，6-10nm 镍、钛或钴层）。具体地，可在硅源极/漏极扩散区上、多晶硅栅极导体上以及与栅极导体邻近的侧壁间隔件上沉积金属层。在这一步骤之后是沉积保护盖层（例如，氮化钛），以防止在随后的热退火期间金属层的污染。采用第一退火，以在热反应中在包括多晶硅-金属界面的硅-金属界面处形成硅化物区，从而导致明显的体积变化。然后，去除保护盖层和剩余金属。可采用第二热退火，以将富金属相的任意硅化物转化成单硅化物。

在硅化物形成工艺期间应考虑多种因素，以保证最佳 CMOS 器件性能。首先，该工艺应避免硅桥联到不必要的区域，以防止短路。例如，由于在金属与硅进行热反应以形成金属硅化物时存在明显的体

积变化，所以具有有限柔性的保护盖层会使得空隙张开，以补偿体积改变。这种空隙可使得硅能够移动或桥联到器件的不必要的区域（例如，在侧壁间隔件上），因此潜在地削弱了器件性能。其次，CMOS器件性能可通过在硅化物区形成时调节它们的拉伸应力或压缩应力来优化。例如，受到更大拉伸应力的硅化物使得硅或多晶硅底层处于压缩状态，因此处于对于n型场效应晶体管（n-FET）性能而言更好的状态。或者，受到更大压缩的硅化物使得硅或多晶硅底层处于拉伸状态，因此处于对于p-FET性能而言更好的状态。因此，需要一种结构和方法，用于在自对准硅化物形成工艺期间同时控制硅桥联和调节硅化物应力。

发明内容

以下描述的本发明的方面包括一种自对准硅化物形成方法，以及结合该方法使用的相关结构。

所述自对准硅化物形成方法的第一实施例包括：在半导体晶片（例如，块状硅或SOI晶片）上形成的n型场效应晶体管（n-FET）上形成第一金属层（例如，大约9nm镍层）。具体地，可以在真空中，在多晶硅栅极导体上、在邻近于栅极导体的侧壁间隔件上、在硅源极/漏极扩散区上以及在邻近于源极/漏极扩散区的浅沟槽隔离区上沉积第一金属层。然后，可在第一金属层上形成（例如，在真空中沉积）保护盖层（例如，大约3nm氮化钛层），以防止第一金属层在随后退火期间污染。保护层可形成为其厚度仅是第一金属层的大约1/3。

在沉积保护盖层之后，对器件进行空气断开。具体地，从沉积室将在其上形成器件的晶片去除预定的一段时间（例如，大于1分钟的一段时间）。从沉积室对晶片的去除使得保护层的顶面暴露于空气，因此根据推测会具有向保护盖层中或上引入例如氧和/或水汽的杂质的效果。

一旦经过预定的一段时间，在保护层的顶面上形成（例如，在真空中沉积）第二金属层（例如，大约3nm的第二镍层）。第二金属层

可形成为具有与保护层大约相同的厚度。此外，可将第一金属层-保护层-第二金属层叠层形成为具有预先选择的组合厚度，所述厚度被设计以最小化在硅本体和邻近绝缘体之间的任意不均匀结处（例如，在栅极导体和侧壁间隔件之间的结处）累积的机械能。具体地，小于约 20nm 的第一金属层-保护层-第二金属层叠层的组合厚度对于在自对准硅化物形成工艺期间避免空隙形成以及跨越硅-绝缘体结的硅桥联是最佳的。

在形成第一金属层-保护层-第二金属层叠层之后，执行第一退火工艺，以在硅-金属界面处形成有拉伸应力的硅化物区。具体地，用氧和/或湿气对保护层的顶面的污染影响了在保护层和第二金属层之间的粘附性，因此改变了在硅化物形成时施加在其上的外部机械应力。更具体地，在退火工艺期间，用使用空气断开形成的保护层-第二金属层叠层在第一金属层上施加的拉伸应力将大于没有使用空气断开而用具有相同厚度的相同层形成的类似叠层。得到的硅化物区具有与压缩应力相反的拉伸应力（例如，得到的硅化物区可形成有大于约 $+2.00 \times 10^9$ 达因/cm² 的拉伸应力）。这种有拉伸应力的硅化物区将压缩下面的硅本体（例如，多晶硅栅极导体），以优化 n-FET 的性能。

本发明的另一实施例提供了一种用于在 n-FET 的至少一个硅本体（例如，多晶硅栅极导体和硅源极/漏极扩散区）上形成有拉伸应力的硅化物区的结构。该结构包括第一金属层（例如，大约 9nm 的镍层），其是沉积的 n-FET 结构（即，在硅本体和任意邻近绝缘体（例如，侧壁间隔件、浅沟槽隔离区等）上沉积的）。在第一金属层上是保护层（例如，大约 3nm 的氮化钛层，其厚度是第一金属层的大约 1/3）。保护层具有污染的顶面。具体地，保护层具有用氧和/或湿气污染的顶面。附着于保护层的污染顶面的是第二金属层（例如，大约 3nm 的第二镍层，其厚度与保护层大约相同）。第一金属层-保护层-第二金属层叠层的组合厚度被预先选择（例如，小于约 20nm），以最小化在不均匀的硅-绝缘体结处的结构中累积的机械能。因此，该结构在硅化物形成工艺期间避免空隙形成以及跨越硅-绝缘体结的硅桥联。

此外，作为对该结构应用退火工艺的结果，在硅-金属界面处形成有拉伸应力的硅化物区。具体地，对上述形成的结构应用的退火工艺将得到具有拉伸应力的硅化物区，所述拉伸应力大于在 n-FET 的硅本体上（即，在多晶硅栅极导体和源极/漏极扩散区上）形成的大约 $+2.00 \times 10^9$ 达因/cm²。这种有拉伸应力的硅化物区将压缩硅，以优化晶体管的性能。

当结合以下说明和附图考虑时，将更好地获知和理解本发明的这些和其它方面以及实施例。然而，应该理解，尽管以下说明指出了本发明的优选实施例及其大量具体细节，但是仅是作为示例，而不是限制。可以在本发明的范围内进行许多变化和改变，并且本发明的实施例包括所有这些改变。

附图说明

参照附图，作为实例，以下更详细地描述本发明的实施例，其中：

图 1A-图 1D 是示出自对准硅化物形成工艺步骤的截面示意图；

图 2 是示出在场效应晶体管的多晶硅栅极导体和侧壁间隔件之间的示例性不均匀结的截面示意图；

图 3 是示出在自对准硅化物形成期间潜在的空隙以及跨越硅本体和绝缘体之间的结的硅桥联的截面示意图；

图 4 是示出本发明的方法的实施例的流程图；和

图 5A-图 5F 是示出图 4 的工艺步骤的截面示意图，具体地，图 5D-图 5E 示出结合到图 4 的工艺步骤中的本发明结构的实施例。

具体实施方式

参照在附图中所示以及在以下说明书中详细描述的非限制性实施例更完整地说明本发明实施例及其各种特点和优点细节。应注意，在附图中示出的特征不一定按比例绘制。公知部件和处理技术的描述被忽略，以避免不必要地使本发明的实施例不分明。这里使用的实例仅旨在便于理解可实现本发明实施例的方式并进一步使得本领域普

通技术人员能够实现本发明的实施例。因此，这些实例不应理解为对本发明实施例范围的限制。

如上所述，需要一种结构和方法，用于在自对准硅化物形成工艺期间同时调节硅化物应力和控制硅桥联。参照图 1A-1B，在传统自对准硅化物形成工艺期间，在真空中，在金属氧化物半导体（MOS）器件 100 上（例如，在例如绝缘体上硅（SOI）晶片或块状硅晶片的半导体晶片上形成的场效应晶体管上）沉积金属层 114（例如，6-10nm 镍、钛或钴层）。具体地，可在硅源极/漏极扩散区 106 上、多晶硅栅极导体 110 上、与栅极导体 110 邻近的侧壁间隔件 112（例如，氧化物或氮化物间隔件）上、以及与源极/漏极扩散区 106 邻近的浅沟槽隔离结构 103（STI）上沉积金属层 114。在这一步骤之后是同样在真空中沉积保护盖层 116（例如，氮化钛），以防止在随后的热退火期间金属层 114 的污染。采用第一退火，以在热反应中在包括多晶硅-金属界面的硅-金属界面处形成硅化物区 118（例如，硅化钴、硅化镍或硅化钛），从而导致明显的体积变化（见图 1C）。然后，去除保护盖层 116 和剩余金属 114（见图 1D）。可采用第二热退火，以将富金属相的任意硅化物 118 转化成单硅化物。

可选择的硅化物形成方法在美国专利 No.7,129,169（2004 年 5 月 12 日提交的申请 No.10/709,534）作了描述，该专利结合于此以资参考。所描述的方法被设计为在硅化物形成期间控制空隙和硅桥联。具体地，由于在硅化物形成工艺期间的体积变化，具有有限柔性的保护盖将使得空隙张开。这种空隙可使得硅移动到不期望的区域（例如，在侧壁间隔件上），导致电桥联，从而可潜在地削弱器件性能。所述可选择方法在 FET 上形成反应力层（例如，钴层）-氮化钛-金属层叠层。然后，执行退火工艺，以在硅-金属界面处形成硅化物。在形成的硅化物/氮化钛/钴膜中的净存储能量被降低，从而防止了可导致桥联的空隙的形成。

如上所述，CMOS 器件性能可通过在它们形成时调节硅化物区的拉伸应力或压缩应力来优化。例如，受到更大拉伸应力的硅化物使

得硅或多晶硅底层处于压缩状态，因此处于对于 n 型场效应晶体管 (n-FET) 性能而言更好的状态。或者，受到更大压缩应力的硅化物使得硅或多晶硅底层处于拉伸状态，因此处于对于 p-FET 性能而言更好的状态。使用上述用于硅化物形成的可选择方法，需要相对厚的反应力层来降低第一金属层/保护盖层叠层的压缩应力，以最终提供对于 n-FET 的性能最佳的受到更大拉伸应力的硅化物。然而，参照图 3，厚的反应力层 115 在围绕器件 100 的突边 (sharp) 结构 (例如，在多晶硅栅极导体 110 和侧壁间隔件 112 之间的不均匀结 120 中 (见图 2)) 累积的机械能中出现。具体地，在硅化物形成期间，氮化钛盖 116 必然在有源区 110 上偏斜，而不在绝缘体 112 上偏斜。它必须行进的距离是金属厚度和在退火工艺期间形成的硅化物相的函数。可使用以下公式确定在该偏斜期间累积的机械能 M_{def} ：

$$M_{def} = \int (EI) k^2 dt \sim Et^3 \leftarrow$$

其中，E 是杨氏系数，I 是惯性弯矩，k 是膜的曲率，t 是膜厚度，dt 是由偏斜引起的膜厚度的变化， M_{def} 是存储在膜中的能量。随着第一金属层 114 - 保护盖层 116 - 反应力层 125 叠层的组合厚度增加，将突边周围的叠层缠绕在例如侧壁间隔件 112 和栅极导体 110 之间的不均匀结 120 中所需的机械能也增加。随着机械能增加，在建立空隙 131 的硅化物 118 中累积的应力也增加，从而可导致硅的过度生长物 133 和硅化物 132 桥联到不必要的区域 (例如，侧壁间隔件 112、STI 等) 上。因此，n-FET 的性能难以提高。此外，原位镍的情况下反应力随镍厚度的变化率不太高。甚至使用密集跃迁栅极设计也不能获得有拉伸应力的盖。

根据上述内容，公开了一种结构和方法，用于在自对准硅化物形成工艺期间调节硅化物应力，具体地，用于在 n-FET 的栅极导体上生长有拉伸应力的硅化物区，以优化 n-FET 的性能。所述结构和方法还可在硅化物形成工艺期间同时控制硅桥联。

参照图 4，自对准硅化物形成方法的实施例包括形成 n-FET 500。例如，n-FET 500 可以用高掺杂 (N+) 硅源极/漏极扩散区 506、部署

在源极/漏极扩散区 506 之间的沟道区、在沟道区上的栅极电介质、在栅极电介质上的多晶硅栅极导体 510 和邻近于多晶硅导体 510 的绝缘（例如，氧化物或氮化物）侧壁间隔件 512 形成（401，参见图 5A）。然后，在多晶硅栅极导体上形成拉伸应力大于约 $+2.00 \times 10^9$ 达因/cm² 的硅化物区，以压缩栅极导体，从而优化 n-FET 500 的性能（402）。同时，通过限制用以形成硅化物的金属层 - 保护盖层 - 金属层叠层的组合厚度来最小化在硅化物形成工艺期间跨越硅 - 绝缘体结桥联的硅，以控制空隙（410-412）。

更具体地，可在半导体晶片（例如，SOI 晶片）上形成的 n 型场效应晶体管（n-FET）500 上形成第一金属层 514（403，见图 5B）。所述第一金属层 514 可包括厚度 521 大约为 6-10nm 的钴、镍或钛层。例如，在真空中，可在 n-FET 500 上，具体地，在多晶硅栅极导体 510（即，硅本体）上、在邻近于栅极导体 510 的侧壁间隔件 512（即，绝缘体）上、在 n-FET 的硅源极/漏极扩散区 506（即，另一硅本体）上以及在邻近于源极/漏极扩散区 506 的浅沟槽隔离区 503（即，另一绝缘体）上沉积大约 9nm 的镍层 514。然后，可在第一金属层 514 上形成保护盖层 516，以防止第一金属层 514 在随后退火期间的污染（404，见图 5B）。保护盖层 516 可包括厚度 522 为 3-9nm 的氮化钛层。例如，可在约 9nm 的第一镍层 514 上在真空中沉积约 3nm 的氮化钛层 516，从而氮化钛层 516 的厚度 521 仅是第一镍层 514 的大约 1/3。

在沉积保护盖层 516（在工艺 404）之后，对器件 500 进行空气断开（405）。具体地，从沉积室将在其上形成器件 500 的晶片去除预定的一段时间（例如，大于 1 分钟的一段时间）。从沉积室对晶片的去除使得保护盖层 516 的顶面 525 暴露于空气 540，因此根据推测会具有向保护盖层 516 中或上引入例如氧和/或水汽的杂质 517（即，外来物质）的效果（见图 5C）。

一旦经过预定的一段时间，在保护层 516 的顶面 525 上形成第二金属层 515（406，见图 5D）。第二金属层 515 可包括具有 3-10nm 厚

度的另一镍层（或者，可以是钴或钛层）。例如，可将晶片重新加载到沉积工具中，并且可以在真空中在保护层 516 上沉积大约 3nm 的镍层 515，从而第二金属层 515 和保护层 514 具有大约相同的厚度 522。然而，本领域普通技术人员将认识到，第二金属层 515 可形成为比保护盖层 516 厚大约 1 至 5 倍，以增加在第一金属层 514 上施加的机械应力，而不引起劣质硅化物形成。

此外，可形成第一金属层 - 保护层 - 第二金属层叠层，使其具有预先选择的组合厚度 523，所述厚度被设计以最小化在硅本体（例如，多晶硅栅极导体 510）和邻近绝缘体（例如，侧壁间隔件 512）之间的任何不均匀结 550 处累积的机械能（410-420，见图 5D）。具体地，小于约 20nm 的第一金属层 - 保护层 - 第二金属层叠层的组合厚度 523 对于在自对准硅化物形成工艺期间避免空隙形成以及跨越硅 - 绝缘体结 550 的硅桥联是最佳的。

在形成第一金属层 - 保护层 - 第二金属层叠层（在工艺 406）之后，执行第一高温加热退火工艺，以在硅 - 金属界面处的硅本体 510、506 上形成有拉伸应力的硅化物区 518（407，见图 5E）。具体地，根据推测，将保护盖层 516 的顶面 525 暴露于空气 540 会具有向保护盖层 516 中或上引入例如氧和/或水汽的杂质 517（即，外来物质）的效果。这样改变了在保护层 516 和第二金属层 515 之间的粘附性，因此改变了在第一金属层 - 保护层 - 第二金属层叠层中的机械应力。在叠层中机械应力的改变进而改变了在硅化物 518 形成时在其上施加的外部机械应力，从而能够形成具有更大拉伸应力的硅化物区。在机械应力上的空气断开（在工艺 405）的明显效果可归因于在保护层 516 的顶面 525 上第二金属层 515 的不同晶粒结构。

更具体地，如上所述，在退火工艺期间，用保护层 516 的污染顶面 525 形成的保护层 - 第二金属层叠层在第一金属层 514 上施加的压缩应力将小于用没有污染顶面的具有相同厚度的相同层形成的类似叠层。得到的硅化物区具有与压缩应力相反的拉伸应力（例如，具有大于约 $+2.00 \times 10^9$ 达因/cm² 的拉伸应力）。例如，仅具有 3nm 氮化钛

盖的 9nm 镍层可得到具有大约 -7.69×10^9 达因/cm² 的压缩应力的硅化物区。如果在不提供空气断开的情况下向该结构增加 3nm 第二镍层, 则压缩应力可被进一步降低到约 -3.65×10^9 达因/cm² 的静压缩应力。如上所述, 可通过进一步增加第二金属层的厚度来实现更低的压缩应力。然而, 这种技术由于机械应力的增加还增加了硅桥联的可能性。或者, 使用这里公开的方法, 如果在空气断开之后向 9nm 镍层 - 3nm 氮化钛层叠层增加 3nm 第二镍层, 则硅化物应力可改变为 $+5.46$ 达因/cm² 的拉伸应力。因此, 如果硅本体是 n 型场效应晶体管 500 的多晶硅栅极导体 510, 则有拉伸应力的硅化物区 518 将压缩多晶硅栅极导体 510, 从而一旦完成则优化了晶体管的性能。

一旦形成硅化物区 518, 则可 (例如, 通过选择蚀刻工艺) 去除剩余金属层 514 和 515, 以及保护层 516 (408, 见图 5F)。此外, 如果作为第一高温加热退火 (在处理 407) 的结果形成的硅化物是富金属相, 则可执行最后高温加热退火, 以将硅化物区 518 转化成单硅化物区。

本领域普通技术人员将认识到, 上述方法可用于仅形成 n-FET, 或形成结合了 n-FET 和 p-FET 的互补型金属氧化物半导体 (CMOS) 器件。如上所述, 可使用栅极导体上的有拉伸应力硅化物区来优化 n-FET 的性能, 以及可使用在栅极导体上的有压缩应力硅化物区来优化 p-FET 的性能。这可以通过提供用于从 n-FET 蚀刻掉物质的 p-FET 来实现, 和/或通过 CMOS 硅化物形成工艺期间的一个或多个阶段阻止物质形成在 p-FET 上来实现。例如, 可通过在 p-FET 上提供更厚 (20-60nm 厚) 的氮化钛盖来改善的 p-FET 性能。可通过提供更薄的氮化钛盖和更厚的第二金属层来进一步改善 n-FET 的性能。

参照图 5D-5E, 根据上述本发明实施例, 还公开了用于在邻近于至少一个绝缘体 (例如, 邻近于栅极导体的侧壁间隔件 512 或邻近于源极/漏极扩散区的 STI 503) 的至少一个硅本体 (例如, 多晶硅栅极导体 510 或硅源极/漏极扩散区 506) 上形成硅化物区 518 的结构实施例。该结构包括具有 6-10nm 厚度的第一金属层 514。例如, 第一

金属层可包括大约 9nm 厚的镍、钴或钛层。在第一金属层 514 上是具有 3-9nm 厚度 522 的保护层 516。例如，保护层 516 可包括大约 3nm 的氮化钛层，其厚度约为第一金属层 514 的厚度 522 的 1/3。保护层 516 还包括污染的顶面 525。具体地，在形成工艺期间将保护层 516 暴露于空气 540，因此根据推测，保护层的顶面 525 包括例如氧和/或水汽 517 的杂质。附着于保护层 516 的污染顶面 525 的是第二金属层 515，其厚度比所述保护盖层 516 厚大约 1 至 5 倍（例如，大约 3-10nm 厚）。例如，第二金属层可包括大约 3nm 第二镍、钴或钛层，其厚度与保护层 516 的厚度 522 大约相同。该结构（即，第一金属层 514 - 保护层 516 - 第二金属层 515 叠层）的组合厚度 523 被预先选择（例如，小于约 20nm），以最小化该结构中在硅本体 510、506 和绝缘体 512、502 之间的不均匀结 500 处累积的机械能。因此，该结构在硅化物形成工艺期间避免空隙形成以及在硅 - 绝缘体结 550 处的硅桥联。此外，作为对该结构应用高温加热退火工艺的结果，在硅本体 510、506 上形成有拉伸应力的硅化物区 518。具体地，对上述形成的结构应用的退火工艺将得到具有拉伸应力的硅化物 518，所述拉伸应力大于在 n-FET 的硅本体（即，多晶硅栅极导体 510 和源极/漏极扩散区 506）上形成的大约 $+2.00 \times 10^9$ 达因/cm²。这种有拉伸应力的硅化物区 518 将压缩硅本体，具体地，压缩栅极导体 510，从而一旦完成则优化了晶体管的性能。

因此，上文公开了一种结构和方法，用于调节硅化物应力，以及具体地用于在 n-FET 的栅极导体上生长有拉伸应力的硅化物区，以优化 n-FET 的性能。更具体地，在 n-FET 结构上形成第一金属层 - 保护盖层 - 第二金属层叠层。然而，在第二金属层的沉积之前，将保护层暴露于空气。这一空气断开步骤改变了在保护盖层和第二金属层之间的粘附力，从而影响了在硅化物形成期间在第一金属层上施加的应力。得到的结果是对于 n-FET 的性能最佳的有更多拉伸应力/更少压缩应力的硅化物。此外，该方法使得能够使用相对薄的第一金属层 - 保护盖层 - 第二金属层叠层，具体地使用相对薄的第二金属层来形成

这种有拉伸应力的硅化物区，以最小化在栅极导体和侧壁间隔件之间的结处累积的机械能，从而避免硅桥联。

具体实施例的以上描述将完全展现本发明的一般特征，其它方面可通过应用当前知识在不脱离一般概念的情况下容易地修改和/或适应这些具体实施例的各个应用，因此这种应用和修改应该并且意欲被理解为在所公开实施例的含义和等同范围内。应该理解，这里采用的措辞和术语为的是说明的目的，而不是限制。因此，虽然根据实施例已经描述了本发明，但是本领域普通技术人员将认识到，在所附权利要求的范围内可以通过修改来实现本发明。

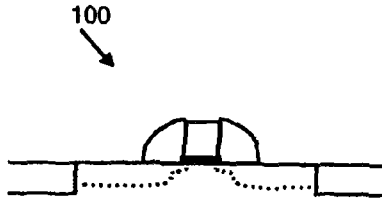


图1A

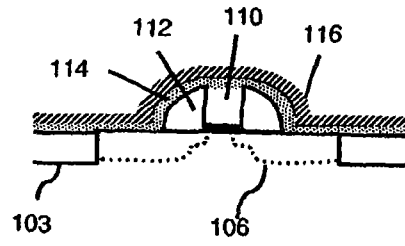


图1B

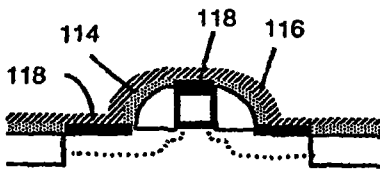


图1C



图1D

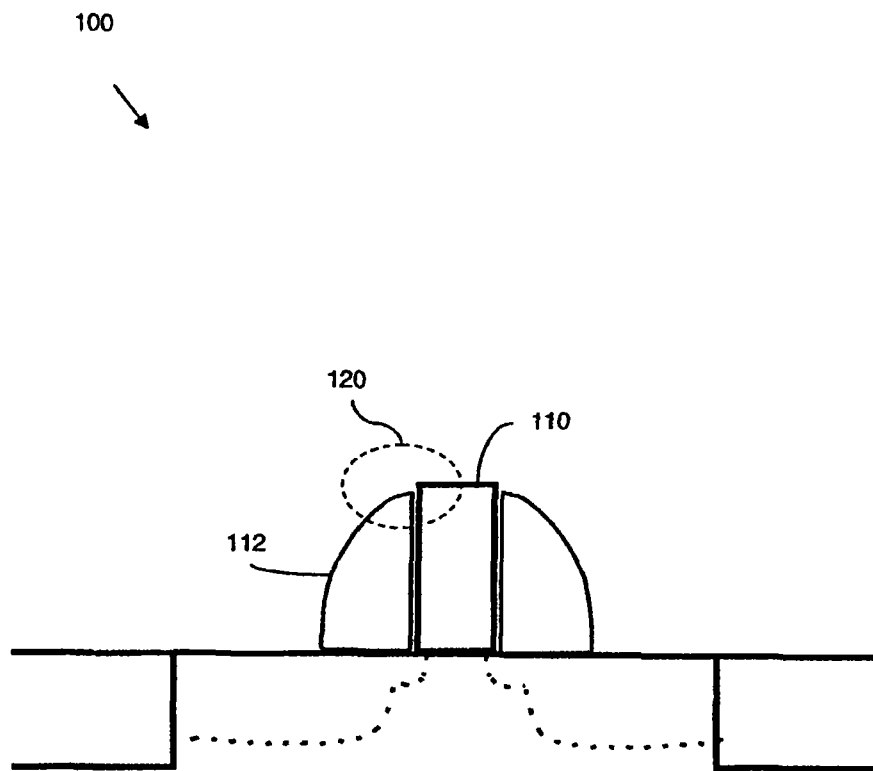


图2

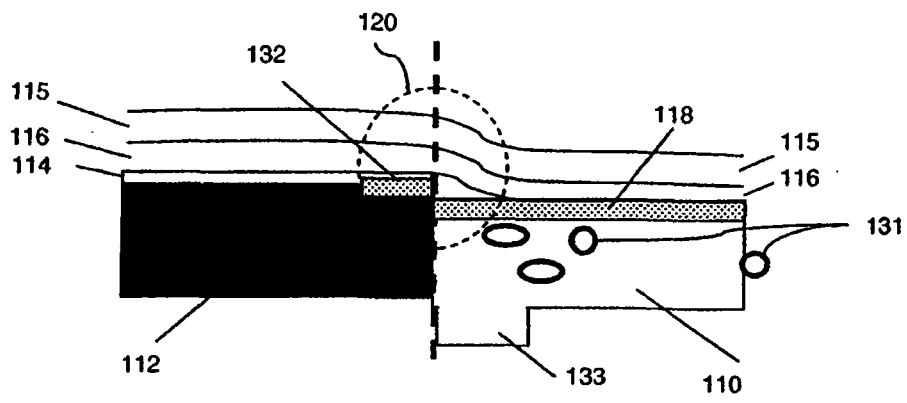


图 3

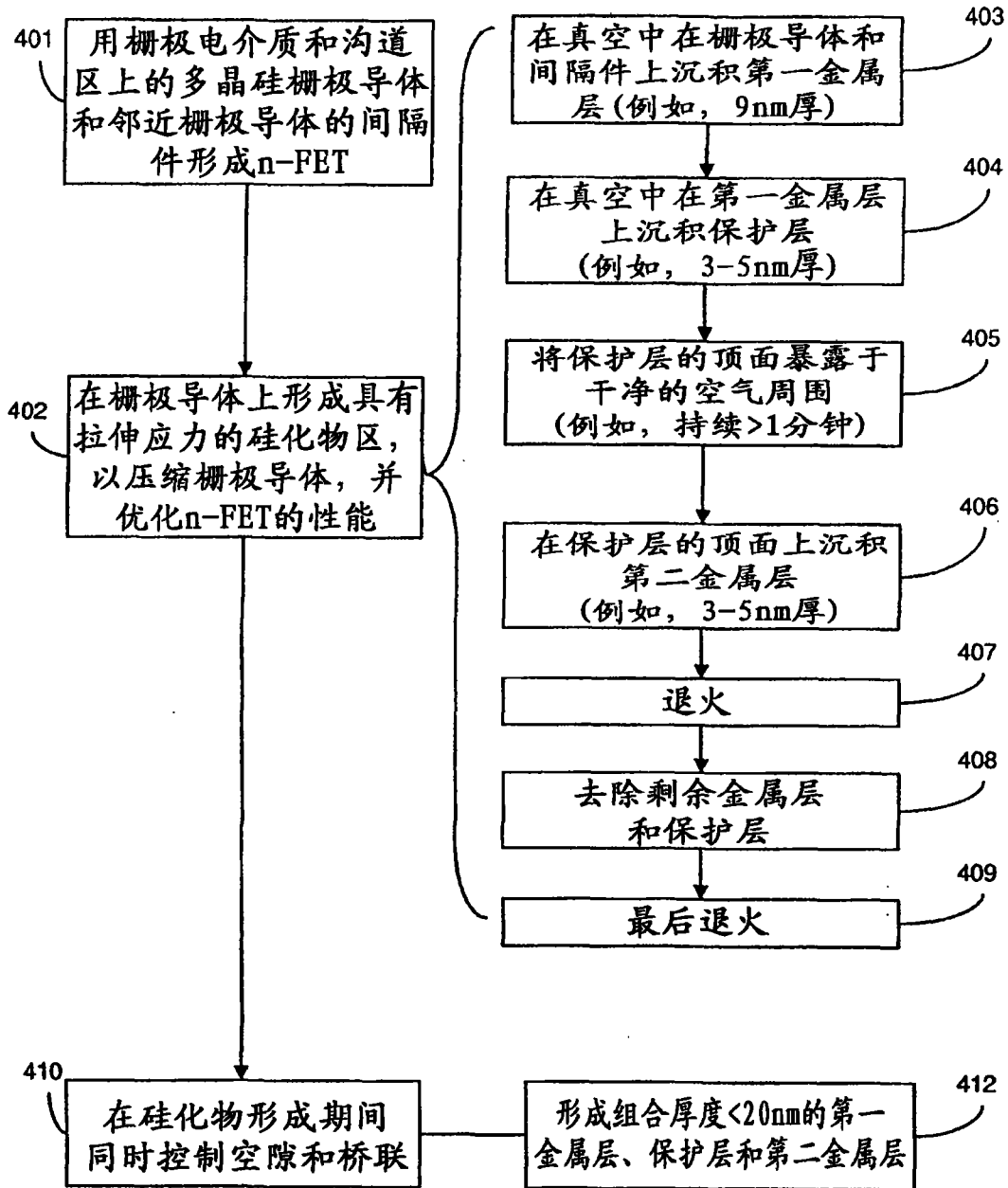


图4

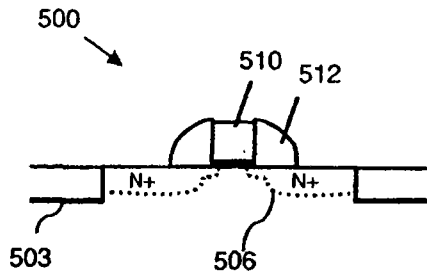


图 5A

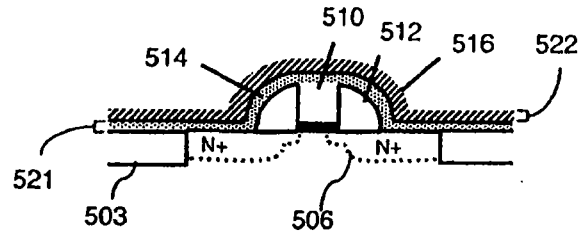


图 5B

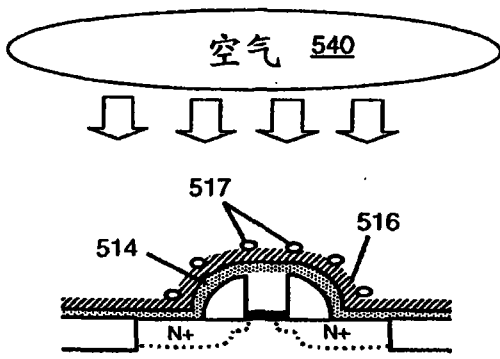


图 5C

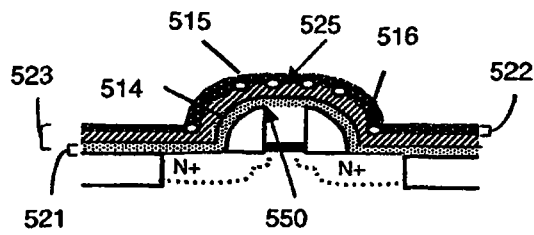


图 5D

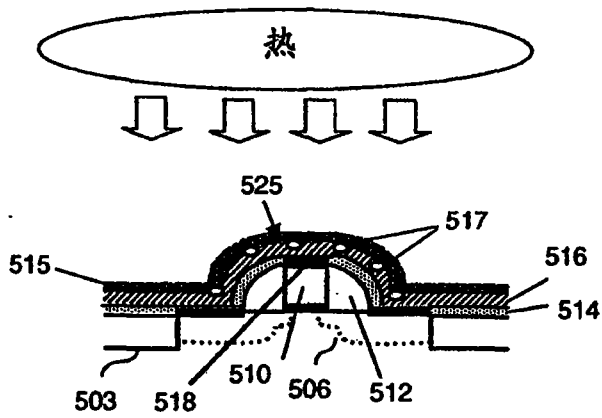


图 5E

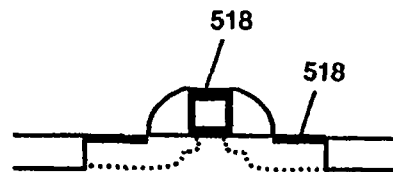


图 5F