



(12) 发明专利

(10) 授权公告号 CN 102208445 B

(45) 授权公告日 2016. 03. 30

(21) 申请号 201110086411. 3

US 3891468 , 1975. 06. 24,

(22) 申请日 2011. 03. 29

审查员 王倩

(30) 优先权数据

2010-076366 2010. 03. 29 JP

(73) 专利权人 精工半导体有限公司

地址 日本千叶县

(72) 发明人 原田博文

(74) 专利代理机构 中国专利代理(香港)有限公

司 72001

代理人 何欣亭 王忠忠

(51) Int. Cl.

H01L 29/78(2006. 01)

H01L 29/10(2006. 01)

(56) 对比文件

US 3891468 , 1975. 06. 24,

US 5712501 A, 1998. 01. 27,

US 5929486 A, 1999. 07. 27,

JP 特开 2004-79810 A, 2004. 03. 11,

CN 1689165 A, 2005. 10. 26,

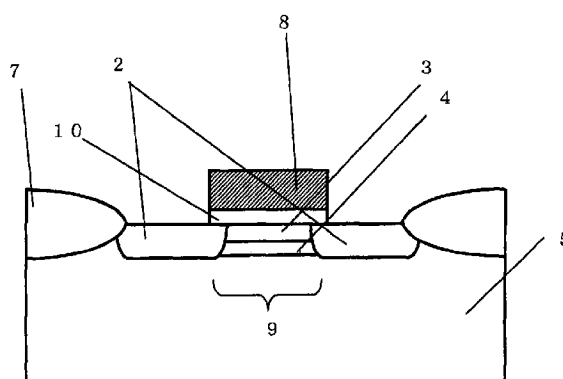
权利要求书2页 说明书4页 附图4页

(54) 发明名称

具有耗尽型 MOS 晶体管的半导体装置

(57) 摘要

得到改善的耗尽型 MOS 晶体管, 其中包括: 半导体衬底上的第一导电型的阱区; 在阱区上形成的栅极绝缘膜; 在栅极绝缘膜上形成的栅电极; 在栅电极的两端形成的第二导电型的源极/漏极区; 在源极/漏极区之间的栅极氧化膜下形成的第二导电型的低浓度杂质区; 以及在源极/漏极区之间的第二导电型的低浓度杂质区之下形成的第一导电型的低浓度杂质区。



1. 一种常导通耗尽型 MOS 晶体管,包括:

在半导体衬底上形成的具有第一导电型的阱区;

在所述阱区上形成的栅极绝缘膜;

在所述栅极绝缘膜上形成的栅电极,所述栅电极具有与所述第一导电型不同的第二导电型;

在所述栅电极的各侧上且在所述阱区内形成的源极和漏极区,所述源极和漏极区具有所述第二导电型;

在所述源极和漏极区之间且在所述阱区内的所述栅极绝缘膜下形成并且具有所述第二导电型的第一低浓度杂质区;以及

在所述源极和漏极区之间且在所述阱区内的所述第一低浓度杂质区下形成并且具有所述第一导电型的第二低浓度杂质区,

其中,所述第二低浓度杂质区配置成与所述源极和漏极区相分离,并且其中,所述第二低浓度杂质区设置在距离所述源极和漏极区 $0.5\mu\text{m}$ 到 $1.5\mu\text{m}$ 处,所述第二低浓度杂质区的杂质浓度高于所述阱区的杂质浓度,其中所述第二低浓度杂质区的最大峰值浓度为所述第一低浓度杂质区的最大峰值浓度以下。

2. 如权利要求 1 所述的常导通耗尽型 MOS 晶体管,其中所述第二低浓度杂质区具有 $5.0\times 10^{16}/\text{cm}^3$ 到 $1.0\times 10^{18}/\text{cm}^3$ 的峰值浓度。

3. 如权利要求 2 所述的常导通耗尽型 MOS 晶体管,其中所述第一低浓度杂质区具有 $1.0\times 10^{17}/\text{cm}^3$ 到 $5.0\times 10^{18}/\text{cm}^3$ 的峰值浓度。

4. 如权利要求 1 所述的常导通耗尽型 MOS 晶体管,其中所述第一导电型为 P 型导电性并且所述第二导电型为 N 型导电性。

5. 一种半导体装置,包括权利要求 1 所述的常导通耗尽型 MOS 晶体管。

6. 如权利要求 5 所述的半导体装置,其中所述第二低浓度第一导电型杂质区具有 $5.0\times 10^{16}/\text{cm}^3$ 到 $1.0\times 10^{18}/\text{cm}^3$ 的峰值浓度。

7. 如权利要求 6 所述的半导体装置,其中所述第一低浓度杂质区具有 $1.0\times 10^{17}/\text{cm}^3$ 到 $5.0\times 10^{18}/\text{cm}^3$ 的峰值浓度。

8. 如权利要求 5 所述的半导体装置,其中所述第二低浓度杂质区配置成与所述第一低浓度杂质区直接接触。

9. 如权利要求 5 所述的半导体装置,其中所述常导通耗尽型 MOS 晶体管包括常导通耗尽型 N 沟道 MOS 晶体管。

10. 如权利要求 9 所述的半导体装置,其中所述第一导电型为 P 型导电性并且所述第二导电型为 N 型导电性。

11. 一种常导通耗尽型 MOS 晶体管,包括:

在半导体衬底上形成的具有第一导电型的阱区;

在所述阱区上形成的栅极绝缘膜;

在所述栅极绝缘膜上形成的栅电极,所述栅电极具有与所述第一导电型不同的第二导电型;

在所述栅电极的各侧上且在所述阱区内形成的源极区和漏极区,所述源极区和所述漏极区具有所述第二导电型;

在所述源极区和所述漏极区之间且在所述阱区内的所述栅极绝缘膜下形成并且具有所述第二导电型的第一低浓度杂质区 ;以及

在所述源极区和所述漏极区之间且在所述阱区内的所述第一低浓度杂质区下形成并且具有所述第一导电型且杂质浓度高于所述阱区的杂质浓度的第二低浓度杂质区,

其中,所述第二低浓度杂质区配置成与所述漏极区相分离,并且其中,所述第二低浓度杂质区设置在距离所述漏极区 $0.5\mu\text{m}$ 到 $1.5\mu\text{m}$ 处,其中所述第二低浓度杂质区的最大峰值浓度为所述第一低浓度杂质区的最大峰值浓度以下。

具有耗尽型 MOS 晶体管的半导体装置

技术领域

[0001] 本发明涉及包含具有埋入沟道的耗尽型 MOS 晶体管的半导体装置。

背景技术

[0002] 作为晶体管的分类之一,有这样的分法:常截止型、即栅极电压为 0V 时不会在漏极 / 源极间有电流流动;以及常导通型、即栅极电压为 0V 时在漏极 / 源极间有电流流动。在 MOS 晶体管的情况下,特别是,将前者称为增强型,且将后者称为耗尽型。例如在 N 沟道 MOS 晶体管的情况下,耗尽型 MOS 晶体管被设定为阈值电压取负值。

[0003] 图 2 是一般的耗尽型 N 沟道 MOS 晶体管的示意剖视图。不管是耗尽型还是增强型, N 沟道晶体管大体上形成在 $1 \times 10^{15}/\text{cm}^3$ 到 $1 \times 10^{17}/\text{cm}^3$ 的 P 型阱区 5 上。耗尽型、增强型的差异在于耗尽型的情况下在栅极氧化膜 10 下的沟道区 9 形成有 $1 \times 10^{17}/\text{cm}^3$ 到 $5 \times 10^{18}/\text{cm}^3$ 的低浓度 N 型杂质区 3,与 $1 \times 10^{19}/\text{cm}^3$ 以上的浓度的 N 型的栅电极 8 的两端的 N 型的源极 / 漏极区 2 一起形成 N 型的电流路径。通过这样的构成,施加在栅电极的电压为 0V 的情况下,若对漏极 / 源极间施加电压,则能使电流在由该 N 型的杂质区组构成的电流路径中流动。

[0004] 接着,对一般的耗尽型 N 沟道 MOS 晶体管的电气动作进行说明。如之前讲述的那样,在栅极电压为 0V 的情况下,响应漏极 / 源极间电压而有电流经由低浓度 N 型杂质区而在 N 型的源极 / 漏极区之间流动。这时,电流路径的上游为与栅极氧化膜的界面,下游为 P 阱区和低浓度 N 型杂质区的 PN 结形成的界面。更严格地说,电流路径的下游达到在 P 阱区和低浓度 N 型杂质区的 PN 结附近形成的耗尽层的上游。在使栅极电压为正值的情况下,在低浓度 N 型杂质区中进一步感应电子,会有更多的电流流动。

[0005] 另一方面,在使栅极电压为负值的情况下,从低浓度 N 型杂质区的栅极氧化膜界面起向下开始耗尽,随着负侧的电压增加收窄 P 阱区与 PN 结之间的电流路径。与之相伴地,电流值降低。

[0006] 然后进一步将栅极电压向负侧增加,并且从栅极氧化膜界面产生的耗尽层,与由 N 型低浓度杂质区和 P 阱区的 PN 结形成的耗尽层接触时,电流路径就会消失并且电流值成为 0。大体上此时的栅极电压值成为耗尽型 N 沟道 MOS 晶体管的阈值电压,会取负值。

[0007] 从以上说明能够理解到,电流流过的路径主要为比栅极氧化膜在半导体衬底侧更深的部分,因此耗尽型 MOS 晶体管也被称为埋入沟道型 MOS 晶体管。另一方面,增强型 MOS 晶体管一般为表面沟道型。

[0008] 在通过半导体制造工序作成具有上述那样的电气动作 / 结构的耗尽型 N 沟道 MOS 晶体管时,在形成栅极氧化膜前或者在形成栅电极前且形成栅极氧化膜后,追加在栅极氧化膜下注入 N 型杂质的沟道形成工序。其 N 型杂质为磷或砷,通过离子注入来引入,作为注入量 (ドーズ量),有从 $1 \times 10^{11}/\text{cm}^2$ 到 $1 \times 10^{13}/\text{cm}^2$ 之间的值。

[0009] 这种耗尽型 MOS 晶体管往往在半导体集成电路中活用称为常导通型的特征而作为恒流源加以利用。此外有利用其恒流构成恒压电路的例子。这种用途在模拟电路中特别

多,精度越高,其恒流性越能对作为模拟电路的高性能化或整个电路的低成本化做贡献。

[0010] 具体要求精度的是阈值电压和电流驱动能力,而与增强型 N 沟道 MOS 晶体管的阈值电压相比,一般耗尽型 N 沟道 MOS 晶体管的阈值电压的偏差较大。

[0011] 其理由是因为与增强型 N 沟道 MOS 晶体管的阈值电压相关的参数大体上由以下的 3 个方面决定,与之相对,耗尽型 N 沟道 MOS 晶体管还要加沟道杂质深度的参数的缘故。

[0012] 1) 沟道杂质浓度

[0013] 2) 栅极氧化膜厚

[0014] 3) 由固定电荷等确定的平带电压

[0015] 作为耗尽型 MOS 晶体管的作成方法或减少其特性劣化 / 偏差的方法,例如公开于专利文献 1 等。

[0016] 专利文献:日本特开平 7-161978 号公报

发明内容

[0017] 但是,现有的耗尽型 MOS 晶体管中存在如下的课题。耗尽型 MOS 晶体管的阈值电压与沟道的耗尽层的延伸相关,这与上述说明一样,但是用于产生该耗尽层的延伸的电压相应量,与耗尽层的延伸的平方成比例,因此耗尽层距离的变动会使阈值电压显著变化。该耗尽层距离在 N 沟道 MOS 晶体管的情况下,相当于 N 型杂质区的深度,但是这与 N 型杂质注入后的热处理及 P 型阱层的较深的部分中的浓度偏差相关,难以减小它们。因而耗尽型 MOS 晶体管的阈值电压会比增强型 MOS 晶体管还要大幅偏离,采用由模拟电路吸收该偏差有宽余的设计或规格的结果,存在的课题是难以低成本提供高精度的模拟 IC。

[0018] 本发明为了解决上述课题而采用以下方案。

[0019] 首先,一种耗尽型 MOS 晶体管,其中包括:半导体衬底上的、第一导电型的阱区;在第一导电型阱区上形成的栅极绝缘膜;在栅极绝缘膜上形成的栅电极;在第一导电型的阱区内并且在栅电极的两端形成的第二导电型的源极 / 漏极区;在第一导电型的阱区内并且在源极 / 漏极区之间的栅极氧化膜下形成的第二导电型的低浓度杂质区;以及在第一导电型的阱区内并且在源极 / 漏极区之间的第二导电型的低浓度杂质区之下形成的第一导电型的低浓度杂质区。

[0020] 此外,在耗尽型 MOS 晶体管中,从源极 / 漏极区相分离地形成第一导电型的低浓度杂质区。

[0021] 然后,在耗尽型 MOS 晶体管中,以使上述第一导电型的低浓度杂质区和所述源极 / 漏极区的距离成为 $0.5\ \mu\text{m}$ 到 $1.5\ \mu\text{m}$ 之间的方式相分离。

[0022] 而且,在耗尽型 MOS 晶体管中,第一导电型的低浓度杂质区的峰值浓度为 $5.0 \times 10^{16}/\text{cm}^3$ 到 $1.0 \times 10^{18}/\text{cm}^3$ 。

[0023] 进而,在耗尽型 MOS 晶体管中,第二导电型的低浓度杂质区的峰值浓度为 $1.0 \times 10^{17}/\text{cm}^3$ 到 $5.0 \times 10^{18}/\text{cm}^3$ 。

[0024] (发明效果)

[0025] 依据本发明,能够作成阈值偏差的变动少的耗尽型 MOS 晶体管,由此能够提供具有低成本 / 高性能的模拟电路的半导体集成电路。

附图说明

- [0026] 图 1 是本发明的第一实施例的耗尽型 N 沟道 MOS 晶体管的示意剖视图。
- [0027] 图 2 是现有的耗尽型 N 沟道 MOS 晶体管的示意剖视图。
- [0028] 图 3 是本发明的第二实施例的耗尽型 N 沟道 MOS 晶体管的示意剖视图。
- [0029] 图 4 是表示本发明的耗尽型 N 沟道 MOS 晶体管的深度方向杂质浓度分布的图表。
- [0030] 图 5 是表示本发明的耗尽型 N 沟道 MOS 晶体管的深度方向杂质浓度分布的其它图表。
- [0031] 图 6A 至 6E 是用于作成本发明的耗尽型 N 沟道 MOS 晶体管的工序流程剖视图。

具体实施方式

[0032] 下面根据附图,对本发明的实施的方式进行说明。

[0033] 图 1 是本发明的第一实施例的耗尽型 N 沟道 MOS 晶体管的示意剖视图。与现有方法的差异在于,在成为沟道的 N 型低浓度杂质区的下层重新用离子注入法形成具有比 P 阱区高的浓度的 P 型低浓度杂质区。在作成这样的结构的情况下,即便 N 型低浓度杂质区的深度因热处理的偏差而变大, N 型低浓度杂质区的下摆的部分也会向 P 型低浓度杂质区的表面侧的扩散,从而能抵消,其结果是能抑制 N 型低浓度杂质区和其下的 P 型低浓度杂质区的接合位置的偏差,从而也能抑制更进一步的阈值电压的变动。

[0034] 在此 N 型低浓度杂质区及 P 型低浓度杂质区的浓度峰值取决于离子注入能量,但由于偏差非常小,所以注入时的深度变动造成的阈值电压的偏差小到能忽略不计的程度。

[0035] 关于该 N 型低浓度杂质区及 P 型低浓度杂质区的深度及浓度,通过适当地选择离子注入条件,能够选定各式各样的式样 (pattern)。

[0036] 例如图 4 示出下列情况下的杂质浓度分布:作为 N 型低浓度杂质的条件采用砷,在进行 50keV、 $1.7 \times 10^{12}/\text{cm}^2$ 的离子注入之后,作为 P 型低浓度杂质的条件采用硼,在进行 40keV、 $1.0 \times 10^{12}/\text{cm}^2$ 的离子注入。如此用注入能量控制 P 型杂质区的深度,从而无需改变 N 型低浓度杂质的接合位置而能在 N 型低浓度杂质区的正下方的位置设定 P 型低浓度杂质区。

[0037] 该 P 杂质区采用硼元素,因此在形成沟道的杂质区之后若热处理较大,则硼的朝着表面方向的扩散会比砷的下方向的扩散更显著,有时 N 型低浓度杂质区的接合位置变浅。在这种情况下,增大用于形成 P 型低浓度杂质区的离子注入能量即可。例如,通过将硼的能量从 40keV 变更为 60keV,能够设定为深达 0.05um 左右。

[0038] 此外,图 5 是下列情况下的杂质浓度分布:作为 N 型低浓度杂质的条件使用砷,在进行 50keV、 $1.7 \times 10^{12}/\text{cm}^2$ 的离子注入后,作为 P 型低浓度杂质的条件使用硼,在进行 40keV、 $5.0 \times 10^{12}/\text{cm}^2$ 的离子注入。如果 P 型低浓度杂质区的注入量太大,则之前讲述的向表面侧的扩散占主导地位,且 N 型低浓度杂质区和下方的 P 型杂质区的接合面会受该 P 型低浓度杂质区的热处理造成的深度偏差的约束。因此, P 型低浓度杂质区的最大峰值浓度最好为 N 型低浓度杂质区的最大峰值浓度以下。

[0039] 在之前的例中,作为 N 型低浓度杂质的条件采用砷,在 50keV、 $1.7 \times 10^{12}/\text{cm}^2$ 的情况下,作为 P 型低浓度杂质的条件,如果是硼,则离子注入条件最好为 40 至 70keV; $1.0 \times 10^{12}/\text{cm}^2$ 至 $5.0 \times 10^{12}/\text{cm}^2$ 的范围。尚且这也与上述的一样,根据后续的热处理的大小

而改变最佳设定值。其后,经过各式各样的热处理,最终N型低浓度杂质区的峰值浓度成为 $1.0 \times 10^{17}/\text{cm}^3$ 到 $5.0 \times 10^{18}/\text{cm}^3$,但是为了减少阈值电压的偏差,P型低浓度杂质区的峰值浓度最好为 $5.0 \times 10^{16}/\text{cm}^3$ 到 $1.0 \times 10^{18}/\text{cm}^3$ 。

[0040] 接着,借助图6A至6E,就本发明的N沟道耗尽型MOS晶体管的作成方法进行说明。

[0041] 首先,与通常的MOS晶体管的制造方法同样地,在半导体衬底1上形成阱区,通过借助LOCOS法形成的较厚的氧化膜等,分离形成不形成元件的部分。(图6A)

[0042] 接着,在元件形成区的耗尽型MOS晶体管形成区,以抗蚀剂为掩模,进行用于形成N型低浓度杂质区的离子注入。条件如前所述,根据以阈值电压为目标的值任意选择。(图6B)

[0043] 接着,将同一抗蚀剂作为掩模,进行用于形成P型低浓度杂质区的离子注入。该条件也如前所述,为了抑制阈值偏差而选择任意的值。(图6C)

[0044] 接着,进行用于形成耗尽型MOS晶体管的栅电极的、多晶硅的沉积/热扩散或离子注入等的 $1 \times 10^{19}/\text{cm}^2$ 的浓度的杂质注入/栅电极的构图。(图6D)

[0045] 接着,进行源极/漏极的形成,完成为半导体元件。(图6E)

[0046] 如以上讲述的那样,本方法不需要多余的掩模工序,仅通过增加一个步骤的离子注入工序就能够作成,因此不会伴随着工艺成本的增大而能够实现阈值电压的高精度化。

[0047] 图3是表示本发明的第二实施例的示意剖视图。在第一实施例中并没有提到源极/漏极的条件,但是为了抑制穿通(punch through)等短沟道效应而有时在栅电极肋形成低浓度漏极,根据条件,该低浓度漏极和P型低浓度杂质区的PN结中有时会引起耐压降低。在第二实施例中为了避免此情况,追加掩模工序,使P型低浓度杂质区向沟道的内侧偏置地形成。偏置宽度也与所需耐压相关,从 $0.5 \mu\text{m}$ 到 $1.5 \mu\text{m}$ 之间较为稳妥。

[0048] 以上的说明列举了N沟道耗尽型MOS晶体管,但是在P沟道耗尽型MOS晶体管的情况下,仅仅变更注入杂质的导电型,也能容易得到本发明的结构/效果。即,将图1中成为沟道的N型低浓度杂质区3更换为P型低浓度杂质区,将其下的P型低浓度杂质区4更换为N型低浓度杂质区,就能达成。

[0049] 附图标记说明

[0050] 1 半导体衬底;2 源极/漏极区;3 低浓度N型杂质区;4 低浓度P型杂质区;5P型阱区;6N型阱区;7 元件分离区;8 栅电极;9 沟道区;10 栅极氧化膜;11 第二低浓度P型杂质区。

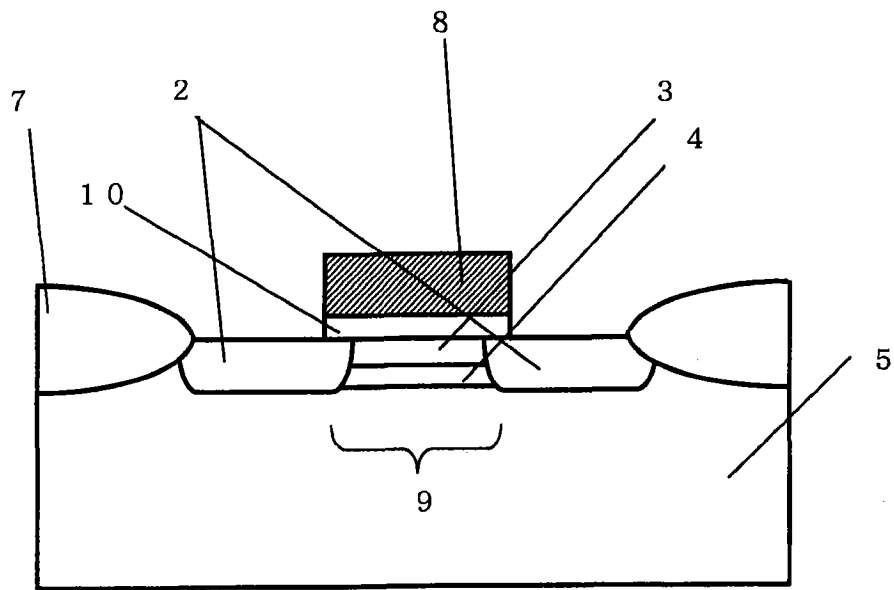


图 1

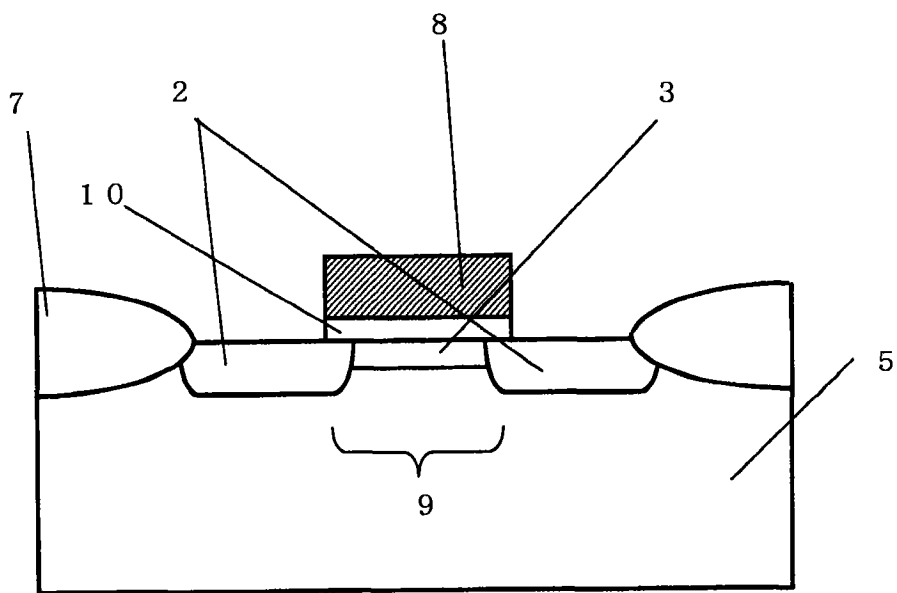


图 2 现有技术

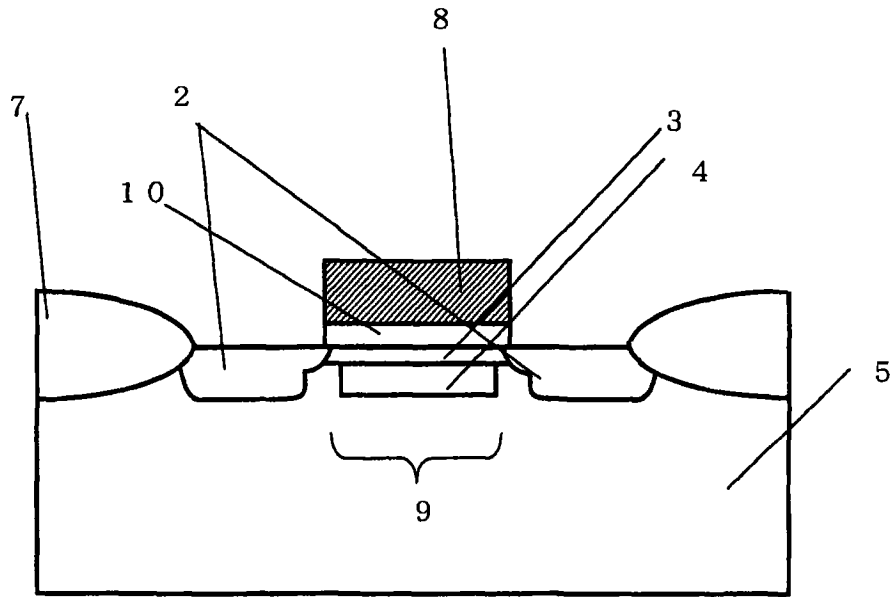


图 3

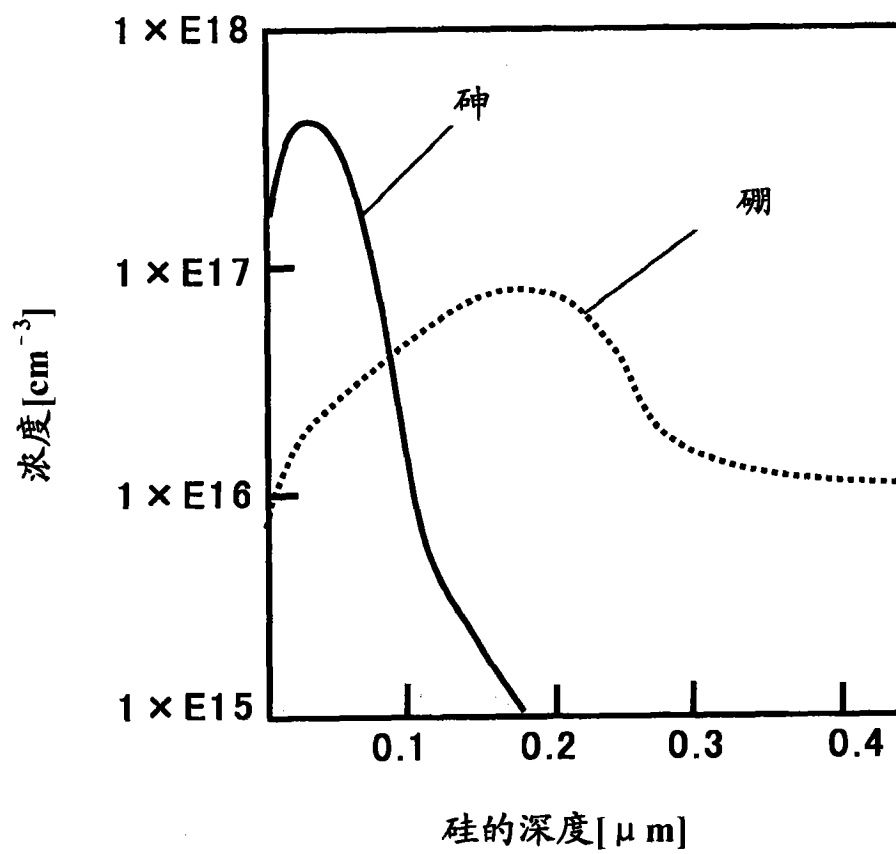


图 4

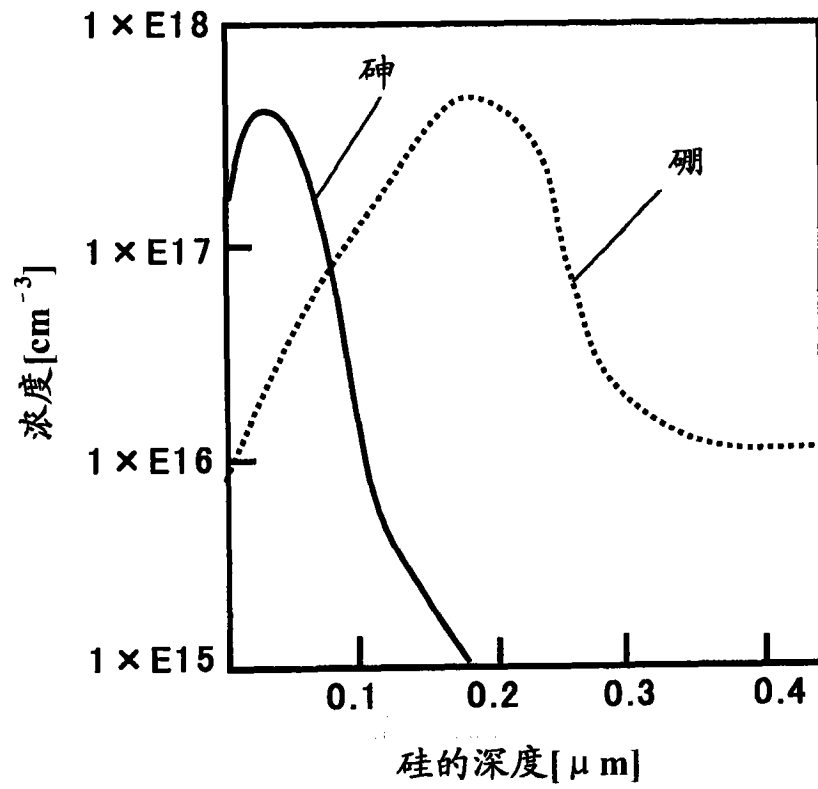


图 5

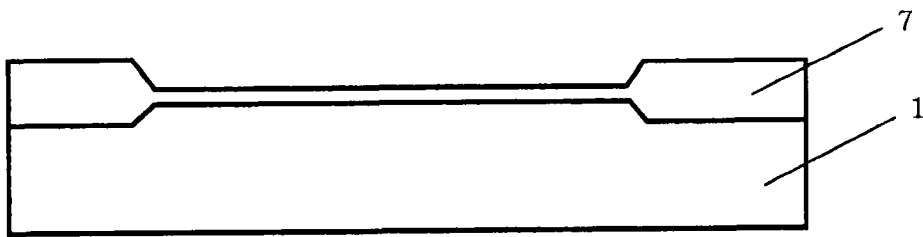


图 6A

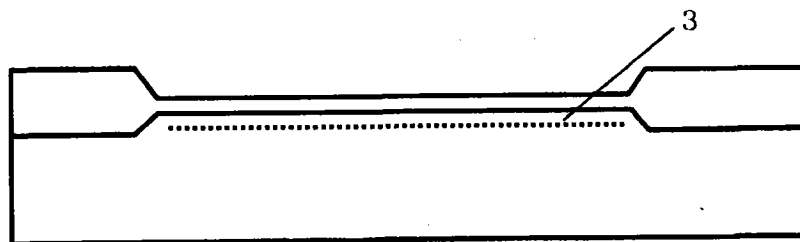


图 6B

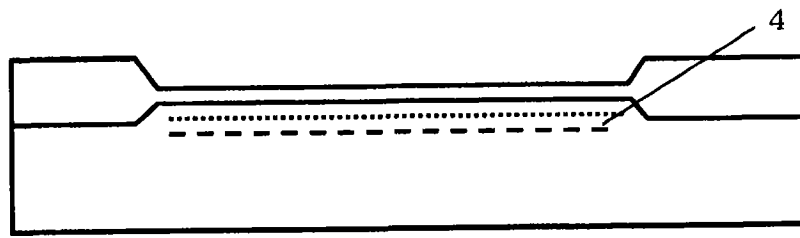


图 6C

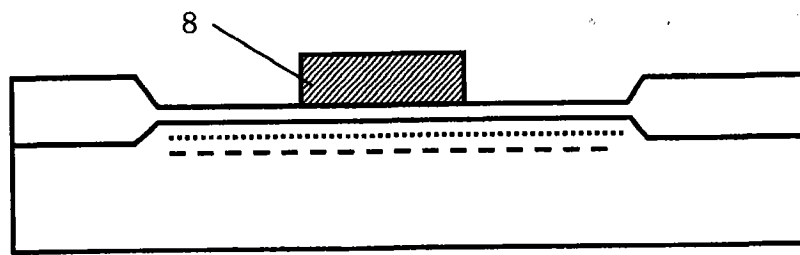


图 6D

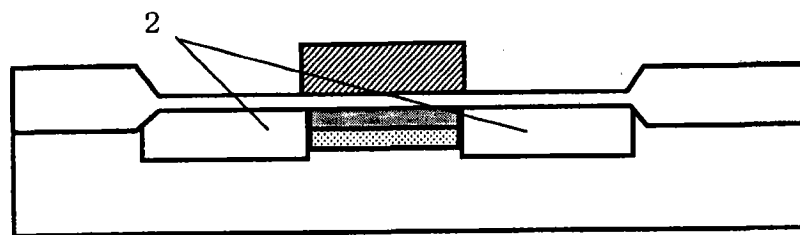


图 6E