

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7560747号
(P7560747)

(45)発行日 令和6年10月3日(2024.10.3)

(24)登録日 令和6年9月25日(2024.9.25)

(51)国際特許分類 F I
H 1 0 B 20/00 (2023.01) H 1 0 B 20/00

請求項の数 10 (全25頁)

(21)出願番号	特願2021-519380(P2021-519380)	(73)特許権者	514315159 株式会社ソシオネクスト
(86)(22)出願日	令和2年5月1日(2020.5.1)		神奈川県横浜市港北区新横浜2丁目10番23
(86)国際出願番号	PCT/JP2020/018393	(74)代理人	110001427 弁理士法人前田特許事務所
(87)国際公開番号	WO2020/230666	(72)発明者	酒井 康充 神奈川県横浜市港北区新横浜二丁目10番23 株式会社ソシオネクスト内
(87)国際公開日	令和2年11月19日(2020.11.19)	審査官	宮本 博司
審査請求日	令和5年4月14日(2023.4.14)		
(31)優先権主張番号	特願2019-90699(P2019-90699)		
(32)優先日	令和1年5月13日(2019.5.13)		
(33)優先権主張国・地域又は機関	日本国(JP)		

最終頁に続く

(54)【発明の名称】 半導体記憶装置

(57)【特許請求の範囲】

【請求項1】

R O M (Read Only Memory) メモリセルを備えた半導体記憶装置であって、
第1方向に延びるワード線と、
前記第1方向と垂直をなす第2方向に延びる第1および第2ビット線と、
前記第2方向に延びる接地電源配線とを備え、
前記R O Mメモリセルは、
前記第1ビット線と前記接地電源配線との間に設けられた立体構造トランジスタである、
第1トランジスタと、
前記第2ビット線と前記接地電源配線との間に設けられた立体構造トランジスタであって、
前記第1トランジスタの上層に形成されており、かつ、前記第1トランジスタと平面視でチャンネル部が重なっている第2トランジスタと、
前記第1トランジスタのソースに接続され、前記第1ビット線または前記接地電源配線に接続された第1ローカル配線と、
前記第1トランジスタのドレインに接続され、前記第1ビット線または前記接地電源配線に接続された第2ローカル配線と、
前記第2トランジスタのソースに接続され、前記第2ビット線または前記接地電源配線に接続された第3ローカル配線と、
前記第2トランジスタのドレインに接続され、前記第2ビット線または前記接地電源配線に接続された第4ローカル配線とを備え、

10

20

前記第 1 および第 2 トランジスタは、ゲートが前記ワード線に接続されており、

前記 ROM メモリセルは、前記第 1 および第 2 ローカル配線の接続先が、前記第 1 ビット線および前記接地電源配線のうちの同じ線か異なる線かによって、第 1 データが記憶され、かつ、前記第 3 および第 4 ローカル配線の接続先が、前記第 2 ビット線および前記接地電源配線のうちの同じ線か異なる線かによって、第 2 データが記憶されるものであり、前記 ROM メモリセルは、

前記第 1 方向および深さ方向に延びており、前記第 1 および第 2 トランジスタのゲートとなり、前記ワード線と接続されたゲート配線を備える

ことを特徴とする半導体記憶装置。

【請求項 2】

ROM (Read Only Memory) メモリセルを備えた半導体記憶装置であって、

第 1 方向に延びるワード線と、

前記第 1 方向と垂直をなす第 2 方向に延びる第 1 および第 2 ビット線と、

前記第 2 方向に延びる接地電源配線とを備え、

前記 ROM メモリセルは、

前記第 1 ビット線と前記接地電源配線との間に設けられた立体構造トランジスタである、第 1 トランジスタと、

前記第 2 ビット線と前記接地電源配線との間に設けられた立体構造トランジスタであって、前記第 1 トランジスタの上層に形成されており、かつ、前記第 1 トランジスタと平面視でチャンネル部が重なっている第 2 トランジスタと、

前記第 1 トランジスタのソースに接続され、前記第 1 ビット線または前記接地電源配線に接続された第 1 ローカル配線と、

前記第 1 トランジスタのドレインに接続され、前記第 1 ビット線または前記接地電源配線に接続された第 2 ローカル配線と、

前記第 2 トランジスタのソースに接続され、前記第 2 ビット線または前記接地電源配線に接続された第 3 ローカル配線と、

前記第 2 トランジスタのドレインに接続され、前記第 2 ビット線または前記接地電源配線に接続された第 4 ローカル配線とを備え、

前記第 1 および第 2 トランジスタは、ゲートが前記ワード線に接続されており、

前記 ROM メモリセルは、前記第 1 および第 2 ローカル配線の接続先が、前記第 1 ビット線および前記接地電源配線のうちの同じ線か異なる線かによって、第 1 データが記憶され、かつ、前記第 3 および第 4 ローカル配線の接続先が、前記第 2 ビット線および前記接地電源配線のうちの同じ線か異なる線かによって、第 2 データが記憶されるものであり、前記接地電源配線は、埋め込み配線である

ことを特徴とする半導体記憶装置。

【請求項 3】

請求項 1 または 2 記載の半導体記憶装置において、

前記第 1 および第 2 ローカル配線は、前記第 1 ビット線および前記接地電源配線と平面視で重なっており、

前記第 3 および第 4 ローカル配線は、前記第 2 ビット線および前記接地電源配線と平面視で重なっている

ことを特徴とする半導体記憶装置。

【請求項 4】

請求項 1 または 2 記載の半導体記憶装置において、

前記第 1 トランジスタは、前記第 1 方向に並んでおり、ソース同士およびドレイン同士を共有する N (N は 2 以上の整数) 個のトランジスタを含み、

前記第 2 トランジスタは、前記第 1 方向に並んでおり、ソース同士およびドレイン同士を共有する N 個のトランジスタを含む

ことを特徴とする半導体記憶装置。

【請求項 5】

10

20

30

40

50

請求項 1 記載の半導体記憶装置において、

前記接地電源配線は、前記第 1 および第 2 ビット線と同層に形成された配線であることを特徴とする半導体記憶装置。

【請求項 6】

ROM (Read Only Memory) メモリセルを備えた半導体記憶装置であって、

第 1 方向に延びるワード線と、

前記第 1 方向と垂直をなす第 2 方向に延びるビット線と、

前記第 2 方向に延びる接地電源配線とを備え、

前記 ROM メモリセルは、

前記ビット線と前記接地電源配線との間に設けられた立体構造トランジスタである、第 1 トランジスタと、

10

前記ビット線と前記接地電源配線との間に設けられた立体構造トランジスタであって、前記第 1 トランジスタの上層に形成されており、かつ、前記第 1 トランジスタと平面視でチャネル部が重なっている第 2 トランジスタと、

前記第 1 トランジスタのソースに接続された第 1 ローカル配線と、

前記第 2 トランジスタのソースに接続された第 2 ローカル配線と、

前記第 1 トランジスタのドレインに接続された第 3 ローカル配線と、

前記第 2 トランジスタのドレインに接続された第 4 ローカル配線とを備え、

前記第 1 および第 2 トランジスタは、ゲートが前記ワード線に接続されており、

前記第 1 および第 2 ローカル配線は、互いに接続されており、かつ、前記ビット線または前記接地電源配線と接続されており、

20

前記第 3 および第 4 ローカル配線は、互いに接続されており、かつ、前記ビット線または前記接地電源配線と接続されており、

前記 ROM メモリセルは、前記第 1 および第 2 ローカル配線、並びに、前記第 3 および第 4 ローカル配線の接続先が、前記ビット線および前記接地電源配線のうち同じ線か異なる線かによって、データが記憶される

ことを特徴とする半導体記憶装置。

【請求項 7】

請求項 6 記載の半導体記憶装置において、

前記第 1 および第 2 ローカル配線は、前記第 1 方向に延びており、平面視で重なりを有しており、コンタクトを介して互いに接続されており、

30

前記第 3 および第 4 ローカル配線は、前記第 1 方向に延びており、平面視で重なりを有しており、コンタクトを介して互いに接続されている

ことを特徴とする半導体記憶装置。

【請求項 8】

請求項 6 記載の半導体記憶装置において、

前記 ROM メモリセルは、

前記第 1 方向および深さ方向に延びており、前記第 1 および第 2 トランジスタのゲートとなり、前記ワード線と接続されたゲート配線を備える

ことを特徴とする半導体記憶装置。

40

【請求項 9】

請求項 6 記載の半導体記憶装置において、

前記接地電源配線は、埋め込み配線である

ことを特徴とする半導体記憶装置。

【請求項 10】

請求項 6 記載の半導体記憶装置において、

前記接地電源配線は、前記ビット線と同層に形成された配線である

ことを特徴とする半導体記憶装置。

【発明の詳細な説明】

【技術分野】

50

【 0 0 0 1 】

本開示は、C F E T (Complementary FET) デバイスを用いた半導体記憶装置に関し、特に、C F E Tを用いたマスク R O M (Read Only Memory) のレイアウト構造に関する。

【 背景技術 】

【 0 0 0 2 】

L S I の基本構成要素であるトランジスタは、ゲート長の縮小 (スケーリング) により、集積度の向上、動作電圧の低減、および動作速度の向上を実現してきた。しかし近年、過度なスケーリングによるオフ電流と、それによる消費電力の著しい増大が問題となっている。この問題を解決するため、トランジスタ構造を従来の平面型から立体型に変更した立体構造トランジスタが盛んに研究されている。

10

【 0 0 0 3 】

非特許文献 1 , 2 では、新規デバイスとして、立体構造の P 型 F E T と N 型 F E T を基板に対して垂直方向に積層した立体構造デバイスと、これを用いたスタンダードセルが開示されている。

【 0 0 0 4 】

また、マスク R O M は、アレイ状に並ぶメモリセルを含み、各メモリセルは固定されたデータ状態を持つようにプログラムされ、製造される。メモリセルを構成するトランジスタは、ビット線と V S S との間に設けられ、ゲートにワード線が接続される。例えば、特許文献 1 に開示されたマスク R O M では、トランジスタのソースおよびドレインが、ビット線および V S S のうち同じ線に接続されるか、互いに異なる線に接続されるかという接続形態によって、データ「 1 」 / 「 0 」 が記憶される。このマスク R O M は、メモリセルを構成するトランジスタのソースおよびドレインが隣り合うトランジスタ同士で共有されており、これにより、小面積を実現している。

20

【 先行技術文献 】

【 特許文献 】

【 0 0 0 5 】

【 文献 】 米国特許第 5 , 9 1 7 , 2 2 4 号明細書

【 非特許文献 】

【 0 0 0 6 】

【 文献 】 Ryckaert J. et al., "The Complementary FET (CFET) for CMOS scaling beyond N3", 2018 Symposium on VLSI Technology Digest of Technical Papers

30

【 文献 】 A. Mocuta et al., "Enabling CMOS Scaling Towards 3nm and Beyond", 2018 Symposium on VLSI Technology Digest of Technical Papers

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 7 】

本明細書では、立体構造の P 型 F E T と N 型 F E T を基板に対して垂直方向に積層した立体構造デバイスのことを、非特許文献 1 の記載にならい、C F E T (Complementary FET) と呼ぶことにする。また、基板に対して垂直をなす方向のことを、深さ方向と呼ぶ。

40

【 0 0 0 8 】

本開示は、C F E Tを用いたマスク R O M のレイアウト構造を提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 0 9 】

本開示の第 1 態様では、R O M (Read Only Memory) メモリセルを備えた半導体記憶装置は、第 1 方向に延びるワード線と、前記第 1 方向と垂直をなす第 2 方向に延びる第 1 および第 2 ビット線と、前記第 2 方向に延びる接地電源配線とを備え、前記 R O M メモリセルは、前記第 1 ビット線と前記接地電源配線との間に設けられた立体構造トランジスタである、第 1 トランジスタと、前記第 2 ビット線と前記接地電源配線との間に設けられ

50

た立体構造トランジスタであって、前記第1トランジスタの上層に形成されており、かつ、前記第1トランジスタと平面視でチャンネル部が重なっている第2トランジスタと、前記第1トランジスタのソースに接続され、前記第1ビット線または前記接地電源配線に接続された第1ローカル配線と、前記第1トランジスタのドレインに接続され、前記第1ビット線または前記接地電源配線に接続された第2ローカル配線と、前記第2トランジスタのソースに接続され、前記第2ビット線または前記接地電源配線に接続された第3ローカル配線と、前記第2トランジスタのドレインに接続され、前記第2ビット線または前記接地電源配線に接続された第4ローカル配線とを備え、前記第1および第2トランジスタは、ゲートが前記ワード線に接続されており、前記ROMメモリセルは、前記第1および第2ローカル配線の接続先が、前記第1ビット線および前記接地電源配線のうちの同じ線か異なる線かによって、第1データが記憶され、かつ、前記第3および第4ローカル配線の接続先が、前記第2ビット線および前記接地電源配線のうちの同じ線か異なる線かによって、第2データが記憶される。

10

【0010】

この態様によると、ROMメモリセルは、第1ビット線と接地電源配線との間に設けられた立体構造トランジスタである第1トランジスタと、第2ビット線と接地電源配線との間に設けられた立体構造トランジスタである第2トランジスタとを備える。第2トランジスタは、第1トランジスタの上層に形成されており、かつ、第1トランジスタと平面視でチャンネル部が重なっている。そして、ROMメモリセルは、第1トランジスタのソースおよびドレインにそれぞれ接続された第1および第2ローカル配線の接続先が、第1ビット線および接地電源配線のうちの同じ線か異なる線かによって、第1データが記憶される。また、ROMメモリセルは、第2トランジスタのソースおよびドレインにそれぞれ接続された第3および第4ローカル配線の接続先が、第2ビット線および接地電源配線のうちの同じ線か異なる線かによって、第2データが記憶される。これにより、マスクROMについて、小面積のレイアウト構造を実現することができる。

20

【0011】

本開示の第2態様では、ROM(Read Only Memory)メモリセルを備えた半導体記憶装置であって、第1方向に延びるワード線と、前記第1方向と垂直をなす第2方向に延びるビット線と、前記第2方向に延びる接地電源配線とを備え、前記ROMメモリセルは、前記ビット線と前記接地電源配線との間に設けられた立体構造トランジスタである、第1トランジスタと、前記ビット線と前記接地電源配線との間に設けられた立体構造トランジスタであって、前記第1トランジスタの上層に形成されており、かつ、前記第1トランジスタと平面視でチャンネル部が重なっている第2トランジスタと、前記第1トランジスタのソースに接続された第1ローカル配線と、前記第2トランジスタのソースに接続された第2ローカル配線と、前記第1トランジスタのドレインに接続された第3ローカル配線と、前記第2トランジスタのドレインに接続された第4ローカル配線とを備え、前記第1および第2トランジスタは、ゲートが前記ワード線に接続されており、前記第1および第2ローカル配線は、互いに接続されており、かつ、前記ビット線または前記接地電源配線と接続されており、前記第3および第4ローカル配線は、互いに接続されており、かつ、前記ビット線または前記接地電源配線と接続されており、前記ROMメモリセルは、前記第1および第2ローカル配線、並びに、前記第3および第4ローカル配線の接続先が、前記ビット線および前記接地電源配線のうち同じ線か異なる線かによって、データが記憶される。

30

40

【0012】

この態様によると、ROMメモリセルは、ビット線と接地電源配線との間に設けられた立体構造トランジスタである第1トランジスタと、ビット線と接地電源配線との間に設けられた立体構造トランジスタである第2トランジスタとを備える。第2トランジスタは、第1トランジスタの上層に形成されており、かつ、第1トランジスタと平面視でチャンネル部が重なっている。第1トランジスタのソースに接続された第1ローカル配線と、第2トランジスタのソースに接続された第2ローカル配線とは互いに接続されている。第1トラ

50

ンジスタのドレインに接続された第3ローカル配線と、第2トランジスタのドレインに接続された第4ローカル配線とは互いに接続されている。そして、ROMメモリセルは、第1および第2ローカル配線、並びに、第3および第4ローカル配線の接続先が、ビット線および接地電源配線のうちの同じ線か異なる線かによって、データが記憶される。これにより、マスクROMについて、小面積のレイアウト構造を実現することができる。

【発明の効果】

【0013】

本開示によると、CFETを用いたマスクROMのレイアウト構造を提供することができる。

【図面の簡単な説明】

10

【0014】

【図1】半導体記憶装置の一例としてのコンタクト方式のマスクROMの構成を示す回路図である。

【図2】(a)、(b)は第1実施形態に係るメモリセルのレイアウト構造例を示す平面図である。

【図3】(a)~(c)は図2のメモリセルの断面図である。

【図4】(a)、(b)はCFETを用いたインバータセルのレイアウト構造の例を示す平面図である。

【図5】(a)、(b)は第2実施形態に係るメモリセルのレイアウト構造例を示す平面図である。

20

【図6】(a)~(c)は図5のメモリセルの断面図である。

【図7】(a)、(b)は第2実施形態の変形例に係るメモリセルのレイアウト構造を示す平面図である。

【図8】(a)~(c)は図7のメモリセルの断面図である。

【図9】(a)、(b)は第3実施形態に係るメモリセルのレイアウト構造例を示す平面図である。

【図10】(a)、(b)は図9のメモリセルの断面図である。

【図11】(a)、(b)は第3実施形態の変形例に係るメモリセルのレイアウト構造を示す平面図である。

【図12】(a)~(d)は図11のメモリセルの断面図である。

30

【図13】CFETを備えた半導体装置の構造を示す断面図

【図14】CFETを備えた半導体装置の構造を示す断面図

【図15】CFETを備えた半導体装置の構造を示す断面図

【図16】CFETを備えた半導体装置の構造を示す平面図

【発明を実施するための形態】

【0015】

まず、CFETの基本構造について説明する。図13~図16はCFETを備えた半導体装置の構造を示す図であり、図13はX方向における断面図、図14はY方向におけるゲート部分の断面図、図15はY方向におけるソース・ドレイン部分の断面図、図16は平面図である。なお、X方向はナノワイヤが延びる方向、Y方向はゲートが延びる方向、Z方向は基板面と垂直をなす方向としている。また、図13~図16は概略図であり、各部の寸法や位置等は必ずしも整合していない。

40

【0016】

この半導体装置では、シリコン(Si)基板等の半導体基板301の表面に素子分離領域302が形成されており、素子分離領域302により、素子活性領域30aが画定されている。素子活性領域30aでは、P型FET上にN型FETが形成されている。

【0017】

素子活性領域30aでは、半導体基板301上に積層トランジスタ構造390aが形成されている。積層トランジスタ構造390aは、半導体基板301上に形成されたゲート構造391を含む。ゲート構造391は、ゲート電極356、複数のナノワイヤ358、

50

ゲート絶縁膜 355、絶縁膜 357を含む。ゲート電極 356は、Y方向に延び、Z方向に立ち上がる。ナノワイヤ 358は、X方向でゲート電極 356を貫通し、Y方向及びZ方向に配列されている。ゲート絶縁膜 355は、ゲート電極 356とナノワイヤ 358との間に形成されている。ゲート電極 356及びゲート絶縁膜 355は、X方向において、ナノワイヤ 358の両端から後退した位置に形成されており、この後退した部分に絶縁膜 357が形成されている。半導体基板 301上に、絶縁膜 357の両脇において、絶縁膜 316が形成されている。321, 322は層間絶縁膜である。

【0018】

また、図14に示すように、ゲート電極 356は、開口部 375に設けられたビア 385によって、上層の配線と接続される。

10

【0019】

例えば、ゲート電極 356には、チタン、チタン窒化物又は多結晶シリコン等を用いることができる。例えば、ゲート絶縁膜 355には、ハフニウム酸化物、アルミニウム酸化物又はハフニウム及びアルミニウムの酸化物等の高誘電率材料を用いることができる。例えば、ナノワイヤ 358にはシリコン等を用いることができる。例えば、絶縁膜 316、絶縁膜 357には、シリコン酸化物又はシリコン窒化物等を用いることができる。

【0020】

この半導体装置では、Z方向に配列するナノワイヤ 358の本数は4であり、素子活性領域 30aでは、半導体基板 301側の2本のナノワイヤ 358の各端部にp型半導体層 331pが形成されている。p型半導体層 331pに接する2つのローカル配線 386がX方向でゲート構造 391を挟むようにして形成されている。また、半導体基板 101から離間する側の2本のナノワイヤ 358の各端部にn型半導体層 341nが形成されている。n型半導体層 341nに接する2つのローカル配線 388がX方向でゲート構造 391を挟むようにして形成されている。ローカル配線 386とローカル配線 388との間に絶縁膜 332が形成されている。ローカル配線 388の上に絶縁膜 389が形成されている。例えば、p型半導体層 331pはp型SiGe層であり、n型半導体層 341nはn型Si層である。例えば、絶縁膜 332には、シリコン酸化物又はシリコン窒化物等を用いることができる。

20

【0021】

また、図15に示すように、ローカル配線 388は、ビア 3071を介して、埋め込み配線 3101と接続される。ローカル配線 386は、ビア 3072を介して、埋め込み配線 3102と接続される。

30

【0022】

このように、積層トランジスタ構造 390aは、ゲート電極 356、ナノワイヤ 358、ゲート絶縁膜 355及びP型半導体層 331pを含むP型FETを有する。このP型FETでは、一方のP型半導体層 331pがソース領域として機能し、他方のP型半導体層 331pがドレイン領域として機能し、ナノワイヤ 358がチャネルとして機能する。積層トランジスタ構造 390aは、ゲート電極 356、ナノワイヤ 358、ゲート絶縁膜 355及びN型半導体層 341nを含むN型FETも有する。このN型FETでは、一方のN型半導体層 341nがソース領域として機能し、他方のN型半導体層 341nがドレイン領域として機能し、ナノワイヤ 358がチャネルとして機能する。

40

【0023】

なお、積層トランジスタ構造より上層については、ビアおよび金属配線によりトランジスタ間の配線等が行われるが、これらは既知の配線プロセスによって実現が可能である。

【0024】

なお、ここでは、P型FETおよびN型FETにおけるナノワイヤの本数は、それぞれ、Y方向に4本、Z方向に2本、計8本ずつであるものとしたが、ナノワイヤの本数はこれに限られるものではない。また、P型FETとN型FETのナノワイヤの本数は、異なってもかまわない。

【0025】

50

また、本明細書では、ナノワイヤの両端に形成され、トランジスタのソースまたはドレインとなる端子を構成する半導体層部のことを「パッド」という。上述したCFETの基本構造例では、p型半導体層331pおよびn型半導体層341nが、パッドに相当する。

【0026】

また、以降の実施形態における平面図および断面図においては、各絶縁膜等の記載は省略することがある。また、以降の実施形態における平面図および断面図については、ナノワイヤおよびその両側のパッドを、簡易化した直線状の形状で記載することがある。また、本明細書において、「同一サイズ」等のように、サイズ等が同じであることを意味する表現は、製造上のばらつき範囲を含んでいるものとする。

【0027】

また、以降の実施形態では、トランジスタのソースおよびドレインのことを、トランジスタのノードという場合がある。

【0028】

図1は半導体記憶装置の一例としてのマスクROMの構成を示す回路図である。図1のマスクROMは、メモリセルトランジスタのソースおよびドレインが、ビット線および接地電源配線のうち同じ線に接続されているか、または、異なる線に接続されているかを、記憶データの“1”“0”に対応させるものである。

【0029】

図1において、マスクROMは、メモリセルアレイ3と、カラムデコーダ2と、センスアンプ18とを備える。

【0030】

メモリセルアレイ3は、N型MOSトランジスタのメモリセル M_{ij} ($i = 0 \sim m, j = 0 \sim n$) がマトリクス状に配置して構成される。メモリセル M_{ij} のゲートは、行方向に共通にワード線 WLi に各々接続される。また、メモリセル M_{ij} のソースおよびドレインは、ビット線 BLj に接続されるか、接地電源配線 VSS に接続される。ここで、メモリセル M_{ij} の記憶データを“0”にするときは、ソースおよびドレインは、一方がビット線 BLj に接続され、他方が接地電源配線 VSS に接続される。一方、メモリセル M_{ij} の記憶データを“1”にするときは、ソースおよびドレインは両方とも、ビット線 BLj または接地電源配線 VSS に接続される。

【0031】

カラムデコーダ2は、N型MOSトランジスタ Cj から構成される。N型MOSトランジスタ Cj は、ドレインは全て共通に接続され、ゲートはカラム選択信号線 CLj にそれぞれ接続され、ソースはビット線 BLj にそれぞれ接続される。

【0032】

センスアンプ18は、プリチャージ用P型MOSトランジスタ5と、メモリセル M_{ij} の出力データを判定するインバータ8と、インバータ8の出力信号をバッファリングするインバータ9とを備える。P型MOSトランジスタ5のゲートにはプリチャージ信号 NP が入力され、ソースには電源電圧 VDD が供給され、ドレインはN型MOSトランジスタ Cj の共通ドレインに接続される。インバータ8は、N型MOSトランジスタ Cj の共通ドレインの信号 SIN を受けて、メモリセル M_{ij} の出力データを判定する。インバータ9は、インバータ8の出力信号 $SOUT$ を受けて、メモリセル M_{ij} の記憶データを出力する。

【0033】

図1のマスクROMの動作について説明する。ここでは、メモリセル M_{00} , M_{10} のデータを読み出す場合を例にとって説明する。

【0034】

まず、カラム選択信号線 CLj のうち、 CL_0 をハイレベルにし、その他の $CL_1 \sim CL_n$ をローレベルにする。これにより、カラムレコーダ2を構成するトランジスタのうち、 C_0 がオン状態になり、その他の $C_1 \sim C_n$ がオフ状態になる。また、ワード線 WL_0 を非選択状態であるローレベルから選択状態であるハイレベルに遷移させる。

10

20

30

40

50

【 0 0 3 5 】

次に、プリチャージ信号N P Rをハイレベルからローレベルにし、プリチャージ用P型M O Sトランジスタ5をオン状態にする。

【 0 0 3 6 】

メモリセルM 0 0は、ソースおよびドレインのうち一方がビット線B L 0に接続されており、他方が接地電源配線V S Sに接続されている。このため、メモリセルM 0 0を介してビット線B L 0から接地電源配線V S Sに電流が流れるので、インバータ8の入力信号S I Nはインバータ8のスイッチングレベルよりも低い電圧になる。このため、インバータ8の出力信号S O U Tはハイレベルを保持し、インバータ9の出力信号O U Tはローレベルを保持する。

10

【 0 0 3 7 】

また、メモリセルM 1 0のデータを読み出す場合は、ワード線W L 1を非選択状態であるローレベルから選択状態であるハイレベルに遷移させる。

【 0 0 3 8 】

メモリセルM 1 0は、ソースおよびドレインの両方がビット線B L 0に接続されている。このため、ビット線B L 0には電流が流れないので、インバータ8の入力信号S I Nはインバータ8のスイッチングレベルよりも高い電圧になる。このため、インバータ8の出力信号S O U Tはローレベルになり、インバータ9の出力信号O U Tはハイレベルになる。

【 0 0 3 9 】

すなわち、メモリセルのソースおよびドレインが、一方がビット線に接続され、他方が接地電源配線に接続されているときは、ローレベルが出力され（記憶データ“ 0 ”）、メモリセルのソースおよびドレインが、両方ともビット線または接地電源配線に接続されているときは、ハイレベルが出力される（記憶データ“ 1 ”）。

20

【 0 0 4 0 】

（第1実施形態）

図2および図3は第1実施形態に係るマスクROMのレイアウト構造の例を示す図であり、図2（a）、（b）はメモリセルの平面図、図3（a）～（c）はメモリセルの平面視縦方向における断面図である。具体的には、図2（a）は上部、すなわち基板から遠い側に形成された立体構造トランジスタ（ここではN型ナノワイヤF E T）を含む部分を示し、図2（b）は下部、すなわち基板に近い側に形成された立体構造トランジスタ（ここではN型ナノワイヤF E T）を含む部分を示す。図3（a）は線Y 1 - Y 1 'の断面、図3（b）は線Y 2 - Y 2 'の断面、図3（c）は線Y 3 - Y 3 'の断面である。

30

【 0 0 4 1 】

なお、以下の説明では、図2等の平面図において、図面横方向をX方向（第1方向に相当）、図面縦方向をY方向（第2方向に相当）、基板面に垂直な方向をZ方向（深さ方向に相当）としている。ただし、X方向はゲート配線およびワード線が延びる方向であり、Y方向はナノワイヤおよびビット線が延びる方向である。すなわち、各実施形態の図面では、X Y方向は、図13～図16と逆になっている。また、図2等の平面図において縦横に走る点線、および、図3等の断面図において縦に走る点線は、設計時に部品配置を行うために用いるグリッドを示す。グリッドは、X方向において等間隔に配置されており、またY方向において等間隔に配置されている。なお、グリッド間隔は、X方向とY方向とにおいて同じであってもよいし異なってもよい。また、グリッド間隔は、層ごとに異なってもかまわない。さらに、各部品は必ずしもグリッド上に配置される必要はない。ただし、製造ばらつきを抑制する観点から、部品はグリッド上に配置される方が好ましい。

40

【 0 0 4 2 】

また、各図では、メモリセルの記憶値“ 0 ”“ 1 ”を付している。

【 0 0 4 3 】

図2は、図1のメモリセルアレイ3において、横方向に4個、縦方向に4個並ぶメモリセル16ビット分のレイアウトに相当する。図2（b）に示す下部に、ビット線B L 0、B L 2に接続されるトランジスタが形成されており、図2（a）に示す上部に、ビット線

50

BL1, BL3に接続されるトランジスタが形成されている。すなわち、図2に示すトランジスタは、例えば、図1の回路図における16個のN型トランジスタ M_{ij} ($i = 0 \sim 3$, $j = 0 \sim 3$)に相当する。破線はメモリセルの枠を示している。

【0044】

図2(b)に示すように、メモリセルのX方向における両端において、Y方向に延びる電源配線11, 12, 13, 14がそれぞれ設けられている。電源配線11, 12, 13, 14はいずれも、埋め込み配線層に形成された埋め込み電源配線(BPR: Buried Power Rail)である。電源配線11, 12, 13, 14はともに電源電圧VSSを供給する。

【0045】

図2(a)に示すように、M1配線層には、Y方向に延びる配線61, 62, 63, 64が形成されている。M1配線61はビット線BL0に相当し、M1配線62はビット線BL1に相当し、M1配線63はビット線BL2に相当し、M1配線64はビット線BL3に相当する。

【0046】

以下は、図面左列のメモリセル、すなわちビット線BL0, BL1に対して設けられたメモリセルのレイアウト構造について、説明する。なお、図面右列のメモリセル、すなわちビット線BL2, BL3に対して設けられたメモリセルのレイアウト構造は、トランジスタのノードの接続先が異なること以外は、図面左列のメモリセルと同様である。

【0047】

メモリセルの下部には、Y方向に延びるナノワイヤ21a, 21b, 21c, 21dが形成されており、メモリセルの上部には、Y方向に延びるナノワイヤ26a, 26b, 26c, 26dが形成されている。ナノワイヤ21a, 26aは平面視で重なっており、ナノワイヤ21b, 26bは平面視で重なっており、ナノワイヤ21c, 26cは平面視で重なっており、ナノワイヤ21d, 26dは平面視で重なっている。

【0048】

ナノワイヤ21aの図面下側、ナノワイヤ21a, 21b間、ナノワイヤ21b, 21c間、ナノワイヤ21c, 21d間、および、ナノワイヤ21dの図面上側に、N型半導体がドーピングされたパッド22a, 22b, 22c, 22d, 22eがそれぞれ形成されている。ナノワイヤ26aの図面下側、ナノワイヤ26a, 26b間、ナノワイヤ26b, 26c間、ナノワイヤ26c, 26d間、および、ナノワイヤ26dの図面上側に、N型半導体がドーピングされたパッド27a, 27b, 27c, 27d, 27eがそれぞれ形成されている。

【0049】

ナノワイヤ21aがN型トランジスタM00のチャネル部を構成し、パッド22a, 22bがN型トランジスタM00のノードを構成する。ナノワイヤ21bがN型トランジスタM10のチャネル部を構成し、パッド22b, 22cがN型トランジスタM10のノードを構成する。パッド22bはN型トランジスタM00, M10に共有されている。ナノワイヤ21cがN型トランジスタM20のチャネル部を構成し、パッド22c, 22dがN型トランジスタM20のノードを構成する。パッド22cはN型トランジスタM10, M20に共有されている。ナノワイヤ21dがN型トランジスタM30のチャネル部を構成し、パッド22d, 22eがN型トランジスタM30のノードを構成する。パッド22dはN型トランジスタM20, M30に共有されている。

【0050】

ナノワイヤ26aがN型トランジスタM01のチャネル部を構成し、パッド27a, 27bがN型トランジスタM01のノードを構成する。ナノワイヤ26bがN型トランジスタM11のチャネル部を構成し、パッド27b, 27cがN型トランジスタM11のノードを構成する。パッド27bはN型トランジスタM01, M11に共有されている。ナノワイヤ26cがN型トランジスタM21のチャネル部を構成し、パッド27c, 27dがN型トランジスタM21のノードを構成する。パッド27cはN型トランジスタM11,

10

20

30

40

50

M 2 1 に共有されている。ナノワイヤ 2 6 d が N 型トランジスタ M 3 1 のチャネル部を構成し、パッド 2 7 d , 2 7 e が N 型トランジスタ M 3 1 のノードを構成する。パッド 2 7 d は N 型トランジスタ M 2 1 , M 3 1 に共有されている。

【 0 0 5 1 】

N 型トランジスタ M 0 0 , M 1 0 , M 2 0 , M 3 0 は、Z 方向において埋め込み配線層よりも上に形成されており、N 型トランジスタ M 0 1 , M 1 1 , M 2 1 , M 3 1 は、Z 方向において N 型トランジスタ M 0 0 , M 1 0 , M 2 0 , M 3 0 よりも上に形成されている。

【 0 0 5 2 】

ゲート配線 3 1 a , 3 1 b , 3 1 c , 3 1 d は、X 方向に伸びており、かつ、メモリセルの下部から上部にかけて Z 方向に伸びている。ゲート配線 3 1 a は、N 型トランジスタ M 0 0 , M 0 1 のゲートとなる。すなわち、ナノワイヤ 2 1 a、ゲート配線 3 1 a、およびパッド 2 2 a , 2 2 b によって、N 型トランジスタ M 0 0 が構成される。ナノワイヤ 2 6 a、ゲート配線 3 1 a、およびパッド 2 7 a , 2 7 b によって、N 型トランジスタ M 0 1 が構成される。同様に、ゲート配線 3 1 b は、N 型トランジスタ M 1 0 , M 1 1 のゲートとなり、ゲート配線 3 1 c は、N 型トランジスタ M 2 0 , M 2 1 のゲートとなり、ゲート配線 3 1 d は、N 型トランジスタ M 3 0 , M 3 1 のゲートとなる。なお、ゲート配線 3 1 a , 3 1 b , 3 1 c , 3 1 d は、ワード線 W L 0 , W L 1 , W L 2 , W L 3 にそれぞれ接続される。

【 0 0 5 3 】

メモリセルの下部において、X 方向に伸びるローカル配線 4 1 a , 4 1 b , 4 1 c , 4 1 d , 4 1 e が形成されている。ローカル配線 4 1 a , 4 1 b , 4 1 c , 4 1 d , 4 1 e は、パッド 2 2 a , 2 2 b , 2 2 c , 2 2 d , 2 2 e とそれぞれ接続されており、パッド 2 2 a , 2 2 b , 2 2 c , 2 2 d , 2 2 e から図面左向きに伸びている。メモリセルの上部において、X 方向に伸びるローカル配線 4 3 a , 4 3 b , 4 3 c , 4 3 d , 4 3 e が形成されている。ローカル配線 4 3 a , 4 3 b , 4 3 c , 4 3 d , 4 3 e は、パッド 2 7 a , 2 7 b , 2 7 c , 2 7 d , 2 7 e とそれぞれ接続されており、パッド 2 7 a , 2 7 b , 2 7 c , 2 7 d , 2 7 e から図面右向きに伸びている。

【 0 0 5 4 】

ローカル配線 4 1 a , 4 1 d , 4 1 e は、コンタクト 5 1 a , 5 1 b , 5 1 c を介して、電源配線 1 1 と接続されている。ローカル配線 4 1 b , 4 1 c は、コンタクト 5 2 a , 5 2 b を介して、M 1 配線 6 1 と接続されている。すなわち、N 型トランジスタ M 0 0 , M 2 0 は、一方のノードが電源配線 1 1 に接続され、他方のノードが M 1 配線 6 1 に接続されている。N 型トランジスタ M 1 0 は、両方のノードが M 1 配線 6 1 に接続されている。N 型トランジスタ M 3 0 は、両方のノードが電源配線 1 1 に接続されている。

【 0 0 5 5 】

ローカル配線 4 3 b , 4 3 e は、コンタクト 5 3 a , 5 3 b を介して、電源配線 1 2 と接続されている。ローカル配線 4 3 a , 4 3 c , 4 3 d は、コンタクト 5 4 a , 5 4 b , 5 4 c を介して、M 1 配線 6 2 と接続されている。すなわち、N 型トランジスタ M 0 1 , M 1 1 , M 3 1 は、一方のノードが電源配線 1 2 に接続され、他方のノードが M 1 配線 6 2 に接続されている。N 型トランジスタ M 2 1 は、両方のノードが M 1 配線 6 2 に接続されている。

【 0 0 5 6 】

以上のように本実施形態によると、ROMメモリセルは、ビット線 B L 0 に相当する M 1 配線 6 1 と V S S を供給する電源配線 1 1 との間に設けられた立体構造トランジスタ M 0 0 と、ビット線 B L 1 に相当する M 1 配線 6 2 と V S S を供給する電源配線 1 2 との間に設けられた立体構造トランジスタ M 0 1 とを備える。トランジスタ M 0 1 は、トランジスタ M 0 0 の上層に形成されており、かつ、トランジスタ M 0 0 と平面視でチャネル部が重なっている。そして、ROMメモリセルは、トランジスタ M 0 0 のソースおよびドレインにそれぞれ接続されたローカル配線 4 1 a , 4 1 b の接続先が、M 1 配線 6 1 および電源配線 1 1 のうちの同じ線が異なる線かによって、第 1 データが記憶される。また、R O

10

20

30

40

50

Mメモリセルは、トランジスタM01のソースおよびドレインにそれぞれ接続されたローカル配線43a, 43bの接続先が、M1配線62および電源配線12のうちの同じ線が異なる線かによって、第2データが記憶される。これにより、マスクROMについて、小面積のレイアウト構造を実現することができる。

【0057】

また、上部トランジスタおよび下部トランジスタとともにN型トランジスタとし、別々のメモリセルを形成するようにした。また、Y方向において隣り合うメモリセルのトランジスタのノード同士が共有されるようにした。これにより、半導体記憶装置の小面積化が実現される。

【0058】

なお、通常のCFETにおいて、下部と上部のトランジスタの導電性は異なる。図4はCFETを用いたインバータセルのレイアウト構造の例である。図4(a)に示す上部のトランジスタN1はN型であり、図4(b)に示す下部のトランジスタP1はP型である。トランジスタP1およびトランジスタN1は、VDDを供給する電源配線611とVSSを供給する電源配線612との間に、直列に接続されている。トランジスタP1は、チャンネル部となるナノワイヤ621と、パッド622a, 622bとを有する。トランジスタN1は、チャンネル部となるナノワイヤ626と、パッド627a, 627bとを有する。ゲート配線631は、トランジスタP1とトランジスタN1の共通のゲートになる。インバータの入力となるM1配線661はゲート配線631と接続されている。インバータの出力となるM1配線662は、トランジスタP1およびトランジスタN1のドレインと接続されたローカル配線642, 644と接続されている。

【0059】

一方、本実施形態に係るマスクROMでは、下部と上部の両方とも、N型トランジスタを形成する。すなわち、本実施形態に係るマスクROMを有する半導体チップでは、CFETの下部が、P型トランジスタである領域と、N型トランジスタである領域とが含まれる。このような半導体チップでは、下部におけるトランジスタは、例えば次のように製造すればよい。すなわち、下部におけるトランジスタを形成する際に、N型トランジスタの部分をマスクして他の部分をP導電型にドーピングする。その後、N型トランジスタ以外の部分をマスクして、N導電型にドーピングする。そして、N型トランジスタとP型トランジスタとを離間して配置することによって、P導電型のドーピングとN導電型のドーピングを確実に行うことができる。

【0060】

(第2実施形態)

図5および図6は第2実施形態に係るマスクROMのレイアウト構造の例を示す図であり、図5(a), (b)はメモリセルの平面図、図6(a)~(c)はメモリセルの平面視縦方向における断面図である。具体的には、図5(a)は上部、図5(b)は下部を示す。図6(a)は線Y1-Y1'の断面、図6(b)は線Y2-Y2'の断面、図6(c)は線Y3-Y3'の断面である。

【0061】

図5は、図1のメモリセルアレイ3において、横方向に2個、縦方向に4個並ぶメモリセル8ビット分のレイアウトに相当する。図5(a)に示す上部に形成された1個のN型トランジスタと、図5(b)に示す下部に形成された1個のN型トランジスタとによって、1ビット分のメモリセルが構成されている。すなわち、図5に示すトランジスタは、例えば、図1の回路図における8個のN型トランジスタMij(i=0~3, j=0, 1)に相当する。破線はメモリセルの枠を示している。

【0062】

図5(a)に示すように、M1配線層には、Y方向に延びる配線161, 162, 163, 164が形成されている。配線161, 163は電源電圧VSSを供給し、配線162はビット線BL0に相当し、配線164はビット線BL1に相当する。

【0063】

10

20

30

40

50

以下は、図面左列のメモリセル、すなわちビット線BL0に対して設けられたメモリセルのレイアウト構造について、説明する。なお、図面右列のメモリセル、すなわちビット線BL1に対して設けられたメモリセルのレイアウト構造は、トランジスタのノードの接続先が異なること以外は、図面左列のメモリセルと同様である。

【0064】

メモリセルの下部には、Y方向に延びるナノワイヤ121a, 121b, 121c, 121dが形成されており、メモリセルの上部には、Y方向に延びるナノワイヤ126a, 126b, 126c, 126dが形成されている。ナノワイヤ121a, 126aは平面視で重なっており、ナノワイヤ121b, 126bは平面視で重なっており、ナノワイヤ121c, 126cは平面視で重なっており、ナノワイヤ121d, 126dは平面視で重なっている。

10

【0065】

ナノワイヤ121aの図面下側、ナノワイヤ121a, 121b間、ナノワイヤ121b, 121c間、ナノワイヤ121c, 121d間、および、ナノワイヤ121dの図面上側に、N型半導体がドーピングされたパッド122a, 122b, 122c, 122d, 122eがそれぞれ形成されている。ナノワイヤ126aの図面下側、ナノワイヤ126a, 126b間、ナノワイヤ126b, 126c間、ナノワイヤ126c, 126d間、および、ナノワイヤ126dの図面上側に、N型半導体がドーピングされたパッド127a, 127b, 127c, 127d, 127eがそれぞれ形成されている。

【0066】

ナノワイヤ121a, 126aがN型トランジスタM00のチャンネル部を構成し、パッド122a, 122b, 127a, 127bがN型トランジスタM00のノードを構成する。ナノワイヤ121b, 126bがN型トランジスタM10のチャンネル部を構成し、パッド122b, 122c, 127b, 127cがN型トランジスタM10のノードを構成する。パッド122b, 127bはN型トランジスタM00, M10に共有されている。ナノワイヤ121c, 126cがN型トランジスタM20のチャンネル部を構成し、パッド122c, 122d, 127c, 127dがN型トランジスタM20のノードを構成する。パッド122c, 127cはN型トランジスタM10, M20に共有されている。ナノワイヤ121d, 126dがN型トランジスタM30のチャンネル部を構成し、パッド122d, 122e, 127d, 127eがN型トランジスタM30のノードを構成する。パッド122d, 127dはN型トランジスタM20, M30に共有されている。

20

30

【0067】

ゲート配線131a, 131b, 131c, 131dは、X方向に延びており、かつ、メモリセルの下部から上部にかけてZ方向に延びている。ゲート配線131aは、N型トランジスタM00のゲートとなる。すなわち、ナノワイヤ121a, 126a、ゲート配線131a、およびパッド122a, 122b, 127a, 127bによって、N型トランジスタM00が構成される。同様に、ゲート配線131bは、N型トランジスタM10のゲートとなり、ゲート配線131cは、N型トランジスタM20のゲートとなり、ゲート配線131dは、N型トランジスタM30のゲートとなる。なお、ゲート配線131a, 131b, 131c, 131dは、ワード線WL0, WL1, WL2, WL3にそれぞれ接続される。

40

【0068】

メモリセルの下部において、X方向に延びるローカル配線141a, 141b, 141c, 141d, 141eが形成されている。ローカル配線141a, 141b, 141c, 141d, 141eは、パッド122a, 122b, 122c, 122d, 122eとそれぞれ接続されており、パッド122a, 122b, 122c, 122d, 122eから図面左右両側に延びている。メモリセルの上部において、X方向に延びるローカル配線143a, 143b, 143c, 143d, 143eが形成されている。ローカル配線143a, 143b, 143c, 143d, 143eは、パッド127a, 127b, 127c, 127d, 127eとそれぞれ接続されており、パッド127a, 127b, 12

50

7 c , 1 2 7 d , 1 2 7 e から図面左右両側に延びている。

【 0 0 6 9 】

ローカル配線 1 4 1 a , 1 4 3 a は、コンタクト 1 5 1 a を介して、互いに接続されている。ローカル配線 1 4 1 b , 1 4 3 b は、コンタクト 1 5 1 b を介して、互いに接続されている。ローカル配線 1 4 1 c , 1 4 3 c は、コンタクト 1 5 1 c を介して、互いに接続されている。ローカル配線 1 4 1 d , 1 4 3 d は、コンタクト 1 5 1 d を介して、互いに接続されている。ローカル配線 1 4 1 e , 1 4 3 e は、コンタクト 1 5 1 e を介して、互いに接続されている。

【 0 0 7 0 】

ローカル配線 1 4 3 a , 1 4 3 d , 1 4 3 e は、コンタクト 1 5 2 a , 1 5 2 b , 1 5 3 c を介して、M 1 配線 1 6 1 と接続されている。ローカル配線 1 4 3 b , 1 4 3 c は、コンタクト 1 5 3 a , 1 5 3 b を介して、M 1 配線 1 6 2 と接続されている。すなわち、N 型トランジスタ M 0 0 , M 2 0 は、一方のノードが M 1 配線 1 6 1 に接続され、他方のノードが M 1 配線 1 6 2 に接続されている。N 型トランジスタ M 1 0 は、両方のノードが M 1 配線 1 6 2 に接続されている。N 型トランジスタ M 3 0 は、両方のノードが M 1 配線 1 6 1 に接続されている。

10

【 0 0 7 1 】

以上のように本実施形態によると、ROMメモリセルは、ビット線 B L 0 に相当する M 1 配線 1 6 2 と V S S を供給する M 1 配線 1 6 1 との間に設けられ、N 型トランジスタ M 0 0 を構成する立体構造トランジスタである、第 1 および第 2 トランジスタを備える。第 2 トランジスタは、第 1 トランジスタの上層に形成されており、かつ、第 1 トランジスタと平面視でチャンネル部が重なっている。第 1 トランジスタのソースに接続されたローカル配線 1 4 1 a と、第 2 トランジスタのソースに接続されたローカル配線 1 4 3 a とは互いに接続されている。第 1 トランジスタのドレインに接続されたローカル配線 1 4 1 b と、第 2 トランジスタのドレインに接続されたローカル配線 1 4 3 b とは互いに接続されている。そして、ROMメモリセルは、ローカル配線 1 4 1 a , 1 4 3 a 、並びに、ローカル配線 1 4 1 b , 1 4 3 b の接続先が、M 1 配線 1 6 2 および M 1 配線 1 6 1 のうちの同じ線か異なる線かによって、データが記憶される。これにより、マスク ROM について、小面積のレイアウト構造を実現することができる。

20

【 0 0 7 2 】

また、本実施形態では、1 ビット分のメモリセルが上部および下部に形成された 2 個のトランジスタによって構成されるので、第 1 実施形態と比べてドライブ能力が大きく、高速に動作する。また、上部と下部でトランジスタの特性がばらついた場合に、第 1 実施形態では、ビット線ごとに特性がばらつくが、本実施形態ではばらつきの影響を受けない。さらに、第 1 実施形態と比べてより上位層のコンタクトによってメモリセルの記憶値を設定するため、メモリセルの記憶値を変更するための製造期間を短縮することができる。一方、第 1 実施形態では、本実施形態と比べて、メモリセルアレイの面積を小さくできる。

30

【 0 0 7 3 】

また、ビット線同士の間、電源電圧 V S S を供給する配線が配置されるため、ビット線間のクロストークノイズを抑制することができる。これにより、動作の安定性が図られる。

40

【 0 0 7 4 】

また、メモリセルを構成する上下トランジスタのノードを接続するコンタクトの位置が、ジグザグ配置になっている。これにより、コンタクト同士の間隔を大きくとることができるので、製造容易性が向上し、歩留まりが向上し、半導体記憶装置の信頼性が向上する。

【 0 0 7 5 】

(変形例)

図 7 および図 8 は第 2 実施形態の変形例に係るマスク ROM のレイアウト構造の例を示す図であり、図 7 (a) , (b) はメモリセルの平面図、図 8 (a) ~ (c) はメモリセ

50

ルの平面視縦方向における断面図である。具体的には、図7(a)は上部、図7(b)は下部を示す。図8(a)は線Y1-Y1'の断面、図8(b)は線Y2-Y2'の断面、図8(c)は線Y3-Y3'の断面である。

【0076】

図7および図8において、図5および図6と共通の構成要素には同一の符号を付しており、ここではその詳細な説明を省略する場合がある。

【0077】

本変形例では、図7(b)に示すように、メモリセルの図面左端において、Y方向に延びる電源配線111, 112が設けられている。電源配線111, 112はともに、埋め込み配線層に形成された埋め込み電源配線(BPR: Buried Power Rail)である。電源配線111, 112はともに電源電圧VSSを供給する。

10

【0078】

ローカル配線141a, 141d, 141eは、コンタクト154a, 154b, 154cを介して、電源配線111と接続されている。ローカル配線143b, 143cは、コンタクト153a, 153bを介して、M1配線162と接続されている。すなわち、N型トランジスタM00, M20は、一方のノードが電源配線111に接続され、他方のノードがM1配線162に接続されている。N型トランジスタM10は、両方のノードがM1配線162に接続されている。N型トランジスタM30は、両方のノードが電源配線111に接続されている。

【0079】

なお、M1配線161, 163は、メモリセルとは接続されず、ビット線間のクロストークノイズの低減のために機能する。

20

【0080】

本変形例によって、上述の実施形態と同様の作用効果が得られる。また、ビット線同士の間、電源電圧VSSを供給する配線が配置されるため、ビット線間のクロストークノイズを抑制することができる。これにより、動作の安定性が図られる。

【0081】

なお、VSSを供給する電源配線111, 112は、メモリセルの図面左端においてY方向に延びているが、VSSを供給する電源配線を、メモリセルの図面右端にY方向に延びるように設けてもかまわない。この場合、電源配線への接続のためのコンタクトの位置も、メモリセルの図面右側になる。さらに、VSSを供給する電源配線を、メモリセルの図面左端と右端の両方に設けてもかまわない。この場合、電源配線への接続のためのコンタクトの位置は、メモリセルの図面左側と右側のいずれであってもよい。

30

【0082】

(第3実施形態)

図9および図10は第3実施形態に係るマスクROMのレイアウト構造の例を示す図であり、図9(a), (b)はメモリセルの平面図、図10(a), (b)はメモリセルの平面視縦方向における断面図である。具体的には、図9(a)は上部、図9(b)は下部を示す。図10(a)は線Y1-Y1'の断面、図10(b)は線Y2-Y2'の断面である。

40

【0083】

図9は、図1のメモリセルアレイ3において、横方向に2個、縦方向に4個並ぶメモリセル8ビット分のレイアウトに相当する。図9(a)に示す上部に形成された、X方向に並ぶ2個のN型トランジスタによって、1ビット分のメモリセルが構成されている。図9(b)に示す下部に形成された、X方向に並ぶ2個のN型トランジスタによって、1ビット分のメモリセルが構成されている。すなわち、図9に示すトランジスタは、例えば、図1の回路図における8個のN型トランジスタM_{ij}(i=0~3, j=0, 1)に相当する。破線はメモリセルの枠を示している。

【0084】

図9(a)に示すように、M1配線層には、Y方向に延びる配線261, 262, 26

50

3, 264が形成されている。配線261はビット線BL0に相当し、262, 264は電源電圧VSSを供給し、配線263はビット線BL1に相当する。

【0085】

メモリセルの下部には、Y方向に延びるナノワイヤ221a, 221b, 221c, 221dが形成されている。また、Y方向に延びるナノワイヤ223a, 223b, 223c, 223dが、ナノワイヤ221a, 221b, 221c, 221dとそれぞれX方向において並ぶように、形成されている。メモリセルの上部には、Y方向に延びるナノワイヤ226a, 226b, 226c, 226dが形成されている。また、Y方向に延びるナノワイヤ228a, 228b, 228c, 228dが、ナノワイヤ226a, 226b, 226c, 226dとそれぞれX方向において並ぶように、形成されている。ナノワイヤ221a, 226aは平面視で重なっており、ナノワイヤ221b, 226bは平面視で重なっており、ナノワイヤ221c, 226cは平面視で重なっており、ナノワイヤ221d, 226dは平面視で重なっている。ナノワイヤ223a, 228aは平面視で重なっており、ナノワイヤ223b, 228bは平面視で重なっており、ナノワイヤ223c, 228cは平面視で重なっており、ナノワイヤ223d, 228dは平面視で重なっている。

10

【0086】

ナノワイヤ221aの図面下側、ナノワイヤ221a, 221b間、ナノワイヤ221b, 221c間、ナノワイヤ221c, 221d間、および、ナノワイヤ221dの図面上側に、N型半導体がドーピングされたパッド222a, 222b, 222c, 222d, 222eがそれぞれ形成されている。ナノワイヤ223aの図面下側、ナノワイヤ223a, 223b間、ナノワイヤ223b, 223c間、ナノワイヤ223c, 223d間、および、ナノワイヤ223dの図面上側に、N型半導体がドーピングされたパッド224a, 224b, 224c, 224d, 224eがそれぞれ形成されている。

20

【0087】

ナノワイヤ226aの図面下側、ナノワイヤ226a, 226b間、ナノワイヤ226b, 226c間、ナノワイヤ226c, 226d間、および、ナノワイヤ226dの図面上側に、N型半導体がドーピングされたパッド227a, 227b, 227c, 227d, 227eがそれぞれ形成されている。ナノワイヤ228aの図面下側、ナノワイヤ228a, 228b間、ナノワイヤ228b, 228c間、ナノワイヤ228c, 228d間、および、ナノワイヤ228dの図面上側に、N型半導体がドーピングされたパッド229a, 229b, 229c, 229d, 229eがそれぞれ形成されている。

30

【0088】

メモリセルの下部において、ナノワイヤ221a, 223aがN型トランジスタM00のチャンネル部を構成し、パッド222a, 222b, 224a, 224bがN型トランジスタM00のノードを構成する。ナノワイヤ221b, 223bがN型トランジスタM10のチャンネル部を構成し、パッド222b, 222c, 224b, 224cがN型トランジスタM10のノードを構成する。パッド222b, 224bはN型トランジスタM00, M10に共有されている。ナノワイヤ221c, 223cがN型トランジスタM20のチャンネル部を構成し、パッド222c, 222d, 224c, 224dがN型トランジスタM20のノードを構成する。パッド222c, 224cはN型トランジスタM10, M20に共有されている。ナノワイヤ221d, 223dがN型トランジスタM30のチャンネル部を構成し、パッド222d, 222e, 224d, 224eがN型トランジスタM30のノードを構成する。パッド222d, 224dはN型トランジスタM20, M30に共有されている。

40

【0089】

メモリセルの上部において、ナノワイヤ226a, 228aがN型トランジスタM01のチャンネル部を構成し、パッド227a, 227b, 229a, 229bがN型トランジスタM01のノードを構成する。ナノワイヤ226b, 228bがN型トランジスタM11のチャンネル部を構成し、パッド227b, 227c, 229b, 229cがN型トラン

50

ジスタM11のノードを構成する。パッド227b, 229bはN型トランジスタM01, M11に共有されている。ナノワイヤ226c, 228cがN型トランジスタM21のチャネル部を構成し、パッド227c, 227d, 229c, 229dがN型トランジスタM21のノードを構成する。パッド227c, 229cはN型トランジスタM11, M21に共有されている。ナノワイヤ226d, 228dがN型トランジスタM31のチャネル部を構成し、パッド227d, 227e, 229d, 229eがN型トランジスタM31のノードを構成する。パッド227d, 229dはN型トランジスタM21, M31に共有されている。

【0090】

ゲート配線231a, 231b, 231c, 231dは、X方向に延びており、かつ、メモリセルの下部から上部にかけてZ方向に延びている。ゲート配線231aは、N型トランジスタM00, M01のゲートとなる。すなわち、ナノワイヤ221a, 223a、ゲート配線231a、およびパッド222a, 222b, 224a, 224bによって、N型トランジスタM00が構成される。また、ナノワイヤ226a, 228a、ゲート配線231a、およびパッド227a, 227b, 229a, 229bによって、N型トランジスタM01が構成される。同様に、ゲート配線231bは、N型トランジスタM10, M11のゲートとなり、ゲート配線231cは、N型トランジスタM20, M21のゲートとなり、ゲート配線231dは、N型トランジスタM30, M31のゲートとなる。なお、ゲート配線231a, 231b, 231c, 231dは、ワード線WL0, WL1, WL2, WL3にそれぞれ接続される。

【0091】

メモリセルの下部において、X方向に延びるローカル配線241a, 241b, 241c, 241d, 241eが形成されている。ローカル配線241aはパッド222a, 224aと接続されており、パッド222a, 224aから図面左右両側に延びている。ローカル配線241bはパッド222b, 224bと接続されており、パッド222b, 224bから図面左右両側に延びている。ローカル配線241cはパッド222c, 224cと接続されており、パッド222c, 224cから図面左右両側に延びている。ローカル配線241dはパッド222d, 224dと接続されており、パッド222d, 224dから図面左右両側に延びている。ローカル配線241eはパッド222e, 224eと接続されており、パッド222e, 224eから図面左右両側に延びている。

【0092】

メモリセルの上部において、X方向に延びるローカル配線243a, 243b, 243c, 243d, 243eが形成されている。ローカル配線243aはパッド227a, 229aと接続されている。ローカル配線243bはパッド227b, 229bと接続されている。ローカル配線243cはパッド227c, 229cと接続されている。ローカル配線243dはパッド227d, 229dと接続されている。ローカル配線243eはパッド227e, 229eと接続されている。

【0093】

ローカル配線241b, 241cは、コンタクト251a, 251bを介して、M1配線261と接続されている。ローカル配線241a, 241d, 241eは、コンタクト252a, 252b, 252cを介して、M1配線264と接続されている。すなわち、N型トランジスタM00, M20は、一方のノードがM1配線261に接続され、他方のノードがM1配線264に接続されている。N型トランジスタM10は、両方のノードがM1配線261に接続されている。N型トランジスタM30は、両方のノードがM1配線264に接続されている。

【0094】

ローカル配線243b, 243eは、コンタクト253a, 253bを介して、M1配線262と接続されている。ローカル配線243a, 243c, 243dは、コンタクト254a, 254b, 254cを介して、M1配線263と接続されている。すなわち、N型トランジスタM01, M11, M31は、一方のノードがM1配線262に接続され

、他方のノードがM1配線263に接続されている。N型トランジスタM21は、両方のノードがM1配線263に接続されている。

【0095】

以上のように本実施形態によると、ROMメモリセルは、ビット線BL0に相当するM1配線261とVSSを供給するM1配線264との間に設けられた立体構造トランジスタM00と、ビット線BL1に相当するM1配線263とVSSを供給するM1配線262との間に設けられた立体構造トランジスタM01とを備える。トランジスタM00、M01は、ともに、X方向に並び、並列に接続された2個のトランジスタによって構成されている。トランジスタM01は、トランジスタM00の上層に形成されており、かつ、トランジスタM00と平面視でチャンネル部が重なっている。そして、ROMメモリセルは、トランジスタM00のソースおよびドレインにそれぞれ接続されたローカル配線241a、241bの接続先が、M1配線261およびM1配線264のうちの同じ線か異なる線かによって、第1データが記憶される。また、ROMメモリセルは、トランジスタM01のソースおよびドレインにそれぞれ接続されたローカル配線243a、243bの接続先が、M1配線263およびM1配線262のうちの同じ線か異なる線かによって、第2データが記憶される。これにより、マスクROMについて、小面積のレイアウト構造を実現することができる。

10

【0096】

また、本実施形態では、1ビット分のメモリセルが、X方向に並び、並列に接続された2個のトランジスタによって構成されるので、第1実施形態と比べてドライブ能力が大きく、高速に動作する。なお、上述の例では、メモリセルを構成するトランジスタは、並列に接続された2個のトランジスタを含むものとしたが、並列に接続された3個以上のトランジスタを含むものとしてもかまわない。

20

【0097】

(変形例)

図11および図12は第3実施形態の変形例に係るマスクROMのレイアウト構造の例を示す図であり、図11(a)、(b)はメモリセルの平面図、図12(a)~(d)はメモリセルの平面視縦方向における断面図である。具体的には、図11(a)は上部、図11(b)は下部を示す。図12(a)は線Y1-Y1'の断面、図12(b)は線Y2-Y2'の断面、図12(c)は線Y3-Y3'の断面、図12(d)は線Y4-Y4'の断面

30

【0098】

図11および図12において、図9および図10と共通の構成要素には同一の符号を付しており、ここではその詳細な説明を省略する場合がある。

【0099】

本変形例では、図11(b)に示すように、メモリセルのX方向における両端において、Y方向に延びる電源配線211、212が設けられている。電源配線211、212はともに、埋め込み配線層に形成された埋め込み電源配線(BPR: Buried Power Rail)である。電源配線211、212はともに電源電圧VSSを供給する。また、電源電圧VSSを供給するM1配線262、264は、メモリセルに接続されておらず、ビット線間のクロストークノイズの低減のために機能する。

40

【0100】

メモリセルの下部において、X方向に延びるローカル配線245a、245b、245c、245d、245eが形成されている。ローカル配線245aはパッド222a、224aと接続されており、パッド222a、224aから図面左側に延びている。ローカル配線245bはパッド222b、224bと接続されており、パッド222b、224bから図面左側に延びている。ローカル配線245cはパッド222c、224cと接続されており、パッド222c、224cから図面左側に延びている。ローカル配線245dはパッド222d、224dと接続されており、パッド222d、224dから図面左側に延びている。ローカル配線245eはパッド222e、224eと接続されており、

50

パッド 2 2 2 e , 2 2 4 e から図面左側に延びている。

【 0 1 0 1 】

メモリセルの上部において、X方向に延びるローカル配線 2 4 7 a , 2 4 7 b , 2 4 7 c , 2 4 7 d , 2 4 7 e が形成されている。ローカル配線 2 4 7 a はパッド 2 2 7 a , 2 2 9 a と接続されており、パッド 2 2 7 a , 2 2 9 a から図面右側に延びている。ローカル配線 2 4 7 b はパッド 2 2 7 b , 2 2 9 b と接続されており、パッド 2 2 7 b , 2 2 9 b から図面右側に延びている。ローカル配線 2 4 7 c はパッド 2 2 7 c , 2 2 9 c と接続されており、パッド 2 2 7 c , 2 2 9 c から図面右側に延びている。ローカル配線 2 4 7 d はパッド 2 2 7 d , 2 2 9 d と接続されており、パッド 2 2 7 d , 2 2 9 d から図面右側に延びている。ローカル配線 2 4 7 e はパッド 2 2 7 e , 2 2 9 e と接続されており、

10

【 0 1 0 2 】

ローカル配線 2 4 5 a , 2 4 5 b , 2 4 5 c , 2 4 5 d , 2 4 5 e は、平面視で、電源配線 2 1 1 と重なっているが、電源配線 2 1 2 と重なっていない。ローカル配線 2 4 7 a , 2 4 7 b , 2 4 7 c , 2 4 7 d , 2 4 7 e は、平面視で、電源配線 2 1 2 と重なっているが、電源配線 2 1 1 と重なっていない。

【 0 1 0 3 】

ローカル配線 2 4 5 b , 2 4 5 c は、コンタクト 2 5 1 a , 2 5 1 b を介して、M 1 配線 2 6 1 と接続されている。ローカル配線 2 4 5 a , 2 4 5 d , 2 4 5 e は、コンタクト 2 5 5 a , 2 5 5 b , 2 5 5 c を介して、電源配線 2 1 1 と接続されている。すなわち、N型トランジスタ M 0 0 , M 2 0 は、一方のノードが M 1 配線 2 6 1 に接続され、他方のノードが電源配線 2 1 1 に接続されている。N型トランジスタ M 1 0 は、両方のノードが M 1 配線 2 6 1 に接続されている。N型トランジスタ M 3 0 は、両方のノードが電源配線 2 1 1 に接続されている。

20

【 0 1 0 4 】

ローカル配線 2 4 7 b , 2 4 7 e は、コンタクト 2 5 6 a , 2 5 6 b を介して、電源配線 2 1 2 と接続されている。ローカル配線 2 4 7 a , 2 4 7 c , 2 4 7 d は、コンタクト 2 5 4 a , 2 5 4 b , 2 5 4 c を介して、M 1 配線 2 6 3 と接続されている。すなわち、N型トランジスタ M 0 1 , M 1 1 , M 3 1 は、一方のノードが電源配線 2 1 2 に接続され、他方のノードが M 1 配線 2 6 3 に接続されている。N型トランジスタ M 2 1 は、両方のノードが M 1 配線 2 6 3 に接続されている。

30

【 0 1 0 5 】

本変形例によって、上述の実施形態と同様の作用効果が得られる。また、ビット線同士の間、電源電圧 V S S を供給する配線が配置されるため、ビット線間のクロストークノイズを抑制することができる。これにより、動作の安定性が図られる。

【 0 1 0 6 】

(他の例)

なお、上述の各実施形態では、トランジスタは1本のナノワイヤを備えるものとしたが、トランジスタの一部または全部は、複数本のナノワイヤを備えてもよい。この場合、平面視でX方向において複数本のナノワイヤを設けてもよいし、Z方向において複数本のナノワイヤを設けてもよい。また、X方向およびZ方向の両方においてそれぞれ複数本のナノワイヤを設けてもよい。また、セルの上部と下部とにおいて、トランジスタが備えるナノワイヤの本数が異なってもよい。

40

【 0 1 0 7 】

また、上述の各実施形態では、ナノワイヤの断面形状はほぼ正方形としているが、これに限られるものではない。例えば、円形や長方形であってもよい。

【 0 1 0 8 】

また、上述の各実施形態では、立体構造トランジスタとしてナノワイヤ F E T を例にとって説明を行ったが、これに限られるものではない。例えば、セルの下部に形成されるトランジスタは、フィン型トランジスタであってもよい。

50

【産業上の利用可能性】

【0109】

本開示では、C F E Tを用いたR O Mメモリセルを備えた半導体集積回路装置について、小面積のレイアウト構造を実現できるので、例えば半導体チップの性能向上に有用である。

【符号の説明】

【0110】

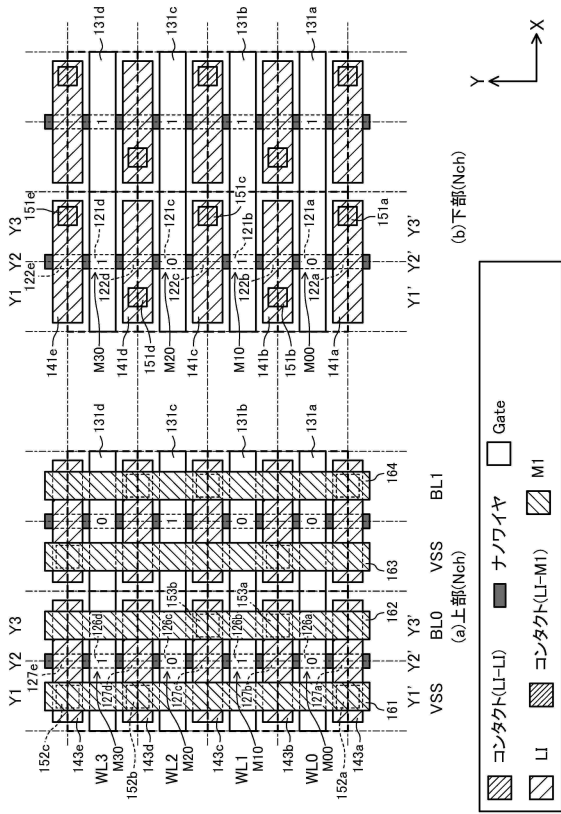
1 1 ~ 1 4	電源配線（接地電源配線）	
2 1 a ~ 2 1 d , 2 6 a ~ 2 6 d	ナノワイヤ（チャネル部）	
3 1 a ~ 3 1 d	ゲート配線	10
4 1 a ~ 4 1 e , 4 3 a ~ 4 3 e	ローカル配線	
6 1 ~ 6 4	M 1 配線（ビット線）	
1 1 1 , 1 1 2	電源配線（接地電源配線）	
1 3 1 a ~ 1 3 1 d	ゲート配線	
1 4 1 a ~ 1 4 1 e , 1 4 3 a ~ 1 4 3 e	ローカル配線	
1 5 1 a ~ 1 5 1 e	コンタクト	
1 6 1 , 1 6 3	M 1 配線（接地電源配線）	
1 6 2 , 1 6 4	M 1 配線（ビット線）	
2 1 1 , 2 1 2	電源配線（接地電源配線）	
2 3 1 a ~ 2 3 1 d	ゲート配線	20
2 4 1 a ~ 2 4 1 e , 2 4 3 a ~ 2 4 3 e , 2 4 5 a ~ 2 4 5 e , 2 4 7 a ~ 2 4 7 e	ローカル配線	
2 6 1 , 2 6 3	M 1 配線（ビット線）	
2 6 2 , 2 6 4	M 1 配線（接地電源配線）	
B L 0 ~ B L 3	ビット線	
M i j (i , j は整数)	トランジスタ	
W L 0 ~ W L 3	ワード線	

30

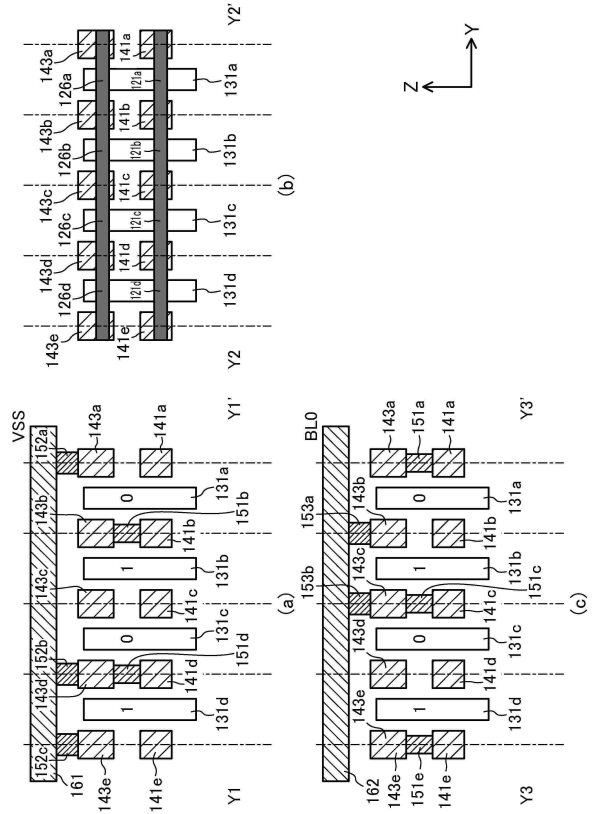
40

50

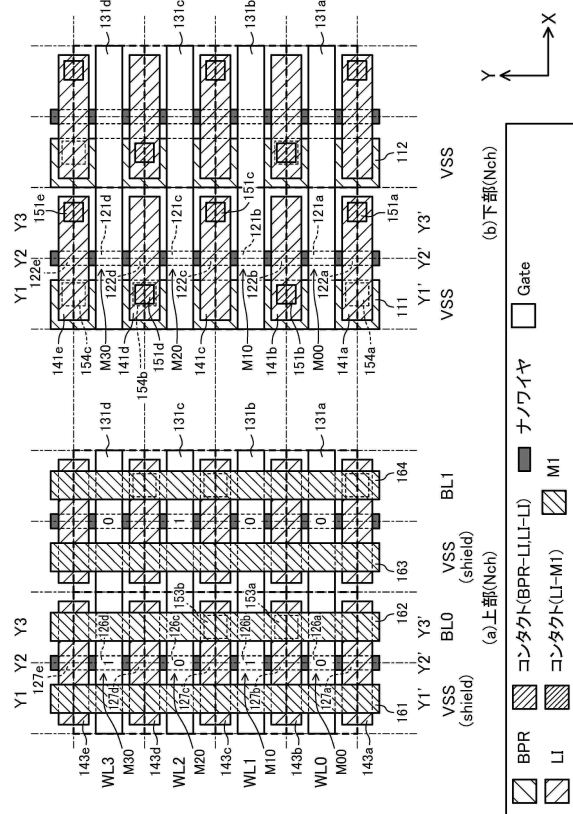
【図5】



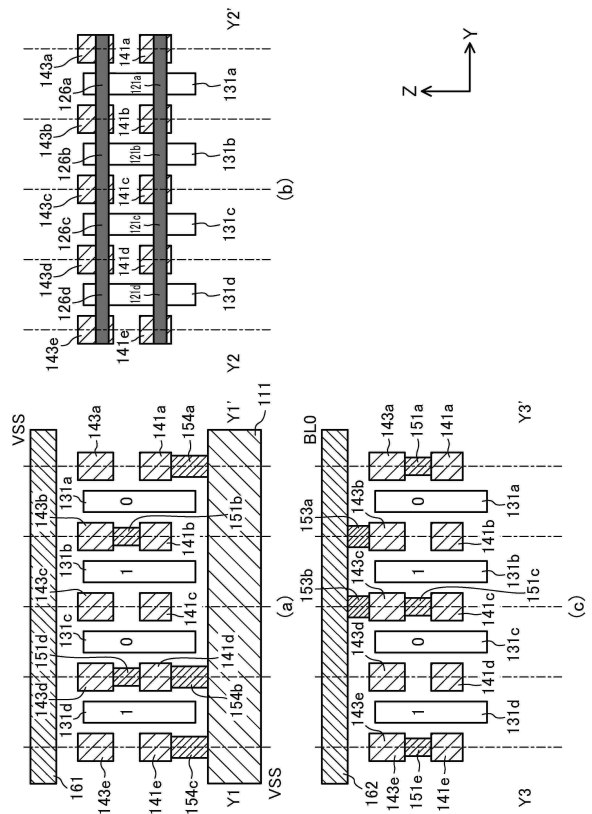
【図6】



【図7】



【図8】



10

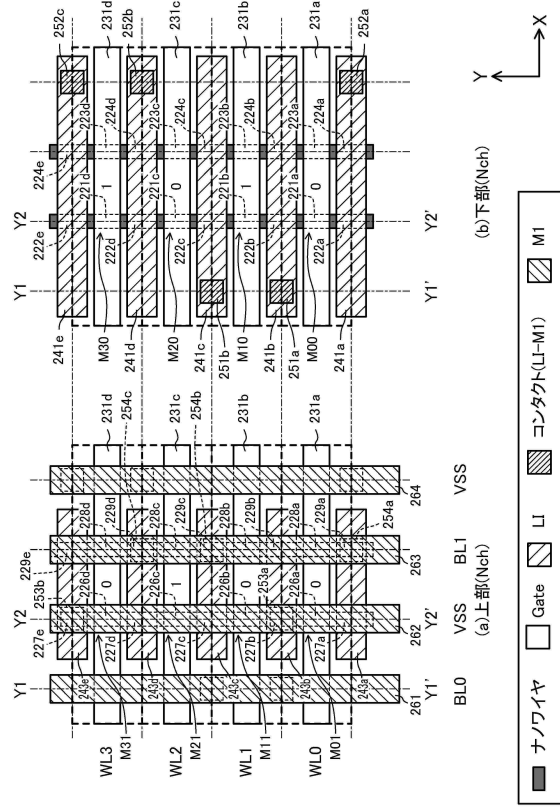
20

30

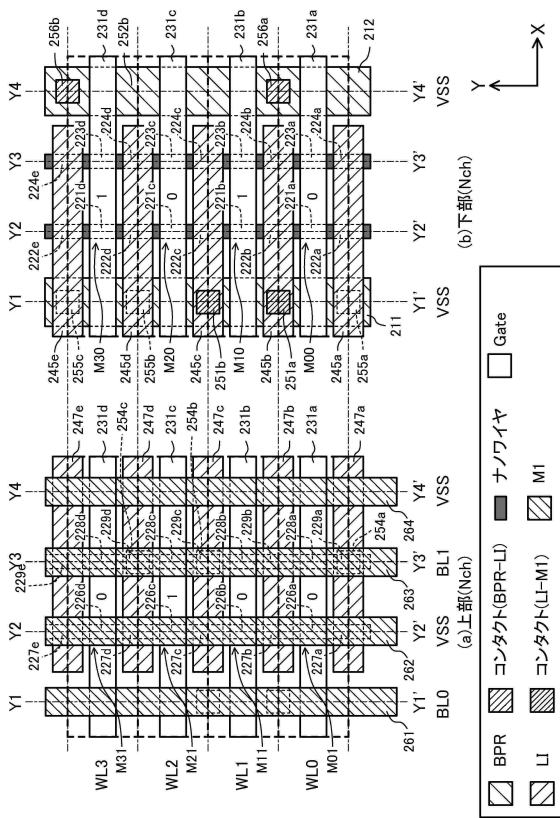
40

50

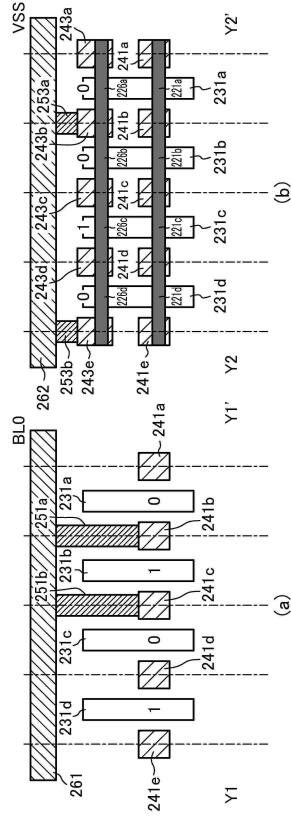
【図 9】



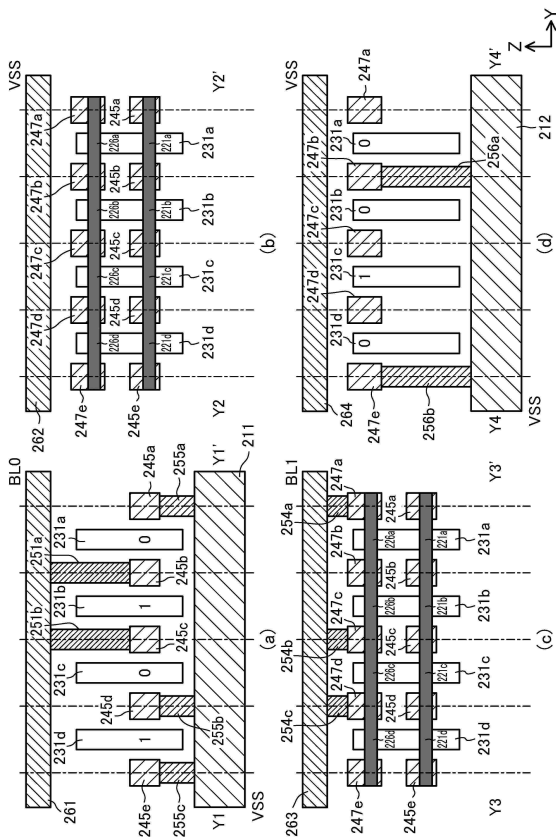
【図 11】



【図 10】



【図 12】



10

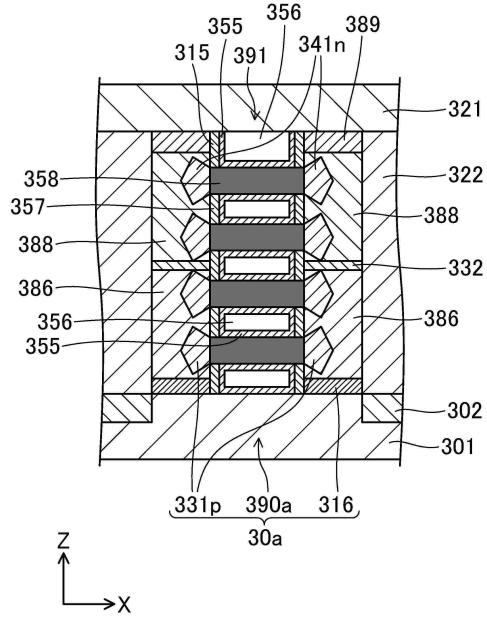
20

30

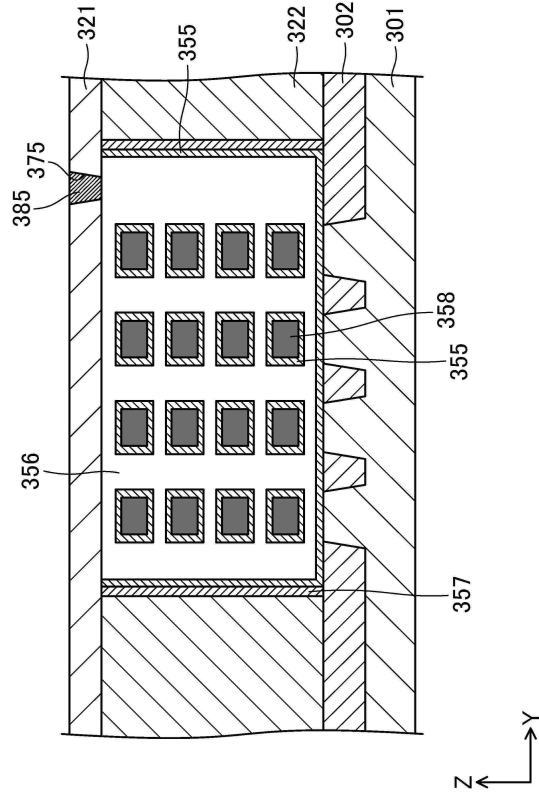
40

50

【 図 1 3 】



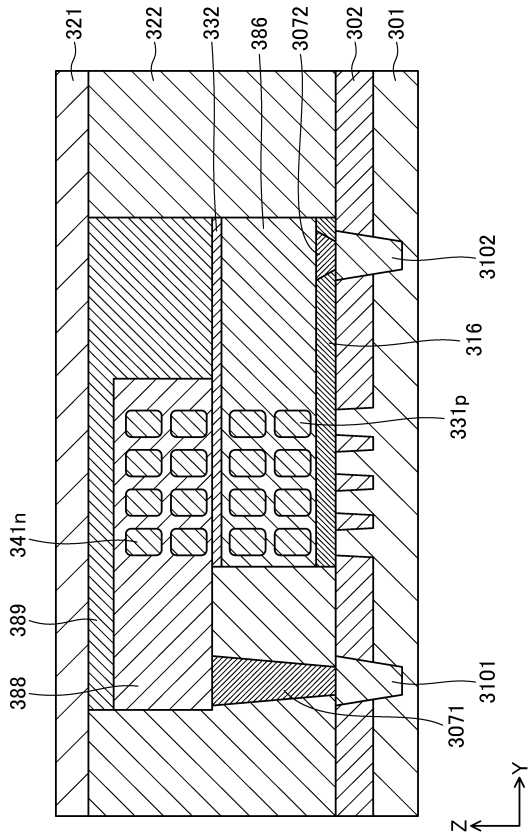
【 図 1 4 】



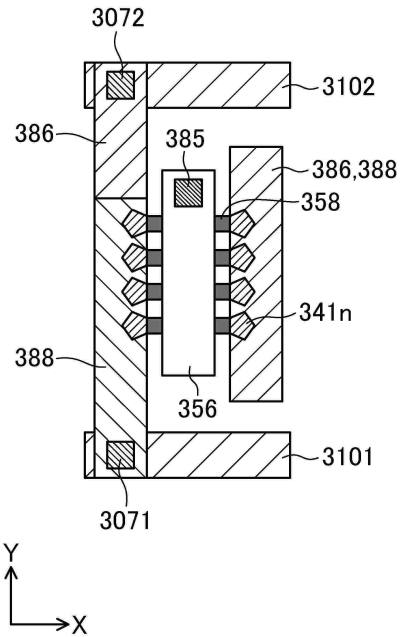
10

20

【 図 1 5 】



【 図 1 6 】



30

40

50

フロントページの続き

- (56)参考文献 米国特許出願公開第 2 0 1 8 / 0 1 5 1 5 7 6 (U S , A 1)
米国特許第 0 7 7 1 5 2 4 6 (U S , B 1)
特開 2 0 1 1 - 2 5 8 8 9 8 (J P , A)
米国特許出願公開第 2 0 1 6 / 0 3 2 9 3 1 3 (U S , A 1)
特開 2 0 1 8 - 0 2 6 5 6 5 (J P , A)
- (58)調査した分野 (Int.Cl. , D B 名)
H 1 0 B 2 0 / 0 0