

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5154901号
(P5154901)

(45) 発行日 平成25年2月27日(2013.2.27)

(24) 登録日 平成24年12月14日(2012.12.14)

(51) Int.Cl.

F I

H03K 5/00 (2006.01)

H03K 5/00 H

H03L 7/081 (2006.01)

H03L 7/08 J

請求項の数 8 (全 15 頁)

(21) 出願番号 特願2007-314896 (P2007-314896)
(22) 出願日 平成19年12月5日(2007.12.5)
(65) 公開番号 特開2009-141596 (P2009-141596A)
(43) 公開日 平成21年6月25日(2009.6.25)
審査請求日 平成22年8月6日(2010.8.6)

(73) 特許権者 302062931
ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753番地
(74) 代理人 100103894
弁理士 冢入 健
(72) 発明者 有坂 修
神奈川県川崎市中原区下沼部1753番地
NECエレクトロニクス株式会社内
審査官 石田 勝

最終頁に続く

(54) 【発明の名称】 信号生成回路

(57) 【特許請求の範囲】

【請求項1】

基準クロックを出力する状態と、前記基準クロックに前記基準クロックの1周期より短い第1時間の遅延を持たせた信号を出力する状態と、を切り換え可能な入力段遅延回路と、

前記入力段遅延回路の出力が変化した時点から前記入力段遅延回路の出力を前記基準クロックの1周期より短い第2時間保持するゲート回路を有し、前記ゲート回路の出力に対応する信号を出力する制御部と、

前記制御部の出力信号に前記第2時間の遅延を持たせた信号を出力する出力段遅延回路と、を備え、

前記ゲート回路は、前記入力段遅延回路の出力と、前記制御部の出力と、前記出力段遅延回路の出力とが不一致の場合に、前記入力段遅延回路の出力を前記第2時間保持し、

前記制御部は、当該制御部の出力信号の変化にตอบสนองして、前記入力段遅延回路の出力状態の切り換えを行う選択信号を出力する入力段遅延回路設定部を有する信号生成回路。

【請求項2】

請求項1に記載の信号生成回路であって、

前記入力段遅延回路は、前記第1時間の遅延を持たせることができる遅延素子を備え、

前記出力段遅延回路は、前記第2時間の遅延を持たせることができる遅延素子を備える信号生成回路。

【請求項3】

請求項 2 に記載の信号生成回路であって、

前記第 2 時間が、前記基準クロックの 1 周期に対して、 m/n (m 、 n は自然数、かつ、 $m < n$ 、かつ、既約分数) 時間に相当する場合、前記入力段遅延回路及び前記出力段遅延回路は、それぞれ、 $1/n$ 、 $2/n$ 、 \dots 、 $(n-2)/n$ 、 $(n-1)/n$ 時間の遅延を持たせることができる $(n-1)$ 個の遅延素子を備える信号生成回路。

【請求項 4】

請求項 3 に記載の信号生成回路であって、

前記出力段遅延回路は、前記 $(n-1)$ 個の遅延素子の中から前記 m/n 時間の遅延を持たせることができる遅延素子を選択する信号生成回路。

【請求項 5】

請求項 4 に記載の信号生成回路であって、

前記出力段遅延回路の遅延時間を設定する調整値を出力する周波数調整レジスタをさらに備え、

前記入力段遅延回路設定部は、前記入力段遅延回路が当初前記基準クロックを出力する状態を選択した後初めて前記出力状態の切り換えを行うときに、前記調整値に応じて前記出力段遅延回路に選択されている遅延素子と同等の遅延時間を持たせることが可能な遅延素子を選択する前記選択信号を出力する信号生成回路。

【請求項 6】

請求項 1 乃至 5 の何れか 1 項に記載の信号生成回路であって、

前記ゲート回路は、前記入力段遅延回路の出力と、前記制御部の出力と、前記出力段遅延回路の出力とが全て一致する場合に、前記入力段遅延回路の出力を保持せず、そのまま出力する信号生成回路。

【請求項 7】

請求項 1 乃至 6 の何れか 1 項に記載の信号生成回路であって、

前記制御部は、

前記ゲート回路から出力されるパルス数をカウントするカウンタと、

前記カウンタのカウント値と比較される周期設定値を格納する周期用コンペアレジスタと、を有し、

前記制御部は、前記カウント値と前記周期設定値との比較結果を前記ゲート回路の出力に対応する信号として出力する信号生成回路。

【請求項 8】

請求項 7 に記載の信号生成回路であって、

前記制御部は、

前記カウンタのカウント値と比較されるデューティ設定値を格納するデューティ用コンペアレジスタを有し、

前記信号生成回路は、

前記カウント値と前記デューティ設定値との比較結果と、前記出力段遅延回路の出力と、を入力する反転用フリップフロップを備え、

前記反転用フリップフロップは、前記カウント値と前記デューティ設定値との比較結果の変化及び前記出力段遅延回路の出力の変化に应答して、出力信号の論理レベルを変更する信号生成回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、出力信号の L レベル期間、H レベル期間を制御する信号生成回路に関する。

【背景技術】

【0002】

近年の電子機器の高速化に応じて、パルスの遷移するタイミングをより高精度に制御することが重要となっている。特許文献 1 には、遅延回路を用いて立ち上がりエッジを遅延させる PWM 制御回路が開示されている。PWM 制御回路は、立ち上がりエッジを遅延さ

10

20

30

40

50

せることによりデューティ比を変えた信号を出力している。しかしながら、特許文献 1 に記載の PWM 制御回路は、出力する信号の周期については全く考慮されていない。一方、特許文献 2 に、周期を延伸させた信号を出力する発振制御装置が記載されている。特許文献 2 に記載の発振制御装置には、発振器で生成した基準クロックを複数の遅延回路で遅延させ、カウンタの値に基づいて複数の遅延回路の出力から任意の出力を選択し、クロックのパルス幅を延伸させる発振制御装置が開示されている。

【特許文献 1】特開 2 0 0 0 - 2 6 9 8 1 6 号公報

【特許文献 2】特開平 5 - 1 6 7 4 0 4 号公報

【発明の開示】

【発明が解決しようとする課題】

10

【 0 0 0 3 】

しかしながら、特許文献 2 に記載の発振制御装置では、パルス幅を延伸させた信号又はパルス幅を延伸させない信号が出力されるのみである。このため、周期の延伸を考慮した複数種類の信号を出力することが困難であるという問題点がある。

【課題を解決するための手段】

【 0 0 0 4 】

本発明に係る信号生成回路は、基準クロックを出力する状態と、前記基準クロックに前記基準クロックの 1 周期より短い第 1 時間の遅延を持たせた信号を出力する状態と、を切り換え可能な入力段遅延回路と、前記入力段遅延回路の出力が変化した時点から前記入力段遅延回路の出力を前記基準クロックの 1 周期より短い第 2 時間保持するゲート回路を有し、前記ゲート回路の出力に対応する信号を出力する制御部と、前記制御部の出力信号に前記第 2 時間の遅延を持たせた信号を出力する出力段遅延回路と、を備え、前記入力段遅延回路は、前記制御部の出力信号の変化にตอบสนองして出力状態の切り換えを行うものである。

20

【 0 0 0 5 】

制御部により、入力段遅延回路の出力が変化した時点から、当該入力段遅延回路の出力を基準クロックの 1 周期より短い第 2 時間保持し、当該制御部の出力信号の変化にตอบสนองして入力段遅延回路の出力状態の切り換えが行われるため、出力段遅延回路から第 2 時間の遅延を持たせた信号を出力することができる。

【発明の効果】

30

【 0 0 0 6 】

本発明によれば、基準クロックの周期より細かい周期で制御された複数の出力信号を出力する信号生成回路を提供することができる。

【発明を実施するための最良の形態】

【 0 0 0 7 】

実施の形態 1 .

以下、本実施の形態について図面を参照しながら詳細に説明する。図 1 は、本実施の形態の信号生成回路を示すブロック図である。図 1 に示すように、本実施の形態の信号生成回路 1 は、入力段遅延回路 1 0 と、出力段遅延回路 2 0 と、制御部 3 0 を有している。

【 0 0 0 8 】

40

入力段遅延回路 1 0 は、複数の遅延素子 1 1 乃至 1 3 と、セレクタ 1 4 とを有する。複数の遅延素子 1 1 乃至 1 3 は、入力された基準クロックを、それぞれ基準クロックに基づいて設定された時間分（第 1 時間）遅延させて出力する。本実施の形態では、遅延素子 1 1 は、基準クロックに 1 / 4 周期分の遅延を持たせて出力する。以下、遅延素子 1 2 は 2 / 4 周期分、遅延素子 1 3 は 3 / 4 周期分の遅延を持たせて出力する。

【 0 0 0 9 】

入力段遅延回路 1 0 のセレクタ 1 4 は、後述する入力段遅延選択信号 S 1 に基づいて、基準クロックあるいは遅延素子 1 1 乃至 1 3 の出力する信号の任意の 1 つを選択して出力する。このセレクタ 1 4 の出力する信号が入力段遅延出力信号 S e として、後述するゲート回路 3 3 へ出力される。ここで、セレクタ 1 4 では、当初基準クロックを出力する状態

50

を選択する。その後、初めてセクタ 14 の選択を切り換える場合、後述する入力段遅延選択信号 S 1 に基づいて任意の 1 つの遅延素子を選択する。この場合、出力段遅延回路 20 の後述するセクタ 24 に出力される値（選択する遅延素子）と同等の遅延時間を持たせることが可能な遅延素子が選択される。

【0010】

制御部 30 は、周波数調整レジスタ 31 と、入力段遅延設定部 32 と、ゲート回路 33 とを有している。周波数調整レジスタ 31 は、出力する信号の周波数に対応する設定を保持するレジスタである。この周波数調整レジスタ 31 に保持する値は、入力段遅延設定部 32、及び後述する出力段遅延回路 20 のセクタ 24 に出力される。

【0011】

入力段遅延設定部 32 は、入力段遅延回路 10 内のセクタ 14 に対して、基準クロック及び遅延素子 11 ~ 13 によって基準クロックを遅延させた信号のうちいずれかを選択する入力段遅延選択信号（以下、第 1 の選択信号という。）S 1 を出力する。この入力段遅延設定部 32 は、後述するゲート回路 33 の出力が遷移するたびに選択する遅延素子を連続的に切り換える。すなわち、ゲート回路 33 の出力が立ち上がる又は立ち下がったことを受けて選択する遅延素子を順次切り換える回路である。この第 1 の選択信号 S 1 は、出力段遅延回路 20 の後述するセクタ 24 に出力される値（選択する遅延素子）と同等の遅延時間を持たせることが可能な遅延素子を選択することを示す信号である。

【0012】

ゲート回路 33 は、入力段遅延回路 10 の出力する信号（入力段遅延出力信号 S e）の出力段遅延回路 20 への入力を制御する回路である。本実施の形態のゲート回路 33 は、ラッチ回路 331 及び一致検出部 332 を有する。ラッチ回路 331 は、一致検出部 332 の出力に基づいて、ラッチ回路 331 への入力に関わらずその出力値を固定させるか、ラッチ回路 331 への入力値をそのまま出力するかが決定される。一致検出部 332 は、ゲート回路 33 の出力、入力段遅延回路 10 の出力、出力段遅延回路 20 の出力の一致、不一致を検出する。一致検出部 332 はこの 3 つの入力が一致していない場合には、ラッチ回路 331 に入力された値に関わらず出力値を固定させる信号を出力する。また、当該 3 つの入力が一致している場合、ラッチ回路 331 からは当該ラッチ回路 331 に入力された値をそのまま出力する。

【0013】

出力段遅延回路 20 は、周波数調整レジスタ 31 に設定された値に基づいて、ゲート回路 33 が出力した信号をそのまま出力、あるいは所定の遅延を持たせて出力する回路である。この出力段遅延回路 20 は、複数の遅延素子 21 ~ 23、セクタ 24 を有している。複数の遅延素子 21 乃至 23 は、ゲート回路 33 の出力を、第 2 時間の遅延を持たせて出力する。本実施の形態では、複数の遅延素子 21 ~ 23 は、ゲート回路 33 の出力に、例えばそれぞれ基準クロックの $1/4$ 周期分、 $2/4$ 周期分、 $3/4$ 周期分の遅延を持たせて出力する。

【0014】

本実施の形態では、出力段遅延回路 20 は、当該出力段遅延回路 20 から基準クロックの 1 周期に対して、 m/n （ m 、 n は自然数、かつ、 $m < n$ 、かつ、既約分数）時間に相当する時間の遅延を持たせた信号を出力する。この場合、入力段遅延回路 10 及び出力段遅延回路 20 は、それぞれ、 $1/n$ 、 $2/n$ 、 \dots 、 $(n-2)/n$ 、 $(n-1)/n$ 時間の遅延を持たせることができる（ $n-1$ ）個の遅延素子を備える。本実施の形態では、 $n=4$ であって、入力段遅延回路 10 及び出力段遅延回路 20 は、それぞれ遅延素子を 3 つ有する場合について説明するが、 $n=2$ であれば本発明を適用可能である。

【0015】

出力段遅延回路 20 内のセクタ 24 は、周波数調整レジスタ 31 に設定された値に基づいて、ゲート回路 33 の出力あるいは遅延素子 21 ~ 23 の出力する信号の任意の 1 つを選択して出力する。すなわち、周波数調整レジスタ 31 は出力段遅延回路 20 内のセクタ 24 に対して、当該周波数調整レジスタ 31 に保持され、ゲート回路 33 の出力ある

10

20

30

40

50

いは遅延素子 2 1 ~ 2 3 の出力する信号のうちいずれかを選択する出力段遅延選択信号（以下、第 2 の選択信号という。）S 2 を出力する。これにより、セクタ 2 4 は、(n - 1) 個の遅延素子から m / n 時間の遅延を持たせることができる遅延素子を選択する。

【 0 0 1 6 】

次に、このように構成された信号生成回路 1 の動作について図 2 を用いて説明する。図 2 に、図 1 に示す信号生成回路 1 の動作を示すタイミングチャートを示す。すなわち、図 2 は信号生成回路 1 における各点での波形を示したタイミングチャートである。また、図 2 には、各タイミングにおいて、入力段遅延回路 1 0 内のセクタ 1 4 が、第 1 の選択信号 S 1 に基づいてどの遅延素子を出力しているかも併せて示す。図 2 において、S a ~ S 1 は、図 1 の S a ~ S 1 にそれぞれ対応する波形を示す。なお、以下の説明では、出力段遅延回路 2 0 は、基準クロックの 1 周期に対して、1 / 4 時間（この場合、m = 1、n = 4 である）の遅延を持たせた信号を出力する場合について説明する。すなわち、目標とする出力クロックが H 区間、L 区間共に 1 / 4 周期延伸されたもの、つまり、基準クロックの周期を 1 . 2 5 倍にした周期のクロックを出力する例を用いて説明する。

【 0 0 1 7 】

周波数調整レジスタ 3 1 には、その出力する信号に対応した値（ここでは、基準クロックの 1 . 2 5 倍周期）を示す値が設定される。この周波数調整レジスタ 3 1 に設定された値を出力段遅延選択信号 S 2 として受信する出力段遅延回路 2 0 では、セクタ 2 4 の出力する信号を 1 / 4 遅延素子の出力 S h に固定する。

【 0 0 1 8 】

なお、以下の説明において、クロック入力当初（図 2、t 0 参照）において、ゲート回路出力 S f、出力信号 S k は、デフォルトでは H レベルに設定されているものとして説明する。

【 0 0 1 9 】

基準クロックが入力されると、セクタ 1 4 は、周波数調整レジスタ 3 1 に設定されている値に基づいて、入力される基準クロック S a を選択する。そのため、入力段遅延回路 1 0 は、時刻 t 0 において、入力段遅延出力信号 S e として H レベルの信号を出力する。ゲート回路出力 S f は H レベルを維持する。

【 0 0 2 0 】

その後、時刻 t 1 において、入力されている基準クロックが立ち下がる。セクタ 1 4 は、基準クロック S a を選択しているため、S a の立下りに合わせて、信号 S e 及び S f が立ち下がる。このとき、出力信号 S k としては、ゲート回路 3 3 の出力信号 S f を 1 / 4 周期分遅延させた信号（図 2、S h 参照）が選択されているため、出力信号 S k は H レベルを維持する。ここで、入力段遅延出力信号 S e、ゲート回路 3 3 の出力 S f、及び出力信号 S k に不一致が生じる。このため、一致検出部 3 3 2 の出力が遷移し、ラッチ回路 3 3 1 は入力される信号に関わらず、そのときの出力信号を保持する（図 2、S f、S 1 参照）。

【 0 0 2 1 】

ゲート回路 3 3 の出力 S f が立ち下がって遷移したことにより、入力段遅延設定部 3 2 は、セクタ 1 4 に対し、選択する信号を切り換える第 1 の選択信号 S 1 を出力する。ここで、出力段遅延回路 2 0 のセクタ 2 4 では、1 / 4 時間の遅延を持たせた信号を出力する遅延素子 2 1 が選択されている。このため、入力段遅延設定部 3 2 は、セクタ 1 4 に対し、選択する信号を S b に切り換える第 1 の選択信号 S 1 を出力する。入力段遅延設定部 3 2 からの第 1 の選択信号 S 1 に基づいて、時刻 t 2 において、1 / 4 遅延素子からの出力 S b を選択する。したがって、入力段遅延出力信号 S e も立ち上がり H レベルとなる（図 2、t 2 参照）。このとき、一致検出部 3 3 2 の出力によって、ラッチ回路 3 3 1 は出力が固定された状態となっているため、ゲート回路 3 3 の出力 S f は変化せず L レベルを保持する。

【 0 0 2 2 】

その後、時刻 t 3 において、1 / 4 遅延素子 1 1 の出力信号 S b の立ち下がりに合わせ

10

20

30

40

50

て、入力段遅延出力信号 S_e も立ち下がる。入力段遅延出力信号 S_e が立ち下がることにより、入力段遅延出力信号 S_e 、ゲート回路 33 の出力 S_f 、及び出力信号 S_k のレベルが一致する状態となる。このため、ラッチ回路 331 は、入力段遅延回路 10 の出力の保持を解除し、再び入力された信号を出力する状態となる。

【0023】

実施の形態 1 に示す信号生成回路 1 では、例えば、出力段遅延回路 20 の遅延素子を 1 / 4 周期遅延に固定する。そして、ゲート回路 33 から出力される信号 S_f が遷移すると、入力段遅延回路 10 の選択する遅延素子を順次切り換える。信号 S_f が遷移した後、入力段遅延出力信号 S_e 、ゲート回路 33 の出力 S_f 、及び出力信号 S_k のレベルが一致するまでの間、信号 S_f は入力段遅延回路 10 の出力 S_e のレベルを保持する。これにより、信号生成回路 1 から、基準クロックの周期よりも短い単位で周期を延伸させた出力信号 S_k を出力することができる。

10

【0024】

ここで、図 3 に出力段遅延回路 20 の遅延素子を 2 / 4 周期遅延に固定した場合の動作を示すタイミングチャートを示す。図 3 では、図 2 に示す基準クロック S_a と、基準クロックを 2 / 4 周期分遅延させる遅延素子 12 からの出力 S_c と、ゲート回路 33 の出力 S_f と、出力段遅延回路 20 からの出力信号 S_k とを示す。図 3 を用いて、出力段遅延回路 20 の遅延素子を 2 / 4 周期遅延に固定した場合の動作について簡単に説明する。

【0025】

図 3 に示すように、入力段遅延回路 10 では、当初基準クロックを出力する状態を選択する。その後、初めて制御部 30 のゲート回路 33 の出力の遷移に応じてセレクト 14 の選択を切り換える場合、入力段遅延回路 10 のセレクト 14 は、出力段遅延回路 20 のセレクト 24 に出力される値（選択する遅延素子）と同等の遅延時間を持たせることが可能な遅延素子を選択する第 1 の選択信号 S_1 を出力する。すなわち、セレクト 14 では、2 / 4 周期分遅延させる遅延素子 12 が選択される。このとき、ゲート回路 33 の出力 S_f は、遅延素子を切り換える際に取り込んだ入力段遅延回路 10 の出力 S_e のレベルを、基準クロックの 2 / 4 周期分、保持する。その後、遅延素子 12 からの出力であって、入力段遅延回路 10 の出力である信号 S_c と、ゲート回路 33 の出力 S_f と、出力段遅延回路 20 の出力信号 S_k とが一致した場合、ラッチ回路 331 は入力段遅延回路 10 の出力の保持を解除する。これにより、基準クロックから 2 / 4 周期分遅延した信号が出力信号 S_k として出力される。

20

30

【0026】

出力段遅延回路 20 の遅延素子を 2 / 4 周期遅延に固定した場合、入力段遅延回路 10 では、基準クロック S_a と 2 / 4 周期遅延させる遅延素子 12 が交互に選択される。これに応じて出力段遅延回路 20 からは、基準クロックの周期よりも短い単位で周期を延伸させた出力信号 S_k を出力することができる。

【0027】

次に、図 4 に出力段遅延回路 20 の遅延素子を 3 / 4 周期遅延に固定した場合の動作を示すタイミングチャートを示す。図 4 では、図 2 に示す基準クロック S_a と、各遅延素子から出力される信号 $S_b \sim S_d$ と、ゲート回路 33 の出力 S_f と、出力段遅延回路 20 の出力信号 S_k とを示す。図 4 を用いて、3 / 4 周期遅延に固定した場合の動作について簡単に説明する。

40

【0028】

図 4 に示すように、入力段遅延回路 10 では、当初基準クロックを出力する状態を選択する。その後、ゲート回路 33 の出力の遷移に応じて、入力段遅延回路 10 のセレクト 14 は、3 / 4 周期分遅延させる遅延素子 13 を選択する。このとき、ゲート回路 33 の出力 S_f は、遅延素子を切り換える際に取り込んだ入力段遅延回路 10 の出力 S_e のレベルを、基準クロックの 3 / 4 周期分、保持する。そして、遅延素子 13 からの出力であって、入力段遅延回路 10 の出力である信号 S_d と、ゲート回路の出力 S_f と、出力段遅延回路 20 の出力信号 S_k とが一致した場合、ラッチ回路 331 は入力段遅延回路 10 の出力

50

の保持を解除する。この後、入力段遅延回路 10 のセレクタ 14 は、2 / 4 周期分遅延させる遅延素子 12、1 / 4 周期分遅延させる遅延素子 11 を順に選択する。これにより、基準クロックから 3 / 4 周期分延伸した信号が出力信号 S_k として出力される。

【0029】

以上から、実施の形態 1 にかかる信号生成回路 1 において、入力段遅延回路 10 及び出力段遅延回路 20 は、それぞれ基準クロックよりも短い周期の遅延を有する複数の遅延素子を有する。出力段遅延回路 20 の遅延素子を、例えば 1 / 4 周期遅延に固定し、ゲート回路 33 から出力される信号 S_f が遷移すると、入力段遅延回路 10 の選択する遅延素子を順次切り換える。信号 S_f が遷移し、入力段遅延出力信号 S_e が信号 S_f と同じレベルに遷移するまでの間、信号 S_f は入力段遅延回路 10 の出力 S_e のレベルを保持する。これにより、信号生成回路 1 から、基準クロックの周期よりも短い単位で周期を延伸させた出力信号 S_k を出力することができる。また、出力段遅延回路 20 において、選択する遅延素子を 2 / 4 遅延素子、3 / 4 遅延素子に変更することにより、出力信号を 1.75 倍、2 倍延伸させた信号を出力することができる。すなわち、基準クロックの周期より細かい周期で制御された複数の出力信号を出力することができる。また、ラッチ回路 331 及び一致検出部 332 からなるゲート回路 33、並びに遅延素子 11 ~ 13、21 ~ 23 を用いた簡単な構成により、基準クロックの周期よりも細かい遅延を持たせた複数の出力信号を生成することができる。

【0030】

実施の形態 2 .

次に、実施の形態 2 について説明する。実施の形態 2 は、実施の形態 1 の信号生成回路 1 にさらに、カウンタ、周期用コンペアレジスタ、及びデューティ用コンペアレジスタを有する。また、出力段遅延回路 20 及びデューティ用コンペアレジスタから出力される信号が入力される反転用フリップフロップ（以下、反転用 F / F という。）を有する。実施の形態 2 にかかる信号生成回路 2 では、出力信号のデューティ比を基準クロックの周期よりも短い単位で制御する場合に、カウンタのクロックを一定期間延伸する期間を設けるものである。以下に、実施の形態 2 にかかる信号生成回路 2 について詳細に説明する。

【0031】

実施の形態 2 にかかる信号生成回路 2 の出力信号は、周期用コンペアレジスタに設定されるカウンタのクロック数を出力信号の 1 周期とする。また、デューティ用コンペアレジスタに設定されるカウンタのクロック数とカウンタのカウントが一致すると、出力信号が H レベルから L レベルに遷移する。以下、実施の形態 2 の信号生成回路 2 について図 5 を用いて詳細に説明する。図 5 は、実施の形態 2 にかかる信号生成回路 2 を示すブロック図である。図 5 に示す実施の形態 2 にかかる信号生成回路 2 において、図 1 に示す実施の形態 1 と同一構成要素には同一の符号を付し、その詳細な説明は省略する。

【0032】

図 5 に示すように、本実施の形態にかかる信号生成回路 2 は、制御部 30 に、カウンタ 34、周期用コンペアレジスタ 35、及びデューティ用コンペアレジスタ 36 をさらに有し、出力段遅延回路 20 の出力側に反転用 F / F 40 を有する。

【0033】

カウンタ 34 は、ゲート回路 33 b から出力される信号 S_f のパルスをカウントする。

【0034】

周期用コンペアレジスタ 35 は、目標とする出力クロックの 1 周期分のクロック数（以下、周期設定値という。）（例えば 8 クロック）が設定される。また、カウンタ 34 と周期用コンペアレジスタ 35 の間には図示せぬ比較部を有している。この比較部は、周期設定値と、カウンタ 34 のクロック数を比較し、これらのクロック数が一致しない場合は、L レベルの信号 S_m を出力する。一方、周期設定値とカウンタ 34 のクロック数が一致する場合に H レベルの信号 S_m を出力する。この周期用コンペアレジスタ 35 と図示せぬ比較部との比較結果に応じた信号が、ゲート回路 33 b の出力に対応する信号として制御部 30 から出力される。

【 0 0 3 5 】

デューティ用コンペアレジスタ36は、信号生成回路2から出力される出力信号S_oが例えばH区間からL区間に遷移するタイミングのクロック数（以下、デューティ設定値という。）（例えば3クロック）が設定される。また、カウンタ34とデューティ用コンペアレジスタ36の間には図示せぬ比較部を有している。この比較部は、デューティ設定値と、カウンタ34のクロック数を比較し、これらのクロック数が一致しない場合は、Lレベルの信号S_nを出力する。一方、デューティ設定値とカウンタ34のクロック数が一致する場合にHレベルの信号S_nを出力する。

【 0 0 3 6 】

反転用F/F40は、カウンタ34とデューティ用コンペアレジスタ36の間に形成されている図示せぬ比較部から出力される信号S_nが遷移する場合に、出力信号S_oを遷移させる。また、出力段遅延回路20から出力される信号S_kが遷移する場合に、出力信号S_oを遷移させる。すなわち、反転用F/F40は、信号S_n及び出力段遅延回路20の出力S_kに応答して、出力信号S_oの論理レベルを変更する。

【 0 0 3 7 】

また、ゲート回路33bは、例えば、ANDゲート333、NORゲート334、及びORゲート335を有する。このゲート回路33bは、入力段遅延回路10内のセクタ14が第1の選択信号S₁に基づいて出力する信号を切り換える場合に、カウンタ34がカウントアップしないように、ゲート回路33bの出力信号S_fを一定期間延伸させる。

【 0 0 3 8 】

次に、このように構成された信号生成回路2の動作について、図6及び図7を用いて以下に説明する。図6は、信号生成回路2における各点での波形を示したタイミングチャートである。図6において、S_a～S_k、S_m～S_oは、図5のS_a～S_k、S_m～S_oに対応する波形を示す。図7は、図6に示す信号生成回路2の動作を示すフローチャートである。以下の説明では、目標とする出力クロックのデューティ比を1/4周期単位で制御する場合の例を用いて説明する。

【 0 0 3 9 】

なお、以下の説明では、クロック入力当初（図6、t₀₀参照）において、ゲート回路出力S_fは、デフォルトではHレベルに設定されているものとして説明する。

【 0 0 4 0 】

まず、周波数調整レジスタ31には、その出力する信号に対応した値（ここでは、出力信号を基準クロックの1/4周期単位で制御する）を示す値が設定される。この周波数調整レジスタ31に設定された値を第2の選択信号S₂として受信した出力段遅延回路20では、セクタ24の出力する信号を1/4遅延素子の出力S_hに固定する。また、セクタ14では、当初基準クロックを出力する状態が選択される（図7、ステップS101）。

【 0 0 4 1 】

基準クロックが入力されると（図7、ステップS102）、セクタ14は、周波数調整レジスタ31に設定されている値に基づいて入力される基準クロックS_aを選択する。そのため、入力段遅延回路10は、時刻t₀₀において、Hレベルの信号を出力する。このとき、反転用F/F40から出力される出力信号S_oも立ち上がり、Hレベルの信号を出力する。

【 0 0 4 2 】

その後、時刻t₁₁において、カウンタ34が、入力される基準クロックの4クロック目の立ち上がりをカウントする。このとき、デューティ設定値とカウンタ34のクロック数が一致する。これにより、デューティ用コンペアレジスタ36とカウンタ34の間にある図示せぬ比較部から出力される信号S_nが立ち上がる（図6、S_n参照）。信号S_nが立ち上がると、反転用F/F40は、出力信号を反転させる。すなわち、出力信号S_oが立ち下がる。

【 0 0 4 3 】

そして、時刻 t_{22} において、基準クロックが立ち上がる。セクタ 14 は、基準クロック S_a を選択しているため、 S_a の立ち上がりに合わせて、信号 S_e 及び S_f が立ち上がる。これにより、カウンタ 34 が、入力される基準クロックの 8 クロック目の立ち上がりをカウントする。このとき、周期設定値とカウンタ 34 のクロック数が一致する（図 7、ステップ S_{103} ）。これにより、周期用コンペアレジスタ 35 とカウンタ 34 の間にある図示せぬ比較部から出力される信号 S_m が立ち上がる（図 6、 S_m 参照）。このとき、出力段遅延回路 20 の出力信号 S_k としては、信号 S_m を $1/4$ 周期分遅延させた信号 S_h （図 6、 S_h 、 S_k 参照）が選択されているため、出力信号 S_k は L レベルを維持する。これにより、反転用 F/F_{40} から出力される信号 S_o も L レベルを維持する。なお、図 7 のステップ S_{103} において周期設定値とカウンタ 34 のクロック数が一致しない場合、再度ステップ S_{102} に戻る。

10

【0044】

信号 S_m が遷移したことにより、入力段遅延設定部 32 は、セクタ 14 に対し、選択する信号を S_b に切り換える信号を出力する。すなわち、時刻 t_{33} において、入力段遅延設定部 32 からの第 1 の選択信号 S_1 に基づいて、 $1/4$ 遅延素子からの出力 S_b を選択する。したがって、入力段遅延出力信号 S_e が立ち下がり L レベルとなる（図 6、 S_e 参照）。このとき、ゲート回路 33b は、カウンタ 34 をカウントアップしないように出力が固定された状態となっているため、ゲート回路 33b の出力 S_f は変化せず H レベルを維持する（図 6 の S_f 参照、図 7 のステップ S_{104} 参照）。すなわち、入力段遅延回路 10 の出力のレベルが保持される。このとき、出力信号 S_k は L レベルを維持し、信号 S_o も L レベルを維持する。

20

【0045】

その後、時刻 t_{44} において、 $1/4$ 遅延素子 11 の出力信号が立ち上がることに合わせて、入力段遅延出力信号 S_e が立ち上がる（図 7、ステップ S_{105} ）。このとき、出力段遅延回路 20 の出力信号 S_k が信号 S_m より $1/4$ 周期遅延して立ち上がる。これにより、反転用 F/F_{40} に入力される信号 S_k が遷移するため、反転用 F/F_{40} は出力信号 S_o を遷移させる。このとき、入力段遅延回路 10 の出力 S_e と、制御部 30 の出力 S_m と、出力信号 S_k のレベルが一致し、入力段遅延回路 10 の出力の保持が解除される。これにより、出力信号 S_o の 2 周期目が始まり、ゲート回路 33b は再び入力される信号を出力する状態となる（図 6、 t_{44} における S_f 参照）。そして、出力信号 S_o が H レベルであって入力段遅延回路 10 の出力 S_e が立ち下がる。また、ゲート回路 33b の出力 S_f が L レベルになり、カウンタ 34 にクロックが供給される（図 7、ステップ S_{106} ）。その後、再びステップ S_{102} に戻り、上述の動作を繰り返すことにより、デューティ比が $1/4$ 周期単位で制御された信号が出力される。

30

【0046】

以上から、実施の形態 2 にかかる信号生成回路 2 において、入力段遅延回路 10 及び出力段遅延回路 20 は、それぞれ基準クロックよりも短い周期の遅延を有する複数の遅延素子を有する。そして、出力段遅延回路 20 の遅延素子を $1/4$ 周期遅延に固定し、カウンタ 34 と周期用コンペアレジスタ 35 の間にある比較部から出力される信号 S_m が遷移する場合に、入力段遅延回路 10 の選択する遅延素子を順次切り換える。このとき、入力段遅延回路 10 の出力は、出力段遅延回路 20 で選択した遅延期間分、保持される。これにより、信号生成回路 2 から基準クロックの周期よりも細かい単位で出力信号のデューティ比を制御した信号を出力することができる。また、出力段遅延回路 20 において選択する遅延素子を $2/4$ 遅延素子、 $3/4$ 遅延素子に変更することにより、出力信号のデューティ比を $2/4$ 周期単位、 $3/4$ 周期単位で制御することができる。出力段遅延回路 20 において選択する遅延素子を $2/4$ 遅延素子 22、 $3/4$ 遅延素子 23 に変更した場合の信号生成回路 2 の動作については後述する。

40

【0047】

また、出力信号のデューティ比を基準クロックの周期よりも短い単位で制御する場合に、カウンタのクロックを一定期間延伸する期間を設ける。すなわち、出力信号 S_o が 1 周

50

期目から2周期目に切り替わる際に、入力段遅延回路10からの出力信号S_eがS_aからS_bに切り替わり、次に出力信号S_oが立ち上がるまで、カウンタ34がクロック数をカウントアップしないようにゲート回路33bの出力信号S_fは入力段遅延回路10の出力S_eのレベルを保持する。これにより、出力信号S_oのデューティ比を基準クロックの周期よりも短い単位で制御する場合に、制御した期間分のカウンタ34のカウント期間が延伸する。このため、出力信号S_oをカウンタ34が1クロックカウントすることを待つことなく出力することができる。このため、信号生成回路2の動作速度を向上させることができる。

【0048】

ここで、図8に出力クロックのデューティ比を2/4周期単位で制御する場合の動作を示すタイミングチャートを示す。また、図9に出力クロックのデューティ比を3/4周期単位で制御する場合の動作を示すタイミングチャートを示す。図8及び図9では、図6に示す信号S_mと信号S_nとを併せて記載する。

10

【0049】

まず、デューティ比を2/4周期単位で制御する場合の動作について簡単に説明する。図8に示すように、例えば出力クロックのデューティ比を2/4周期単位で制御する場合、出力段遅延回路20の遅延素子を2/4周期遅延に固定する。入力段遅延回路10の出力は当初基準クロックが出力される。そして、例えばカウンタ34が、基準クロックの4クロック目の立ち上がりをカウントし、信号S_nが立ち上がる。これにより、出力信号S_oが立ち下がる。次に、カウンタ34が、入力される基準クロックの8クロック目の立ち上がりをカウントする。これにより、制御部30の出力S_mが立ち上がり、入力段遅延回路10のセレクタ14は選択する信号をS_cに切り換える。このとき、ゲート回路33bの出力S_fは、入力段遅延回路10の出力S_e(図示せず)のレベルを保持する。次に2/4遅延素子11の出力信号S_cが立ち上がることに合わせて、入力段遅延回路10の出力信号S_eが立ち上がる。そして、出力段遅延回路20の出力信号S_kが信号S_mより2/4周期遅延して立ち上がる。これにより、反転用F/F40に入力される信号S_kが遷移し、入力段遅延回路10の出力S_eの保持が解除される。そして、反転用F/F40は出力信号S_oを遷移させ、2周期目が始まる。

20

【0050】

このように、カウンタ34が周期用コンペアレジスタ35に格納されたクロック数をカウントすると、出力信号S_oが立ち下がり、デューティ用コンペアレジスタ36に格納されたクロック数をカウントすると、選択した遅延素子の期間分、カウンタ34のクロックが延伸する。また、図9に示すデューティ比を3/4周期単位で制御する場合は、カウンタ34のカウントを3/4周期延伸する。これにより、出力信号S_oのデューティ比を基準クロックの周期よりも短い単位で制御することができる。

30

【0051】

以上から、実施の形態2にかかる信号生成回路2において、例えば、出力段遅延回路20の遅延素子を1/4周期遅延に固定する。そして、カウンタ34と周期用コンペアレジスタ35の間にある比較部から出力される信号S_mが遷移する場合に、入力段遅延回路10の選択する遅延素子を順次切り換える。このとき、入力段遅延回路10の出力S_eが、出力段遅延回路20で選択した遅延期間分、保持される。これにより、信号生成回路2から基準クロックの周期よりも細かい単位で出力信号のデューティ比を制御した信号を出力することができる。

40

【0052】

なお、本発明は上述した実施の形態のみに限定されるものではなく、本発明の要旨を逸脱しない範囲において種々の変更が可能であることは勿論である。例えば、本実施の形態では、入力段遅延回路10及び出力段遅延回路20はそれぞれ3つの遅延素子を有することとしたが、出力信号の制御に応じて遅延素子の数を増減させることが可能である。

【図面の簡単な説明】

【0053】

50

【図 1】実施の形態 1 にかかる信号生成回路を示すブロック図である。

【図 2】周期を 1 / 4 周期延伸させる遅延素子を選択する場合の信号生成回路の動作を示すタイミングチャートである。

【図 3】周期を 2 / 4 周期延伸させる遅延素子を選択する場合の信号生成回路の動作を示すタイミングチャートである。

【図 4】周期を 3 / 4 周期延伸させる遅延素子を選択する場合の信号生成回路の動作を示すタイミングチャートである。

【図 5】実施の形態 2 にかかる信号生成回路を示すブロック図である。

【図 6】図 5 に示す信号生成回路の動作を示すフローチャートである。

【図 7】出力クロックのデューティ比を 1 / 4 周期単位で制御する場合の動作を示すタイミングチャートである。 10

【図 8】出力クロックのデューティ比を 2 / 4 周期単位で制御する場合の動作を示すタイミングチャートである。

【図 9】出力クロックのデューティ比を 3 / 4 周期単位で制御する場合の動作を示すタイミングチャートである。

【符号の説明】

【 0 0 5 4 】

1、2 信号生成回路

1 0 入力段遅延回路

1 1、1 2、1 3、2 1、2 2、2 3 遅延素子 20

1 4、2 4、セクタ

2 0 出力段遅延回路

3 0 制御部

3 1 周波数調整レジスタ

3 2 入力段遅延設定部

3 3、3 3 b ゲート回路

3 3 1 ラッチ回路

3 3 2 一致検出部

3 3 3 A N D ゲート

3 3 4 N O R ゲート 30

3 3 5 O R ゲート

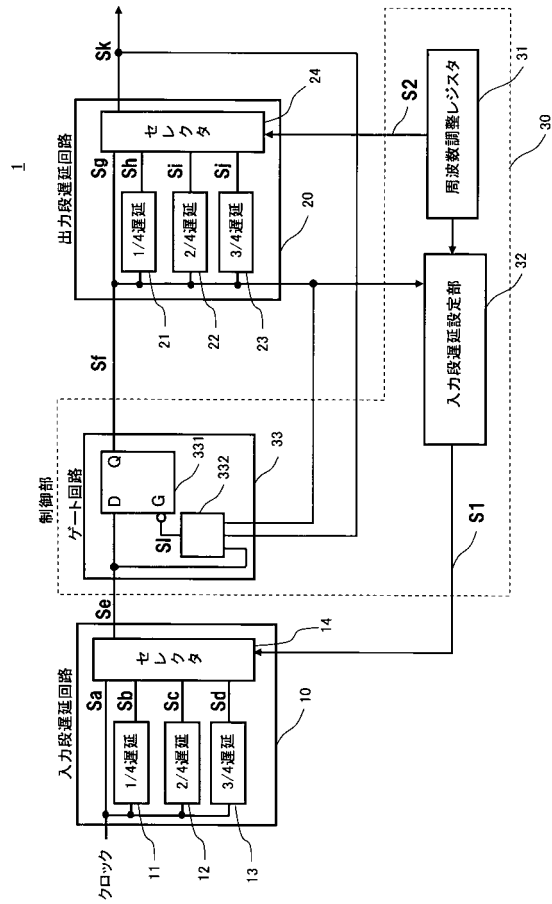
3 4 カウンタ

3 5 周期用コンペアレジスタ

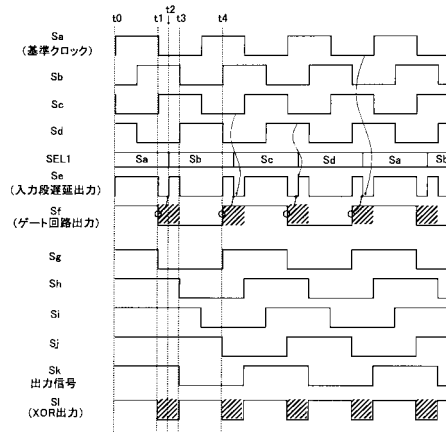
3 6 デューティ用コンペアレジスタ

4 0 反転用 F / F

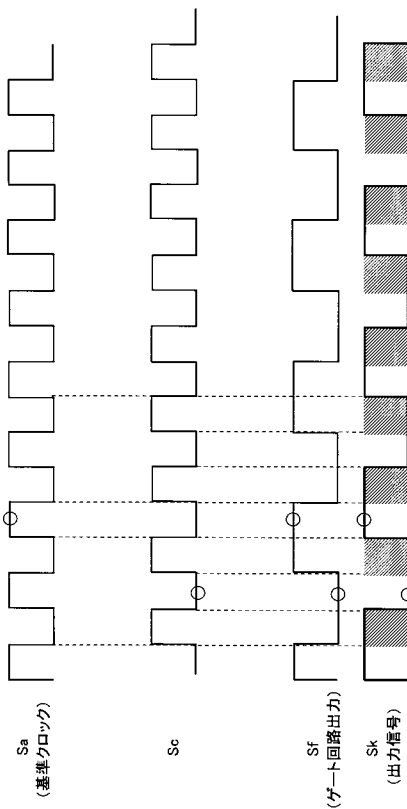
【図 1】



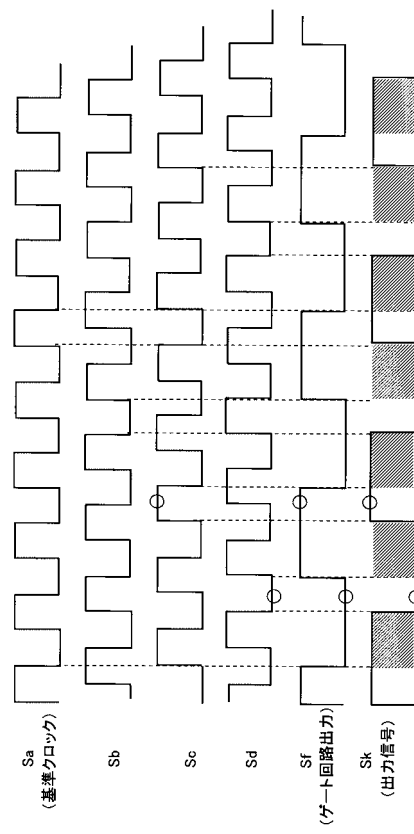
【図 2】



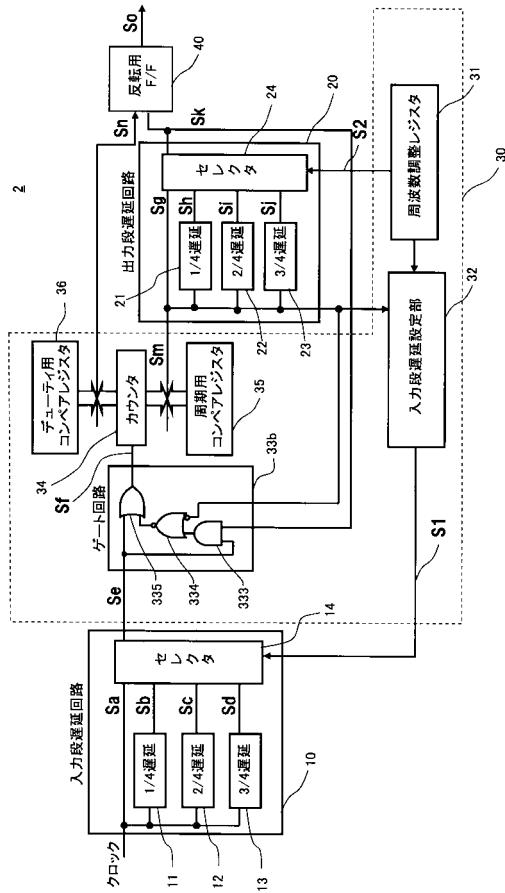
【図 3】



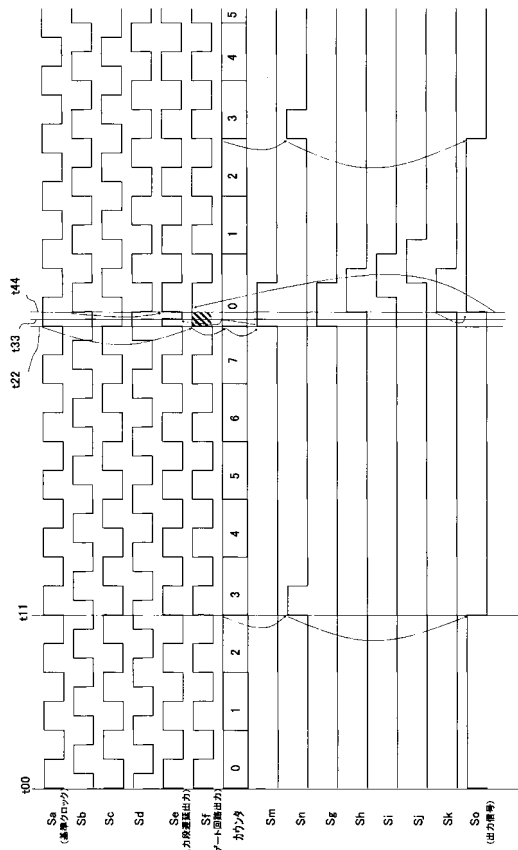
【図 4】



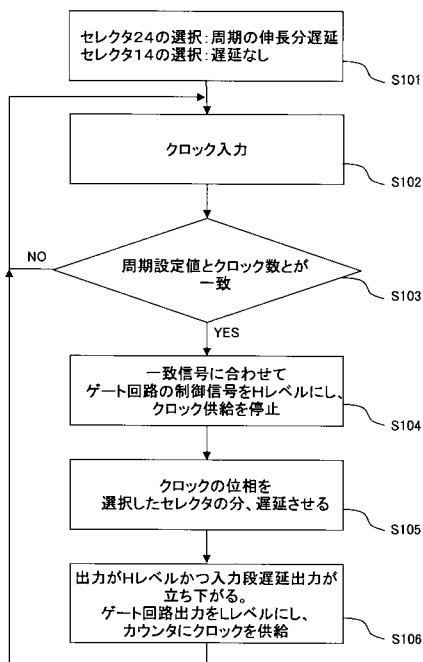
【図5】



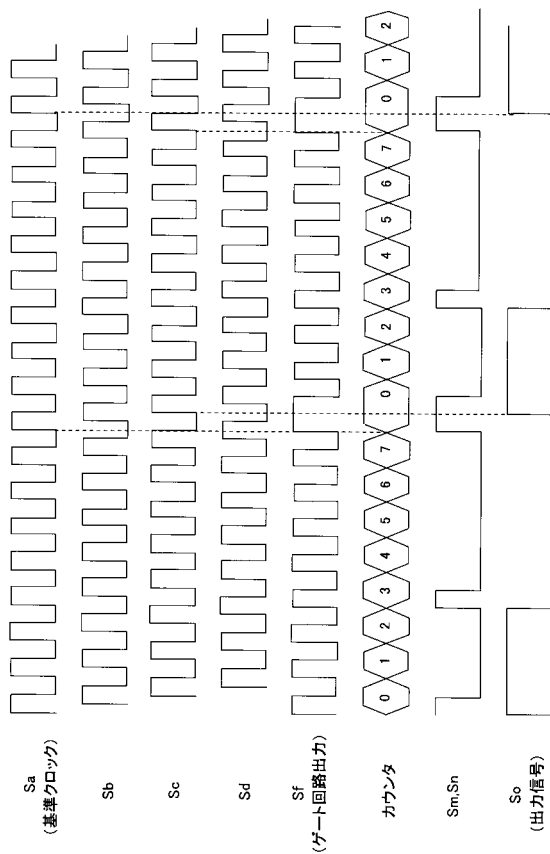
【図6】



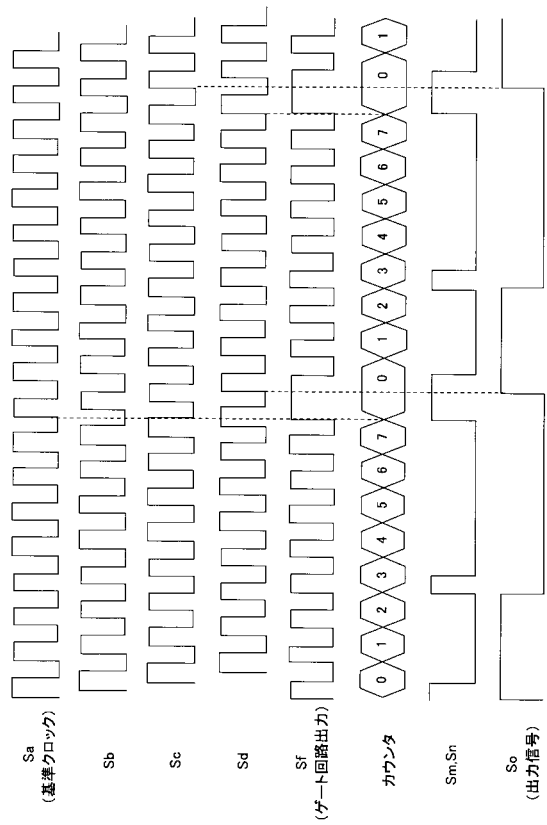
【図7】



【図8】



【図 9】



フロントページの続き

(56)参考文献 特開平 5 - 1 6 7 4 0 4 (J P , A)
特開平 5 - 1 9 1 2 3 5 (J P , A)
特開平 1 1 - 1 1 2 4 8 5 (J P , A)
特開 2 0 0 1 - 7 5 6 7 1 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
H 0 3 K 5 / 0 0
H 0 3 L 7 / 0 8 1