

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5154901号
(P5154901)

(45) 発行日 平成25年2月27日(2013.2.27)

(24) 登録日 平成24年12月14日(2012.12.14)

(51) Int.Cl.

F 1

H03K 5/00 (2006.01)
H03L 7/081 (2006.01)H03K 5/00
H03L 7/08H
J

請求項の数 8 (全 15 頁)

(21) 出願番号 特願2007-314896 (P2007-314896)
 (22) 出願日 平成19年12月5日 (2007.12.5)
 (65) 公開番号 特開2009-141596 (P2009-141596A)
 (43) 公開日 平成21年6月25日 (2009.6.25)
 審査請求日 平成22年8月6日 (2010.8.6)

(73) 特許権者 302062931
 ルネサスエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部1753番地
 (74) 代理人 100103894
 弁理士 家入 健
 (72) 発明者 有坂 修
 神奈川県川崎市中原区下沼部1753番地
 NECエレクトロニクス株式会社内

審査官 石田 勝

最終頁に続く

(54) 【発明の名称】 信号生成回路

(57) 【特許請求の範囲】

【請求項 1】

基準クロックを出力する状態と、前記基準クロックに前記基準クロックの1周期より短い第1時間の遅延を持たせた信号を出力する状態と、を切り換え可能な入力段遅延回路と、

前記入力段遅延回路の出力が変化した時点から前記入力段遅延回路の出力を前記基準クロックの1周期より短い第2時間保持するゲート回路を有し、前記ゲート回路の出力に対応する信号を出力する制御部と、

前記制御部の出力信号に前記第2時間の遅延を持たせた信号を出力する出力段遅延回路と、を備え、

前記ゲート回路は、前記入力段遅延回路の出力と、前記制御部の出力と、前記出力段遅延回路の出力とが不一致の場合に、前記入力段遅延回路の出力を前記第2時間保持し、

前記制御部は、当該制御部の出力信号の変化に応答して、前記入力段遅延回路の出力状態の切り換えを行う選択信号を出力する入力段遅延回路設定部を有する信号生成回路。

【請求項 2】

請求項1に記載の信号生成回路であって、

前記入力段遅延回路は、前記第1時間の遅延を持たせることができる遅延素子を備え、前記出力段遅延回路は、前記第2時間の遅延を持たせることができる遅延素子を備える信号生成回路。

【請求項 3】

10

20

請求項 2 に記載の信号生成回路であって、

前記第 2 時間が、前記基準クロックの 1 周期に対して、 m / n (m, n は自然数、かつ、 $m < n$ 、かつ、既約分数) 時間に相当する場合、前記入力段遅延回路及び前記出力段遅延回路は、それぞれ、 $1 / n, 2 / n, \dots, (n - 2) / n, (n - 1) / n$ 時間の遅延を持たせることができる ($n - 1$) 個の遅延素子を備える信号生成回路。

【請求項 4】

請求項 3 に記載の信号生成回路であって、

前記出力段遅延回路は、前記 ($n - 1$) 個の遅延素子の中から前記 m / n 時間の遅延を持たせることができる遅延素子を選択する信号生成回路。

【請求項 5】

請求項 4 に記載の信号生成回路であって、

前記出力段遅延回路の遅延時間を設定する調整値を出力する周波数調整レジスタをさらに備え、

前記入力段遅延回路設定部は、前記入力段遅延回路が当初前記基準クロックを出力する状態を選択した後初めて前記出力状態の切り換えを行うときに、前記調整値に応じて前記出力段遅延回路にて選択されている遅延素子と同等の遅延時間を持たせることができ可能な遅延素子を選択する前記選択信号を出力する信号生成回路。

【請求項 6】

請求項 1 乃至 5 の何れか 1 項に記載の信号生成回路であって、

前記ゲート回路は、前記入力段遅延回路の出力と、前記制御部の出力と、前記出力段遅延回路の出力とが全て一致する場合に、前記入力段遅延回路の出力を保持せず、そのまま出力する信号生成回路。

【請求項 7】

請求項 1 乃至 6 の何れか 1 項に記載の信号生成回路であって、

前記制御部は、

前記ゲート回路から出力されるパルス数をカウントするカウンタと、

前記カウンタのカウント値と比較される周期設定値を格納する周期用コンペアレジスタと、を有し、

前記制御部は、前記カウント値と前記周期設定値との比較結果を前記ゲート回路の出力に対応する信号として出力する信号生成回路。

【請求項 8】

請求項 7 に記載の信号生成回路であって、

前記制御部は、

前記カウンタのカウント値と比較されるデューティ設定値を格納するデューティ用コンペアレジスタを有し、

前記信号生成回路は、

前記カウント値と前記デューティ設定値との比較結果と、前記出力段遅延回路の出力と、を入力する反転用フリップフロップを備え、

前記反転用フリップフロップは、前記カウント値と前記デューティ設定値との比較結果の変化及び前記出力段遅延回路の出力の変化に応答して、出力信号の論理レベルを変更する信号生成回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、出力信号の L レベル期間、H レベル期間を制御する信号生成回路に関する。

【背景技術】

【0002】

近年の電子機器の高速化に応じて、パルスの遷移するタイミングをより高精度に制御することが重要となっている。特許文献 1 には、遅延回路を用いて立ち上がりエッジを遅延させる PWM 制御回路が開示されている。PWM 制御回路は、立ち上がりエッジを遅延さ

10

20

30

40

50

することによりデューティ比を変えた信号を出力している。しかしながら、特許文献1に記載のPWM制御回路は、出力する信号の周期については全く考慮されていない。一方、特許文献2に、周期を延伸させた信号を出力する発振制御装置が記載されている。特許文献2に記載の発振制御装置には、発振器で生成した基準クロックを複数の遅延回路で遅延させ、カウンタの値に基づいて複数の遅延回路の出力から任意の出力を選択し、クロックのパルス幅を延伸させる発振制御装置が開示されている。

【特許文献1】特開2000-269816号公報

【特許文献2】特開平5-167404号公報

【発明の開示】

【発明が解決しようとする課題】

10

【0003】

しかしながら、特許文献2に記載の発振制御装置では、パルス幅を延伸させた信号又はパルス幅を延伸させない信号が出力されるのみである。このため、周期の延伸を考慮した複数種類の信号を出力することが困難であるという問題点がある。

【課題を解決するための手段】

【0004】

本発明に係る信号生成回路は、基準クロックを出力する状態と、前記基準クロックに前記基準クロックの1周期より短い第1時間の遅延を持たせた信号を出力する状態と、を切り換える可能な入力段遅延回路と、前記入力段遅延回路の出力が変化した時点から前記入力段遅延回路の出力を前記基準クロックの1周期より短い第2時間保持するゲート回路を有し、前記ゲート回路の出力に対応する信号を出力する制御部と、前記制御部の出力信号に前記第2時間の遅延を持たせた信号を出力する出力段遅延回路と、を備え、前記入力段遅延回路は、前記制御部の出力信号の変化に応答して出力状態の切り換えを行うものである。

20

【0005】

制御部により、入力段遅延回路の出力が変化した時点から、当該入力段遅延回路の出力を基準クロックの1周期より短い第2時間保持し、当該制御部の出力信号の変化に応答して入力段遅延回路の出力状態の切り換えが行われるため、出力段遅延回路から第2時間の遅延を持たせた信号を出力することができる。

【発明の効果】

30

【0006】

本発明によれば、基準クロックの周期より細かい周期で制御された複数の出力信号を出力する信号生成回路を提供することができる。

【発明を実施するための最良の形態】

【0007】

実施の形態1.

以下、本実施の形態について図面を参照しながら詳細に説明する。図1は、本実施の形態の信号生成回路を示すブロック図である。図1に示すように、本実施の形態の信号生成回路1は、入力段遅延回路10と、出力段遅延回路20と、制御部30を有している。

【0008】

40

入力段遅延回路10は、複数の遅延素子11乃至13と、セレクタ14とを有する。複数の遅延素子11乃至13は、入力された基準クロックを、それぞれ基準クロックに基づいて設定された時間分(第1時間)遅延させて出力する。本実施の形態では、遅延素子11は、基準クロックに1/4周期分の遅延を持たせて出力する。以下、遅延素子12は2/4周期分、遅延素子13は3/4周期分の遅延を持たせて出力する。

【0009】

入力段遅延回路10のセレクタ14は、後述する入力段遅延選択信号S1に基づいて、基準クロックあるいは遅延素子11乃至13の出力する信号の任意の1つを選択して出力する。このセレクタ14の出力する信号が入力段遅延出力信号Seとして、後述するゲート回路33へ出力される。ここで、セレクタ14では、当初基準クロックを出力する状態

50

を選択する。その後、初めてセレクタ14の選択を切り換える場合、後述する入力段遅延選択信号S1に基づいて任意の1つの遅延素子を選択する。この場合、出力段遅延回路20の後述するセレクタ24に出力される値（選択する遅延素子）と同等の遅延時間を持たせることが可能な遅延素子が選択される。

【0010】

制御部30は、周波数調整レジスタ31と、入力段遅延設定部32と、ゲート回路33とを有している。周波数調整レジスタ31は、出力する信号の周波数に対応する設定を保持するレジスタである。この周波数調整レジスタ31に保持する値は、入力段遅延設定部32、及び後述する出力段遅延回路20のセレクタ24に出力される。

【0011】

入力段遅延設定部32は、入力段遅延回路10内のセレクタ14に対して、基準クロック及び遅延素子11～13によって基準クロックを遅延させた信号のうちいずれかを選択する入力段遅延選択信号（以下、第1の選択信号という。）S1を出力する。この入力段遅延設定部32は、後述するゲート回路33の出力が遷移するたびに選択する遅延素子を連続的に切り換える。すなわち、ゲート回路33の出力が立ち上がる又は立ち下がったことを受けて選択する遅延素子を順次切り換える回路である。この第1の選択信号S1は、出力段遅延回路20の後述するセレクタ24に出力される値（選択する遅延素子）と同等の遅延時間を持たせることが可能な遅延素子を選択することを示す信号である。

【0012】

ゲート回路33は、入力段遅延回路10の出力する信号（入力段遅延出力信号Se）の出力段遅延回路20への入力を制御する回路である。本実施の形態のゲート回路33は、ラッチ回路331及び一致検出部332を有する。ラッチ回路331は、一致検出部332の出力に基づいて、ラッチ回路331への入力に関わらずその出力値を固定させるか、ラッチ回路331への入力値をそのまま出力するかが決定される。一致検出部332は、ゲート回路33の出力、入力段遅延回路10の出力、出力段遅延回路20の出力の一致、不一致を検出する。一致検出部332はこの3つの入力が一致していない場合には、ラッチ回路331に入力された値に関わらず出力値を固定させる信号を出力する。また、当該3つの入力が一致している場合、ラッチ回路331からは当該ラッチ回路331に入力された値をそのまま出力する。

【0013】

出力段遅延回路20は、周波数調整レジスタ31に設定された値に基づいて、ゲート回路33が出力した信号をそのまま出力、あるいは所定の遅延を持たせて出力する回路である。この出力段遅延回路20は、複数の遅延素子21～23、セレクタ24を有している。複数の遅延素子21乃至23は、ゲート回路33の出力を、第2時間の遅延を持たせて出力する。本実施の形態では、複数の遅延素子21～23は、ゲート回路33の出力に、例えばそれぞれ基準クロックの1/4周期分、2/4周期分、3/4周期分の遅延を持たせて出力する。

【0014】

本実施の形態では、出力段遅延回路20は、当該出力段遅延回路20から基準クロックの1周期に対して、m/n（m、nは自然数、かつ、m < n、かつ、既約分数）時間に相当する時間の遅延を持たせた信号を出力する。この場合、入力段遅延回路10及び出力段遅延回路20は、それぞれ、1/n、2/n、…、(n-2)/n、(n-1)/n時間の遅延を持たせることができる（n-1）個の遅延素子を備える。本実施の形態では、n = 4であって、入力段遅延回路10及び出力段遅延回路20は、それぞれ遅延素子を3つ有する場合について説明するが、n = 2であれば本発明を適用可能である。

【0015】

出力段遅延回路20内のセレクタ24は、周波数調整レジスタ31に設定された値に基づいて、ゲート回路33の出力あるいは遅延素子21～23の出力する信号の任意の1つを選択して出力する。すなわち、周波数調整レジスタ31は出力段遅延回路20内のセレクタ24に対して、当該周波数調整レジスタ31に保持され、ゲート回路33の出力ある

10

20

30

40

50

いは遅延素子 21～23 の出力する信号のうちいずれかを選択する出力段遅延選択信号（以下、第2の選択信号という。）S2を出力する。これにより、セレクタ24は、(n-1)個の遅延素子からm/n時間の遅延を持たせることができる遅延素子を選択する。

【0016】

次に、このように構成された信号生成回路1の動作について図2を用いて説明する。図2に、図1に示す信号生成回路1の動作を示すタイミングチャートを示す。すなわち、図2は信号生成回路1における各点での波形を示したタイミングチャートである。また、図2には、各タイミングにおいて、入力段遅延回路10内のセレクタ14が、第1の選択信号S1に基づいてどの遅延素子を出力しているかも併せて示す。図2において、Sa～S1は、図1のSa～S1にそれぞれ対応する波形を示す。なお、以下の説明では、出力段遅延回路20は、基準クロックの1周期に対して、1/4時間（この場合、m=1、n=4である）の遅延を持たせた信号を出力する場合について説明する。すなわち、目標とする出力クロックがH区間、L区間共に1/4周期延伸されたもの、つまり、基準クロックの周期を1.25倍にした周期のクロックを出力する例を用いて説明する。

【0017】

周波数調整レジスタ31には、その出力する信号に対応した値（ここでは、基準クロックの1.25倍周期）を示す値が設定される。この周波数調整レジスタ31に設定された値を出力段遅延選択信号S2として受信する出力段遅延回路20では、セレクタ24の出力する信号を1/4遅延素子の出力Shに固定する。

【0018】

なお、以下の説明において、クロック入力当初（図2、t0参照）において、ゲート回路出力Sf、出力信号Skは、デフォルトではHレベルに設定されているものとして説明する。

【0019】

基準クロックが入力されると、セレクタ14は、周波数調整レジスタ31に設定されている値に基づいて、入力される基準クロックSaを選択する。そのため、入力段遅延回路10は、時刻t0において、入力段遅延出力信号SeとしてHレベルの信号を出力する。ゲート回路出力SfはHレベルを維持する。

【0020】

その後、時刻t1において、入力されている基準クロックが立ち下がる。セレクタ14は、基準クロックSaを選択しているため、Saの立下りに合わせて、信号Se及びSfが立ち下がる。このとき、出力信号Skとしては、ゲート回路33の出力信号Sfを1/4周期分遅延させた信号（図2、Sh参照）が選択されているため、出力信号SkはHレベルを維持する。ここで、入力段遅延出力信号Se、ゲート回路33の出力Sf、及び出力信号Skに不一致が生じる。このため、一致検出部332の出力が遷移し、ラッチ回路331は入力される信号に関わらず、そのときの出力信号を保持する（図2、Sf、S1参照）。

【0021】

ゲート回路33の出力Sfが立ち下がって遷移したことにより、入力段遅延設定部32は、セレクタ14に対し、選択する信号を切り換える第1の選択信号S1を出力する。ここで、出力段遅延回路20のセレクタ24では、1/4時間の遅延を持たせた信号を出力する遅延素子21が選択されている。このため、入力段遅延設定部32は、セレクタ14に対し、選択する信号をSbに切り換える第1の選択信号S1を出力する。入力段遅延設定部32からの第1の選択信号S1に基づいて、時刻t2において、1/4遅延素子からの出力Sbを選択する。したがって、入力段遅延出力信号Seも立ち上がりHレベルとなる（図2、t2参照）。このとき、一致検出部332の出力によって、ラッチ回路331は出力が固定された状態となっているため、ゲート回路33の出力Sfは変化せずLレベルを保持する。

【0022】

その後、時刻t3において、1/4遅延素子11の出力信号Sbの立ち下がりに合わせ

て、入力段遅延出力信号 S_e も立ち下がる。入力段遅延出力信号 S_e が立ち下がることにより、入力段遅延出力信号 S_e 、ゲート回路 33 の出力 S_f 、及び出力信号 S_k のレベルが一致する状態となる。このため、ラッチ回路 331 は、入力段遅延回路 10 の出力の保持を解除し、再び入力された信号を出力する状態となる。

【0023】

実施の形態 1 に示す信号生成回路 1 では、例えば、出力段遅延回路 20 の遅延素子を 1 / 4 周期遅延に固定する。そして、ゲート回路 33 から出力される信号 S_f が遷移すると、入力段遅延回路 10 の選択する遅延素子を順次切り換える。信号 S_f が遷移した後、入力段遅延出力信号 S_e 、ゲート回路 33 の出力 S_f 、及び出力信号 S_k のレベルが一致するまでの間、信号 S_f は入力段遅延回路 10 の出力 S_e のレベルを保持する。これにより、信号生成回路 1 から、基準クロックの周期よりも短い単位で周期を延伸させた出力信号 S_k を出力することができる。

【0024】

ここで、図 3 に出力段遅延回路 20 の遅延素子を 2 / 4 周期遅延に固定した場合の動作を示すタイミングチャートを示す。図 3 では、図 2 に示す基準クロック S_a と、基準クロックを 2 / 4 周期分遅延させる遅延素子 12 からの出力 S_c と、ゲート回路 33 の出力 S_f と、出力段遅延回路 20 からの出力信号 S_k とを示す。図 3 を用いて、出力段遅延回路 20 の遅延素子を 2 / 4 周期遅延に固定した場合の動作について簡単に説明する。

【0025】

図 3 に示すように、入力段遅延回路 10 では、当初基準クロックを出力する状態を選択する。その後、初めて制御部 30 のゲート回路 33 の出力の遷移に応じてセレクタ 14 の選択を切り換える場合、入力段遅延回路 10 のセレクタ 14 は、出力段遅延回路 20 のセレクタ 24 に出力される値（選択する遅延素子）と同等の遅延時間を持たせることができた遅延素子を選択する第 1 の選択信号 S_1 を出力する。すなわち、セレクタ 14 では、2 / 4 周期分遅延させる遅延素子 12 が選択される。このとき、ゲート回路 33 の出力 S_f は、遅延素子を切り換える際に取り込んだ入力段遅延回路 10 の出力 S_e のレベルを、基準クロックの 2 / 4 周期分、保持する。その後、遅延素子 12 からの出力であって、入力段遅延回路 10 の出力である信号 S_c と、ゲート回路 33 の出力 S_f と、出力段遅延回路 20 の出力信号 S_k とが一致した場合、ラッチ回路 331 は入力段遅延回路 10 の出力の保持を解除する。これにより、基準クロックから 2 / 4 周期分遅延した信号が出力信号 S_k として出力される。

【0026】

出力段遅延回路 20 の遅延素子を 2 / 4 周期遅延に固定した場合、入力段遅延回路 10 では、基準クロック S_a と 2 / 4 周期遅延させる遅延素子 12 が交互に選択される。これに応じて出力段遅延回路 20 からは、基準クロックの周期よりも短い単位で周期を延伸させた出力信号 S_k を出力することができる。

【0027】

次に、図 4 に出力段遅延回路 20 の遅延素子を 3 / 4 周期遅延に固定した場合の動作を示すタイミングチャートを示す。図 4 では、図 2 に示す基準クロック S_a と、各遅延素子から出力される信号 S_b ~ S_d と、ゲート回路 33 の出力 S_f と、出力段遅延回路 20 の出力信号 S_k とを示す。図 4 を用いて、3 / 4 周期遅延に固定した場合の動作について簡単に説明する。

【0028】

図 4 に示すように、入力段遅延回路 10 では、当初基準クロックを出力する状態を選択する。その後、ゲート回路 33 の出力の遷移に応じて、入力段遅延回路 10 のセレクタ 14 は、3 / 4 周期分遅延させる遅延素子 13 を選択する。このとき、ゲート回路 33 の出力 S_f は、遅延素子を切り換える際に取り込んだ入力段遅延回路 10 の出力 S_e のレベルを、基準クロックの 3 / 4 周期分、保持する。そして、遅延素子 13 からの出力であって、入力段遅延回路 10 の出力である信号 S_d と、ゲート回路の出力 S_f と、出力段遅延回路 20 の出力信号 S_k とが一致した場合、ラッチ回路 331 は入力段遅延回路 10 の出力

10

20

30

40

50

の保持を解除する。この後、入力段遅延回路 10 のセレクタ 14 は、2 / 4 周期分遅延させる遅延素子 12、1 / 4 周期分遅延させる遅延素子 11 を順に選択する。これにより、基準クロックから 3 / 4 周期分延伸した信号が出力信号 S k として出力される。

【0029】

以上から、実施の形態 1 にかかる信号生成回路 1 において、入力段遅延回路 10 及び出力段遅延回路 20 は、それぞれ基準クロックよりも短い周期の遅延を有する複数の遅延素子を有する。出力段遅延回路 20 の遅延素子を、例えば 1 / 4 周期遅延に固定し、ゲート回路 33 から出力される信号 S f が遷移すると、入力段遅延回路 10 の選択する遅延素子を順次切り換える。信号 S f が遷移し、入力段遅延出力信号 S e が信号 S f と同じレベルに遷移するまでの間、信号 S f は入力段遅延回路 10 の出力 S e のレベルを保持する。これにより、信号生成回路 1 から、基準クロックの周期よりも短い単位で周期を延伸させた出力信号 S k を出力することができる。また、出力段遅延回路 20 において、選択する遅延素子を 2 / 4 遅延素子、3 / 4 遅延素子に変更することにより、出力信号を 1.75 倍、2 倍延伸させた信号を出力することができる。すなわち、基準クロックの周期より細かい周期で制御された複数の出力信号を出力することができる。また、ラッチ回路 331 及び一致検出部 332 からなるゲート回路 33、並びに遅延素子 11 ~ 13、21 ~ 23 を用いた簡単な構成により、基準クロックの周期よりも細かい遅延を持たせた複数の出力信号を生成することができる。

【0030】

実施の形態 2 .

10

次に、実施の形態 2 について説明する。実施の形態 2 は、実施の形態 1 の信号生成回路 1 にさらに、カウンタ、周期用コンペアレジスタ、及びデューティ用コンペアレジスタを有する。また、出力段遅延回路 20 及びデューティ用コンペアレジスタから出力される信号が入力される反転用フリップフロップ（以下、反転用 F / F という。）を有する。実施の形態 2 にかかる信号生成回路 2 では、出力信号のデューティ比を基準クロックの周期よりも短い単位で制御する場合に、カウンタのクロックを一定期間延伸する期間を設けるものである。以下に、実施の形態 2 にかかる信号生成回路 2 について詳細に説明する。

【0031】

実施の形態 2 にかかる信号生成回路 2 の出力信号は、周期用コンペアレジスタに設定されるカウンタのクロック数を出力信号の 1 周期とする。また、デューティ用コンペアレジスタに設定されるカウンタのクロック数とカウンタのカウントが一致すると、出力信号が H レベルから L レベルに遷移する。以下、実施の形態 2 の信号生成回路 2 について図 5 を用いて詳細に説明する。図 5 は、実施の形態 2 にかかる信号生成回路 2 を示すブロック図である。図 5 に示す実施の形態 2 にかかる信号生成回路 2 において、図 1 に示す実施の形態 1 と同一構成要素には同一の符号を付し、その詳細な説明は省略する。

20

【0032】

図 5 に示すように、本実施の形態にかかる信号生成回路 2 は、制御部 30 に、カウンタ 34、周期用コンペアレジスタ 35、及びデューティ用コンペアレジスタ 36 をさらに有し、出力段遅延回路 20 の出力側に反転用 F / F 40 を有する。

30

【0033】

カウンタ 34 は、ゲート回路 33b から出力される信号 S f のパルスをカウントする。

40

【0034】

周期用コンペアレジスタ 35 は、目標とする出力クロックの 1 周期分のクロック数（以下、周期設定値という。）（例えば 8 クロック）が設定される。また、カウンタ 34 と周期用コンペアレジスタ 35 の間には図示せぬ比較部を有している。この比較部は、周期設定値と、カウンタ 34 のクロック数を比較し、これらのクロック数が一致しない場合は、L レベルの信号 S m を出力する。一方、周期設定値とカウンタ 34 のクロック数が一致する場合に H レベルの信号 S m を出力する。この周期用コンペアレジスタ 35 と図示せぬ比較部との比較結果に応じた信号が、ゲート回路 33b の出力に対応する信号として制御部 30 から出力される。

50

【0035】

デューティ用コンペアレジスタ36は、信号生成回路2から出力される出力信号S_oが例えばH区間からL区間に遷移するタイミングのクロック数（以下、デューティ設定値という。）（例えば3クロック）が設定される。また、カウンタ34とデューティ用コンペアレジスタ36の間には図示せぬ比較部を有している。この比較部は、デューティ設定値と、カウンタ34のクロック数を比較し、これらのクロック数が一致しない場合は、Lレベルの信号S_nを出力する。一方、デューティ設定値とカウンタ34のクロック数が一致する場合にHレベルの信号S_nを出力する。

【0036】

反転用F/F40は、カウンタ34とデューティ用コンペアレジスタ36の間に形成されている図示せぬ比較部から出力される信号S_nが遷移する場合に、出力信号S_oを遷移させる。また、出力段遅延回路20から出力される信号S_kが遷移する場合に、出力信号S_oを遷移させる。すなわち、反転用F/F40は、信号S_n及び出力段遅延回路20の出力S_kに応答して、出力信号S_oの論理レベルを変更する。

10

【0037】

また、ゲート回路33bは、例えば、ANDゲート333、NORゲート334、及びORゲート335を有する。このゲート回路33bは、入力段遅延回路10内のセレクタ14が第1の選択信号S₁に基づいて出力する信号を切り換える場合に、カウンタ34がカウントアップしないように、ゲート回路33bの出力信号S_fを一定期間延伸させる。

【0038】

20

次に、このように構成された信号生成回路2の動作について、図6及び図7を用いて以下に説明する。図6は、信号生成回路2における各点での波形を示したタイミングチャートである。図6において、S_a～S_k、S_m～S_oは、図5のS_a～S_k、S_m～S_oに対応する波形を示す。図7は、図6に示す信号生成回路2の動作を示すフローチャートである。以下の説明では、目標とする出力クロックのデューティ比を1/4周期単位で制御する場合の例を用いて説明する。

【0039】

なお、以下の説明では、クロック入力当初（図6、t00参照）において、ゲート回路出力S_fは、デフォルトではHレベルに設定されているものとして説明する。

【0040】

30

まず、周波数調整レジスタ31には、その出力する信号に対応した値（ここでは、出力信号を基準クロックの1/4周期単位で制御する）を示す値が設定される。この周波数調整レジスタ31に設定された値を第2の選択信号S₂として受信した出力段遅延回路20では、セレクタ24の出力する信号を1/4遅延素子の出力S_hに固定する。また、セレクタ14では、当初基準クロックを出力する状態が選択される（図7、ステップS101）。

【0041】

基準クロックが入力されると（図7、ステップS102）、セレクタ14は、周波数調整レジスタ31に設定されている値に基づいて入力される基準クロックS_aを選択する。そのため、入力段遅延回路10は、時刻t00において、Hレベルの信号を出力する。このとき、反転用F/F40から出力される出力信号oも立ち上がり、Hレベルの信号を出力する。

40

【0042】

その後、時刻t11において、カウンタ34が、入力される基準クロックの4クロック目の立ち上がりをカウントする。このとき、デューティ設定値とカウンタ34のクロック数が一致する。これにより、デューティ用コンペアレジスタ36とカウンタ34の間にある図示せぬ比較部から出力される信号S_nが立ち上がる（図6、S_n参照）。信号S_nが立ち上がると、反転用F/F40は、出力信号を反転させる。すなわち、出力信号S_oが立ち下がる。

【0043】

50

そして、時刻 t_{22} において、基準クロックが立ち上がる。セレクタ14は、基準クロック S_a を選択しているため、 S_a の立ち上がりに合わせて、信号 S_e 及び S_f が立ち上がる。これにより、カウンタ34が、入力される基準クロックの8クロック目の立ち上がりをカウントする。このとき、周期設定値とカウンタ34のクロック数が一致する（図7、ステップS103）。これにより、周期用コンペアレジスタ35とカウンタ34の間にある図示せぬ比較部から出力される信号 S_m が立ち上がる（図6、 S_m 参照）。このとき、出力段遅延回路20の出力信号 S_k としては、信号 S_m を $1/4$ 周期分遅延させた信号 S_h （図6、 S_h 、 S_k 参照）が選択されているため、出力信号 S_k はLレベルを維持する。これにより、反転用F/F40から出力される信号 S_o もLレベルを維持する。なお、図7のステップS103において周期設定値とカウンタ34のクロック数が一致しない場合、再度ステップS102に戻る。

【0044】

信号 S_m が遷移したことにより、入力段遅延設定部32は、セレクタ14に対し、選択する信号を S_b に切り換える信号を出力する。すなわち、時刻 t_{33} において、入力段遅延設定部32からの第1の選択信号 S_1 に基づいて、 $1/4$ 遅延素子からの出力 S_b を選択する。したがって、入力段遅延出力信号 S_e が立ち下がりLレベルとなる（図6、 S_e 参照）。このとき、ゲート回路33bは、カウンタ34をカウントアップしないように出力が固定された状態となっているため、ゲート回路33bの出力 S_f は変化せずHレベルを維持する（図6の S_f 参照、図7のステップS104参照）。すなわち、入力段遅延回路10の出力のレベルが保持される。このとき、出力信号 S_k はLレベルを維持し、信号 S_o もLレベルを維持する。

【0045】

その後、時刻 t_{44} において、 $1/4$ 遅延素子11の出力信号が立ち上ることに合わせて、入力段遅延出力信号 S_e が立ち上がる（図7、ステップS105）。このとき、出力段遅延回路20の出力信号 S_k が信号 S_m より $1/4$ 周期遅延して立ち上がる。これにより、反転用F/F40に入力される信号 S_k が遷移するため、反転用F/F40は出力信号 S_o を遷移させる。このとき、入力段遅延回路10の出力 S_e と、制御部30の出力 S_m と、出力信号 S_k のレベルが一致し、入力段遅延回路10の出力の保持が解除される。これにより、出力信号 S_o の2周期目が始まり、ゲート回路33bは再び入力される信号を出力する状態となる（図6、 t_{44} における S_f 参照）。そして、出力信号 S_o がHレベルであって入力段遅延回路10の出力 S_e が立ち下がる。また、ゲート回路33bの出力 S_f がLレベルになり、カウンタ34にクロックが供給される（図7、ステップS106）。その後、再びステップS102に戻り、上述の動作を繰り返すことにより、デューティ比が $1/4$ 周期単位で制御された信号が出力される。

【0046】

以上から、実施の形態2にかかる信号生成回路2において、入力段遅延回路10及び出力段遅延回路20は、それぞれ基準クロックよりも短い周期の遅延を有する複数の遅延素子を有する。そして、出力段遅延回路20の遅延素子を $1/4$ 周期遅延に固定し、カウンタ34と周期用コンペアレジスタ35の間にある比較部から出力される信号 S_m が遷移する場合に、入力段遅延回路10の選択する遅延素子を順次切り換える。このとき、入力段遅延回路10の出力は、出力段遅延回路20で選択した遅延期間分、保持される。これにより、信号生成回路2から基準クロックの周期よりも細かい単位で出力信号のデューティ比を制御した信号を出力することができる。また、出力段遅延回路20において選択する遅延素子を $2/4$ 遅延素子、 $3/4$ 遅延素子に変更することにより、出力信号のデューティ比を $2/4$ 周期単位、 $3/4$ 周期単位で制御することができる。出力段遅延回路20において選択する遅延素子を $2/4$ 遅延素子22、 $3/4$ 遅延素子23に変更した場合の信号生成回路2の動作については後述する。

【0047】

また、出力信号のデューティ比を基準クロックの周期よりも短い単位で制御する場合に、カウンタのクロックを一定期間延伸する期間を設ける。すなわち、出力信号 S_o が1周

10

20

30

40

50

期目から 2 周期目に切り替わる際に、入力段遅延回路 10 からの出力信号 S_e が S_a から S_b に切り替わり、次に出力信号 S_o が立ち上がるまで、カウンタ 34 がクロック数をカウントアップしないようにゲート回路 33b の出力信号 S_f は入力段遅延回路 10 の出力 S_e のレベルを保持する。これにより、出力信号 S_o のデューティ比を基準クロックの周期よりも短い単位で制御する場合に、制御した期間分のカウンタ 34 のカウント期間が延伸する。このため、出力信号 S_o をカウンタ 34 が 1 クロックカウントすることを待つことなく出力することができる。このため、信号生成回路 2 の動作速度を向上させることができる。

【 0048 】

ここで、図 8 に出力クロックのデューティ比を 2 / 4 周期単位で制御する場合の動作を示すタイミングチャートを示す。また、図 9 に出力クロックのデューティ比を 3 / 4 周期単位で制御する場合の動作を示すタイミングチャートを示す。図 8 及び図 9 では、図 6 に示す信号 S_m と信号 S_n とを併せて記載する。

10

【 0049 】

まず、デューティ比を 2 / 4 周期単位で制御する場合の動作について簡単に説明する。図 8 に示すように、例えば出力クロックのデューティ比を 2 / 4 周期単位で制御する場合、出力段遅延回路 20 の遅延素子を 2 / 4 周期遅延に固定する。入力段遅延回路 10 の出力は当初基準クロックが出力される。そして、例えばカウンタ 34 が、基準クロックの 4 クロック目の立ち上がりをカウントし、信号 S_n が立ち上がる。これにより、出力信号 S_o が立ち下がる。次に、カウンタ 34 が、入力される基準クロックの 8 クロック目の立ち上がりをカウントする。これにより、制御部 30 の出力 S_m が立ち上がり、入力段遅延回路 10 のセレクタ 14 は選択する信号を S_c に切り換える。このとき、ゲート回路 33b の出力 S_f は、入力段遅延回路 10 の出力 S_e (図示せず) のレベルを保持する。次に 2 / 4 遅延素子 11 の出力信号 S_c が立ち上ることに合わせて、入力段遅延回路 10 の出力信号 S_e が立ち上がる。そして、出力段遅延回路 20 の出力信号 S_k が信号 S_m より 2 / 4 周期遅延して立ち上がる。これにより、反転用 F / F 40 に入力される信号 S_k が遷移し、入力段遅延回路 10 の出力 S_e の保持が解除される。そして、反転用 F / F 40 は出力信号 S_o を遷移させ、2 周期目が始まる。

20

【 0050 】

このように、カウンタ 34 が周期用コンペアレジスタ 35 に格納されたクロック数をカウントすると、出力信号 S_o が立ち下がり、デューティ用コンペアレジスタ 36 に格納されたクロック数をカウントすると、選択した遅延素子の期間分、カウンタ 34 のクロックが延伸する。また、図 9 に示すデューティ比を 3 / 4 周期単位で制御する場合は、カウンタ 34 のカウントを 3 / 4 周期延伸する。これにより、出力信号 S_o のデューティ比を基準クロックの周期よりも短い単位で制御することができる。

30

【 0051 】

以上から、実施の形態 2 にかかる信号生成回路 2 において、例えば、出力段遅延回路 20 の遅延素子を 1 / 4 周期遅延に固定する。そして、カウンタ 34 と周期用コンペアレジスタ 35 の間にある比較部から出力される信号 S_m が遷移する場合に、入力段遅延回路 10 の選択する遅延素子を順次切り換える。このとき、入力段遅延回路 10 の出力 S_e が、出力段遅延回路 20 で選択した遅延期間分、保持される。これにより、信号生成回路 2 から基準クロックの周期よりも細かい単位で出力信号のデューティ比を制御した信号を出力することができる。

40

【 0052 】

なお、本発明は上述した実施の形態のみに限定されるものではなく、本発明の要旨を逸脱しない範囲において種々の変更が可能であることは勿論である。例えば、本実施の形態では、入力段遅延回路 10 及び出力段遅延回路 20 はそれぞれ 3 つの遅延素子を有することとしたが、出力信号の制御に応じて遅延素子の数を増減させることができる。

【 図面の簡単な説明 】

【 0053 】

50

【図1】実施の形態1にかかる信号生成回路を示すブロック図である。

【図2】周期を1/4周期延伸させる遅延素子を選択する場合の信号生成回路の動作を示すタイミングチャートである。

【図3】周期を2/4周期延伸させる遅延素子を選択する場合の信号生成回路の動作を示すタイミングチャートである。

【図4】周期を3/4周期延伸させる遅延素子を選択する場合の信号生成回路の動作を示すタイミングチャートである。

【図5】実施の形態2にかかる信号生成回路を示すブロック図である。

【図6】図5に示す信号生成回路の動作を示すフローチャートある。

【図7】出力クロックのデューティ比を1/4周期単位で制御する場合の動作を示すタイミングチャートである。 10

【図8】出力クロックのデューティ比を2/4周期単位で制御する場合の動作を示すタイミングチャートである。

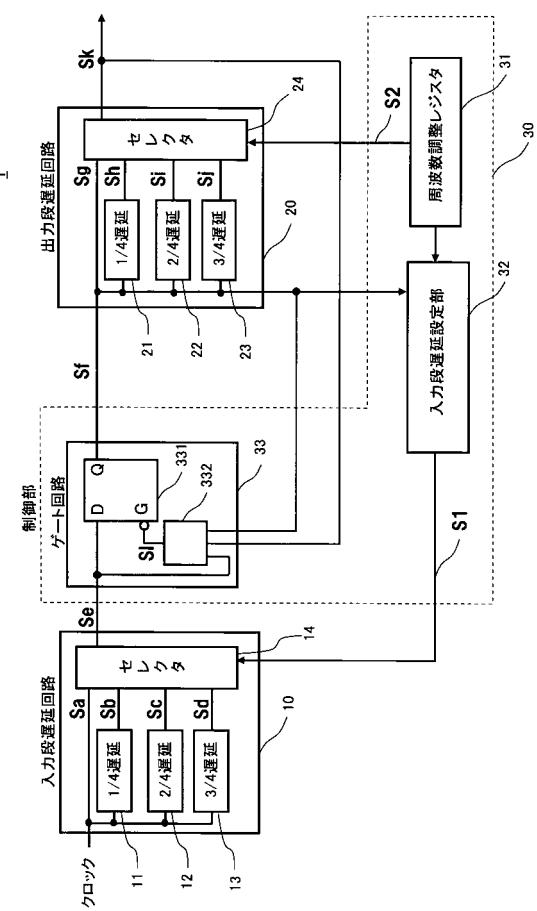
【図9】出力クロックのデューティ比を3/4周期単位で制御する場合の動作を示すタイミングチャートである。

【符号の説明】

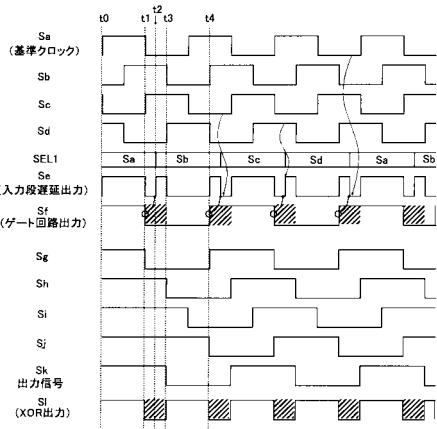
【0054】

1、2	信号生成回路	
10	入力段遅延回路	
11、12、13、21、22、23	遅延素子	20
14、24、セレクタ		
20	出力段遅延回路	
30	制御部	
31	周波数調整レジスタ	
32	入力段遅延設定部	
33、33b	ゲート回路	
331	ラッチ回路	
332	一致検出部	
333	ANDゲート	
334	NORゲート	30
335	ORゲート	
34	カウンタ	
35	周期用コンペアレジスタ	
36	デューティ用コンペアレジスタ	
40	反転用F/F	

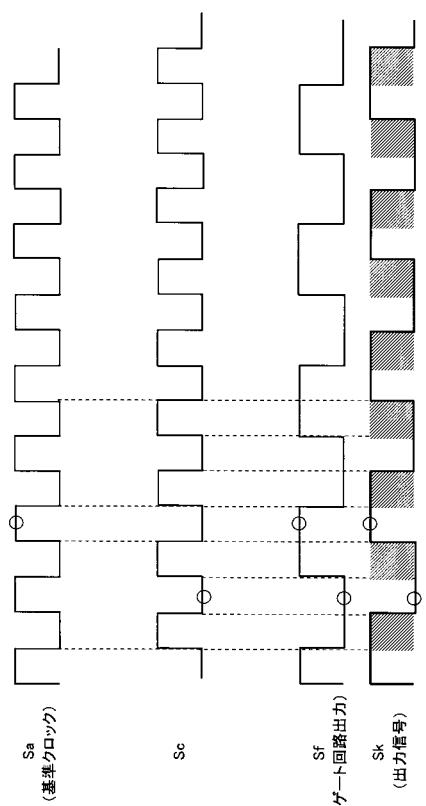
【図1】



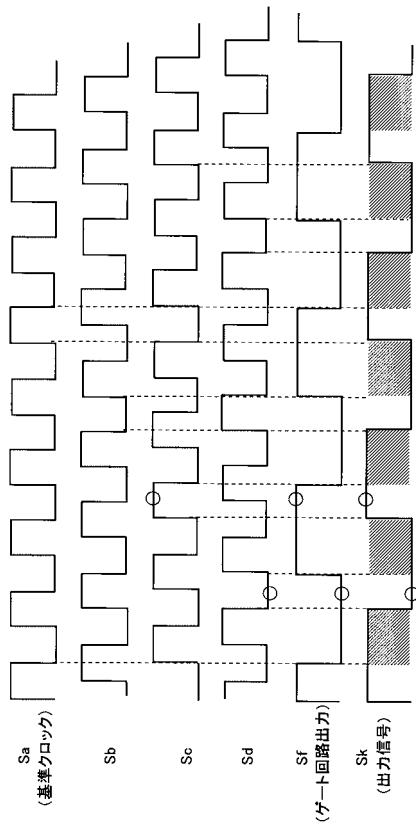
【図2】



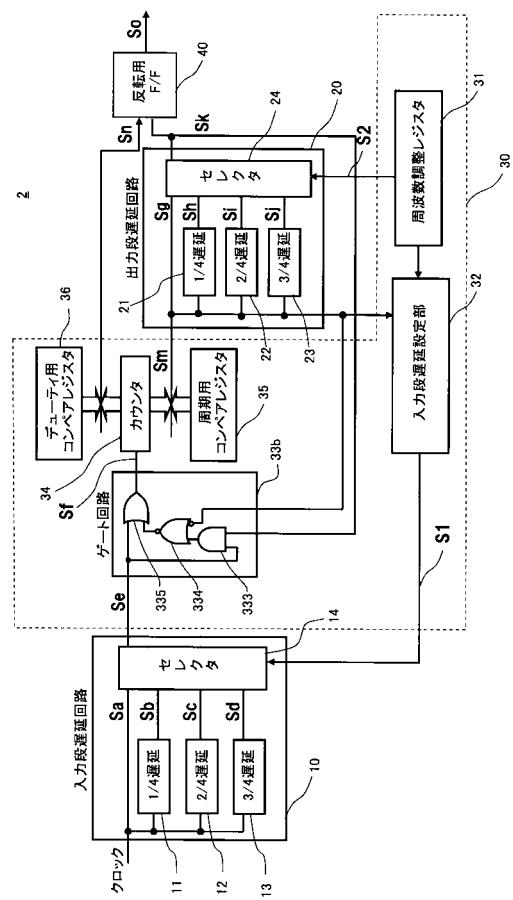
【図3】



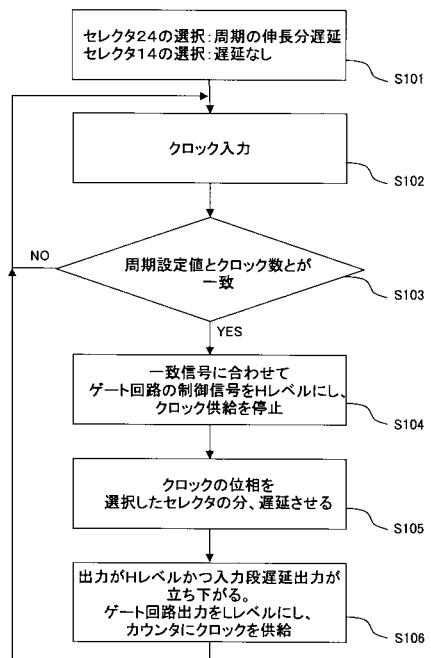
【図4】



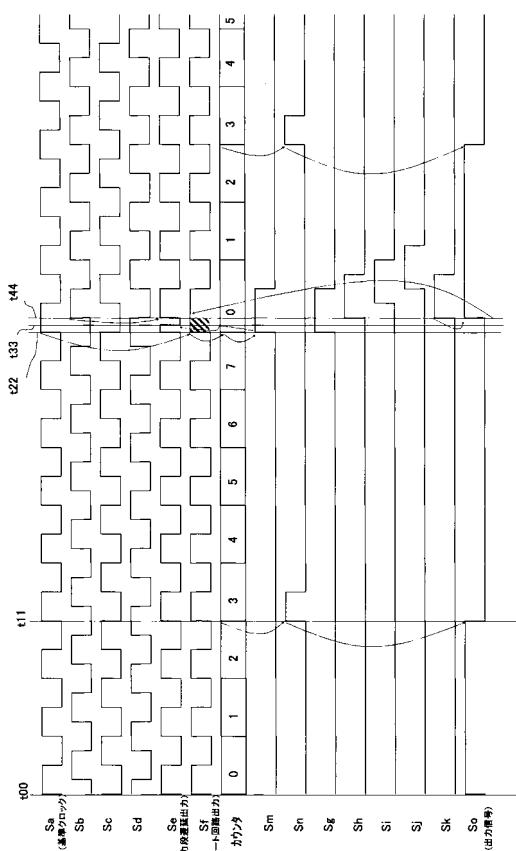
【図5】



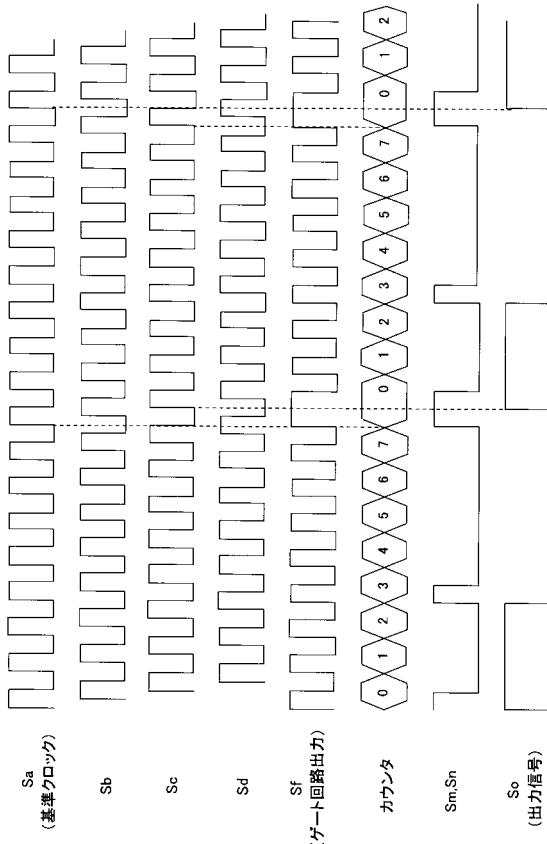
【図7】



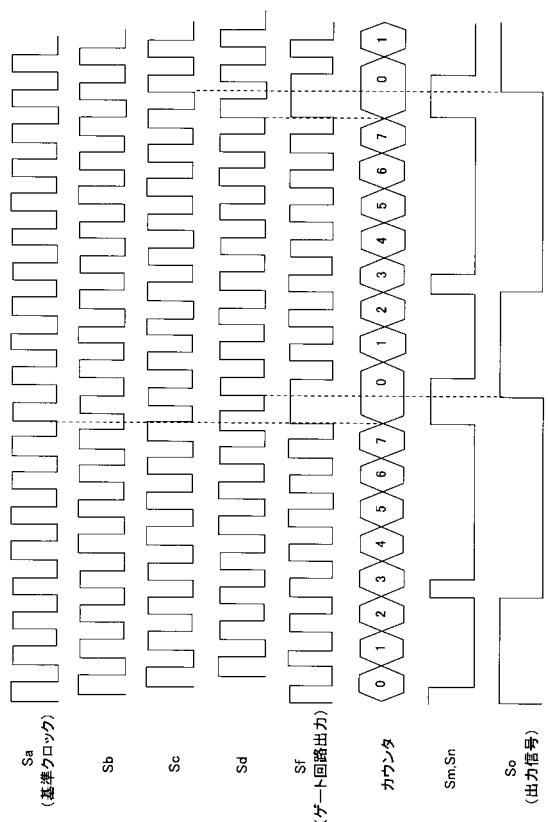
【図6】



【図8】



【図9】



フロントページの続き

(56)参考文献 特開平5-167404(JP,A)
特開平5-191235(JP,A)
特開平11-112485(JP,A)
特開2001-75671(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K 5/00
H03L 7/081