

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4201629号  
(P4201629)

(45) 発行日 平成20年12月24日(2008.12.24)

(24) 登録日 平成20年10月17日(2008.10.17)

(51) Int.Cl. F I  
**G 1 1 C 16/02 (2006.01)** G 1 1 C 17/00 6 0 1 Q  
**G 0 6 F 15/78 (2006.01)** G 0 6 F 15/78 5 1 0 P

請求項の数 5 (全 9 頁)

(21) 出願番号 特願2003-84391 (P2003-84391)  
 (22) 出願日 平成15年3月26日(2003.3.26)  
 (65) 公開番号 特開2004-295964 (P2004-295964A)  
 (43) 公開日 平成16年10月21日(2004.10.21)  
 審査請求日 平成18年3月23日(2006.3.23)

(73) 特許権者 000001889  
 三洋電機株式会社  
 大阪府守口市京阪本通2丁目5番5号  
 (74) 代理人 100131071  
 弁理士 ▲角▼谷 浩  
 (72) 発明者 保高 和夫  
 大阪府守口市京阪本通2丁目5番5号 三  
 洋電機株式会社内  
 審査官 滝谷 亮一

最終頁に続く

(54) 【発明の名称】 誤書き込み防止回路および該誤書き込み防止回路を含む半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1制御信号を出力すると共に、外部リセット信号により、保持された内容がリセットされる第1制御レジスタと、

前記第1制御信号がゲートに印加されるトランジスタと、

前記トランジスタのオンオフにより、電源電圧の供給が制御され、前記電源電圧の低電圧を検知し、検知信号を出力する低電圧検知回路と、

前記第1制御信号を反転し、反転信号を出力するインバータと、

前記反転信号と前記検知信号を受け、リセット信号を作成し、出力するロジック回路と

、  
 第2制御信号を出力すると共に、前記リセット信号により、保持された内容がリセットされ、第2制御レジスタと、

前記第2制御信号により、不揮発性メモリに対する書き込み状態となるか読み込む状態となるかが決定される制御回路と、を備えたことを特徴とする誤書き込み防止回路。

【請求項2】

第2インバータを備え、

前記第2インバータには、前記第1制御信号が印加され、前記ゲートに印加することを特徴とする請求項1記載の誤書き込み回路。

【請求項3】

前記第2インバータのスレシヨルドレベルを高くすることを特徴とする請求項2記載の誤

書き込み回路。

## 【請求項 4】

前記インバータのスレシヨルドレベルを低くすることを特徴とする請求項 3 記載の誤書き込み回路。

## 【請求項 5】

請求項 4 記載の誤書き込み回路と、不揮発性メモリと、マイクロコンピュータと、備えることを特徴する誤書き込み防止回路を含む半導体装置。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

この発明は、低電圧検知回路と、低電圧検知回路のバイアス電流をカット出来るスイッチと、バイアス電流カット時に補完的にリセット動作を行う回路を備えた誤書き込み防止回路に関する。

## 【0002】

## 【従来の技術】

EPROM、EEPROM、いわゆる一括消去可能なフラッシュメモリなどの不揮発性メモリは、電源電圧がオフされても、データを保持することができる。その為、マイクロコンピュータ（以下マイコンと言う）のメモリの一部として用いられ、書き換えプログラムを搭載させ、プログラム自体を書き直せることができ、プログラム評価時、プログラムのバグなどを容易に直すことができる。

## 【0003】

不揮発性メモリには、電源投入時、および電源電圧 VDD 低下の状態では動作が不安定な状況になる。その理由は、例えばフラッシュメモリではフローティングゲートに電荷を注入するからであり、電圧が低い状況では、不揮発性メモリは、十分な電荷をフローティングゲートに注入することが出来なくなり、所定のデータ保持特性を保証できなくなるからである。その様な事態を防ぐために、不揮発性メモリ自体に、低電圧検知回路を搭載することが従来から一般的になっている。

## 【0004】

電源投入時や電源電圧 VDD の低下により、電源電圧 VDD が低下したことを検知すると、自動的に不揮発性メモリの書き込み読み込みを制御部にリセット信号を出す構成となっており、電源電圧 VDD が低い状況では、書き込みを禁止している。これにより、不揮発性メモリへの書き込みができる場合のみ、確実に書き込みができる。

## 【0005】

近年、上記の如く、マイコンのメモリの一部として、不揮発性メモリを用いる場合があり、この場合はマイコンと不揮発性メモリが、半導体基板上に 1 チップ化されており、1 チップ化されたマイコン及び、不揮発性メモリの電源電圧 VDD に低電圧検知回路が接続され、低電圧状態を監視している。

## 【0006】

また、不揮発性メモリ単体では、スタンバイ制御などの消費電力の削減機能を、一般的に装備していない。通常は、不揮発性メモリと 1 チップ化されたマイコンにスタンバイモードがあり、システム全体のパワーオン、オフの制御に伴い、低電圧検知回路も、オン、オフさせ消費電力を抑えるようにしている。

## 【0007】

図 3 は、従来の構成を示したものである。1 は電源電圧 VDD の低下を検知する低電圧検知回路、2 は電源電圧 VDD を抵抗分割する抵抗、3 は電源電圧 VDD を抵抗分割する抵抗、4 は電圧検知レベルとしての基準値 Vref を発生する基準電圧発生回路、5 は抵抗 2 及び抵抗 3 の中点電圧及び基準値 Vref を比較する比較器、6 は比較器 5 の出力信号を反転するインバータ、7 はインバータ、8 は不揮発性メモリ、9 は不揮発性メモリ 8 に対して書き込み及び読み出しの設定等を制御し、低電圧検知回路 1 の出力信号にリセットされるモード制御レジスタ、10 はモード制御レジスタ 9 の出力信号に基づき、不揮発性メモリ

10

20

30

40

50

8 に対してリードイネーブル、ライトイネーブル、アドレス信号の出力、データの入出力を実行する書込み読み込み制御部、11 はチップ内に内蔵されたマイコン、12 は外部リセット信号によりリセットされるスタンバイ制御レジスタ、13 はスタンバイモードの制御データに応じて低電圧検知回路1のバイアスをオン、オフするトランジスタ、14 はIC化されたマイコンに外付けされる一般的な外部リセット回路であり、15 は入力段に設けられたシュミット・タイプのバッファである。

【0008】

図3において、低電圧検知回路1は、スタンバイモード以外では、常に電源電圧VDDの低下を監視するために、動作状態にする必要があり、低電圧検知回路1にはバイアス電圧が常時かけられており、動作状態では常に電力が消費されている。

10

【0009】

電源電圧VDDが低下した場合、低電圧検知回路1において、電源電圧VDDは、抵抗2、抵抗3によって分圧され、反転入力端子に入力される。電圧比較器の非反転入力端子に接続される基準電圧Vrefの電圧と、上記の反転入力端子に入力される電圧が比較される。抵抗2および3から作成された分圧中点電圧をVINとすると、信号BはVIN > Vrefの場合は「L」、VIN < Vrefの場合は「H」となる。更に、信号Bは、インバータ6に入力されるので、判定結果は反転し、VIN > Vrefの場合は「H」、VIN < Vrefの場合は「L」となる。これにより、低電圧を検知した場合、「L」アクティブのリセット信号を作成する。

【0010】

20

低電圧検知回路1の出力信号である前記リセット信号は、モード制御レジスタ9に印加され、低電圧を検知した場合にモード制御レジスタ9を初期状態とし、同時にモード制御レジスタ9は、書込み読み込み制御部10の動作モードを初期状態とする。電源電圧VDDが低電圧状態から復帰すると、低電圧検知回路1の出力信号は「L」レベルから「H」レベルとなり、モード制御レジスタ9は、書込み読み込み制御部10の動作モードの初期状態を解除する。

【0011】

例えば、不揮発性メモリ8にデータを書込み中に、電源電圧VDDが検知レベルより低下した場合、低電圧検知回路1が低電圧を検知し、低電圧検知回路1はリセット信号をモード制御レジスタ9に出力し、モード制御レジスタ9は初期化され、同時に書込み読み込み制御部10の動作モードが初期状態になり、書込み読み込み制御部10が初期状態では書込みは中断され、低電圧時における書込みを防止することが出来、電圧が低い状況で、不揮発性メモリ8に十分な電荷をフローティングゲートに注入出来ない状態での書込みを防止することが出来る。

30

【0012】

電源投入時、スタンバイ制御レジスタ12は、外部リセット回路14から初期リセット信号を受けると、初期値である「L」レベルに設定され、前記「L」レベルをインバータ7へ出力し、引き続き、前記「L」レベルはインバータ7により反転され「H」レベルになり、トランジスタ13は「H」レベルを受け、トランジスタ13は「H」レベルでオン状態となり、低電圧検知回路1にバイアス電流が流れ、低電圧検知回路1は低電圧を検知可能な状態となる。

40

【0013】

また、消費電流を抑えるため、スタンバイ状態に設定されると、マイコンからのスタンバイモード信号により、スタンバイ制御レジスタ12は「H」レベル設定され、前記「H」レベルをインバータ7へ出力し、引き続き、前記「H」レベルはインバータ7により反転され、「L」レベルになり、トランジスタ13は「L」レベルを受け、トランジスタ13はオフ状態となり、低電圧検知回路1のバイアス電流がカットされ、消費電流を抑えることが出来る。但し、バイアス電流がカットされた状態では、低電圧検知回路1は低電圧を検知不可能となる。

【0014】

50

## 【特許文献 1】

特開平 8 - 9 5 8 6 5 号公報

【 0 0 1 5 】

## 【特許文献 2】

特開平 2 0 0 2 - 3 6 6 4 3 6 号公報

【 0 0 1 6 】

## 【発明が解決しようとする課題】

ところで、低電圧検知回路 1 は、スタンバイ制御レジスタ 1 2 により、プログラマブルに制御できることが一般的になっている。ノイズの影響により、瞬間的に T r 駆動電圧以下に電源電圧 V D D が下がるという瞬時停電が起こることがある。

10

【 0 0 1 7 】

瞬時停電による T r 駆動電圧レベル以下の低電圧時からの復帰には、外部リセット回路の構成により、1 例として示される外部リセット回路 1 4 では、電源電圧 V D D の変化が、外部リセット回路 1 4 に含まれるコンデンサの時定数より速いので放電が出来ず、その為、外部リセット回路 1 4 から、瞬時停電に伴うリセット信号をスタンバイ制御レジスタ 1 2 へ出力できない事態となる。

【 0 0 1 8 】

T r 駆動電圧より電圧が下がったのち、T r 駆動電圧復帰時には、スタンバイ制御レジスタ 1 2 の設定が不定値になり、必ずトランジスタ 1 3 をオンにすることが出来ず、低電圧検知回路 1 にバイアス電流が供給されない場合があり、その場合、低電圧検知回路 1 はオフしたままであり、低電圧状態を検知して、自動的にリセット信号を発生することは出来ない。

20

【 0 0 1 9 】

前記リセット信号が発生しない場合、モード制御レジスタ 9 は、T r 駆動電圧以下まで下がっているので、T r 駆動電圧復帰時には、トランジスタの状態が確定されないことから、モード制御レジスタ 9 の設定が不定値になり、書込み読み制御部 1 0 のモードを決定するモード信号が、どの様な値になるか確定出来ない。例えば、瞬時停電前には、リードモードだったが、瞬時停電から復帰後は、いきなりライトモードになることがある。

【 0 0 2 0 】

上述したように、瞬時停電の場合、外部リセット信号及び低電圧検知回路の出力信号が出力されない場合、モード制御レジスタ 9 はリセットされず、瞬時停電復帰後、誤動作する恐れがあり、モード制御レジスタ 9 が誤動作すると不揮発性メモリ 8 に誤書き込みを起す問題があった。

30

【 0 0 2 1 】

## 【課題を解決するための手段】

電源電圧の低下を検知する検知動作を行うと共に、該検知動作を行うか否かを制御端子からの制御信号に応じて切換えることができる検知回路を備え、該検知回路の出力信号に応じて、メモリにおける書き込み動作を禁止する誤書き込み防止回路であって、前記制御信号に応じて、前記メモリへの書き込みを禁止したことを特徴とする。

【 0 0 2 2 】

## 【発明の実施の形態】

図 1 は、本発明の実施形態を示すブロック図であり、1 6 はスタンバイ制御レジスタ 1 2 からの出力信号である信号 E のラインに設けたインバータであり、1 7 は信号 C と信号 F の論理積をとるアンドゲートである。尚、従来と同一の回路については、同一符合を付し、説明を省略する。

40

【 0 0 2 3 】

本実施形態の特徴とするところは、瞬時停電状態において、外部リセット回路 1 4 及び低電圧検知回路 1 が動作しない場合でも、インバータ 1 6 からの出力である信号 F がアクティブ(「L」レベル)になることで、自動的に、モード制御レジスタ 9 のリセットを可能にしたことである。

50

## 【 0 0 2 4 】

瞬時停電が発生、電源電圧VDDが図4(VDD)のように変化した場合、一端、Tr駆動電圧以下まで下がっているため、瞬時停電から復帰の際、スタンバイ制御レジスタ12からの出力信号Eは、どのような値で復帰するか不明確な状況であり、図4(E)に示すように最初は上昇し、途中から下降することがある。

## 【 0 0 2 5 】

この時、外部リセット回路14に含まれるコンデンサの時定数より速く放電が間に合わず、リセット動作が働かず、外部リセット回路14からの信号Aが、図4(A)のように電源電圧VDDと同様に変化することがある。

## 【 0 0 2 6 】

信号Cは、バイアス電流がカットされているため、低電圧検知回路1は働かずに、図4(C)のように、電源電圧VDDと同様に変化することがある。また、インバータ7及び、インバータ16を構成するトランジスタの「1」と「0」を判定するスレシヨルド・レベルは、電源電圧VDDに比例し、電源電圧VDDの変化に追従するように変化し、図4(E)の破線に示される。

## 【 0 0 2 7 】

一方、信号Fは、電源電圧VDDと同様に上がって行き、信号Eの電圧レベルがTr駆動電圧に達すると「L」レベルになり、その後、信号Eの電圧レベルが下がり、スレシヨルド・レベル以下になると、反転し「H」レベルになり、モード制御レジスタ9のリセット状態は解除される。この時の信号Fの変化を、図4(F)に示す。信号Fは、一定の区間は、「L」レベルになる。

## 【 0 0 2 8 】

信号Gは、モード制御レジスタ9のリセット信号であり、信号Fが「L」レベルの間に同様に変化し、図4(G)に示され、モード制御レジスタ9を初期化する。モード制御レジスタ9は、書込み読み込み制御部10を初期状態に設定し、初期状態に設定された書込み読み込み制御部10は、不揮発性メモリ8に誤書込みを起す事態は無い。

## 【 0 0 2 9 】

従って、瞬時停電が発生し、外部リセット回路14からリセット信号が来ない状況であっても、インバータ16の出力である信号Fが「L」レベルになったことで、自動的にモード制御レジスタ9へのリセット信号が出力され、不揮発性メモリ8に誤書込みを起す事態は回避される。

## 【 0 0 3 0 】

図5は、スタンバイ制御レジスタ12からの信号Eが、図5(E)に示すように、図4の状況と違い途中で下がらずに、そのまま電源電圧VDDと同様に「H」レベルになった場合、電源電圧VDDの変化を図5(VDD)、信号Aの変化を図5(A)、信号Eの変化を図5(E)、信号Cの変化を図5(C)、信号Fの変化を図5(F)、信号Gの変化を図5(G)に、それぞれ示す。

## 【 0 0 3 1 】

信号Fは、信号Eの電圧レベルがTr駆動電圧に達すると、「L」レベルになり、そのまま「L」レベルを保持し、モード制御レジスタ9のリセット信号である信号Gは、信号Fと同様に変化し、同様に「L」レベルを保持する。

## 【 0 0 3 2 】

従って、不揮発性メモリ部8は、リセット状態が続き、書込み及び読み込みなど一切動作することは出来ない。しかし、リセット信号が正常に来ない状況では、モード制御レジスタ9からの出力であるモード信号の値は不確定な状況であり、リセット状態を維持することで、不揮発性メモリ8に対して致命的な誤書込みを回避することが出来る。

## 【 0 0 3 3 】

これにより、スタンバイ制御を行うトランジスタ13の搭載により消費電力を削減可能にし、尚且つ、瞬時停電が発生、電源電圧VDDがTr駆動電圧以下まで下がり、外部リセット回路14からリセット信号Aが来ない状況において、スタンバイ制御レジスタ12か

10

20

30

40

50

らの出力信号Eが、最初は上昇し途中から下降たり、電源電圧VDDと同様に上昇したりしても、モード制御レジスタ9に対して、リセット信号を出力するか、又はリセット信号を保持し、確実に誤書込みを禁止することが可能になった。

【0034】

図2は、発明の他の実施形態を示すブロック図であり、本実施形態において、図1と異なる点は、インバータ16を低V<sub>t</sub>インバータ18に変更し、更にインバータ7を高V<sub>t</sub>インバータ19に変更した点である。低V<sub>t</sub>及び高V<sub>t</sub>は、低スレシヨルド、高スレシヨルドを意味する。

【0035】

低V<sub>t</sub>インバータ18は、低スレシヨルドのため、標準的なスレシヨルドを持つインバータに比べ、入力電圧が低い状態で、「L」レベルになる。従って、インバータ18の出力信号である信号Hは、標準的なスレシヨルドを持つインバータに比べ「L」レベルになり易く、モード制御レジスタ9にリセット信号を出力し易い構成となっている。

10

【0036】

また、高V<sub>t</sub>インバータ19は、高スレシヨルドのため、標準的なスレシヨルドを持つインバータに比べ、入力電圧が高くなると、「L」レベルにならない。従って、信号Iは、「H」レベルを出力し易い構成となっている。信号Iが「H」の時、トランジスタ13はオンになりバイアス電流が流れ、低電圧検知回路1は、標準的なスレシヨルドを持つインバータに比べ、低電圧を検知できる状態となり易い。

【0037】

20

図2の実施形態において、電源電圧VDDが瞬時停電により、図6(VDD)のように変化した場合、スタンバイ制御レジスタ12からの出力である信号Eは、不安定な状況であり、図6(E)に示す様に变化することがある。電源電圧VDDの変化を図6(VDD)、信号Aの変化を図6(A)、信号Eの変化を図6(E)、信号Hの変化を図6(H)、信号Iの変化を図6(I)、信号Jの変化を図6(J)、信号Kの変化を図6(K)に、それぞれ示す。

【0038】

また、低V<sub>t</sub>及び高V<sub>t</sub>のスレシヨルド・ラインを図6(E)に破線で示す。低V<sub>t</sub>及び高V<sub>t</sub>スレシヨルド・ラインは、電源電圧VDDに比例して追従する。

【0039】

30

信号Hは、信号Eの電圧レベルがT<sub>r</sub>駆動電圧に達すると、「L」レベルになり、その後、信号Eが低スレシヨルド・レベル以下になると、反転し「H」レベルになり、リセット状態は解除される。

【0040】

一方、信号Iは、信号Eが途中から下がり、高V<sub>t</sub>スレシヨルド・ライン以下になると、「H」レベルになり、トランジスタ13がオンになり、バイアス電流が流れ、低電圧検知回路1は低電圧を検知可能となる。

【0041】

信号Jは、最初、電源電圧VDDと同様に上がって行くが、信号Iが「H」レベルになると、低電圧検知回路1が動作し、一端、「L」レベルに下がり、リセット信号を出力し、引き続き、電源電圧VDDが上昇し検知レベルを越えると、今度は、「H」レベルになり、モード制御レジスタ9に対して、リセット信号状態を解除する。

40

【0042】

また、図6において、低、高スレシヨルドを用いた事で、信号Hと信号Jで、リセット信号が重複する区間「t」が発生する。信号Kは、信号Hと信号Iの論理積であり、重複するリセット区間がある方が、より安定動作を行うことが出来る。

【0043】

【発明の効果】

上述の如く、本発明によれば、スタンバイ電流をカットすることが出来、低電圧検知回路1のバイアス電流のオン、オフに関係なく、確実にリセット信号を発生させることで誤書

50

込みを防止し、ノイズに対して飛躍的に信頼性を向上した。

【図面の簡単な説明】

【図1】本発明の実施形態を示すブロック図である。

【図2】本発明の他の実施形態を示すブロック図である。

【図3】従来例を示すブロック図である。

【図4】図1の実施形態を説明するタイミング図である。

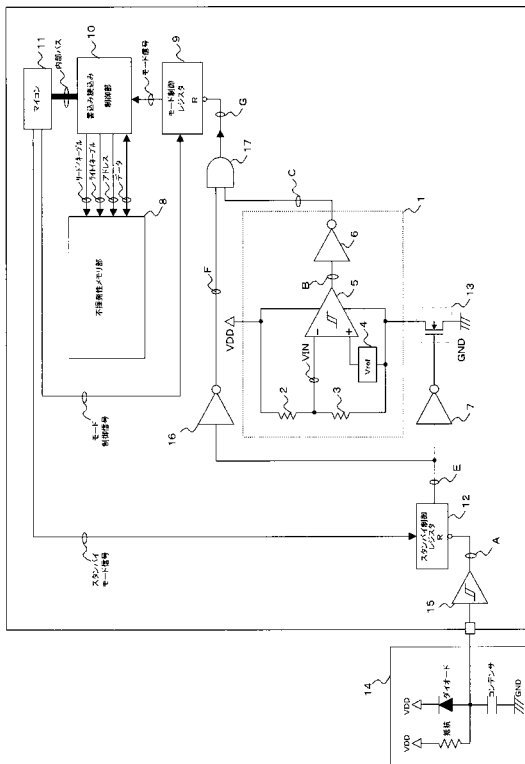
【図5】図1の実施形態を説明するタイミング図である。

【図6】図2の実施形態の動作を説明するタイミング図である。

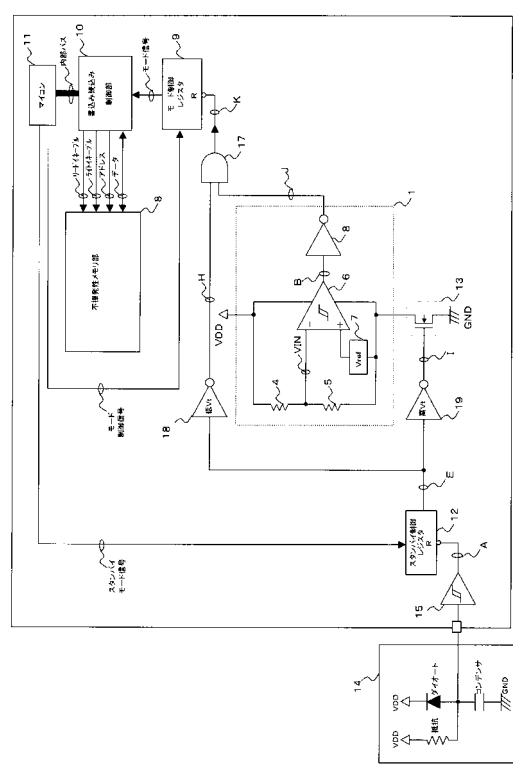
【符号の説明】

- 1 低電圧検知回路、2 抵抗、3 抵抗、4 基準電圧発生回路、5 比較器、6 インバータ、7 インバータ、8 不揮発性メモリ、9 モード制御レジスタ、10 書き込み読み込み制御部、11 マイコン、12 スタンバイ制御レジスタ、13 トランジスタ、14 外部リセット回路、15 バッファ、16 インバータ、17 アンドゲート、18 低Vtインバータ、19 高Vtインバータ。

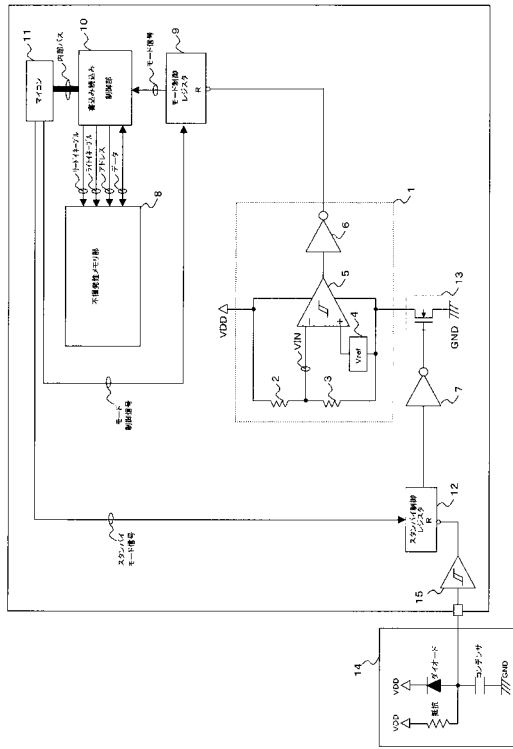
【図1】



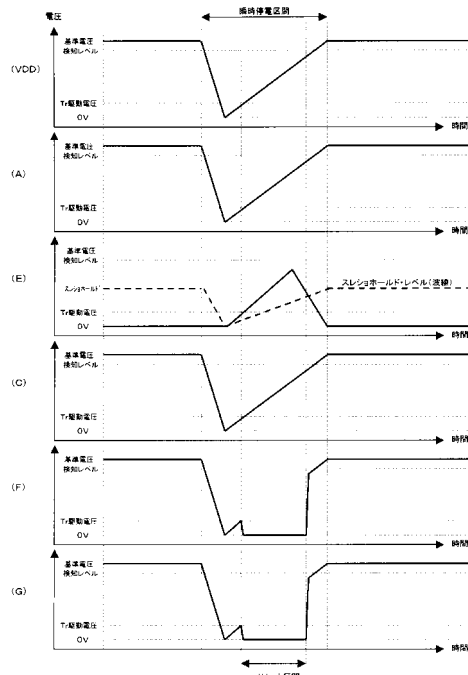
【図2】



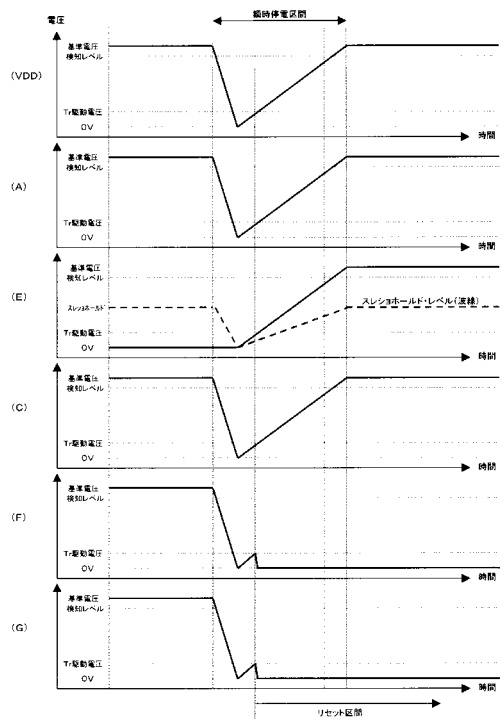
【図3】



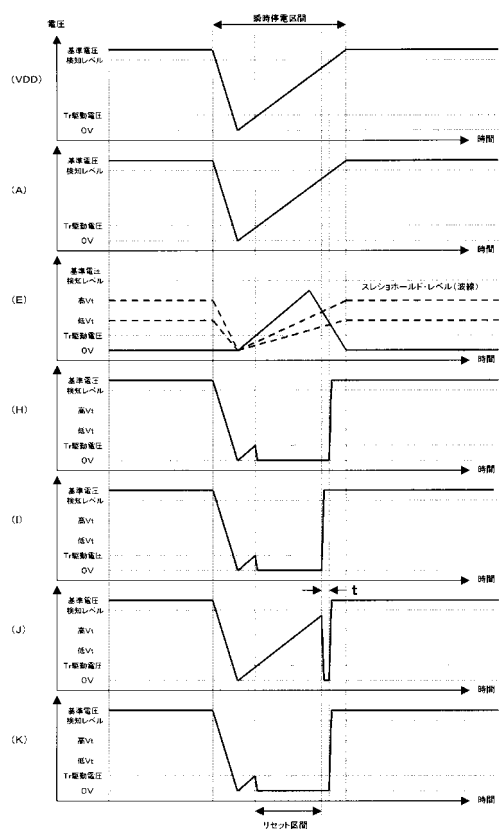
【図4】



【図5】



【図6】



---

フロントページの続き

- (56)参考文献 特開平09 - 213088 (JP, A)  
特開平10 - 105534 (JP, A)  
特開2002 - 014947 (JP, A)  
特開平09 - 035484 (JP, A)  
特開平08 - 227580 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G11C 16/02-16/06

G06F 15/78