



(21)申請案號：108129400

(22)申請日：中華民國 108 (2019) 年 08 月 19 日

(51)Int. Cl. : **H03K19/0185(2006.01)**

(30)優先權：2018/08/28 美國 16/114,524

(71)申請人：美商高通公司(美國) QUALCOMM INCORPORATED (US)

美國

(72)發明人：陳 威爾森 建波 CHEN, WILSON JIANBO (US)；潭 秋關 TAN, CHIEW-GUAN

(SG)；勞 蘇密 RAO, SUMIT (IN)

(74)代理人：林怡芳

(56)參考文獻：

TW I604695B CN 106341117A

EP 3115869A1 US 9735763B1

US 9912335B2

審查人員：陳明德

申請專利範圍項數：22 項 圖式數：8 共 41 頁

(54)名稱

動態電源供應偏移

(57)摘要

本發明之各態樣大體上係關於接收器，且尤其係關於一種將一高電壓輸入信號轉化成一低電壓信號之一接收器。該高電壓輸入信號經分裂成一上部部分及一下部部分。該上部部分耦合至由動態供應偏移器供電之一高輸入接收器，該等動態供應偏移器可在操作期間改變供應電壓以最佳化電壓切換。

Aspects generally relate to receivers, and in particular to a receiver that converts a high-voltage input signal into a low-voltage signal. The high voltage input signal is split into an upper portion and a lower portion. The upper portion is coupled to a high input receiver that is powered by dynamic supply shifters that can vary supply voltage during operation to optimize switching.

指定代表圖：

符號簡單說明：

102:高電源域輸入信號

105:輸入墊

110:波形分裂器

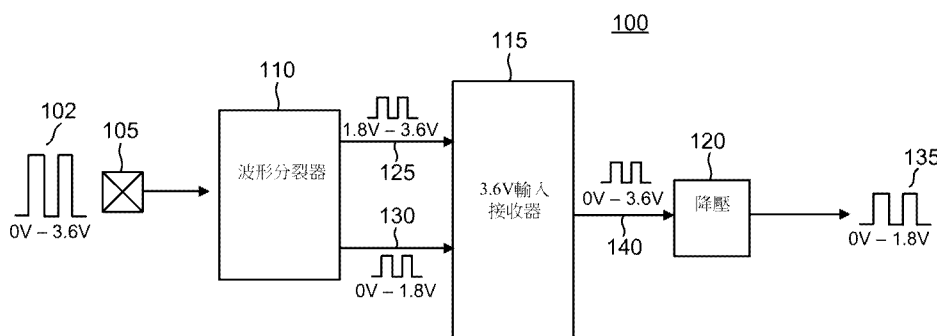
115:3.6V 輸入接收器

120:電壓轉譯器/降壓

電路

125:上半部信號

130:下半部信號



【圖1】

I830768

TW I830768 B

135:低電源域輸出信號

140:組合信號



I830768

【發明摘要】

【中文發明名稱】

動態電源供應偏移

【英文發明名稱】

DYNAMIC POWER SUPPLY SHIFTING

【中文】

本發明之各態樣大體上係關於接收器，且尤其係關於一種將一高電壓輸入信號轉化成一低電壓信號之一接收器。該高電壓輸入信號經分裂成一上部部分及一下部部分。該上部部分耦合至由動態供應偏移器供電之一高輸入接收器，該等動態供應偏移器可在操作期間改變供應電壓以最佳化電壓切換。

【英文】

Aspects generally relate to receivers, and in particular to a receiver that converts a high-voltage input signal into a low-voltage signal. The high voltage input signal is split into an upper portion and a lower portion. The upper portion is coupled to a high input receiver that is powered by dynamic supply shifters that can vary supply voltage during operation to optimize switching.

【指定代表圖】

圖1

【代表圖之符號簡單說明】

102 高電源域輸入信號

105 輸入墊

- 110 波形分裂器
- 115 3.6V輸入接收器
- 120 電壓轉譯器/降壓電路
- 125 上半部信號
- 130 下半部信號
- 135 低電源域輸出信號
- 140 組合信號

【發明說明書】

【中文發明名稱】

動態電源供應偏移

【英文發明名稱】

DYNAMIC POWER SUPPLY SHIFTING

【技術領域】

【0001】 本發明之態樣大體上係關於接收器，且尤其關於一種將高電壓輸入信號轉化成低電壓信號之接收器。

【先前技術】

【0002】 隨著半導體技術已發展至較小製程節點，電源供應電壓亦已配合著電晶體尺寸調整而縮小。類似地，用於I/O信號之輸入/輸出(I/O)電源供應電壓亦已縮小。儘管如此，仍可能需要支持具有較高電壓位準之信號的輸入/輸出(I/O)標準。積體電路(IC)可能因此需要輸入接收器，該輸入接收器可在第一電壓位準下接收輸入信號且在第二較低電壓位準下接收輸出信號。鑒於各種電源供應電壓之間的差值，輸入接收器中之裝置在其終端兩端(閘極至源極、閘極至汲極或汲極至源極)的電壓差超出裝置之最大額定電壓位準的情況下可受應力且功能失常。

【0003】 需要接收較高電壓信號且將其轉化成較低電壓信號之機制及方法。

【發明內容】

【0004】 所描述態樣大體上係關於接收器，且尤其關於一種將一高電壓輸入信號轉化成一低電壓信號之接收器。在一個實施例中，一輸入接收器自由一高電源供應電壓供電之一高電源域中接收一高電源域輸入信

號，其中該輸入接收器在由一低電源供應電壓供電之一低電源域內。該接收器包括一波形分裂器，該波形分裂器經組態以將該高電源域輸入信號分裂成大於或等於該低電源供應電壓的一高電壓信號且分裂成小於或等於該低電源供應電壓的一低電壓信號，其中該高電源供應電壓大於該低電源供應電壓。該接收器亦包括耦合至該低電壓信號之一低電壓輸入接收器，該低電壓輸入接收器由該低電源供應電壓及接地供電。並且，該接收器包括耦合至該高電壓信號之一高電壓輸入接收器，該高電壓輸入接收器由該高電源供應電壓及該低電源供應電壓分別穿過一高電源供應連接及一低電源供應連接供電。亦存在耦合至該高電壓信號之一高電壓輸入接收器複製品，該高電壓輸入接收器複製品由該高電源供應電壓及低電源供應電壓供電。

【0005】 在操作期間，當該低電壓輸入接收器之一輸出變高時，該高電壓輸入接收器之該高電源供應連接及低電源供應連接經調節至較低電壓位準。隨後，當該高電壓輸入接收器之一輸出變高時，該高電壓輸入接收器之該低電源供應連接經調節至該低電源供應電壓。且隨後，當該高電壓輸入接收器複製品之一輸出變高時，該高電壓輸入接收器之該高電源供應連接經調節至該高電源供應電壓。

【0006】 該高電源域可為一I/O電源域且該高電源供應電壓可為一I/O電源供應電壓，且其中該低電源域可為一核心電源域且該低電源供應電壓可為一核心電源供應電壓。同樣地，該高電源域可為一第一I/O電源域且該高電源供應電壓可為一第一I/O電源供應電壓，且其中該低電源域可為一第二I/O電源域且該低電源供應電壓可為一第二I/O電源供應電壓。在一個實施例中，該高電壓輸入接收器包括一反相器，該反相器包括與一

NMOS電晶體串聯之一PMOS電晶體，且其中該NMOS電晶體的一源極耦合至一低電源供應節點以供應該低電源供應電壓，且其中該PMOS電晶體之一源極耦合至一高電源供應節點以供應該高電源供應電壓。在一實施例中，該低電壓輸入接收器包括一反相器，該反相器包括與一NMOS電晶體串聯之一PMOS電晶體，且其中該NMOS電晶體的一源極耦合至接地，且其中該PMOS電晶體之一源極耦合至一低電源供應節點以供應該低電源供應電壓。

【0007】 在另一實施例中，用於自由一高電源供應電壓供電之一高電源域接收一高電源域輸入信號的一輸入接收器(其中該輸入接收器在由一低電源供應電壓供電之一低電源域內)包括一波形分裂器，該波形分裂器經組態以將該高電源域輸入信號分裂成大於或等於該低電源供應電壓之一高電壓信號且分裂成小於或等於該低電源供應電壓的一低電壓信號，其中該高電源供應電壓大於該低電源供應電壓。存在耦合至該低電壓信號之一低電壓輸入接收器，該低電壓輸入接收器由該低電源供應電壓及接地供電。亦存在一動態高電源供應偏移器，其耦合至該高電壓電源供應電壓且經組態以輸出一經偏移高電源供應電壓；及一動態低電源供應偏移器，其耦合至該低電壓電源供應電壓且經組態以輸出一經偏移低電源供應電壓。該接收器包括耦合至該高電壓信號之一高電壓輸入接收器，該高電壓輸入接收器由該經偏移高電源供應電壓及該經偏移低電源供應電壓供電。亦存在耦合至該高電壓信號之一高電壓輸入接收器複製品，該高電壓輸入接收器複製品由該高電源供應電壓及低電源供應電壓供電。

【0008】 在操作期間，當該低電壓輸入接收器之一輸出變高時，該高電壓輸入接收器之該經偏移高電源供應電壓及經偏移低電源供應電壓經

調節至較低電壓位準。當該高電壓輸入接收器之一輸出變高時，該高電壓輸入接收器之該經偏移低電源供應電壓經調節至該低電源供應電壓。並且，當該高電壓輸入接收器複製品之一輸出變高時，該高電壓輸入接收器之該經偏移高電源供應電壓經調節至該高電源供應電壓。

【0009】 在一實施例中，該高電源域為一I/O電源域且該高電源供應電壓為一I/O電源供應電壓，且其中該低電源域為一核心電源域且該低電源供應電壓為一核心電源供應電壓。在另一實施例中，該高電源域為一第一I/O電源域且該高電源供應電壓為一第一I/O電源供應電壓，且其中該低電源域為一第二I/O電源域且該低電源供應電壓為一第二I/O電源供應電壓。

【0010】 在一實施例中，該高電壓輸入接收器包括一反相器，該反相器包括與一NMOS電晶體串聯之一PMOS電晶體，且其中該NMOS電晶體的一源極耦合至一低電源供應節點以供應該低電源供應電壓，且其中該PMOS電晶體之一源極耦合至一高電源供應節點以供應該高電源供應電壓。在另一實施例中，該低電壓輸入接收器包括一反相器，該反相器包括與一NMOS電晶體串聯之一PMOS電晶體，且其中該NMOS電晶體的一源極耦合至地，且其中該PMOS電晶體之一源極耦合至一低電源供應節點以供應該低電源供應電壓。在另一實施例中，該動態高電源供應偏移器包含一分壓器。在又一實施例中，該動態高電源供應偏移器及動態低電源供應偏移器可包括多個電源供應器。在其他實施例中，該動態低電源供應偏移器及動態高電源供應偏移器可包括分壓器。

【0011】 在一實施例中，一種將來自由一高電源供應電壓供電之一高電源域的一高電源域輸入信號轉化成用於由一低電源供應電壓供電之一

低電源域的一輸出信號的方法包括將該高電源域輸入信號分裂成一高電壓信號(其在該低電源供應電壓與該高電源供應電壓之間循環)且分裂成一低電壓信號(其循環不大於該低電源供應電壓)，其中該高電源供應電壓大於該低電源供應電壓。將該低電壓信號耦合至一低電壓輸入接收器，該低電壓輸入接收器由該低電源供應電壓及接地供電。將該高電壓信號耦合至一高電壓輸入接收器，該高電壓輸入接收器由該高電源供應電壓及該低電源供應電壓分別穿過一高電源供應連接及一低電源供應連接供電。當該低電壓輸入接收器之一輸出變高時，將該高電壓輸入接收器之該高電源供應連接及低電源供應連接調節至較低電壓位準。當該高電壓輸入接收器之一輸出變高時，將該高電壓輸入接收器之該低電源供應連接調節至該低電源供應電壓。當一高電壓輸入接收器複製品之一輸出變高時，將該高電壓輸入接收器之該高電源供應連接調節至該高電源供應電壓，該高電壓輸入接收器複製品耦合至該高電壓信號且由該高電源供應電壓及低電源供應電壓供電。

【0012】 在一實施例中，該高電源域可為一I/O電源域且該高電源供應電壓可為一I/O電源供應電壓，且其中該低電源域可為一核心電源域且該低電源供應電壓可為一核心電源供應電壓。在另一實施例中，該高電源域可為一第一I/O電源域且該高電源供應電壓可為一第一I/O電源供應電壓，且其中該低電源域可為一第二I/O電源域且該低電源供應電壓可為一第二I/O電源供應電壓。該低電源供應電壓可為該高電源供應電壓之該位準的約一半。調節該低及高電源供應連接可包括一分壓器以降低一電壓。

【0013】 一種將來自由一高電源供應電壓供電之一高電源域的一高電源域輸入信號轉化成用於由一低電源供應電壓供電之一低電源域的一輸

出信號的設備之一實施例包括：用於將該高電源域輸入信號分裂成一高電壓信號(其在該低電源供應電壓與該高電源供應電壓之間循環)且分裂成一低電壓信號(其循環不大於該低電源供應電壓)之構件，其中該高電源供應電壓大於該低電源供應電壓。同樣地，該實施例包括用於將該低電壓信號耦合至一低電壓輸入接收器之構件，該低電壓輸入接收器由該低電源供應電壓及接地供電。並且，該實施例包括用於將該高電壓信號耦合至一高電壓輸入接收器之構件，該高電壓輸入接收器由該高電源供應電壓及該低電源供應電壓分別穿過一高電源供應連接及一低電源供應連接供電。同樣地，該實施例包括用於在該低電壓輸入接收器之一輸出變高時將該高電壓輸入接收器的該高電源供應連接及低電源供應連接調節至較低電壓位準之構件。並且，該實施例包括用於在該高電壓輸入接收器之一輸出變高時將該高電壓輸入接收器的該低電源供應連接調節至該低電源供應電壓之構件。同樣地，該實施例包括用於在一高電壓輸入接收器複製品之一輸出變高時將該高電壓輸入接收器的該高電源供應連接調節至該高電源供應電壓之構件，該高電壓輸入接收器複製品耦合至該高電壓信號且由該高電源供應電壓及低電源供應電壓供電。

【0014】 本發明之各種態樣及特徵更詳細地描述於下文中。

【圖式簡單說明】

【0015】 呈現隨附圖式以輔助實施例之描述及說明，且並不意欲限制該等圖式。

【0016】 圖1為可接收高電壓信號且輸出低電壓信號之接收器電路的實例。

【0017】 圖2為可接收高電壓信號且輸出低電壓信號之接收器電路

的另一實例。

【0018】 圖3為波形分裂器之實例。

【0019】 圖4A及圖4B為高及低電壓輸入接收器之圖式。

【0020】 圖5為展示動態供應偏移器之實施例的圖式。

【0021】 圖6為邏輯電路之實施例的圖式。

【0022】 圖7為說明動態地調節施加至高電壓輸入接收器之供應電壓之態樣的圖式。

【0023】 圖8為調節或偏移施加至高電壓輸入接收器之供應電壓之流程圖。

【0024】 該等圖式可不描繪特定設備、結構或方法之所有組件。另外，貫穿本說明書及附圖，類似附圖標記代表類似特徵。

【實施方式】

優先權主張

【0025】 本專利申請案主張2018年8月28日申請之標題為「DYNAMIC POWER SUPPLY SHIFTING」的申請案第16/114,524號之優先權，且指派給本受讓人且在此以引用的方式明確地併入本文中。

【0026】 以下描述及相關圖式中所揭示之態樣係針對特定實施例。可在不脫離本發明之範疇的情況下設計出替代性實施例。另外，熟知元件可能未詳細描述，或可忽略，以免隱藏相關細節。所揭示之實施例可適合地包括於任一電子裝置中。

【0027】 現參考圖式，描述本發明之若干例示性態樣。本文中所使用之字語「例示性」意謂「充當實例、例子或說明」。本文中描述為「例示性」之任何態樣未必被認作比其他態樣更佳或更有利。此外，本文中所

使用的術語係出於描述特定實施例之目的，且不意欲為限制性的。

【0028】 如所提及，IC持續發展為愈來愈小的製程節點且此等較小節點處之最大電壓電晶體可經曝露以持續減少。但，I/O電壓持續保持相對較大，至少大於裝置之核心中之電晶體可承受之最大電壓。因此，當自I/O插腳接收信號(諸如數位信號)時，信號需要由IC內之低電壓裝置處理且低電壓裝置不可曝露於高電壓I/O信號位準。

【0029】 舉例而言，I/O信號可在3.3V與接地之間轉換，但IC核心內之裝置的額定最大值僅為1.8V。在其他實例中，不同電壓位準可用於I/O及核心。態樣為存在需要由較低電壓裝置處理之較高電壓信號。

【0030】 態樣為將I/O信號「分裂」成多個較低位準信號，每一較低位準信號具有小於裝置內之電晶體之最大電壓的最大電壓擺動。舉例而言，3.3V輸入信號可分裂成在0 V與1.65 V之間轉換的低信號及在1.65V與3.3V之間轉換的高信號。低信號可耦合至由1.65V供應器及0V (接地)供電之裝置。高信號可耦合至由3.3V供應器及1.65V供應器(虛擬接地)供電之裝置。儘管此「分裂」保護裝置免於曝露於高於其最大額定值之電壓，但可存在裝置在所需電壓位準下切換之問題。舉例而言，針對3.3V接收器之JEDEC標準要求輸入高切換點(VIH)必須低於2V。換言之，當輸入信號為2V或更高時，3.3V接收器必須輸出高。由於2V之輸入信號將處於高「分裂」信號中，因此將其耦合至由3.3V及1.65V (虛擬接地)供電之裝置。2V信號僅向接收器裝置提供350mV餘裕空間進行切換，其可能小於裝置中之電晶體的臨限電壓。

【0031】 如下所述，態樣為動態地偏移耦合至高「分裂」信號之裝置的供應電壓，以便提供接收器將滿足所需切換點之足夠餘裕空間。舉例

而言，在低至高轉變期間，3.3V及1.65V (虛擬接地)電壓可降至所需位準以具有足夠餘裕空間，但並不超出裝置之最大額定電壓。在已發生切換後，電壓位準可返回至其原始值3.3V及1.65V (虛擬接地)，因此接收器可接收完整3.3V輸入信號。

【0032】 儘管上文實例使用3.3V及1.65V作為實例電壓位準，但此等僅為實例，可使用其他電壓位準且仍在本發明之範疇內。同樣地，不同技術、製程節點及裝置中之PMOS及NMOS電晶體的大小設定可以各種方式改變電壓位準、切換位準及臨限位準，且仍在本發明之範疇內。

【0033】 如所提及，積體電路可能需要輸入接收器，該輸入接收器可自第一I/O電源域中接收輸入信號以產生對應輸出信號以用於第二I/O電源域或核心電源域。用於第一I/O電源域之第一I/O電源供應電壓通常明顯高於第二中間電壓位準、或用於第二I/O電源域之I/O電源供應電壓、或用於核心電源域的核心電源電壓。鑒於各種電源供應電壓之間的不等性，輸入接收器中之裝置在其終端兩端(閘極至源極、閘極至汲極或汲極至源極)的電壓差超出裝置之最大電源供應電壓的情況下可受應力且可能功能失常。以下論述將用於高電源域之高供應電壓命名為VDDPX，將用於低電源域之中間電壓位準或低電源供應電壓命名為VDDIX且將參考電壓(諸如接地)命名為VSS。

【0034】 圖1為接收器電路之實例，該接收器電路可接收高電壓信號(例如在VSS (0V)至VDDPX之間轉換的信號)且輸出低電壓信號(例如在VSS (0V)至VDDIX之間轉換的信號)。在此實施例中，高電源供應電壓VDDPX為3.6V，低電源供應電壓VDDIX為1.8V且參考電壓VSS為0V (接地)。在其他實施例中，其他電壓位準可用於VDDPX、VDDIX及VSS，

例如3.3V、1.65V及其他。輸入墊105處接收之高電源域輸入信號102在VSS (0V)與VDDPX (3.6V)之間循環。波形分裂器110將高電源域輸入信號102分裂成上半部信號125及下半部信號130。上半部信號125在VDDIX (1.8V)與VDDPX (3.6V)之間循環，然而下半部信號130在VSS (0V)與VDDIX (1.8V)之間循環。單一3.6V輸入接收器115將上半部信號125及下半部信號130組合以產生在VSS (0V)與VDDPX (3.6V)之間循環的組合信號140。電壓轉譯器或降壓電路120將組合信號140轉譯成在VSS (0V)與VDDIX (1.8V)之間循環的低電源域輸出信號135。

【0035】 圖2為接收器電路200之另一實例，該接收器電路可接收高電壓信號(例如在VSS至VDDPX之間轉換的信號)且輸出低電壓信號(例如在VSS至VDDIX之間轉換的信號)。

【0036】 如圖2中所展示，在波形分裂器215之輸入端(PADSIG) 210上接收在VSS (0V)與VDDPX之間循環的高電源域輸入信號205。波形分裂器215將高電源域輸入信號205分裂成上半部輸入信號(PADSIG_P)及下半部輸入信號(PADSIG_N)。來自波形分裂器215之PADSIG_P輸入信號在VDDIX與VDDPX之間循環，且來自波形分裂器215之PADSIG_N輸入信號在VSS與VDDIX之間循環。

【0037】 圖3為波形分裂器215之一實例。如圖3中所展示，NMOS傳送電晶體M3之閘極由VDDIX偏壓且其汲極繫結至PADSIG輸入墊210。隨著高電源域輸入信號205自VSS上升，高電源域輸入信號205將由此穿過傳送電晶體M3。NMOS箝位電晶體M2之閘極亦繫結至PADSIG輸入墊210。箝位電晶體M2之源極耦合至傳送電晶體M3之源極以產生PADSIG_N輸入信號。箝位電晶體M2之汲極耦合至供應VDDIX之低電源

供應節點。隨著高電源域輸入信號205上升高於VDDIX，箝位電晶體M2由此將PADSIG_N輸入信號箝位於VDDIX處。以此方式，PADSIGN_N輸入信號表示高電源域輸入信號205之底半部，使得當高電源域輸入信號205小於或等於VDDIX時，PADSIG_N輸入信號實質上等於高電源域輸入信號205，且使得當高電源域輸入信號205大於VDDIX時，將PADSIG_N輸入信號箝位於VDDIX處。

【0038】 用於產生PADSIG_P信號之PMOS傳送電晶體P2之源極耦合至PADSIG輸入墊210且其汲極耦合至PMOS箝位電晶體P3之汲極。箝位電晶體P3之源極繫結至VDDIX電源供應節點。由此，隨著高電源域輸入信號205降低低於VDDIX，將箝位電晶體P3接通以將PADSIG_P輸入信號箝位至VDDIX。傳送電晶體P2之閘極可如關於傳送電晶體M3所論述類似地偏壓至VDDIX。但，傳送電晶體P2之臨限電壓將隨後關於高電源域輸入信號205之上升邊緣而在PADSIG_P輸入信號中引入工作循環失真。特定言之，PADSIG_P輸入信號將不開始上升高於VDDIX直至高電源域輸入信號205已上升高於VDDIX達傳送電晶體P2之臨限電壓。為使高電源域輸入信號205之上升邊緣隨著其上升高於VDDIX而更多地穿過傳送電晶體P2，傳送電晶體P2之閘極藉由NMOS分壓器電晶體M1之汲極處產生的偏壓電壓VBIAS進行偏壓。分壓器電晶體M1之源極耦合至接地，然而其汲極耦合至PMOS分壓器電晶體P1之汲極。分壓器電晶體P1之閘極接地。由於分壓器電晶體P1之源極繫結至供應VDDIX之低電源供應節點，因此分壓器電晶體P1始終開啟且嘗試將VBIAS偏壓至VDDIX。

【0039】 AND閘極310控制用於分壓器電晶體M1之閘極電壓。若AND閘極310的輸出為二進位零，則分壓器電晶體M1關閉，使得分壓器

電晶體P1將VBIAS偏壓至VDDIX。但若AND閘極310的輸出經確證為VDDIX (二進位一)，則分壓器電晶體M1開啟。分壓器電晶體M1小於分壓器電晶體P1，使得分壓器電晶體M1的電阻比分壓器電晶體P1之電阻高。由此，當AND閘極310的輸出經確證為高時，分壓器電晶體M1及P1之所得分壓將VBIAS拉至低於VDDIX達VDDIX之某一部分。由於分壓器電晶體M1的電阻比分壓器P1之電阻高，因此VDDIX之部分小於VDDIX的一半。AND閘極310接收由反相器305產生之RX_N (圖2之電壓位準偏移器230的輸出，下文描述)輸入信號及RX_P (圖2之低電壓輸入接收器22之輸出，下文描述)輸入信號的補充RXPB。當RX_N輸入信號已轉變至二進位一值但RX_P輸入信號仍為二進位零時，AND閘極310的輸出將由此變高。當來自波形分裂器215之PADSIG_N輸入信號已傳送低電壓輸入接收器222 (圖2)之低臨限電壓但尚未傳送高電壓輸入接收器220 (圖2)之高臨限電壓時，偏壓電壓VBIAS將由此下降。以此方式，隨著高電源域輸入信號205自VDDIX上升，高電源域輸入信號205之上升邊緣可穿過傳送電晶體P2以形成PADSIG_P輸入信號之對應上升邊緣，而不需遭受來自傳送電晶體P2之臨限電壓的工作循環失真。在一個實施例中，波形分裂器215可經視為包含用於關於偏壓電壓VBIAS而將高電源域輸入信號205分裂成PADSIG_P輸入信號(其大於或等於VDDIX)且用於關於VDDIX而將高電源域輸入信號205分裂成PADSIG_N輸入信號(其小於或等於VDDIX)的構件。

【0040】 再次參看圖2，低電壓輸入接收器222將PADSIG_N輸入信號(低電壓信號)與低臨限電壓(其大於VSS且小於VDDIX)進行比較以產生本文中標示為RX_N輸入信號之低電源域第二輸入信號。高電壓輸入接收

器220將PADSIG_P輸入信號與高臨限電壓(其大於VDDIX且小於VDDPX)進行比較以產生所接收高電壓信號235。類似於PADSIG_P輸入信號(高電壓信號)，所接收高電壓信號235在VDDIX與VDDPX之間循環。電壓位準偏移器230使用VDDPX及VDDIX電源供應電壓兩者來藉由VDDIX將所接收高電壓信號235位準偏移成本文中標示為RX_P輸入信號之低電源域第一輸入信號。

【0041】 可使用反相器實施高電壓輸入接收器220及低電壓輸入接收器222兩者。然而，應瞭解，其他適合之接收器(諸如Schmitt觸發器)可用於形成高電壓輸入接收器220及低電壓輸入接收器222。以下論述將由此假定(在不損失一般性的情況下)使用反相器形成接收器220及222兩者。圖4A中展示高電壓輸入接收器220之圖式。來自波形分裂器215 (圖2)之PADSIG_P輸入信號驅動PMOS電晶體P4及NMOS電晶體M4之閘極。NMOS電晶體M4之源極耦合至供應VDDIX之低電源供應節點且其汲極耦合至電晶體P4之汲極。電晶體P4之源極繫結至供應VDDPX之高電源供應節點。所接收高電壓信號235在電晶體P4及M4之汲極處產生。用於高電壓輸入接收器220之高臨限電壓將由此取決於電晶體P4及M4之相對強度。假定此等電晶體之強度相等，由此高臨限電壓將等於 $(VDDPX - VDDIX)/2$ 。低電壓輸入接收器222可如圖4B中所展示類似地建構。來自波形分裂器215 (圖2)之PADSIG_N輸入信號驅動PMOS電晶體P5及NMOS電晶體M5之閘極。NMOS電晶體M5之源極耦合至接地且其汲極耦合至電晶體P4之汲極。電晶體P5之源極繫結至供應VDDIX之低電源供應節點。RX_N輸入信號在電晶體P5及M5之汲極處產生。用於低電壓輸入接收器222之低臨限電壓將由此取決於電晶體P5及M5之相對強度。假定此等電

晶體之強度相等，則低臨限電壓將因此等於 $(VDDIX)/2$ 。在一些實施例中，由此可藉由 $VDDIX$ 將高電壓臨限值與低電壓臨限值分開以得到穩固遲滯範圍。

【0042】 如所提及，高電壓輸入接收器220在 $VDDPX$ 與 $VDDIX$ (虛擬接地)之間操作，且低電壓輸入接收器222在 $VDDIX$ 與 VSS (接地)之間操作。使用3.3V接收器作為實例， $VDDPX$ 將在3.3V下，同時 $VDDIX$ 將為 $0.5 * VDDPX = 1.65V$ 。根據針對3.3V輸入接收器之JEDEC標準，接收器之輸入低切換點(VIL)必須高於0.8V，且接收器之輸入高切換點(VIH)必須低於2V。

【0043】 返回參看圖4A，高電壓輸入接收器220在 $VDDPX$ 與 $VDDIX$ 之間操作，且其切換點將判定 VIH 值。如所提及，在3.3V接收器之實例中， $VDDIX$ 將為1.65V且由於 VIH 經要求應小於2V，因此高電壓輸入接收器220之NMOS M4將具有小於 $2V - 1.65V = 350mV$ 之過激勵電壓以切換輸出。在一些技術中，NMOS裝置之典型臨限電壓在製造製程之一些PVT邊角中可高達800mV。對於其他製程技術，裝置之臨限電壓可為其他電壓位準。如JEDEC標準所要求，由於典型NMOS裝置之臨限電壓可遠遠大於350mV，因此接收器之 VIH 值可遠遠高於2V。

【0044】 為補償低過激勵電壓，態樣包括暫時降低施加至高電壓輸入接收器220之供應電壓位準以提供額外餘裕空間。使用臨限電壓為800mV之裝置作為實例，一個態樣將為將 $VDDIX$ 降低至1.2V以確保 VIH 值將小於2V。為防止將裝置曝露於高於其最大電壓之電壓位準， $VDDPX$ 亦將經暫時降低達例如相同量至2.85 V。一旦高電壓輸入接收器切換高，則電壓位準可返回至其原始值，因此接收器可接收完整3.3V輸入信號。降

低或偏移，供應電壓僅需要經施加至高電壓輸入接收器220，此係由於低電壓輸入接收器具有足夠過激勵電壓以用於VIL。額外態樣將為不均衡地偏斜P/N比率，其改變PMOS及NMOS裝置之大小。不均衡地偏斜P/N比率可減少需減少或偏移之電壓的量，同時仍確保恰當偏移。另外，不同技術及製程節點將產生具有不同臨限電壓位準之裝置。技術、製程節點及P/N比率之各種組合可用於選擇所需電壓量以減少高電壓輸入接收器之供應。

【0045】 返回參看圖2，接收器200包括VDDPX動態供應偏移器224、VDDIX動態供應偏移器228及高電壓輸入接收器複製品228。在圖2中所說明之實例中，高電壓輸入接收器220之電源VDDPX及虛擬接地VDDIX在輸入端(PADSIG) 210處之低至高切換事件期間動態地偏移。

【0046】 在圖2的實例中，高電壓輸入接收器220並非由VDDPX及VDDIX直接地供電。代替地，VDDPX及VDDIX兩者分別穿過其自身動態供應偏移器224及226以產生兩種不同電源及虛擬接地連接：VDDPX_RX及VDDIX_RX。如下文所描述，在穩定狀態(無切換活動)下之VDDPX_RX等於VDDPX且VDDIX_RX等於VDDIX。然而，在PADSIG 210處之低至高切換事件期間，VDDPX_RX及VDDIX_RX兩者經暫時減少或偏移至較低電壓值以使得高電壓輸入接收器220能夠在低甚多的輸入(PADSIG)電壓下切換，進而實現比高電壓輸入接收器220之固有切換點更低的VIH切換點。

【0047】 如下文所描述，動態供應偏移器224及226自高電壓輸入接收器複製品228及低電壓輸入接收器222接收輸入來控制動態供應偏移器224及226。在另一實施例中，動態供應偏移器224及226外部可存在動態供應偏移邏輯。高電壓輸入接收器複製品228由VDDPX及VDDIX直接地

供電，使得保證其實際切換點高於高電壓輸入接收器220。

【0048】 在PADSIG 210處之低至高轉變期間，當低電壓輸入接收器222輸出高且高電壓輸入接收器複製品228輸出低時，動態供應偏移經開啟以用於VDDPX_RX及VDDIX_RX兩者。

【0049】 當高電壓輸入接收器220輸出切換時，關於VDDIX動態供應偏移器226輸出之調節經調節至VDDIX。隨後，當高電壓輸入接收器複製品228輸出切換高時，VDDPX動態供應偏移器224輸出經調節至VDDPX。高電壓輸入接收器複製品228中之較高切換點保證僅在實際高電壓輸入接收器220輸出已經切換後，調節變為關閉。

【0050】 圖5為展示動態供應偏移器224及226之一個實施例之額外細節的圖式。如圖5中所展示，VDDPX動態供應偏移器224產生VDDPX_RX且VDDIX動態供應偏移器226產生VDDIX_RX，該VDDPX_RX及該VDDIX_RX經耦合至HV接收器220。VDDPX動態供應偏移器224包括第一電晶體P6及第二電晶體M8。P6之源極經耦合至VDDPX且P6之汲極經耦合至高電壓輸入接收器220及第一電阻器R1，該第一電阻器經耦合至M8之汲極。M8之源極經耦合至VSS。VDDIX動態供應偏移器226包括第三電晶體P7及第四電晶體M9。P7之源極經耦合至VDDIX且P7之汲極經耦合至高電壓輸入接收器220及第二電阻器R2，該第二電阻器經耦合至M9之汲極。M9之源極經耦合至VSS。P6、M8、P7及M9之閘極經耦合至控制電晶體之操作的邏輯(未展示)在另一實施例中，動態供應偏移邏輯可在動態供應偏移器224及226之外部。

【0051】 在如圖2中所說明的接收器之穩定狀態操作期間，P6及P7開啟而M8及M9關閉使得VDDPX經耦合至高電壓輸入接收器220之

VDDPX_RX且VDDIX經耦合至高電壓輸入接收器220之VDDIX_RX。

【0052】 在低至高轉變期間，當低電壓輸入接收器222信號變高(指示I/O信號開始低至高轉變)時，M8及M9開啟且電流流過R1及R2 (設置分壓器電路)以將VDDPX_RX及VDDIX_RX分別調節至低於VDDPX及VDDIX之所需位準。減少兩個電壓保持裝置所曝露的最大電壓差值低於裝置之最大值。較低電壓給予高電壓輸入接收器220更多餘裕空間來切換高。當高電壓輸入接收器220切換高時，M9關閉以防止電流流過R2且VDDIX_RX等於VDDIX。高電壓輸入接收器220的輸出經耦合至鎖存器(未展示)，因此即使在VDDIX_RX增大至VDDIX時，高電壓輸入接收器220暫時反轉至低，經鎖存輸出仍然為高。隨著I/O信號持續增大，高電壓輸入接收器複製品228將切換高。當高電壓輸入接收器複製品228切換高時，M8關閉，無電流流過R1且VDDPX_RX等於VDDPX。在另一實施例中，當VDDIX_RX及VDDPX_RX兩者同時分別設定等於VDDIX及VDDPX時，M9並未關閉直至高電壓輸入接收器複製品228切換高為止。

【0053】 在其他實施例中，存在經切換至HV接收器電路220之電壓之多個供應或源極。態樣為在低至高轉變期間您調節電壓以確保存在足夠餘裕空間以考慮HV接收器220中之裝置之臨限電壓位準的變化。

【0054】 返回參看圖2，邏輯電路240將如下文所論述之RX_P及RX_N輸入信號之二進位狀態進行比較以產生在VSS與VDDIX之間循環的低電源域輸出信號245。儘管低電源域輸出信號245為關於輸入接收器200之輸出信號，但其將由低電源域中之其他組件(未說明)接收作為輸入信號。舉例而言，低電源域輸出信號245可由處理器或其他適合之低電源域組件接收。

【0055】圖6為邏輯電路240之實施例的圖式。使用一對交叉耦合之反相器INV1及反相器INV2將低電源域輸出信號245之電流值(其電流二進位狀態)鎖存。特定言之，低電源域輸出信號245由反相器INV1產生。低電源域輸出信號245之二進位狀態由NMOS下拉電晶體M6及NMOS下拉電晶體M7控制。下拉電晶體M6之汲極耦合至反相器INV2的輸出且其源極耦合至接地。類似地，下拉電晶體M7之汲極耦合至反相器INV1的輸出。若下拉電晶體M7接通而下拉電晶體M6關閉，則低電源域輸出信號245接地。相反地，當下拉電晶體M7關閉且下拉電晶體M6接通時，低電源域輸出信號245經饋入VDDIX中。為控制下拉電晶體M6及M7之此互補切換，邏輯電路240可包括AND閘極AND1及AND閘極AND2。AND閘極AND1接收RX_P及RX_N輸入信號以驅動下拉電晶體M6之閘極。若RX_P及RX_N輸入信號兩者已轉變至二進位高狀態，則下拉電晶體M6經接通以將輸入接地至反相器INV1，使得低電源域輸出信號245經饋入VDDIX中。反相器INV3將RX_P輸入信號反相為經反相輸入信號RX_PB。類似地，反相器INV4將RX_N輸入信號反相為經反相輸入信號RX_NB。AND閘極AND2接收此等經反相輸入信號。由此，若RX_P及RX_N輸入信號兩者為二進位零，則下拉電晶體M7經接通以釋放低電源域輸出信號245。應注意，RX_P及RX_N輸入信號之保留二進位組合(一個為二進位零，另一個為二進位一)不會影響低電源域輸出信號245之二進位狀態。所得操作可概括於表1中。

RX_P	RX_N	輸出信號
0	0	接收器將輸出0
0	1	保持電流輸出狀態
1	0	保持電流輸出狀態(應注意，此狀態將不會出現在正常操作中)
1	1	接收器將輸出1

表1

【0056】 圖7為說明動態地調節施加至高電壓輸入接收器220之供應電壓之態樣的圖式。圖7說明耦合至接收器200之輸入端210的輸入信號702及來自接收器200之邏輯電路240的輸出信號704之一部分。亦分別展示電壓位準VDDPX_RX 706及VDDIX_RX 708。

【0057】 如圖7中所展示，在第一時段720期間，輸入信號702低，輸出信號704低以及VDDPX_RX 706處於等於VDDPX之位準下且VDDIX_RX 708處於等於VDDIX之位準下。隨著輸入信號702之電壓位準增大，當低電壓輸入接收器222輸出切換至高時，該電壓位準達到電壓位準730。當低電壓輸入接收器222輸出變高(指示I/O信號開始低至高轉變)時，VDDPX_RX 706及VDDIX_RX 708經調節至較低電壓位準。在當低電壓輸入接收器222輸出高且高電壓輸入接收器220輸出低之時段722期間，VDDPX_RX 706及VDDIX_RX 708保持在此等減少之位準下。

【0058】 隨著輸入信號702持續增大，當高電壓輸入接收器220輸出變高時，該輸入信號達到電壓位準732。應注意，高電壓輸入接收器複製品228的輸出仍低，此係由於其由VDPPX及VDPPIX供電。當高電壓輸入接收器220輸出變高時，VDDPX_RX 706保持在較低電壓位準下且VDDIX_RX 708經調節至VDDIX。在當低電壓輸入接收器222輸出及高電壓輸入接收器220輸出高且高電壓輸入複製品228輸出低之時段724期間，VDDPX_RX 706保持在此等位準下。

【0059】 隨著輸入信號702持續增大，當高電壓輸入接收器複製品228輸出變高時，該輸入信號達到電壓位準734。當高電壓輸入接收器複製品228輸出變高時，VDDPX_RX 706經調節至VDDPX且VDDIX_RX

708保持在VDDIX下。在時段726期間，VDDPX_RX 706及VDDIX_RX 708保持在此等位準下直至存在輸入信號702之另一低至高轉變為止。

【0060】 圖8為調節或偏移施加至高電壓輸入接收器之供應電壓之流程圖。流程開始於區塊802中，其中在指向高電壓輸入接收器之輸入處感測到低至高轉變。

【0061】 流程繼續至區塊804，其中感測到低電壓輸入接收器222輸出之輸出，且當其切換至高時，VDDPX_RX及VDDIX_RX經調節至較低電壓位準。流程繼續至區塊806，其中感測到高電壓輸入接收器220輸出，且當其變高時，VDDIX_RX經調節至VDDIX。流程繼續至區塊808，其中感測到高電壓輸入接收器複製品228輸出，且當其變高時，VDDPX_RX經調節至VDDPX。

【0062】 可在積體電路(IC)、系統單晶片(SoC)、特殊應用積體電路(ASIC)、場可程式化閘陣列(FPGA)或經設計以執行本文中所描述之功能的其他可程式化邏輯裝置、離散閘或電晶體邏輯、離散硬體組件或其任何組合中實施或執行結合本文中所揭示之態樣而描述之各種說明性邏輯區塊、模組及電路。

【0063】 亦應注意，描述本文中例示性態樣中之任一者中所描述之操作步驟以提供實例及論述。可以除所說明序列以外之許多不同序列來執行所描述操作。此外，實際上可以數個不同步驟來執行單一操作步驟中所描述之操作。此外，可組合例示性態樣中所論述之一或多個操作步驟。應理解，如熟習此項技術者將顯而易見，流程圖圖式中所說明之操作步驟可經諸多不同修改。熟習此項技術者亦將理解，可使用多種不同技術及技法中之任一者來表示資訊及信號。舉例而言，可由電壓、電流、電磁波、磁

場或磁性粒子、光場或光學粒子或其任何組合來表示在貫穿以上描述中可能引用之資料、指令、命令、資訊、信號、位元、符號及晶片。

【0064】 提供對本發明之先前描述以使得任何熟習此項技術者能夠製作或使用本發明。熟習此項技術者將易於理解對本發明之各種修改，且本文所定義之一般原理可在不背離本發明之精神或範疇的情況下應用於其他變體。由此，本發明並不意欲限於本文中所描述之實例及設計，而應符合與本文中所揭示之原理及新穎特徵相一致的最廣泛範疇。

【符號說明】

【0065】

102	高電源域輸入信號
105	輸入墊
110	波形分裂器
115	3.6V輸入接收器
120	電壓轉譯器/降壓電路
125	上半部信號
130	下半部信號
135	低電源域輸出信號
140	組合信號
200	接收器電路
205	高電源域輸入信號
210	輸入端/輸入墊
215	波形分裂器
220	高電壓輸入接收器

222	低電壓輸入接收器
224	VDDPX動態供應偏移器
226	VDDIX動態供應偏移器
228	高電壓輸入接收器複製品
230	電壓位準偏移器
235	高電壓信號
240	邏輯電路
245	低電源域輸出信號
305	反相器
310	AND閘極
702	輸入信號
704	輸出信號
706	電壓位準
708	電壓位準
720	第一時段
722	時段
724	時段
726	時段
730	電壓位準
732	電壓位準
734	電壓位準
802	區塊
804	區塊

806	區塊
808	區塊
AND1	AND閘極
AND2	AND閘極
INV1	反相器
INV2	反相器
INV3	反相器
INV4	反相器
M1	NMOS分壓器電晶體
M2	NMOS箝位電晶體
M3	NMOS傳送電晶體
M4	NMOS電晶體
M5	NMOS電晶體
M6	NMOS下拉電晶體
M7	NMOS下拉電晶體
M8	第二電晶體
M9	第四電晶體
P1	PMOS分壓器電晶體
P2	PMOS傳送電晶體
P3	PMOS箝位電晶體
P4	PMOS電晶體
P5	PMOS電晶體
P6	第一電晶體

P7	第三電晶體
PADSIG	輸入端
PADSIG_N	下半部輸入信號
PADSIG_P	上半部輸入信號
R1	第一電阻器
R2	第一電阻器
RX_N	低電源域第二輸入信號
RX_NB	經反相輸入信號
RX_P	低電源域第一輸入信號
RX_PB	經反相輸入信號
VBIAS	偏壓電壓
VDDIX	低電源供應電壓
VDDIX_RX	電源及虛擬接地連接
VDDPX	高電源供應電壓
VDDPX_RX	電源及虛擬接地連接
VSS	參考電壓
VIH	輸入高切換點
VIL	輸入低切換點

【發明申請專利範圍】

【第1項】

一種輸入接收器，其用於自由一高電源供應電壓供電之一高電源域中接收一高電源域輸入信號，其中該輸入接收器在由一低電源供應電壓供電之一低電源域內，該輸入接收器包含：

一波形分裂器，其經組態以將該高電源域輸入信號分裂成大於或等於該低電源供應電壓的一高電壓信號且分裂成小於或等於該低電源供應電壓的一低電壓信號，其中該高電源供應電壓大於該低電源供應電壓；

一低電壓輸入接收器，其耦合至該低電壓信號，該低電壓輸入接收器由該低電源供應電壓及接地供電；

一高電壓輸入接收器，其耦合至該高電壓信號，該高電壓輸入接收器由該高電源供應電壓及該低電源供應電壓分別穿過一高電源供應連接及一低電源供應連接供電；

一高電壓輸入接收器複製品，其耦合至該高電壓信號，該高電壓輸入接收器複製品由該高電源供應電壓及低電源供應電壓供電；

其中，當該低電壓輸入接收器之一輸出變高時，該高電壓輸入接收器之該高電源供應連接及低電源供應連接經調節至較低電壓位準；

當該高電壓輸入接收器之一輸出變高時，該高電壓輸入接收器之該低電源供應連接經調節至該低電源供應電壓；且

當該高電壓輸入接收器複製品之一輸出變高時，該高電壓輸入接收器之該高電源供應連接經調節至該高電源供應電壓。

【第2項】

如請求項1之輸入接收器，其中該高電源域為一I/O電源域且該高電

源供應電壓為一I/O電源供應電壓，且其中該低電源域為一核心電源域且該低電源供應電壓為一核心電源供應電壓。

【第3項】

如請求項1之輸入接收器，其中該高電源域為一第一I/O電源域且該高電源供應電壓為一第一I/O電源供應電壓，且其中該低電源域為一第二I/O電源域且該低電源供應電壓為一第二I/O電源供應電壓。

【第4項】

如請求項1之輸入接收器，其中該高電壓輸入接收器包含一反相器，該反相器包括與一NMOS電晶體串聯之一PMOS電晶體，且其中該NMOS電晶體的一源極耦合至一低電源供應節點以供應該低電源供應電壓，且其中該PMOS電晶體之一源極耦合至一高電源供應節點以供應該高電源供應電壓。

【第5項】

如請求項1之輸入接收器，其中該低電壓輸入接收器包含一反相器，該反相器包括與一NMOS電晶體串聯之一PMOS電晶體，且其中該NMOS電晶體的一源極耦合至接地，且其中該PMOS電晶體之一源極耦合至一低電源供應節點以供應該低電源供應電壓。

【第6項】

一種輸入接收器，其用於自由一高電源供應電壓供電之一高電源域中接收一高電源域輸入信號，其中該輸入接收器在由一低電源供應電壓供電之一低電源域內，該輸入接收器包含：

一波形分裂器，其經組態以將該高電源域輸入信號分裂成大於或等於該低電源供應電壓的一高電壓信號且分裂成小於或等於該低電源供應電

壓的一低電壓信號，其中該高電源供應電壓大於該低電源供應電壓；

一低電壓輸入接收器，其耦合至該低電壓信號，該低電壓輸入接收器由該低電源供應電壓及接地供電；

一動態高電源供應偏移器，其耦合至該高電壓電源供應電壓且經組態以輸出一經偏移高電源供應電壓；

一動態低電源供應偏移器，其耦合至該低電壓電源供應電壓且經組態以輸出一經偏移低電源供應電壓；

一高電壓輸入接收器，其耦合至該高電壓信號，該高電壓輸入接收器由該經偏移高電源供應電壓及該經偏移低電源供應電壓供電；

一高電壓輸入接收器複製品，其耦合至該高電壓信號，該高電壓輸入接收器複製品由該高電源供應電壓及低電源供應電壓供電；

其中，當該低電壓輸入接收器之一輸出變高時，該經偏移高電源供應電壓及經偏移低電源供應電壓經調節至較低電壓位準；

當該高電壓輸入接收器之一輸出變高時，該經偏移低電源供應電壓經調節至該低電源供應電壓；且

當該高電壓輸入接收器複製品之一輸出變高時，該經偏移高電源供應電壓經調節至該高電源供應電壓。

【第7項】

如請求項6之輸入接收器，其中該高電源域為一I/O電源域且該高電源供應電壓為一I/O電源供應電壓，且其中該低電源域為一核心電源域且該低電源供應電壓為一核心電源供應電壓。

【第8項】

如請求項6之輸入接收器，其中該高電源域為一第一I/O電源域且該

高電源供應電壓為一第一I/O電源供應電壓，且其中該低電源域為一第二I/O電源域且該低電源供應電壓為一第二I/O電源供應電壓。

【第9項】

如請求項6之輸入接收器，其中該高電壓輸入接收器包含一反相器，該反相器包括與一NMOS電晶體串聯之一PMOS電晶體，且其中該NMOS電晶體的一源極耦合至一低電源供應節點以供應該低電源供應電壓，且其中該PMOS電晶體之一源極耦合至一高電源供應節點以供應該高電源供應電壓。

【第10項】

如請求項6之輸入接收器，其中該低電壓輸入接收器包含一反相器，該反相器包括與一NMOS電晶體串聯之一PMOS電晶體，且其中該NMOS電晶體的一源極耦合至接地，且其中該PMOS電晶體之一源極耦合至一低電源供應節點以供應該低電源供應電壓。

【第11項】

如請求項6之輸入接收器，其中該低電源供應電壓為該高電源供應電壓之該位準的一半。

【第12項】

如請求項6之輸入接收器，其中該動態高電源供應偏移器包含一分壓器。

【第13項】

如請求項6之輸入接收器，其中該動態高電源供應偏移器包含多個電源供應器。

【第14項】

如請求項6之輸入接收器，其中該動態低電源供應偏移器包含一分壓器。

【第15項】

如請求項6之輸入接收器，其中該動態低電源供應偏移器包含多個電源供應器。

【第16項】

一種將來自由一高電源供應電壓供電之一高電源域的一高電源域輸入信號轉化成用於由一低電源供應電壓供電之一低電源域的一輸出信號之方法，其包含：

將該高電源域輸入信號分裂成在該低電源供應電壓與該高電源供應電壓之間循環的一高電壓信號且分裂成循環不大於該低電源供應電壓的一低電壓信號，其中該高電源供應電壓大於該低電源供應電壓；

將該低電壓信號耦合至一低電壓輸入接收器，該低電壓輸入接收器由該低電源供應電壓及接地供電；

將該高電壓信號耦合至一高電壓輸入接收器，該高電壓輸入接收器由該高電源供應電壓及該低電源供應電壓分別穿過一高電源供應連接及一低電源供應連接供電；

當該低電壓輸入接收器之一輸出變高時，將該高電壓輸入接收器之該高電源供應連接及低電源供應連接調節至較低電壓位準；

當該高電壓輸入接收器之一輸出變高時，將該高電壓輸入接收器之該低電源供應連接調節至該低電源供應電壓；且

當一高電壓輸入接收器複製品之一輸出變高時，將該高電壓輸入接收器之該高電源供應連接調節至該高電源供應電壓，該高電壓輸入接收器

複製品耦合至該高電壓信號且由該高電源供應電壓及低電源供應電壓供電。

【第17項】

如請求項16之方法，其中該高電源域為一I/O電源域且該高電源供應電壓為一I/O電源供應電壓，且其中該低電源域為一核心電源域且該低電源供應電壓為一核心電源供應電壓。

【第18項】

如請求項16之方法，其中該高電源域為一第一I/O電源域且該高電源供應電壓為一第一I/O電源供應電壓，且其中該低電源域為一第二I/O電源域且該低電源供應電壓為一第二I/O電源供應電壓。

【第19項】

如請求項16之方法，其中該低電源供應電壓為該高電源供應電壓之該位準的一半。

【第20項】

如請求項16之方法，其中調節該低電源供應連接包含一分壓器以降低一電壓。

【第21項】

如請求項16之方法，其中調節該高電源供應連接包含一分壓器以降低一電壓。

【第22項】

一種將來自由一高電源供應電壓供電之一高電源域的一高電源域輸入信號轉化成用於由一低電源供應電壓供電之一低電源域的一輸出信號之設備，其包含：

用於將該高電源域輸入信號分裂成在該低電源供應電壓與該高電源供應電壓之間循環的一高電壓信號且分裂成循環不大於該低電源供應電壓的一低電壓信號之構件，其中該高電源供應電壓大於該低電源供應電壓；

用於將該低電壓信號耦合至一低電壓輸入接收器之構件，該低電壓輸入接收器由該低電源供應電壓及接地供電；

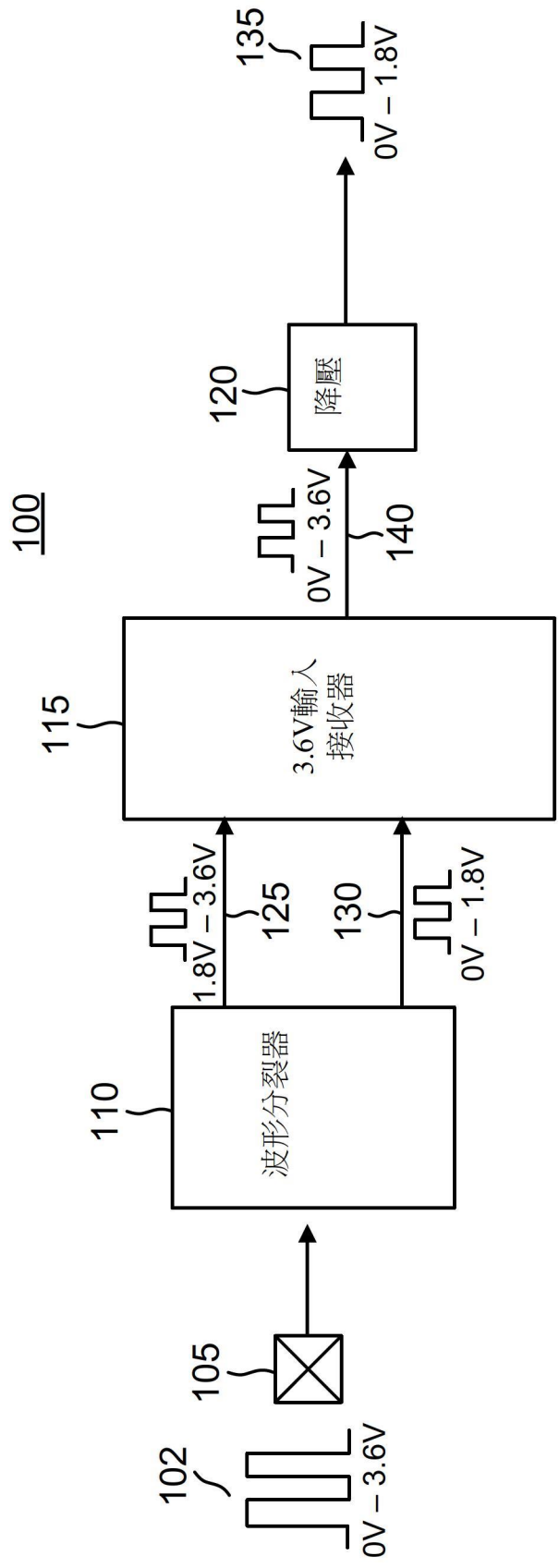
用於將該高電壓信號耦合至一高電壓輸入接收器之構件，該高電壓輸入接收器由該高電源供應電壓及該低電源供應電壓分別穿過一高電源供應連接及一低電源供應連接供電；

用於在該低電壓輸入接收器之一輸出變高時調節該高電壓輸入接收器的該高電源供應連接及低電源供應連接至較低電壓位準之構件；

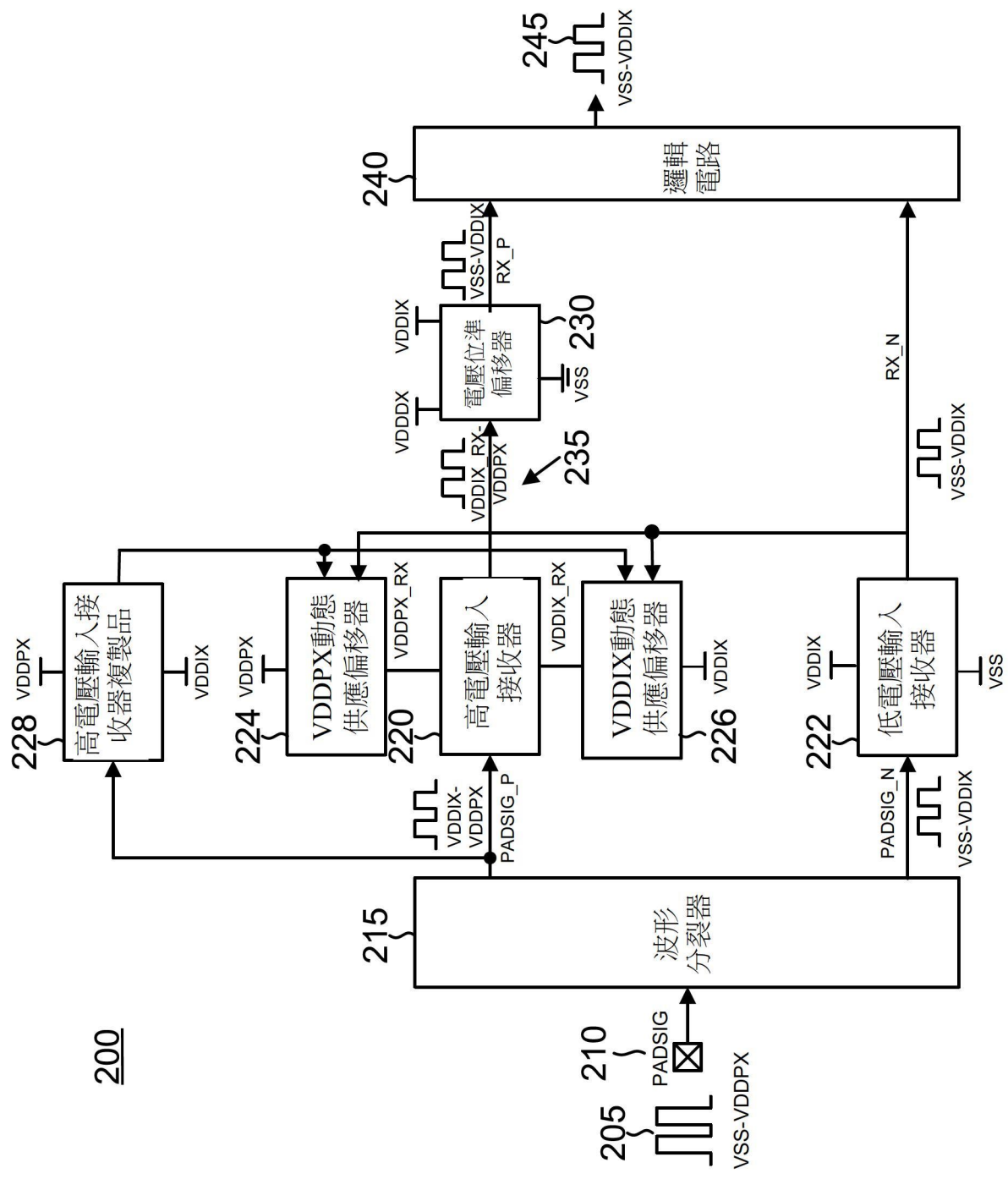
用於在該高電壓輸入接收器之一輸出變高時將該高電壓輸入接收器的該低電源供應連接調節至該低電源供應電壓之構件；及

用於在一高電壓輸入接收器複製品之一輸出變高時將該高電壓輸入接收器的該高電源供應連接調節至該高電源供應電壓之構件，該高電壓輸入接收器複製品耦合至該高電壓信號且由該高電源供應電壓及低電源供應電壓供電。

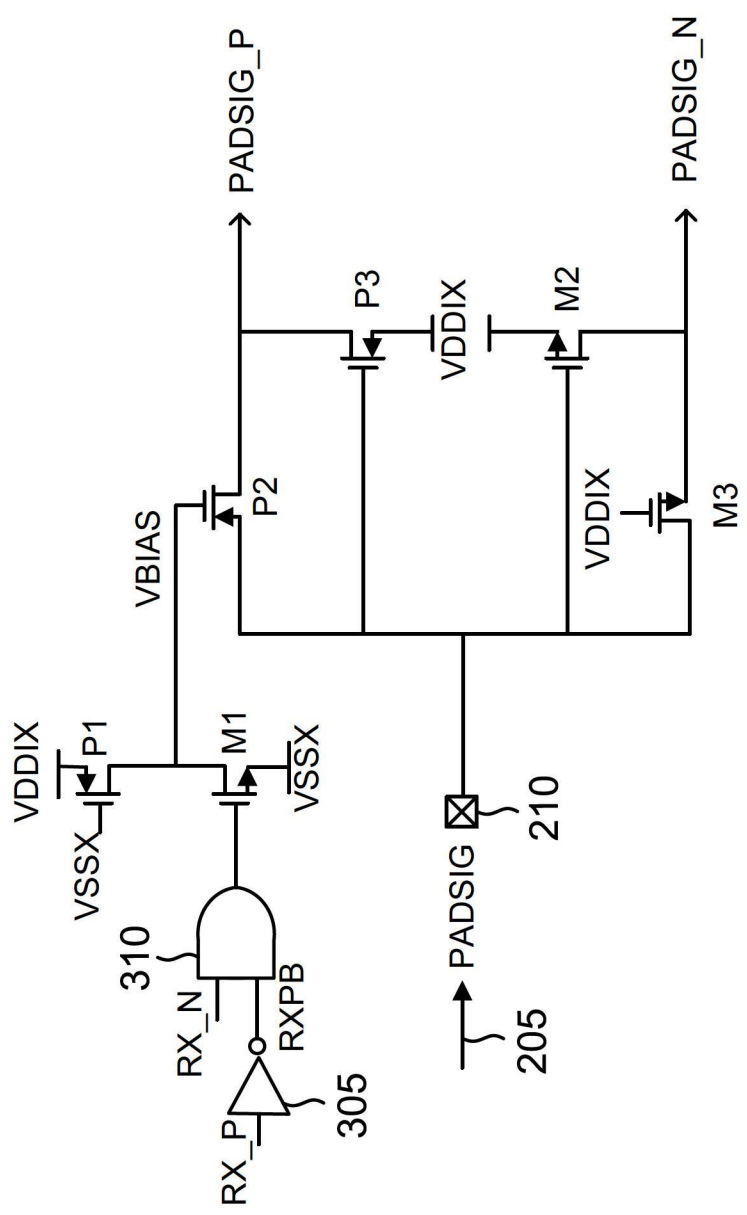
【發明圖式】



【圖1】

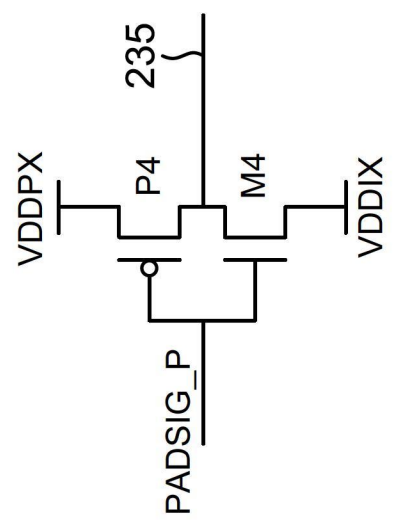


【圖2】



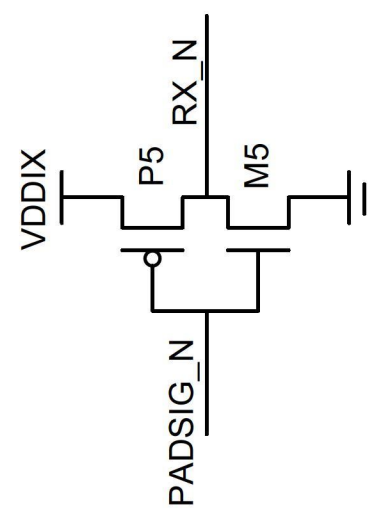
【圖3】

220



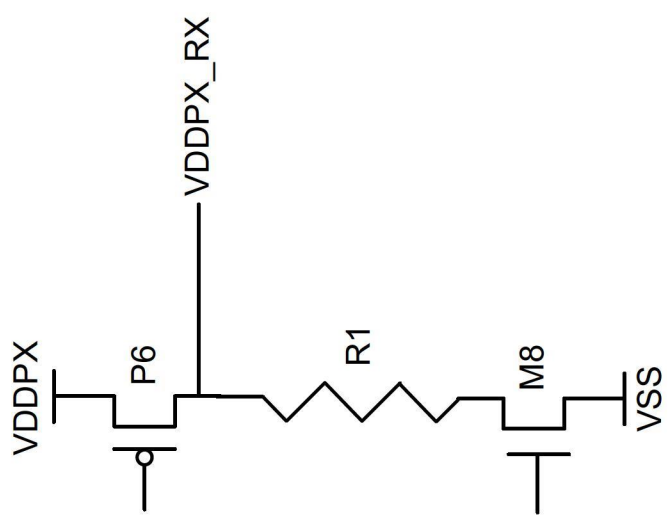
【圖4A】

225

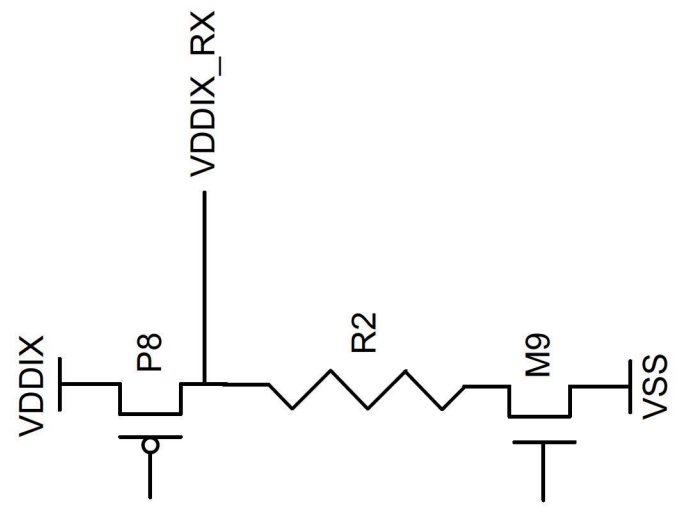


【圖4B】

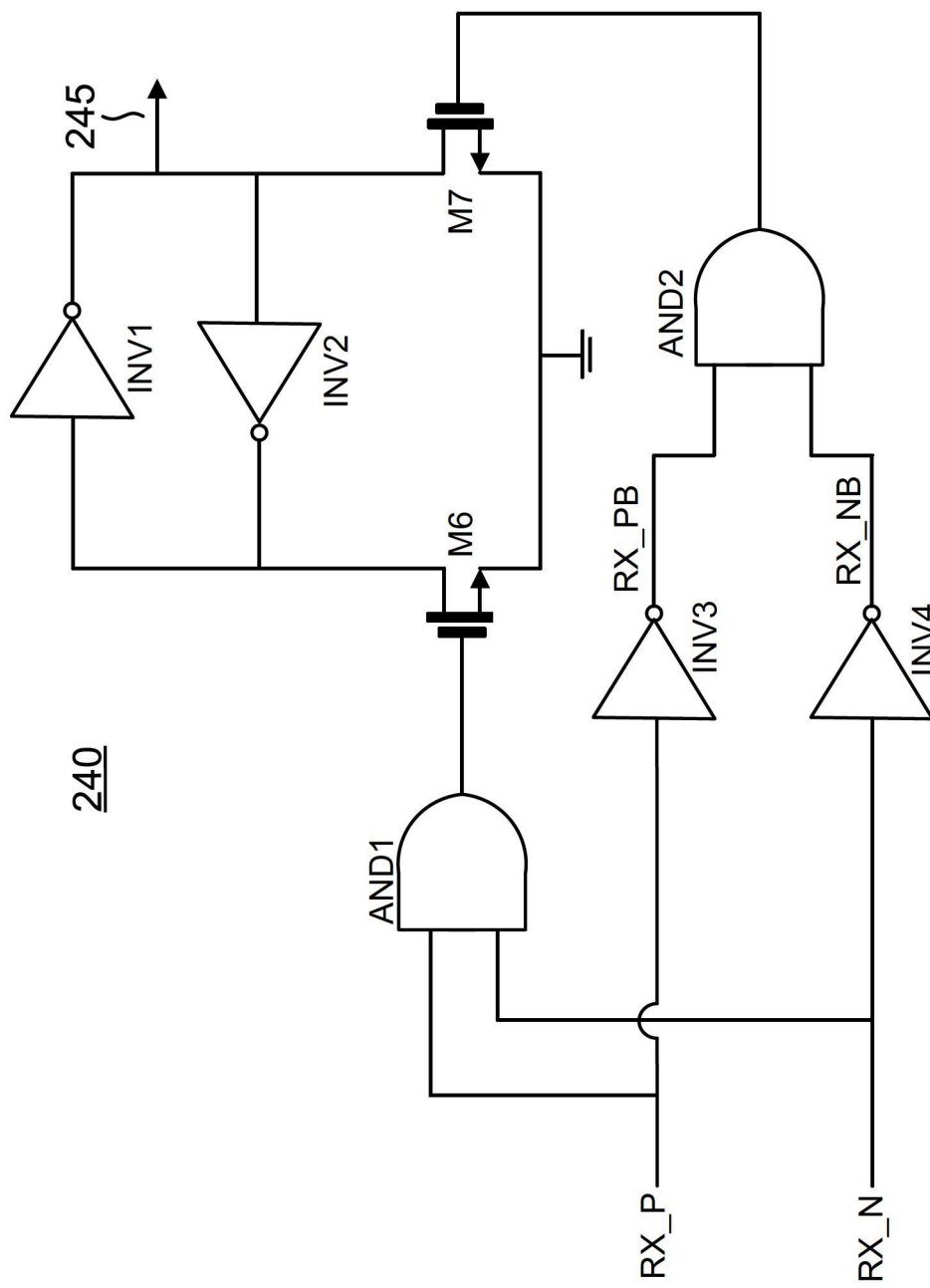
224



226

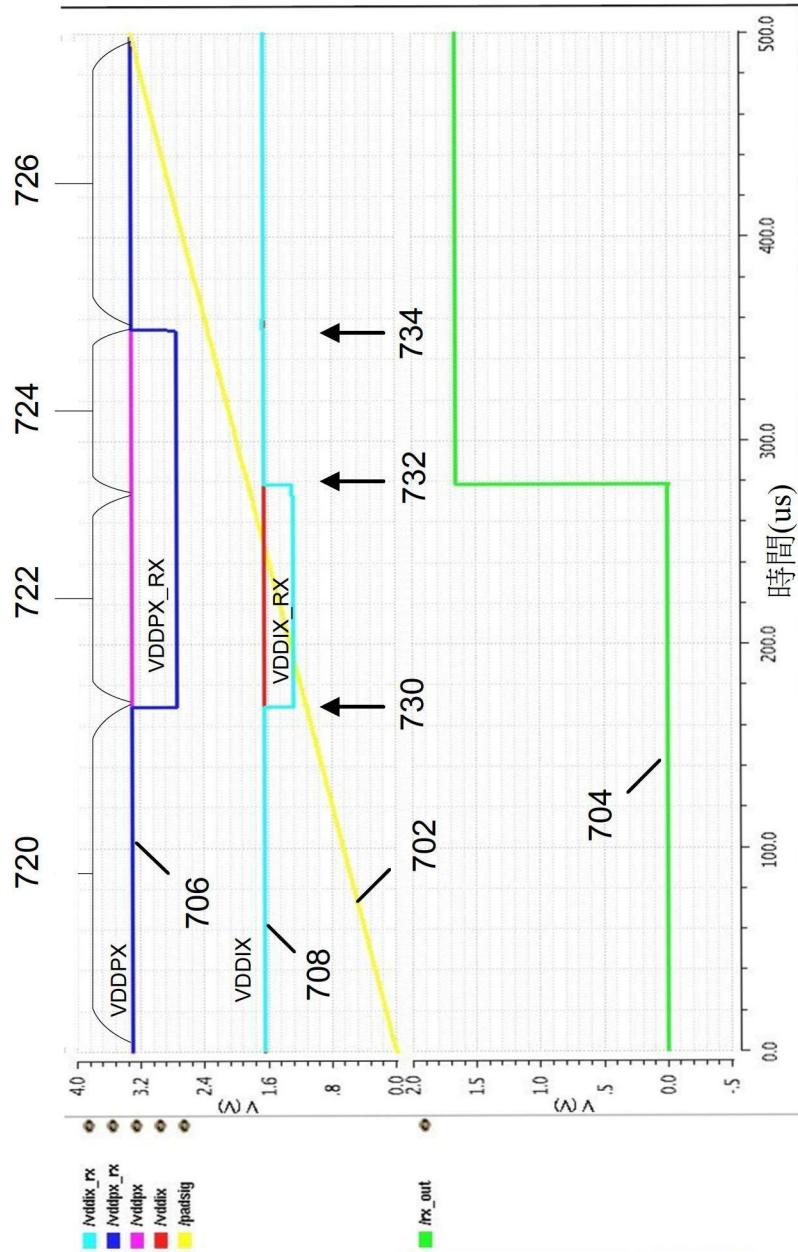


【圖5】

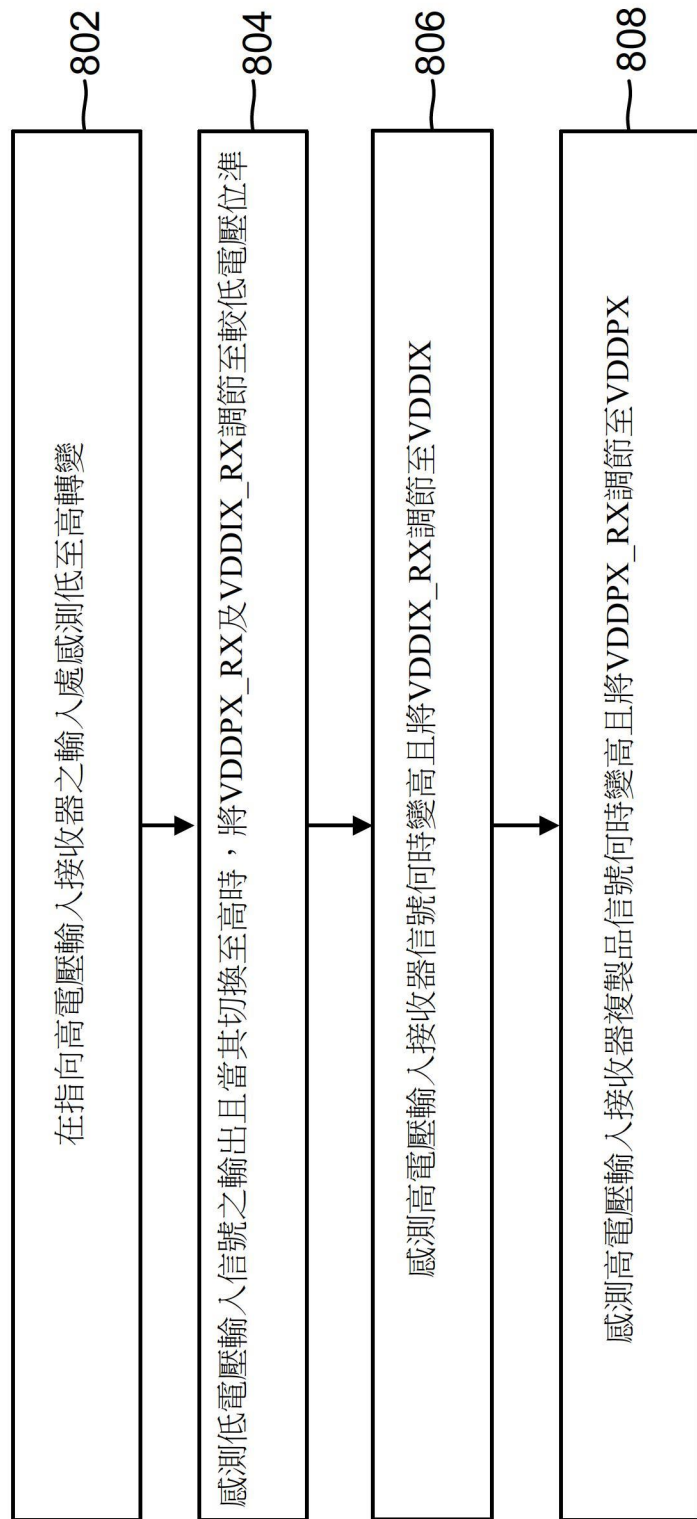


240

【圖6】



【圖7】



【圖8】