

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5279256号
(P5279256)

(45) 発行日 平成25年9月4日 (2013.9.4)

(24) 登録日 平成25年5月31日 (2013.5.31)

(51) Int. Cl.	F I
H O 1 L 27/10 (2006.01)	H O 1 L 27/10 4 3 1
H O 1 L 29/786 (2006.01)	H O 1 L 27/10 4 6 1
G 1 1 C 17/18 (2006.01)	H O 1 L 27/10 4 8 1
	H O 1 L 29/78 6 1 3 B
	G 1 1 C 17/00 3 0 6 A

請求項の数 5 (全 49 頁)

(21) 出願番号 特願2007-331342 (P2007-331342)
 (22) 出願日 平成19年12月25日 (2007.12.25)
 (65) 公開番号 特開2008-182217 (P2008-182217A)
 (43) 公開日 平成20年8月7日 (2008.8.7)
 審査請求日 平成22年11月3日 (2010.11.3)
 (31) 優先権主張番号 特願2006-347278 (P2006-347278)
 (32) 優先日 平成18年12月25日 (2006.12.25)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 加藤 清
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 審査官 堀江 義隆

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

複数のビット線を有する第1の駆動回路と、複数のワード線を有する第2の駆動回路と、複数のメモリセルと、前記複数のビット線と電氣的に接続することができる抵抗と、を有し、前記複数のメモリセルはそれぞれ、記憶素子と、トランジスタとを有し、前記ビット線は、前記トランジスタのソース又はドレインの一方と電氣的に接続され

、

前記トランジスタのソース又はドレインの他方は、前記記憶素子と電氣的接続され、前記ワード線は、前記トランジスタのゲートと電氣的に接続され、前記ゲートが選択されたトランジスタと電氣的に接続された前記記憶素子は、抵抗を介して電流が供給されると、第1の抵抗値から、前記第1の抵抗値より低い第2の抵抗値へ変化する機能を有し、前記ゲートが選択されている間、前記第2の抵抗値の前記記憶素子へ流れる電流は、前記抵抗を介して流れることができることを特徴とする半導体装置。

【請求項 2】

請求項 1 において、

前記抵抗の実効抵抗は、前記記憶素子の前記第1の抵抗値の実効抵抗値の1/3以下であることを特徴とする半導体装置。

10

20

【請求項 3】

請求項 1 又は請求項 2 において、
前記抵抗の実効抵抗は、前記記憶素子の前記第 2 の抵抗値の実効抵抗値の等倍以上であることを特徴とする半導体装置。

【請求項 4】

複数のビット線を有する第 1 の駆動回路と、
複数のワード線を有する第 2 の駆動回路と、
複数のメモリセルと、
前記複数のビット線と電氣的に接続することができる抵抗と、を有し、
前記複数のメモリセルはそれぞれ、記憶素子と、トランジスタとを有し、
前記ビット線は、前記トランジスタのソース又はドレインの一方と電氣的に接続され

10

、
前記トランジスタのソース又はドレインの他方は、前記記憶素子と電氣的接続され、
前記ワード線は、前記トランジスタのゲートと電氣的に接続され、
前記ゲートが選択されたトランジスタと電氣的に接続された前記記憶素子は、抵抗を介して電流が供給されると、データが書き込まれた状態となり、
前記ゲートが選択されている間、前記記憶素子へ流れる電流は、前記抵抗を介して流れることができることを特徴とする半導体装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一において、
前記抵抗は、半導体層によって構成される抵抗素子、金属薄膜、ダイオード接続されたトランジスタ、又はゲートを制御されたトランジスタであることを特徴とする半導体装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、不揮発性メモリ及びそれを有する半導体装置に関する。

【背景技術】

【0002】

不揮発性メモリを構成する記憶素子は低抵抗状態と高抵抗状態を有し、初期状態の抵抗値が高い場合はアンチヒューズ型、初期状態の抵抗値が低い場合はヒューズ型と呼ばれる。

30

【0003】

これらの不揮発性メモリを無線通信を行うタグ（RFIDタグ、無線タグなどとも呼ぶ）に搭載する場合、データを保持する際に電源を要しないため有効である。特に、ライトワンスメモリは一度書いたら消去することが出来ないため、高いセキュリティを有するメモリとしても注目されている。なお、無線タグは、駆動するための電源（例えば電池）を内蔵しているアクティブ型の無線タグと、外部からの電波または電磁波（搬送波）の電力を利用して駆動するパッシブ型との二種に大きく分けることができる（アクティブ型に関しては特許文献 1、パッシブ型に関しては特許文献 2 を参照）。

40

【特許文献 1】特開 2005 - 316724 号公報

【特許文献 2】特表 2006 - 503376 号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

アクティブ型の無線タグでは、通信に必要な電波の強度に応じて電池は経時的に消耗していき、最終的には駆動に必要な電力が得られないといった課題があった。また、パッシブ型の無線タグでは、通信距離が近いものに限られるという課題があった。

【0005】

さらに、不揮発性メモリへの書き込みは、通常高電圧あるいは高電流を要するため消費電

50

力が大きい動作である。そのため、このような不揮発性メモリを有するアクティブ型の無線タグでは電池の寿命がより短いものとなり、パッシブ型の無線タグではメモリへの書き込み可能な通信距離がより短くなってしまう。このように、消費電力が大きい不揮発性メモリを無線タグに搭載する場合、各々の無線タグに対し挙げられる課題、即ち問題はより顕著なものとなる。

【0006】

上記問題を鑑み、本発明では消費電力を低減した不揮発性メモリを実現することを課題とする。また、電池の寿命が長いアクティブ型の無線タグ、あるいはメモリへの書き込み可能な通信範囲が広いパッシブ型の無線タグを提供することを課題とする。

【課題を解決するための手段】

【0007】

メモリへの書き込み時の消費電流を低減するには、書き込み電圧を下げる、書き込み期間を短縮するなどが考えられるが、いずれも記憶素子の特性改善が必要となる。発明者は、アンチヒューズ型の不揮発性メモリの書き込み動作において、記憶素子が高抵抗状態から低抵抗状態に変わった直後に大電流が流れ、消費電力が大きくなることに着目した。そして、大電流が流れる電流経路上に抵抗部を挿入する構成、即ち記憶素子に対し直列に抵抗部を設ける本発明の構成に至った。

【0008】

本発明の一は、低抵抗状態と高抵抗状態を有する記憶素子と、書き込み回路と、抵抗部と、前記書き込み回路へ書き込み電圧を入力する電源入力端子と、前記記憶素子と前記書き込み回路とを接続するか否かを選択するビット線駆動回路と、前記記憶素子に書き込みをするか否かを選択するワード線駆動回路とを有し、前記記憶素子への書き込み時に当該記憶素子に流れる電流は前記電源入力端子から前記書き込み回路を介して供給され、前記抵抗部は前記電流の経路上に設けられていることを特徴とする不揮発性メモリである。

【0009】

本発明の一は、低抵抗状態と高抵抗状態を有する記憶素子と、書き込み回路と、読み出し回路と、抵抗部と、前記書き込み回路へ書き込み電圧を入力する電源入力端子と、前記記憶素子と前記書き込み回路もしくは読み出し回路とを接続するか否かを選択するビット線駆動回路と、前記記憶素子に書き込みをするか否かを選択するワード線駆動回路とを有し、前記記憶素子への書き込み時に当該記憶素子に流れる電流は前記電源入力端子から前記書き込み回路を介して供給され、前記抵抗部は前記電流の経路上に設けられていることを特徴とする不揮発性メモリである。

【0010】

本発明の一は、低抵抗状態と高抵抗状態を有する記憶素子と、書き込み回路と、読み出し回路と、抵抗部と、前記書き込み回路へ書き込み電圧を入力する電源入力端子と、前記記憶素子と前記書き込み回路もしくは読み出し回路とを接続するか否かを選択するビット線駆動回路と、前記記憶素子に書き込みをするか否かを選択するワード線駆動回路とを有し、前記記憶素子への書き込み時に当該記憶素子に流れる電流は前記電源入力端子から前記書き込み回路を介して供給され、前記抵抗部は前記電流の経路上で、なおかつ読み出し時に当該記憶素子に流れる電流の経路外に設けられていることを特徴とする不揮発性メモリである。

【0011】

本発明の一は、低抵抗状態と高抵抗状態を有する記憶素子と、書き込み回路と、抵抗部と、前記書き込み回路へ書き込み電圧を入力する電源入力端子と、前記記憶素子と前記書き込み回路とを接続するか否かを選択するビット線駆動回路と、前記記憶素子に書き込みをするか否かを選択するワード線駆動回路とを有し、前記ビット線駆動回路はビット線を介して前記記憶素子と接続され、前記記憶素子への書き込み時には、当該記憶素子に接続されたビット線と前記電源入力端子との間に書き込み電圧が伝達される電気経路が形成され、前記抵抗部は前記電気経路上に設けられていることを特徴とする不揮発性メモリである。

【 0 0 1 2 】

本発明の一は、低抵抗状態と高抵抗状態を有する記憶素子を含むメモリセルと、書き込み回路と、抵抗部と、前記書き込み回路へ書き込み電圧を入力する電源入力端子と、前記記憶素子と前記書き込み回路とを接続するか否かを選択するビット線駆動回路と、前記記憶素子に書き込みをするか否かを選択するワード線駆動回路とを有し、前記記憶素子の第1の電極はビット線を介して前記ビット線駆動回路と接続され、前記記憶素子の第2の電極はワード線を介して前記ワード線駆動回路と接続され、前記抵抗部は前記電源入力端子と前記メモリセルとの間に当該記憶素子に対し直列に設けられていることを特徴とする不揮発性メモリである。

【 0 0 1 3 】

上記構成において、前記メモリセルは前記記憶素子と直列に接続されたダイオードを有していても良い。また、前記記憶素子は書き込みにより高抵抗状態から低抵抗状態に移行する状態を有する。

【 0 0 1 4 】

本発明の一は、メモリセルと、書き込み回路と、抵抗部と、前記書き込み回路へ書き込み電圧を入力する電源入力端子と、前記記憶素子と前記書き込み回路とを接続するか否かを選択するビット線駆動回路と、前記記憶素子に書き込みをするか否かを選択するワード線駆動回路とを有し、前記メモリセルは低抵抗状態と高抵抗状態を有する記憶素子とトランジスタとを有し、前記ビット線駆動回路はビット線及び前記トランジスタを介して前記記憶素子と接続され、前記ワード線駆動回路はワード線を介して前記トランジスタのゲート電極と接続され、前記記憶素子は前記電源入力端子から電位を供給することにより高抵抗状態から低抵抗状態へと移行し、前記抵抗部は前記電源入力端子と前記メモリセルとの間に当該記憶素子に対し直列に設けられていることを特徴とする不揮発性メモリである。

【 0 0 1 5 】

もちろん、不揮発性メモリはメモリセルを複数有する構成としても良い。

【 0 0 1 6 】

なお、抵抗部は、高抵抗状態の記憶素子の抵抗値に比べて小さいことが好ましい。代表的には $1/3$ 以下、より好適には $1/10$ 以下とすることで、書き込み電圧を低く抑えることができるため、好ましい。また、抵抗部は、低抵抗状態の記憶素子の抵抗値に比べて大きいことが好ましい。代表的には等倍以上、より好適には3倍以上とすることで、消費電流を小さく抑えることができるため、好ましい。

【 0 0 1 7 】

従って、記憶素子は、高抵抗状態の抵抗値と低抵抗状態の抵抗値が大きく異なることがより好ましい。代表的には10倍以上、より好適には100倍以上の抵抗比を有することが好ましい。

【 0 0 1 8 】

なお、抵抗部は、例えば半導体層によって構成される抵抗素子、金属薄膜、ダイオード接続されたトランジスタ、もしくはゲート電極を制御されたトランジスタを用いて形成することができる。

【 0 0 1 9 】

このような構成とすることで、書き込み性能に影響をほとんど与えずに、書き込み時の大電流を抑制できる。よって、消費電力の低い不揮発性メモリを提供することが可能となる。

【 0 0 2 0 】

また、本発明の一を本発明の不揮発性メモリを有する無線通信を行う半導体装置、例えば無線タグとしても良い。なお、無線通信には例えばアンテナを用いて行えば良い。また、半導体装置は、さらにバッテリーを有していても良い。

【 0 0 2 1 】

本発明において、トランジスタは特に限定されない。非晶質シリコンや多結晶シリコンに代表される非単結晶半導体膜を用いた薄膜トランジスタ(TFT)、半導体基板やSOI

10

20

30

40

50

基板を用いて形成されるトランジスタ、MOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタ、ZnOやa-InGaZnOなどの化合物半導体を用いたトランジスタ、有機半導体やカーボンナノチューブを用いたトランジスタ等を適用することができる。また、トランジスタが配置されている基板の種類についても特に限定されず、例えば、単結晶基板、SOI基板、ガラス基板、プラスチック基板等を用いることができる。

【0022】

また、明細書に示すスイッチは、電氣的スイッチでも機械的なスイッチでも良く、電流の流れを制御できるものなら特に限定されない。トランジスタでもよいし、ダイオードやそれらを組み合わせた論理回路でもよい。例えば、スイッチとしてトランジスタを用いる場合、そのトランジスタは、単なるスイッチとして動作するため、トランジスタの極性（導電型）は特に限定されない。ただし、オフ電流が少ない方の極性であることが望ましい。例えば、オフ電流が少ないトランジスタとしては、LDD領域を設けている構成のものやマルチゲート構造にしている構成のものなどがある。

【発明の効果】

【0023】

本発明により、書き込み時の消費電流を低減した、低い消費電力の不揮発性メモリを実現することができる。さらに、本発明の不揮発性メモリを有することにより電池の寿命が長いアクティブ型の無線タグ、あるいはメモリへの書き込み可能な通信範囲が広いパッシブ型の無線タグを実現することができる。

【発明を実施するための最良の形態】

【0024】

以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って本実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同じ物を指し示す符号は異なる図面間において共通とする。

（実施の形態1）

本発明の不揮発性メモリの一構成例を、図1に示すブロック図を用いて説明する。

【0025】

図1に示す不揮発性メモリは、書き込み回路101、ワード線駆動回路102、ビット線駆動回路103、読み出し回路104、および複数のメモリセル106を含むメモリセルアレイ105を有する。メモリセル106は、トランジスタ108と記憶素子109を有する。

【0026】

ビット線駆動回路103はコラムアドレスを入力して、アドレスが指定する列のビット線を書き込み回路101もしくは読み出し回路104に接続する。ワード線駆動回路102はローアドレスを入力して、アドレスが指定する行のワード線を、書き込み回路101もしくは所定の電源線に接続する。読み出し回路には読み出し制御信号REが入力され、読み出し時に選択されたメモリセル106が有する記憶素子109の状態に基づいてデータ信号DATA OUTを生成する。書き込み回路101は、書き込み制御信号WEが入力され、書き込み時にはビット線駆動回路103やワード線駆動回路102へ書き込みに必要な電位が供給される。

【0027】

図1には書き込み動作に関わる経路を、点線を用いて示している。書き込み回路の高電位入力端子111に供給される電位であって、記憶素子の書き込みに要する電位を電位V_HHとする。なお、電位V_HHは書き込み用電源電位V_HHともいう。書き込み時に高電位がメモリセルへ伝達される経路は、書き込み回路の高電位入力端子111とノード112を繋ぐ経路115、ノード112とビット線に接続されるメモリセルの端子113とを繋ぐ経路116、及びノード112とワード線に接続されるメモリセルの端子114とを繋ぐ経路117に分けられる。また、経路116上には、抵抗部107（抵抗値R₁）が記

憶素子 109 に対し直列に接続されている。

【0028】

なお、ここでは記憶素子 109 として、アンチヒューズ型の記憶素子の例を用いて説明する。記憶素子 109 は低抵抗状態（実効的な抵抗値 R_L ）と高抵抗状態（実効的な抵抗値 R_H ）を有し、記憶素子に所定の電圧（ V_1 ）を印加することで高抵抗状態から低抵抗状態へ移行する、即ち書き込む場合について述べる。

【0029】

書き込み時には、経路 117 を介してトランジスタ 108 のゲート電極に高電位を印加して、トランジスタ 108 をオン状態とするとともに、経路 116 を介して端子 114 へ高電位を印加する。その結果、記憶素子 109 には所定の電圧 V_1 が印加され、書き込みが行われる。

10

【0030】

このような書き込み動作において、記憶素子 109 が高抵抗状態から低抵抗状態へ移行すると、記憶素子に流れる電流値も変化する。例えば、記憶素子 109 に一定電圧 V_1 が印加されているとすると、記憶素子 109 の抵抗値に反比例した電流値の電流が流れる。従って、低抵抗状態に移行した後に、記憶素子 109 に大電流が流れてしまう可能性があるが、抵抗部 107 を有することにより低抵抗状態の記憶素子 109 に流れる電流を低減することができる。

【0031】

低抵抗状態の記憶素子 109 に流れる電流は、抵抗部 107 がない場合には $I_1 = V_{HH} / (R_L + R_p)$ 、抵抗部 107 がある場合には $I_2 = V_{HH} / (R_L + R_1 + R_p)$ 程度である。なお、抵抗 R_p は記憶素子 109 と抵抗部 107 以外の電流経路 115 及び 116 上の抵抗成分の合計を表す。よって、 $I_1 > I_2$ より抵抗部 107 が存在することで記憶素子 109 に流れる電流値が低減されることがわかる。

20

【0032】

次に、抵抗部 107 の抵抗値 R_1 について考察する。

【0033】

抵抗部 107 の抵抗値 R_1 は、高抵抗状態の記憶素子 109 の抵抗値 R_H よりも小さいことが好ましい。抵抗値 R_1 が小さいと、記憶素子 109 が高抵抗状態の場合の抵抗部 107 による電圧降下は小さく、高電位入力端子 111 に印加する電圧 V_{HH} を低減することができる。

30

【0034】

例えば、 R_1 と R_H が同程度であれば、 V_{HH} は V_1 の約 2 倍の電圧が必要となってしまう。一方、抵抗値 R_1 を抵抗値 R_H の $1/3$ 以下とすると、 V_{HH} は V_1 の高々 3 割増程度に抑えられるため好ましい。さらに、抵抗値 R_1 を抵抗値 R_H の $1/10$ 以下とすると、 V_{HH} は V_1 の高々 1 割増程度に抑えられ、書き込みに必要となる電圧はより低く抑えられたため、好ましい。

【0035】

また、抵抗部 107 の抵抗値 R_1 は、低抵抗状態の記憶素子 109 の抵抗値 R_L よりも大きいことが好ましい。これは、上記の電流値 I_1 と I_2 の比較から明らかである。例えば、記憶素子 109 と抵抗部 107 以外の抵抗成分が小さい（ $R_p \ll R_L$ ）とすると、 R_1 と R_L が同程度であれば I_2 は I_1 の約 $1/2$ に抑えられる。また、抵抗値 R_1 を抵抗値 R_L の 3 倍以上とすると、 I_2 は I_1 の約 $1/4$ 以下に抑えられる。

40

【0036】

従って、記憶素子 109 における高抵抗状態と低抵抗状態の抵抗値は大きく異なることが好ましい。記憶素子 109 の高抵抗状態と低抵抗状態の抵抗値が大きく異なることで、抵抗値 R_1 をより好ましい抵抗値とすることができ、書き込み用電源電位には影響を与えずに低抵抗状態の記憶素子に流れる電流を低減することが可能となる。

【0037】

R_H が R_L の 10 倍以上であれば、例えば、抵抗部 107 の抵抗値 R_1 を R_L と同程度と

50

した場合、抵抗部 107 による書き込み用電源電位の上昇をほぼ招くことなく、低抵抗状態での消費電流を約 $1/2$ に抑えられるため、好ましい。また、RH が RL の 100 倍以上であれば、例えば、抵抗部 107 の抵抗値 R1 を RL の 10 倍程度とした場合、抵抗部 107 による書き込み用電源電位の上昇をほぼ招くことなく、低抵抗状態での消費電流を約 $1/10$ に抑えられるため、非常に好ましい。

【0038】

次に、抵抗部 107 を接続する位置について考察する。

【0039】

上述したように、抵抗部 107 は記憶素子 109 に流れる電流が通る経路に記憶素子 109 に対し直列に接続されていれば良い。従って、例えば、図 1 に示したように経路 116 に抵抗部 107 が設けられていることが好ましい。一方、経路 117 では電流がほとんど消費されないため、経路 117 に抵抗部 107 を設けても消費電流を低減する効果は得られない。また、経路 115 に抵抗部 107 を設けることは、経路 116 に抵抗部 107 を設けることと同程度に有効である。

【0040】

また、抵抗部 107 は、読み出し時に記憶素子 109 に流れる電流の経路上にはないことが好ましい。こうすることで、読み出し動作に影響なく、書き込み時の消費電流を低減することが可能となる。なお、抵抗部 107 が読み出し時に記憶素子 109 に流れる電流の経路上に設けられても構わない。このような場合、抵抗部 107 を考慮した読み出し回路を設けることで読み出しを行うことも可能である。

【0041】

以上のようにして、本発明は、書き込み時の消費電流を低減した、低い消費電力の不揮発性メモリを実現することができる。

【0042】

なお、抵抗部 107 は、半導体領域を用いた抵抗素子や、金属薄膜を用いた抵抗素子を用いても良いし、ゲート電極を制御されたトランジスタやダイオードなどの非線形素子を用いて構成しても良い。

【0043】

また、不揮発性メモリは上述したようなアンチヒューズ型の不揮発性メモリに限らず、低抵抗状態を含む複数の状態を有する記憶素子を用いた書き換え可能な不揮発性メモリを用いることができる。

【0044】

(実施の形態 2)

本実施形態では、本発明の不揮発性メモリの一構成例を、図 2 を用いて説明する。

【0045】

図 2 に示す不揮発性メモリは、書き込み回路 201、ワード線駆動回路 202、ビット線駆動回路 203、読み出し回路 204、および m 行 n 列に配置されたメモリセルを含むメモリセルアレイ 205 を有する。

【0046】

ビット線駆動回路 203 は、コラムデコーダ 230 とスイッチ 231(1) ~ 231(n) を有し、コラムアドレスが入力される。また、ビット線駆動回路 203 はメモリセルアレイ 205 と n 本のビット線 B(1) ~ B(n) で接続されている。ビット線駆動回路 203 はコラムアドレスが指定する列(第 k 列とする)のスイッチ 231(k) をオンにして、ビット線 B(k) を書き込み回路 201 もしくは読み出し回路 204 に接続する。

【0047】

ワード線駆動回路 202 は、ローデコーダ 220 とスイッチ 221(1) ~ 221(m) を有し、ローアドレスが入力される。また、ワード線駆動回路 202 はメモリセルアレイ 205 と m 本のワード線 W(1) ~ W(m) で接続されている。ワード線駆動回路 202 は、スイッチ 221(1) ~ 221(m) を制御して、ローアドレスが指定する行(第 j 行とする)のワード線 W(j) を書き込み回路 201 に接続し、他の行のワード線を接地

電源線に接続する。

【 0 0 4 8 】

なお、図 2 に示す不揮発性メモリは、メモリセル (1 , 1) を選択した状態を表す。

【 0 0 4 9 】

メモリセルアレイ 2 0 5 が有する各々のメモリセル (j , k) (j は 1 ~ m の整数、k は 1 ~ n の整数) は、トランジスタ 2 5 0 と記憶素子 2 5 1 とを有し、トランジスタ 2 5 0 のゲート電極はワード線 W (j) と接続され、トランジスタ 2 5 0 のソース電極もしくはドレイン電極の一方はビット線 B (k) と接続され、他方は記憶素子 2 5 1 の第 1 の電極と接続される。また、記憶素子の第 2 の電極には共通電位 V C O M が供給される。

【 0 0 5 0 】

記憶素子 2 5 1 としてアンチヒューズ型の記憶素子の例を用いて説明する。なお、ここでは記憶素子 2 5 1 に所定の電圧を印加することにより、記憶素子を高抵抗状態 (実効的な抵抗値 R H) から低抵抗状態 (実効的な抵抗値 R L) へ移行させることで書き込み動作を行う。

【 0 0 5 1 】

書き込み回路 2 0 1 は、スイッチ 2 1 0、スイッチ 2 1 1、抵抗部 2 1 2 を有し、書き込み用電源電位 V H H、電源電位 V D D、および書き込み制御信号 W E が入力される。信号 W E がアサートされた場合、スイッチ 2 1 0 がオンとなり、ビット線駆動回路 2 0 3 へ抵抗部 2 1 2 を介して電位 V H H が供給される。また、スイッチ 2 1 1 により、ワード線駆動回路 2 0 2 へ電位 V H H が供給される。一方、信号 W E がデアサートされた場合、スイッチ 2 1 0 がオフとなり、ビット線駆動回路 2 0 3 に電位 V H H は供給されない。また、スイッチ 2 1 1 により、ワード線駆動回路 2 0 2 へは電位 V D D が供給される。

【 0 0 5 2 】

読み出し回路 2 0 4 は、スイッチ 2 4 1、トランジスタ 2 4 0、インバータ 2 4 2 を有し、読み出し制御信号 R E が入力され、信号 D A T A O U T を出力する。信号 R E がアサートされた場合、スイッチ 2 4 1 はオンとなり、トランジスタ 2 4 0 はビット線駆動回路 2 0 3 と電気的に接続される。その結果、選択されたメモリセル内の記憶素子の状態に応じた電流が読み出し回路 2 0 4 に入力され、信号 D A T A O U T の電位が決まる。

【 0 0 5 3 】

選択されたメモリセル内の記憶素子が低抵抗状態であれば、記憶素子に流れる電流は大きくなり、トランジスタ 2 4 0 による電圧降下も大きくなる。よって、インバータ 2 4 2 への入力電位はインバータのしきい値電位よりも低くなる。その結果、信号 D A T A O U T の電位は V D D となる。逆に、選択されたメモリセル内の記憶素子が高抵抗状態であれば、記憶素子に流れる電流は小さくなり、トランジスタ 2 4 0 による電圧降下も小さくなる。よって、インバータ 2 4 2 への入力電位はインバータのしきい値電位よりも高くなる。その結果、信号 D A T A O U T の電位は G N D となる。このようにして、記憶素子の状態に基づいてデータ信号 D A T A O U T が生成されることにより、記憶素子が低抵抗状態もしくは高抵抗状態であることを読み取ることができる。

【 0 0 5 4 】

なお、信号 R E がデアサートされた場合、スイッチ 2 4 1 はオフとなり、メモリセルの読み出しは行わない。

【 0 0 5 5 】

本発明の不揮発性メモリは抵抗部 2 1 2 を有する。抵抗部 2 1 2 は、読み出し動作へは影響を与えずに書き込み時の消費電流を低減することができる。これについて以下に説明する。

【 0 0 5 6 】

書き込み時には信号 W E がアサートされ、信号 R E はデアサートされる。ビット線駆動回路 2 0 3 はコラムアドレスに基づいて列 (第 k 列とする) を選択し、書き込み回路 2 0 1 から供給される電位 V H H をビット線 B (k) に供給する。ワード線駆動回路 2 0 2 はローアドレスに基づいて行 (第 j 行とする) を選択し、書き込み回路 2 0 1 から供給される

10

20

30

40

50

電位 V_{HH} をワード線 $W(j)$ に供給する。そして、選択したメモリセルへの書き込みを行う。

【0057】

書き込み動作では、スイッチ 210、抵抗部 212、スイッチ 231、トランジスタ 250、記憶素子 251 の経路に電流が流れる。この電流経路に、抵抗部 212 が存在することで、消費電流を低減することが可能となる。抵抗部 212 の抵抗値は、記憶素子の高抵抗状態の抵抗値 R_H よりも小さく、低抵抗状態の抵抗値 R_L よりも大きい値を採用することが好ましい。特に、記憶素子の高抵抗状態の抵抗値 R_H の $1/3$ 以下、より好ましくは $1/10$ 以下、低抵抗状態の抵抗値 R_L よりも等倍以上、より好ましくは 3 倍以上の抵抗値を有する抵抗部 212 を用いることが好ましい。このような抵抗部 212 を用いることで、書き込み用電源電位 V_{HH} の上昇を抑え、かつ記憶素子が高抵抗状態から低抵抗状態へ移行した際の消費電流を低減することができる。その結果、書き込みを行った際の消費電流を低減することが可能となる。

10

【0058】

一方、読み出し時には信号 R_E がアサートされ、信号 W_E がデアサートされる。ビット線駆動回路 203 はコラムアドレスに基づいて列（第 k 列とする）を選択し、読み出し回路 204 とビット線 $B(k)$ を接続する。ワード線駆動回路 202 はローアドレスに基づいて行（第 j 行とする）を選択し、書き込み回路 201 から供給される電位 V_{DD} をワード線 $W(j)$ に供給する。そして、選択したメモリセルの読み出しを行う。

【0059】

20

読み出し動作では、トランジスタ 240、スイッチ 241、スイッチ 231、トランジスタ 250、記憶素子 251 の経路に電流が流れる。この電流経路には抵抗部 212 が存在しないため、抵抗部 212 は読み出し動作へは影響しない。

【0060】

なお、抵抗部 212 は書き込み時に記憶素子 251 に流れる電流の経路上に設けられていれば良く、読み出し時に記憶素子 251 に流れる電流の経路上にはないことが好ましい。ただし、実施の形態 1 で述べたように、読み出し時に記憶素子 251 に流れる電流の経路上に抵抗部 212 を設けた場合には、抵抗部 212 を考慮した読み出し回路を設けることで読み出しを行うことも可能である。

【0061】

30

また、抵抗部 212 は、半導体領域を用いた抵抗素子や、金属薄膜を用いた抵抗素子を用いても良いし、ゲート電極を制御されたトランジスタやダイオードなどの非線形素子を用いて構成しても良い。

【0062】

また、不揮発性メモリは上述したようなアンチヒューズ型の不揮発性メモリに限らず、低抵抗状態を含む複数の状態を有する記憶素子を用いた書き換え可能な不揮発性メモリを用いることもできる。

【0063】

以上のようにして、本発明は、書き込み時の消費電流を低減した不揮発性メモリを実現することができる。

40

【0064】

なお、本実施の形態は、他の実施の形態もしくは後述の実施例と適宜組み合わせることが可能である。

【0065】

（実施の形態 3）

本実施形態では、本発明の不揮発性メモリの一構成例を、図 3 を用いて説明する。

【0066】

図 3 に示す不揮発性メモリは、書き込み回路 301、ワード線駆動回路 302、ビット線駆動回路 303、及び m 行 n 列に配置されたメモリセルを含むメモリセルアレイ 305 を有する。なお、読み出し回路はビット線駆動回路 303 に含まれる構成となっている。

50

【 0 0 6 7 】

ビット線駆動回路 3 0 3 は、コラムデコーダ 3 3 0 とスイッチ 3 3 1 (1) ~ 3 3 1 (n)、スイッチ 3 3 2 (1) ~ 3 3 2 (n) と、トランジスタのダイオード接続によって構成された抵抗部 3 3 3 (1) ~ 3 3 3 (n)、読み出し回路 3 0 4 (1) ~ 3 0 4 (n) を有し、コラムアドレスが入力される。また、ビット線駆動回路 3 0 3 はメモリセルアレイ 3 0 5 と n 本のビット線 B (1) ~ B (n) で接続されている。ビット線駆動回路 3 0 3 はコラムアドレスが指定する列 (第 k 列とする) のスイッチ 3 3 1 (k)、スイッチ 3 3 2 (k) をオンにして、ビット線 B (k) を読み出し回路 3 0 4 (k) に、また、抵抗部 3 3 3 (k) を介して書き込み回路 3 0 1 に接続する。また、読み出し回路 3 0 4 (k) 内のスイッチ 3 4 3 (k) をオンにして、読み出し回路 3 0 4 (k) を選択する。

10

【 0 0 6 8 】

ワード線駆動回路 3 0 2 は、ローデコーダ 3 2 0 とスイッチ 3 2 1 (1) ~ 3 2 1 (m) を有し、ローアドレスが入力される。また、ワード線駆動回路 3 0 2 はメモリセルアレイ 3 0 5 と m 本のワード線 W (1) ~ W (m) で接続されている。ワード線駆動回路 3 0 2 は、スイッチ 3 2 1 (1) ~ 3 2 1 (m) を制御して、ローアドレスが指定する行 (第 j 行とする) のワード線 W (j) を書き込み回路 3 0 1 に接続し、他の行のワード線を接地電源線に接続する。

【 0 0 6 9 】

なお、図 3 に示す不揮発性メモリは、メモリセル (1 , 1) を選択した状態を表す。

【 0 0 7 0 】

メモリセルアレイ 3 0 5 が有する各々のメモリセル (j , k) (j は 1 ~ m の整数、k は 1 ~ n の整数) は、トランジスタ 3 5 0 と記憶素子 3 5 1 とを有し、トランジスタ 3 5 0 のゲート電極はワード線 W (j) と接続され、トランジスタ 3 5 0 のソース電極もしくはドレイン電極の一方はビット線 B (k) と接続され、他方は記憶素子 3 5 1 の第 1 の電極と接続される。記憶素子の第 2 の電極には共通電位 V C O M が供給される。

20

【 0 0 7 1 】

なお、記憶素子 3 5 1 としてアンチヒューズ型の記憶素子の例を用いて説明する。なお、ここでは記憶素子 3 5 1 に所定の電圧を印加することにより、記憶素子を高抵抗状態 (実効的な抵抗値 R H) から低抵抗状態 (実効的な抵抗値 R L) へ移行させることで書き込み動作を行う。

30

【 0 0 7 2 】

書き込み回路 3 0 1 は、スイッチ 3 1 0、スイッチ 3 1 1 を有し、書き込み用電源電位 V H H、電源電位 V D D、および書き込み制御信号 W E が入力される。信号 W E がアサートされた場合、スイッチ 3 1 0 がオンとなり、ビット線駆動回路 3 0 3 へ電位 V H H が供給される。また、スイッチ 3 1 1 により、ワード線駆動回路 3 0 2 へ電位 V H H が供給される。一方、信号 W E がデアサートされた場合、スイッチ 3 1 0 がオフとなり、ビット線駆動回路 3 0 3 には電位が供給されない。また、スイッチ 3 1 1 により、ワード線駆動回路 3 0 2 へは電位 V D D が供給される。

【 0 0 7 3 】

読み出し回路 3 0 4 (1) ~ (n) は、スイッチ 3 4 1 (1) ~ (n)、トランジスタ 3 4 0 (1) ~ (n)、インバータ 3 4 2 (1) ~ (n)、スイッチ 3 4 3 (1) ~ (n) をそれぞれ有し、読み出し制御信号 R E とコラムデコーダ 3 3 0 の出力信号が入力され、信号 D A T A O U T を出力する。信号 R E がアサートされた場合、スイッチ 3 4 1 (1) ~ (n) はオンとなる。また、コラムアドレスが指定する列 (第 k 列) の読み出し回路 3 0 4 (k) は、ビット線 B (k) と接続され、トランジスタ 3 4 0 (k) には選択されたメモリセルの状態に応じた電流が流れ、インバータ 3 4 2 (k) の出力電位が決まる。同時に、スイッチ 3 4 3 (k) がオン状態となり、信号 D A T A O U T が出力される。この信号 D A T A O U T を用いて、記憶素子の状態を読み取ることができる。

40

【 0 0 7 4 】

なお、信号 R E がデアサートされた場合、スイッチ 3 4 1 (1) ~ (n) はオフとなり、

50

メモリセルの読み出しは行わない。

【0075】

本発明の不揮発性メモリは抵抗部333(1)~(n)を有する。抵抗部333(1)~(n)は読み出しに影響を与えずに書き込み時の消費電流を低減することができる。これについて以下に説明する。

【0076】

書き込み時には信号WEがアサートされ、信号REはデアサートされる。ビット線駆動回路303はコラムアドレスに基づいて列(第k列とする)を選択し、書き込み回路301から供給される電位VHHをビット線B(k)に供給する。ワード線駆動回路302はローアドレスに基づいて行(第j行とする)を選択し、書き込み回路301から供給される電位VHHをワード線W(j)に供給する。そして、選択したメモリセルへの書き込みを行う。

10

【0077】

書き込み動作では、スイッチ310、抵抗部333(k)、スイッチ331(k)、トランジスタ350、記憶素子351の経路に電流が流れる。この電流経路に、抵抗部333(k)が存在することで、消費電流を低減することが可能となる。抵抗部333(k)の抵抗値は、記憶素子の高抵抗状態の抵抗値RHよりも小さく、低抵抗状態の抵抗値RLよりも大きい値を採用することが好ましい。特に、記憶素子の高抵抗状態の抵抗値RHの1/3以下、より好ましくは1/10以下であり、低抵抗状態の抵抗値RLよりも等倍以上、より好ましくは3倍以上の抵抗値を有する抵抗部333(k)を用いることが好ましい。このような抵抗部333(k)を用いることで、書き込み用電源電位VHHの上昇を抑え、かつ記憶素子が高抵抗状態から低抵抗状態へ移行した際の消費電流を低減することができる。その結果、書き込みを行った際の消費電流を低減することが可能となる。

20

【0078】

一方、読み出し時には信号REがアサートされ、信号WEがデアサートされる。ビット線駆動回路303はコラムアドレスに基づいて列(第k列とする)を選択し、読み出し回路304(k)とビット線B(k)を接続する。ワード線駆動回路302はローアドレスに基づいて行(第j行とする)を選択し、書き込み回路301から供給される電位VDDをワード線W(j)に供給する。そして、選択したメモリセルの読み出しを行う。

【0079】

読み出し動作では、トランジスタ340(k)、スイッチ341(k)、スイッチ332(k)、トランジスタ350、記憶素子351の経路に電流が流れる。この電流経路には抵抗部333(k)が存在しないため、抵抗部333(k)は読み出し動作へは影響しない。

30

【0080】

なお、本実施の形態のように各ビット線に対し読み出し回路を設けることで、記憶素子351から読み出し回路までの引き回し配線を短くすることができ、配線の寄生抵抗や寄生容量を低減することができる。その結果、読み出し速度を向上させることが可能となる。また、インバータ342(k)に入力される電位は、記憶素子の状態に応じて変化するが、引き回し配線を短くすることで寄生抵抗や寄生容量を低減することができるため、その変化前後の電位差が縮まることを抑制できる。よって、読み出し動作を安定化させることができる。ここでは、各ビット線に対し読み出し回路を設けているが、読み出し回路に対するビット線の本数は特に限定されない。

40

【0081】

なお、抵抗部333(k)は書き込み時に記憶素子351に流れる電流の経路上に設けられていれば良く、読み出し時に記憶素子351に流れる電流の経路上にはないことが好ましい。ただし、実施の形態1で述べたように、読み出し時に記憶素子351に流れる電流の経路上に抵抗部333(k)を設けた場合には、抵抗部333(k)を考慮した読み出し回路を設けることで読み出しを行うことも可能である。

【0082】

50

また、抵抗部 333 (k) は、半導体領域を用いた抵抗素子や、金属薄膜を用いた抵抗素子を用いても良いし、ゲート電極を制御されたトランジスタやダイオードなどの非線形素子を用いて構成しても良い。

【0083】

また、不揮発性メモリは上述したようなアンチヒューズ型の不揮発性メモリに限らず、低抵抗状態を含む複数の状態を有する記憶素子を用いた書き換え可能な不揮発性メモリを用いることもできる。

【0084】

以上のようにして、本発明は、書き込み時の消費電流を低減した不揮発性メモリを実現することができる。

【0085】

なお、本実施の形態は、他の実施の形態もしくは後述の実施例と適宜組み合わせることが可能である。

【0086】

(実施の形態 4)

本実施形態では、本発明の不揮発性メモリの一構成例を、図 4 を用いて説明する。

【0087】

図 4 に示す不揮発性メモリは、書き込み回路 401、ワード線駆動回路 402、ビット線駆動回路 403、読み出し回路 404、及び m 行 n 列に配置されたメモリセルからなるメモリセルアレイ 405 を有する。

【0088】

ビット線駆動回路 403 は、コラムデコーダ 430 とスイッチ 431 (1) ~ 431 (n) とレベルシフタ 432 (1) ~ 432 (n) を有し、コラムアドレスを入力する。また、メモリセルアレイ 405 と n 本のビット線 B (1) ~ B (n) で接続されている。レベルシフタ 432 (1) ~ 432 (n) は、スイッチ 431 (1) ~ 431 (n) に入力される制御信号の振幅が書き込み回路 401 よりビット線駆動回路 403 に供給される電位の振幅以上となるようにコラムデコーダ 430 の出力信号の振幅を増大させる回路である。コラムデコーダ 430 の出力信号の振幅を増大することで、スイッチ 431 (1) ~ 431 (n) の制御を確実に行うことができる。

【0089】

ビット線駆動回路 403 はコラムアドレスが指定する列 (第 k 列とする) のスイッチ 431 (k) をオンにして、ビット線 (k) を書き込み回路 401 もしくは読み出し回路 404 に接続する。

【0090】

ワード線駆動回路 402 は、ローデコーダ 420 とスイッチ 421 (1) ~ 421 (m) とレベルシフタ 422 (1) ~ 422 (m) を有し、ローアドレスが入力される。また、ワード線駆動回路 402 はメモリセルアレイ 405 と m 本のワード線 W (1) ~ W (m) で接続されている。レベルシフタ 422 (1) ~ 422 (m) は、スイッチ 421 (1) ~ 421 (m) に入力される制御信号の振幅が書き込み回路 401 よりワード線駆動回路 402 に供給される電位の振幅以上となるようにローデコーダ 420 の出力信号の振幅を増大させる回路である。ローデコーダ 420 の出力信号の振幅を増大することで、スイッチ 421 (1) ~ 421 (m) の制御を確実に行うことができる。ワード線駆動回路 402 は、スイッチ 421 (1) ~ 421 (m) を制御して、ローアドレスが指定する行 (第 j 行とする) のワード線 W (j) を書き込み回路 401 に接続し、他の行のワード線を接地電源線に接続する。

【0091】

なお、図 4 に示す不揮発性メモリは、メモリセル (1, 1) を選択した状態を表す。

【0092】

メモリセルアレイ 405 が有する各々のメモリセル (j, k) (j は 1 ~ m の整数、k は 1 ~ n の整数) は、トランジスタ 450 と記憶素子 451 を有し、トランジスタ 450 の

10

20

30

40

50

ゲート電極はワード線 $W(j)$ と接続され、トランジスタ 450 のソース電極もしくはドレイン電極の一方はビット線 $B(k)$ と接続され、他方は記憶素子 451 の第 1 の電極と接続される。また、記憶素子 451 の第 2 の電極には共通電位 V_{COM} が供給される。

【0093】

記憶素子 451 としてアンチヒューズ型の記憶素子の例を用いて説明する。なお、ここでは記憶素子 251 に所定の電圧を印加することにより、記憶素子を高抵抗状態（実効的な抵抗値 R_H ）から低抵抗状態（実効的な抵抗値 R_L ）へ移行させることで書き込み動作を行う。

【0094】

書き込み回路 401 は、スイッチ 410、スイッチ 411、ゲート電極に電位 V_{ref1} が印加されたトランジスタによって構成される抵抗部 412、レベルシフタ 413 を有し、書き込み用電源電位 V_{HH} 、電源電位 V_{DD} 、および書き込み制御信号 WE が入力される。レベルシフタ 413 は、スイッチ 410、スイッチ 411 に入力される WE 信号の振幅が書き込み回路 401 の高電位入力端子より入力される電位の振幅以上となるように、信号 WE の振幅を増大させる回路である。信号 WE の振幅を増大することで、スイッチ 410、スイッチ 411 の制御を確実に行うことができる。

【0095】

信号 WE がアサートされた場合、スイッチ 410 がオンとなり、ビット線駆動回路 403 へ抵抗部 412 を介して電位 V_{HH} が供給される。また、スイッチ 411 により、ワード線駆動回路 402 へ抵抗部 412 を介して電位 V_{HH} が供給される。一方、信号 WE がデ

【0096】

読み出し回路 404 は、スイッチ 441、センスアンプ 442、抵抗部 443、レベルシフタ 444 を有し、読み出し制御信号 RE を入力し、信号 $DATA_OUT$ を出力する。レベルシフタ 444 は、スイッチ 441 に入力される信号 RE の振幅が書き込み回路 401 よりビット線駆動回路 403 に供給される電位の振幅以上となるように、信号 RE の振幅を増大させる回路である。よって、信号 RE の振幅を増大させることでスイッチ 441 の制御を確実に行うことができ、書き込み回路 401 から供給される電位をより確実に遮断することができる。信号 RE がアサートされた場合、スイッチ 441 はオンとなり、抵抗部 443 はビット線駆動回路 403 と電氣的に接続される。その結果、選択されたメモリセル内の記憶素子の状態に応じた電流が流れ、センスアンプ 442 へ入力される電位が決まる。その電位と電位 V_{ref2} との大小関係により、信号 $DATA_OUT$ の電位が決まる。

【0097】

選択されたメモリセル内の記憶素子が低抵抗状態であれば、記憶素子に流れる電流は大きくなり、抵抗部 443 による電圧降下も大きくなる。よって、センスアンプ 442 への入力電位は電位 V_{ref2} よりも低くなる。その結果、信号 $DATA_OUT$ の電位は V_{DD} となる。逆に、選択されたメモリセル内の記憶素子が高抵抗状態であれば、記憶素子に流れる電流は小さくなり、抵抗部 443 による電圧降下も小さくなる。よって、センスアンプ 442 への入力電位は電位 V_{ref2} よりも高くなる。その結果、信号 $DATA_OUT$ の電位は GND となる。このようにして、記憶素子の状態に基づいてデータ信号 $DATA_OUT$ が生成されることにより、記憶素子が低抵抗状態もしくは高抵抗状態であることを読み取ることができる。

【0098】

なお、信号 RE がデアサートされた場合、スイッチ 441 はオフとなり、メモリセルの読み出しは行わない。

【0099】

本発明の不揮発性メモリは抵抗部 412 を有する。抵抗部 412 は、読み出し動作への影

10

20

30

40

50

響を与えずに書き込み時の消費電流を低減することができる。これについて以下に説明する。

【0100】

書き込み時には信号WEがアサートされ、信号REはデアサートされる。ビット線駆動回路403はコラムアドレスに基づいて列(第k列とする)を選択し、書き込み回路401から供給される電位VHHをビット線B(k)に供給する。ワード線駆動回路402はローアドレスに基づいて行(第j行とする)を選択し、書き込み回路401から供給される電位VHHをワード線W(j)に供給する。そして、選択したメモリセルへの書き込みを行う。

【0101】

書き込み動作では、抵抗部412、スイッチ410、スイッチ431(k)、トランジスタ450、記憶素子451の経路に電流が流れる。この電流経路に、抵抗部412が存在することで、消費電流を低減することが可能となる。抵抗部412の抵抗値は、記憶素子の高抵抗状態の抵抗値RHよりも小さく、低抵抗状態の抵抗値RLよりも大きい値を採用することが好ましい。特に、記憶素子の高抵抗状態の抵抗値RHの1/3以下、より好ましくは1/10以下であり、低抵抗状態の抵抗値RLよりも等倍以上、より好ましくは3倍以上の抵抗値を有する抵抗部412を用いることが好ましい。このような抵抗部412を用いることで、書き込み用電源電位VHHの上昇を抑え、かつ記憶素子が高抵抗状態から低抵抗状態へ移行した際の消費電流を低減することができる。その結果、書き込みを行った際の消費電流を低減することが可能となる。

【0102】

なお、抵抗部412はワード線W(j)に電圧を印加する経路上にも接続されているが、この経路には電流がほとんど流れないため、抵抗部412がワード線W(j)の動作に影響することはない。

【0103】

一方、読み出し時には信号REがアサートされ、信号WEがデアサートされる。ビット線駆動回路403はコラムアドレスに基づいて列(第k列とする)を選択し、読み出し回路404とビット線B(k)を接続する。ワード線駆動回路402はローアドレスに基づいて行(第j行とする)を選択し、書き込み回路401から供給される電位VDDをワード線W(j)に供給する。そして、選択したメモリセルの読み出しを行う。

【0104】

読み出し動作では、抵抗部443、スイッチ441、スイッチ431(k)、トランジスタ450、記憶素子451の経路に電流が流れる。この電流経路には抵抗部412が存在しないため、抵抗部412は読み出し動作へは影響しない。

【0105】

なお、抵抗部412は書き込み時に記憶素子451に流れる電流の経路上に設けられていれば良く、読み出し時に記憶素子451に流れる電流の経路上にはないことが好ましい。ただし、実施の形態1で述べたように、読み出し時に記憶素子451に流れる電流の経路上に抵抗部412を設けた場合には、抵抗部412を考慮した読み出し回路を設けることで読み出しを行うことも可能である。

【0106】

また、抵抗部412は、半導体領域を用いた抵抗素子や、金属薄膜を用いた抵抗素子を用いても良いし、ゲート電極を制御されたトランジスタやダイオードなどの非線形素子を用いて構成しても良い。

【0107】

また、不揮発性メモリは上述したようなアンチヒューズ型の不揮発性メモリに限らず、低抵抗状態を含む複数の状態を有する記憶素子を用いた書き換え可能な不揮発性メモリを用いることもできる。

【0108】

以上のようにして、本発明は、書き込み時の消費電流を低減した不揮発性メモリを実現す

10

20

30

40

50

ることができる。

【 0 1 0 9 】

なお、本実施の形態は、他の実施の形態もしくは後述の実施例と適宜組み合わせることが可能である。

【 0 1 1 0 】

(実施の形態 5)

本実施形態では、本発明の不揮発性メモリの一構成例を、図 5 を用いて説明する。

【 0 1 1 1 】

図 5 に示す不揮発性メモリは、書き込み回路 5 0 1、ワード線駆動回路 5 0 2、ビット線駆動回路 5 0 3、読み出し回路 5 0 4、及び m 行 n 列に配置されたメモリセルからなるメモリセルアレイ 5 0 5 を有する。

10

【 0 1 1 2 】

ビット線駆動回路 5 0 3 は、コラムデコーダ 5 3 0 とスイッチ 5 3 1 (1) ~ 5 3 1 (n) を有し、コラムアドレスが入力される。また、ビット線駆動回路 5 0 3 は、メモリセルアレイ 5 0 5 と n 本のビット線 B (1) ~ B (n) で接続されている。ビット線駆動回路 5 0 3 はコラムアドレスが指定する列 (第 k 列とする) のスイッチ 5 3 1 (k) をオンにして、ビット線 B (k) を書き込み回路 5 0 1 もしくは読み出し回路 5 0 4 に接続する。

【 0 1 1 3 】

ワード線駆動回路 5 0 2 は、ローデコーダ 5 2 0 とスイッチ 5 2 1 (1) ~ 5 2 1 (m) を有し、ローアドレスが入力される。また、ワード線駆動回路 5 0 2 は、メモリセルアレイ 5 0 5 と m 本のワード線 W (1) ~ W (m) で接続されている。ワード線駆動回路 5 0 2 はローアドレスが指定する行 (第 j 行とする) のスイッチ 5 2 1 (j) をオンにして、ワード線 W (j) を接地電源線と接続する。

20

【 0 1 1 4 】

なお、図 5 に示す不揮発性メモリは、メモリセル (1 , 1) を選択した状態を表す。

【 0 1 1 5 】

メモリセルアレイ 5 0 5 が有する各々のメモリセル (j , k) (j は 1 ~ m の整数、k は 1 ~ n の整数) は、ダイオード 5 5 0 と記憶素子 5 5 1 を有する。ここでは、記憶素子 5 5 1 としてアンチヒューズ型の記憶素子を用いた場合について示す。なお、記憶素子 5 5 1 への書き込みは、所定の電圧を印加することで高抵抗状態 (実効的な抵抗値 R H) から低抵抗状態 (実効的な抵抗値 R L) へ移行させることで行うことができる。

30

【 0 1 1 6 】

ダイオード 5 5 0 と記憶素子 5 5 1 は直列に接続され、記憶素子 5 5 1 はビット線 B (k) と接続され、ダイオード 5 5 0 はワード線 W (j) に向けて電流が流れる向きでワード線 W (j) と接続されている。

【 0 1 1 7 】

なお、ダイオード 5 5 0 と記憶素子 5 5 1 の接続順番は逆でも構わない。つまり、記憶素子 5 5 1 がワード線 W (j) と接続され、ダイオード 5 5 0 はワード線 W (j) に向けて電流が流れる向きでビット線 B (k) と接続されていても構わない。

40

【 0 1 1 8 】

また、ダイオード 5 5 0 は、ワード線 W (j) に向けて電流が流れる向きに限られるわけではなく、記憶素子 5 5 1 に書き込みを行う際に記憶素子 5 5 1 に流れる電流の向きと一致するよう設ければ良い。

【 0 1 1 9 】

書き込み回路 5 0 1 は、スイッチ 5 1 0、抵抗部 5 1 1 を有し、書き込み用電源電位 V H H および書き込み制御信号 W E が入力される。信号 W E がアサートされた場合、スイッチ 5 1 0 がオンとなり、ビット線駆動回路 5 0 3 へ抵抗部 5 1 1 を介して電位 V H H が供給される。一方、信号 W E がデアサートされた場合、スイッチ 5 1 0 がオフとなり、ビット線駆動回路 5 0 3 に電位 V H H は供給されない。

【 0 1 2 0 】

50

読み出し回路504は、スイッチ541、トランジスタ540、インバータ542を有し、読み出し制御信号REが入され、信号DATA OUTを出力する。信号REがアサートされた場合、スイッチ541はオンとなり、トランジスタ540はビット線駆動回路503と電氣的に接続される。その結果、選択されたメモリセル内の記憶素子の状態に応じた電流が流れ、信号DATA OUTの電位が決まる。一方、信号REがデアサートされた場合、スイッチ241はオフとなり、メモリセルの読み出しは行わない。

【0121】

本発明の不揮発性メモリは抵抗部511を有する。抵抗部511は読み出し動作へは影響を与えずに書き込み時の消費電流を低減することができる。これについて以下に説明する。

10

【0122】

書き込み時には信号WEがアサートされ、信号REはデアサートされる。ビット線駆動回路503はコラムアドレスに基づいて列(第k列とする)を選択し、書き込み回路501から供給される電位VHHをビット線B(k)に供給する。ワード線駆動回路502はローアドレスに基づいて行(第j行とする)を選択し、接地電位GNDをワード線W(j)に供給する。そして、選択したメモリセルへの書き込みを行う。

【0123】

書き込み動作では、スイッチ510、抵抗部511、スイッチ531、記憶素子551、ダイオード550、スイッチ521の経路に電流が流れる。この電流経路に、抵抗部511が存在することで、消費電流を低減することが可能となる。抵抗部511の抵抗値は、記憶素子の高抵抗状態の抵抗値RHよりも小さく、低抵抗状態の抵抗値RLよりも大きい値を採用することが好ましい。特に、記憶素子の高抵抗状態の抵抗値RHの1/3以下、より好ましくは1/10以下であり、低抵抗状態の抵抗値RLよりも等倍以上、より好ましくは3倍以上の抵抗値を有する抵抗部511を用いることが好ましい。このような抵抗部511を用いることで、書き込み用電源電位VHHの上昇を抑え、かつ記憶素子が高抵抗状態から低抵抗状態へ移行した際の消費電流を低減することができる。その結果、書き込みを行った際の消費電流を低減することが可能となる。

20

【0124】

一方、読み出し時には信号REがアサートされ、信号WEがデアサートされる。ビット線駆動回路503はコラムアドレスに基づいて列(第k列とする)を選択し、読み出し回路504とビット線B(k)を接続する。ワード線駆動回路502はローアドレスに基づいて行(第j行とする)を選択し、接地電位GNDをワード線W(j)に供給する。そして、選択したメモリセルの読み出しを行う。

30

【0125】

読み出し動作では、トランジスタ540、スイッチ541、スイッチ531、記憶素子551、ダイオード550の経路に電流が流れる。この電流経路には抵抗部511が存在しないため、抵抗部511は読み出し動作へは影響しない。

【0126】

なお、抵抗部511は書き込み時に記憶素子551に流れる電流の経路上に設けられていれば良く、読み出し時に記憶素子551に流れる電流の経路上にはないことが好ましい。ただし、実施の形態1で述べたように、読み出し時に記憶素子551に流れる電流の経路上に抵抗部511を設けた場合には、抵抗部511を考慮した読み出し回路を設けることで読み出しを行うことも可能である。

40

【0127】

また、抵抗部511は、半導体領域を用いた抵抗素子や、金属薄膜を用いた抵抗素子を用いても良いし、ゲート電極を制御されたトランジスタやダイオードなどの非線形素子を用いて構成しても良い。

【0128】

また、不揮発性メモリは上述したようなアンチヒューズ型の不揮発性メモリに限らず、低抵抗状態を含む複数の状態を有する記憶素子を用いた書き換え可能な不揮発性メモリを用

50

いることもできる。

【0129】

以上のようにして、本発明は、書き込み時の消費電流を低減した不揮発性メモリを実現することができる。

【0130】

なお、本実施の形態は、他の実施の形態もしくは後述の実施例と適宜組み合わせることが可能である。

【0131】

(実施の形態6)

本実施形態では、本発明の不揮発性メモリの一構成例を、図6を用いて説明する。

10

【0132】

図6に示す不揮発性メモリは、書き込み回路601、ワード線駆動回路602、ビット線駆動回路603、読み出し回路604、及びm行n列が配置されたメモリセルを含むメモリセルアレイ605を有する。

【0133】

ビット線駆動回路603は、コラムデコーダ630とスイッチ631(1)~631(n)を有し、コラムアドレスが入力される。また、ビット線駆動回路603はメモリセルアレイ605とn本のビット線B(1)~B(n)で接続されている。ビット線駆動回路603はコラムアドレスが指定する列(第k列とする)のスイッチ631(k)をオンにして、ビット線B(k)を書き込み回路601もしくは読み出し回路604に接続する。

20

【0134】

ワード線駆動回路602は、ローデコーダ620とスイッチ621(1)~621(m)を有し、ローアドレスが入力される。また、ワード線駆動回路602はメモリセルアレイ605とm本のワード線W(1)~W(m)で接続されている。ワード線駆動回路602はローアドレスが指定する行(第j行とする)のスイッチ621(j)をオンにして、ワード線W(j)を書き込み回路601に接続する。

【0135】

なお、図6に示す不揮発性メモリは、メモリセル(1,1)を選択した状態を表す。

【0136】

メモリセルアレイ605が有する各々のメモリセル(j,k)(jは1~mの整数、kは1~nの整数)は、ダイオード650と記憶素子651を有する。ここでは、記憶素子651としてアンチヒューズ型の記憶素子を用いた場合について示す。なお、記憶素子651への書き込みは、所定の電圧を印加することで高抵抗状態(実効的な抵抗値RH)から低抵抗状態(実効的な抵抗値RL)へ移行させることで行うことができる。

30

【0137】

ダイオード650と記憶素子651は直列に接続され、記憶素子651はワード線W(j)と接続され、ダイオード650はビット線B(k)に向けて電流が流れる向きでビット線B(k)と接続されている。

【0138】

なお、ダイオード650と記憶素子651の接続順番は逆でも構わない。つまり、記憶素子651はビット線B(k)と接続され、ダイオードはビット線B(k)に向けて電流が流れる向きでワード線W(j)と接続されていても構わない。

40

【0139】

さらに、ダイオード650は、ビット線B(k)に向けて電流が流れる向きに限られるわけではなく、記憶素子651に書き込みを行う際に記憶素子651に流れる電流の向きと一致するように設ければよい。

【0140】

書き込み回路601は、スイッチ610、スイッチ611、スイッチ612、及び抵抗部613を有し、書き込み用電源電位VHH、電源電位VDD、電位VSS、及び書き込み制御信号WEが入力される。信号WEがアサートされた場合、スイッチ610がオンとな

50

り、ビット線駆動回路603へ電位VSSが供給される。また、スイッチ611がオン、612がオフとなり、ワード線駆動回路602へ抵抗部613を介して電位VHHが供給される。一方、信号WEがデアサートされた場合、スイッチ610がオフとなり、ビット線駆動回路603にVHHは供給されない。また、スイッチ611がオフ、612がオンとなり、ワード線駆動回路602へ電位VDDが供給される。

【0141】

読み出し回路604は、スイッチ641、トランジスタ640、インバータ642を有し、読み出し制御信号REが入力され、信号DATA OUTを出力する。信号REがアサートされた場合、スイッチ641はオンとなり、トランジスタ640はビット線駆動回路603と電氣的に接続される。その結果、選択されたメモリセル内の記憶素子の状態に応じた電流が流れ、信号DATA OUTの電位が決まる。一方、信号REがデアサートされた場合、スイッチ641はオフとなり、メモリセルの読み出しは行わない。

10

【0142】

本発明の不揮発性メモリは抵抗部613を有する。抵抗部613は、読み出し動作へは影響を与えずに書き込み時の消費電流を低減することができる。これについて以下に説明する。

【0143】

書き込み時には信号WEがアサートされ、信号REはデアサートされる。ビット線駆動回路603はコラムアドレスに基づいて列(第k列とする)を選択し、書き込み回路601から供給される電位VSSをビット線B(k)に供給する。ワード線駆動回路602はローアドレスに基づいて行(第j行とする)を選択し、電位VHHをワード線W(j)に供給する。そして、選択したメモリセルへの書き込みを行う。

20

【0144】

書き込み動作では、スイッチ611、抵抗部613、スイッチ621(j)、記憶素子651、ダイオード650、スイッチ631(k)、スイッチ610の経路に電流が流れる。この電流経路に、抵抗部613が存在することで、消費電流を低減することが可能となる。抵抗部613の抵抗値は、記憶素子の高抵抗状態の抵抗値RHよりも小さく、低抵抗状態の抵抗値RLよりも大きい値を採用することが好ましい。特に、記憶素子の高抵抗状態の抵抗値RHの1/3以下、より好ましくは1/10以下であり、低抵抗状態の抵抗値RLよりも等倍以上、より好ましくは3倍以上の抵抗値を有する抵抗部613を用いることが好ましい。このような抵抗部613を用いることで、書き込み用電源電位VHHの上昇を抑え、かつ記憶素子が高抵抗状態から低抵抗状態へ移行した際の消費電流を低減することができる。その結果、書き込みを行った際の消費電流を低減することが可能となる。

30

【0145】

一方、読み出し時には信号REがアサートされ、信号WEがデアサートされる。ビット線駆動回路603はコラムアドレスに基づいて列(第k列とする)を選択し、読み出し回路604とビット線B(k)を接続する。ワード線駆動回路602はローアドレスに基づいて行(第j行とする)を選択し、電位VDDをワード線W(j)に供給する。そして、選択したメモリセルの読み出しを行う。

【0146】

読み出し動作では、スイッチ612、スイッチ621(j)、記憶素子651、ダイオード650、スイッチ631(k)、スイッチ641、トランジスタ640の経路に電流が流れる。この電流経路には抵抗部613が存在しないため、抵抗部613は読み出し動作へは影響しない。

40

【0147】

なお、抵抗部613は書き込み時に記憶素子651に流れる電流の経路上に設けられていれば良く、読み出し時に記憶素子651に流れる電流の経路上にはないことが好ましい。ただし、実施の形態1で述べたように、読み出し時に記憶素子651に流れる電流の経路上に抵抗部613を設けた場合には、抵抗部613を考慮した読み出し回路を設けることで読み出しを行うことも可能である。

50

【 0 1 4 8 】

また、抵抗部 6 1 3 は、半導体領域を用いた抵抗素子や、金属薄膜を用いた抵抗素子を用いても良いし、ゲート電極を制御されたトランジスタやダイオードなどの非線形素子を用いて構成しても良い。

【 0 1 4 9 】

また、不揮発性メモリは上述したようなアンチヒューズ型の不揮発性メモリに限らず、低抵抗状態を含む複数の状態を有する記憶素子を用いた書き換え可能な不揮発性メモリを用いることもできる。

【 0 1 5 0 】

以上のようにして、本発明は、書き込み時の消費電流を低減した不揮発性メモリを実現することができる。

10

【 0 1 5 1 】

なお、本実施の形態は、他の実施の形態もしくは後述の実施例と適宜組み合わせることが可能である。

【 実施例 1 】

【 0 1 5 2 】

本実施例では、本発明の不揮発性メモリを有する半導体装置の一構成例を図 7 にブロック図として示す。

【 0 1 5 3 】

図 7 に示す半導体装置は、アンテナ 7 0 1 と IC チップ 7 0 2 からなる無線タグである。IC チップ 7 0 2 は電源回路 7 0 3、復調回路 7 0 4、変調回路 7 0 5、ロジック回路 7 0 6、電源回路 7 0 7、不揮発性メモリ 7 0 8 を有する。

20

【 0 1 5 4 】

電源回路 7 0 3 はアンテナ 7 0 1 から入力される交流信号を整流し、所定の電源電圧 V D D を生成する。得られた電源電圧 V D D は IC チップ 7 0 2 が有する回路に供給される。復調回路 7 0 4 はアンテナ 7 0 1 から入力される交流信号から情報を抽出し復調信号を出力する。例えば、振幅変調 (A S K) の場合は、整流及び濾波により復調信号を生成する。変調回路 7 0 5 は変調信号を入力し、負荷変調などにより IC チップ 7 0 2 のインピーダンスを変化させる。これにより、無線タグは応答信号を送信する。ロジック回路 7 0 6 はクロック信号と復調信号を入力し、変調信号を出力する。また、ロジック回路 7 0 6 は復号回路、命令解析部、受信データの整合性をチェックするチェック回路、メモリ制御回路、変調信号を生成する出力回路などを有し、受信した命令に従った処理を行う。特に、ロジック回路 7 0 6 が有するメモリ制御回路は、不揮発性メモリ 7 0 8 からの読み出しや書き込みの制御、あるいは不揮発性メモリ 7 0 8 への電源供給の制御を行う。電源回路 7 0 7 は、電位 V D D より不揮発性メモリ 7 0 8 へ供給する電源を生成する。具体的には、電源回路 7 0 7 は昇圧回路を有し、書き込み時に供給する高電位 V H H を生成する。また、不揮発性メモリ 7 0 8 は、書き込み動作において記憶素子に流れる電流の経路上に抵抗部が設けられた構成を有し、例えば上述の実施形態に示した不揮発性メモリを用いることができる。

30

【 0 1 5 5 】

なお、アンテナ 7 0 1 は、コイルアンテナ、ループアンテナ等の電磁誘導方式のアンテナや、ダイポールアンテナ、スリットアンテナ、逆 L 型アンテナ、パッチアンテナなどの電波方式のアンテナ等を用いることが出来る。

40

【 0 1 5 6 】

また、IC チップとは集積回路が形成されたチップの総称であり、集積回路の基体にはシリコン、ガラス、プラスチック、紙などを用いることができる。また、図 7 に示した IC チップ 7 0 2 を、複数の IC チップによって構成しても構わない。

【 0 1 5 7 】

図 7 において、アンテナ 7 0 1 は IC チップ 7 0 2 に外付けとする構成について示したが、IC チップ 7 0 2 がアンテナ 7 0 1 を内蔵した構成でも構わない。また、通信方式は、

50

電波方式、電磁誘導方式のいずれでも構わない。

【0158】

本発明の半導体装置が有する不揮発性メモリは、書き込み時の消費電流を低減し、低い消費電力とすることができる。よって、このような不揮発性メモリを有することにより、電池の寿命が長いアクティブ型の無線タグ、あるいはメモリへの書き込み可能な通信範囲が広いパッシブ型の無線タグを実現することができる。

【0159】

また、本実施例は本明細書中の実施の形態及び他の実施例の記載と適宜組み合わせることが可能である。

【実施例2】

【0160】

本実施例では、本発明の不揮発性メモリを有する半導体装置の一構成例を示す。なお、本実施例ではバッテリーを設けた半導体装置の例に関して図8を参照して説明する。

【0161】

図8に示す半導体装置は、アンテナ701、アンテナ801及びICチップ802からなるバッテリーを有する無線タグである。なお、ICチップ802は、バッテリー807を有する電源供給部804と信号処理部803とを有している。

【0162】

電源供給部804は、電源回路805、充電制御回路806、バッテリー807、放電制御回路808を有する。また、信号処理部803は、復調回路704、変調回路705、ロジック回路706、電源回路707、不揮発性メモリ708を有する。

【0163】

まず、電源供給部804の動作について説明する。電源回路805はアンテナ801から入力された交流信号を整流し、平滑化された電位V1を出力する。充電制御回路806には、平滑化された電位V1が入力され、バッテリーの充電を開始する。充電制御回路806は電圧検出回路を有し、電位V1がある値を以上になったら充電を開始する構成としても良い。また、充電制御回路806はバッテリーの過充電を防止するためにバッテリーの電位V2を充電制御回路806へ入力し、電位V2がある値以上になったら充電を停止する構成としても良い。

【0164】

放電制御回路808は、バッテリーの電位V2が入力され、電源電圧VDDを出力する。放電制御回路808は電圧検出回路を有し、電位V2がある値を以上になったら放電を開始する構成としても良い。またある値以下になったら放電を停止する構成としても良い。なお、得られた電位VDDは信号処理部803が有する回路に供給される。

【0165】

次に、信号処理部803の動作について説明する。復調回路704はアンテナ701から入力される交流信号から情報を抽出し復調信号を出力する。例えば、振幅変調(ASK)の場合は、整流及び濾波により包絡線を抽出して復調信号を生成する。変調回路705は変調信号を入力し、負荷変調などによりICチップ802のインピーダンスを変化させる。これにより、無線タグは応答信号を送信する。なお、ロジック回路706はクロック信号と復調信号を入力し、変調信号を出力する。また、ロジック回路706は復号回路、命令解析部、受信データの整合性をチェックするチェック回路、メモリ制御回路、変調信号を生成する出力回路などを有し、受信した命令に従った処理を行う。特に、ロジック回路706が有するメモリ制御回路は、不揮発性メモリ708からの読み出しや書き込みの制御、あるいは不揮発性メモリ708への電源供給の制御を行う。電源回路707は、電位VDDより不揮発性メモリ708へ供給する電源を生成する。具体的には、電源回路707は昇圧回路を有し、書き込み時に供給する高電位VHHを生成する。また、不揮発性メモリ708は、書き込み動作において記憶素子に流れる電流の経路上に抵抗部が設けられた構成を有し、例えば上述の実施形態に示した不揮発性メモリを用いることができる。

【0166】

図 8 における信号処理部 803 の電源は、バッテリー 807 によって放電制御回路 808 を介して供給されている。

【0167】

アンテナ 701 は無線タグの通信規格に合せた構成とする。例えば、通信信号を 13.56 MHz とする場合は、アンテナ 701 は 13.56 MHz 帯用のアンテナ（代表的にはコイルアンテナ）とする。

【0168】

この時、アンテナ 801 も 13.56 MHz 帯用のアンテナとし、バッテリー 807 を充電するためのリーダライタからの電磁波の周波数も共通としてもよい。その場合、充電のための信号と、通信のための信号とを同一の周波数帯にすることでアンテナ 801 とアンテナ 701 を一つにまとめることができる。アンテナ 701 とアンテナ 801 を共有化することにより、半導体装置を小型化することができる。

10

【0169】

また、アンテナ 801 は外部に無作為に生じている電磁波を受信する構成としても良い。その場合、アンテナ 801 は外部に無作為に生じている微弱な電磁波を取り込んで、バッテリー 807 に少しずつ充電を行う。

【0170】

なお、バッテリーとは、充電することで連続使用時間を回復することができる電池のことをいう。なお、バッテリーとしては、シート状に形成された電池を用いることが好ましく、例えばゲル状電解質を用いるリチウムポリマー電池や、リチウムイオン電池、リチウム 2 次電池等を用いることで、小型化が可能である。もちろん、充電可能な電池であれば何でもよく、ニッケル水素電池、ニッケルカドミウム電池などであってもよいし、また大容量のコンデンサなどを用いても良い。

20

【0171】

本発明の半導体装置が有する不揮発性メモリは、書き込み時の消費電流を低減し、低い消費電力とすることができる。よって、このような不揮発性メモリを有することにより、電池の寿命が長いアクティブ型の無線タグ、あるいはメモリへの書き込み可能な通信範囲が広いパッシブ型の無線タグを実現することができる。

【0172】

本発明の半導体装置は無線で充電可能なバッテリーを有しているため、このバッテリーを電源として用いることで通信範囲をさらに拡大することが可能となる。また、本発明の不揮発性メモリを用いることで、書き込み時の消費電力が低減され、バッテリーの負荷も軽減される。その結果、バッテリーの小型化や電源の安定化による性能改善が可能となる。

30

【0173】

なお、ICチップとは、集積回路が形成されたチップの総称であり、集積回路の基体にはシリコン、ガラス、プラスチック、紙などを用いることができる。また、図 8 に示した ICチップ 802 を、複数の ICチップによって構成しても構わない。

【0174】

図 8 において、アンテナ 701、801 は ICチップ 802 に外付けとする構成について示したが、ICチップ 802 がアンテナ 701、アンテナ 801 のいずれか一方もしくは両方を内蔵した構成としても構わない。また、通信方式は、電波方式、電磁誘導方式のいずれでも構わない。

40

【0175】

また、本実施例は本明細書中の実施の形態及び他の実施例の記載と適宜組み合わせることが可能である。

【実施例 3】

【0176】

本実施例では、本発明の不揮発性メモリを有する半導体装置の一構成例を示す。なお、本実施例ではバッテリーを設けた半導体装置の例に関して図 9 を参照して説明する。

50

【 0 1 7 7 】

図 9 に示す半導体装置は、アンテナ 7 0 1、アンテナ 9 0 1 及び I C チップ 9 0 2 からなるバッテリーを有する無線タグである。なお、I C チップ 9 0 2 は、バッテリー 9 0 7 を有する電源供給部 9 0 4 と、信号処理部 9 0 3 とを有している。

【 0 1 7 8 】

電源供給部 9 0 4 は、電源回路 9 0 5、充電制御回路 9 0 6、バッテリー 9 0 7、放電制御回路 9 0 8 を有する。また、信号処理部 9 0 3 は、電源回路 7 0 3、復調回路 7 0 4、変調回路 7 0 5、ロジック回路 7 0 6、電源回路 7 0 7、不揮発性メモリ 7 0 8 を有する。

【 0 1 7 9 】

まず、電源供給部 9 0 4 の動作について説明する。電源回路 9 0 5 はアンテナ 9 0 1 から入力された交流信号を整流し、平滑化された電位 V_1 を出力する。充電制御回路 9 0 6 は、平滑化された電位 V_1 が入力され、バッテリーの充電を開始する。充電制御回路 9 0 6 は電圧検出回路を有し、電位 V_1 がある値を以上になったら充電を開始する構成としても良い。また、充電制御回路 9 0 6 はバッテリーの過充電を防止するために、バッテリーの電位 V_2 を充電制御回路 9 0 6 へ入力し、電位 V_2 がある値以上になったら充電を停止する構成としても良い。

【 0 1 8 0 】

放電制御回路 9 0 8 は、バッテリーの電位 V_2 が入力され、電源電圧 V_{DD2} を出力する。放電制御回路 9 0 8 は電圧検出回路を有し、電位 V_2 がある値を以上になったら放電を開始する構成としても良い。またある値以下になったら放電を停止する構成としても良い。なお、電源電位 V_{DD2} は、バッテリーを介することにより後述の電源回路 7 0 3 によって生成される電源電位 V_{DD} より安定な電位とすることができる。

【 0 1 8 1 】

次に、信号処理部 9 0 3 の動作について説明する。電源回路 7 0 3 はアンテナ 7 0 1 から入力される交流信号を整流し、所定の電源電圧 V_{DD} を生成する。なお、得られた電位 V_{DD} は信号処理部 9 0 3 が有する回路に供給される。復調回路 7 0 4 はアンテナ 7 0 1 から入力される交流信号から情報を抽出し復調信号を出力する。例えば振幅変調 (ASK) の場合は、整流及び濾波により包絡線を抽出して復調信号を生成する。変調回路 7 0 5 は変調信号を入力し、負荷変調などにより I C チップ 9 0 2 のインピーダンスを変化させる。これにより、無線タグは応答信号を送信する。ロジック回路 7 0 6 はクロック信号と復調信号を入力し、変調信号を出力する。また、ロジック回路 7 0 6 は復号回路、命令解析部、受信データの整合性をチェックするチェック回路、メモリ制御回路、変調信号を生成する出力回路などを有し、受信した命令に従った処理を行う。特に、ロジック回路 7 0 6 が有するメモリ制御回路は、不揮発性メモリ 7 0 8 からの読み出しや書き込みの制御、あるいは不揮発性メモリ 7 0 8 への電源供給の制御を行う。電源回路 7 0 7 は、不揮発性メモリ 7 0 8 へ供給する電源を生成する。具体的には、電源回路 7 0 7 は昇圧回路を有し、電位 V_{DD2} より書き込み時に供給する高電位 V_{HH} を生成する。また、不揮発性メモリ 7 0 8 は、書き込み動作において記憶素子に流れる電流の経路上に抵抗部が設けられた構成を有し、例えば上述の実施形態に示した不揮発性メモリを用いることができる。

【 0 1 8 2 】

なお、信号処理部 9 0 3 の電源は、電源回路 7 0 3 および電源供給部 9 0 4 によって供給されている。信号処理部 9 0 3 は、通常用いられる電源 (電位 V_{DD}) と、不揮発性メモリ 7 0 8 への書き込み時のみ用いられる高電位電源 (V_{HH}) に分けられ、図 9 に示した構成では、電位 V_{DD} は電源回路 7 0 3 によって供給され、電位 V_{HH} は、電源供給部 9 0 4 によって供給される電源電位 V_{DD2} をもとに生成される。

【 0 1 8 3 】

不揮発性メモリへの書き込み動作は、通常消費電力の高い動作であるが、本構成により、電位 V_{HH} を電位 V_{DD2} より生成することができるため、書き込み動作をより安定に行うことができる。

10

20

30

40

50

【 0 1 8 4 】

また、高電位電源（VHH）と通常の電源（VDD）に限らず、電源系統を2つに分けて、その一方を電源供給部904からより安定な電位を供給する構成とすることは有効である。例えば、ICチップ902が有する回路を電源の変動に対して弱いアナログ領域と、比較的電源の変動に強いロジック領域とに分け、アナログ領域への電源供給は電源供給部904から行うこととすることで、ICチップ902は安定した動作が可能となる。

【 0 1 8 5 】

アンテナ701は無線タグの通信規格に合せた構成とする。例えば、通信信号を13.56MHzとする場合は、アンテナ701は13.56MHz帯用のアンテナ（代表的にはコイルアンテナ）とする。

10

【 0 1 8 6 】

この時、アンテナ901も13.56MHz帯用のアンテナとし、バッテリー907を充電するためのリーダライタからの電磁波の周波数も共通としてもよい。その場合、充電のための信号と、通信のための信号とを同一の周波数帯にすることでアンテナ901とアンテナ701を一つにまとめることができる。アンテナ701とアンテナ901を共有化することにより、半導体装置を小型化することができる。

【 0 1 8 7 】

また、アンテナ901は外部に無作為に生じている電磁波を受信する構成としても良い。その場合、アンテナ901は外部に無作為に生じている微弱な電磁波を取り込んで、バッテリー907に少しずつ充電を行う。

20

【 0 1 8 8 】

本発明の半導体装置が有する不揮発性メモリは、書き込み時の消費電流を低減し、低い消費電力とすることができる。よって、このような不揮発性メモリを有することにより、電池の寿命が長いアクティブ型の無線タグ、あるいはメモリへの書き込み可能な通信範囲が広いパッシブ型の無線タグを実現することができる。

【 0 1 8 9 】

さらに、本発明の半導体装置は無線で充電可能なバッテリーを有しているため、このバッテリーをメモリの高電源電圧として用いることで、書き込み動作の通信範囲を拡大することが可能となる。また、本発明の不揮発性メモリを用いることで、書き込み時の消費電力が低減され、バッテリーの負荷も軽減される。その結果、バッテリーの小型化や電源の安定化による性能改善が可能となる。

30

【 0 1 9 0 】

なお、ICチップとは、集積回路が形成されたチップの総称であり、集積回路の基体にはシリコン、ガラス、プラスチック、紙などを用いることができる。また、図9に示したICチップ902を、複数のICチップによって構成しても構わない。

【 0 1 9 1 】

なお、図9において、アンテナ701、901はICチップ902に外付けとする構成について示したが、ICチップ902がアンテナ701、アンテナ901を内蔵した構成としても構わない。また、通信方式は、電波方式、電磁誘導方式のいずれでも構わない。

【 0 1 9 2 】

また、本実施例は本明細書中の実施の形態及び他の実施例の記載と適宜組み合わせることが可能である。

40

【 実施例 4 】

【 0 1 9 3 】

本実施例では、上記実施例で示した本発明の半導体装置の作製方法の一例に関して、部分断面図を用いて説明する。

【 0 1 9 4 】

まず、図10（A）に示すように、基板1001の一表面に絶縁膜1002を介して剥離層1003を形成し、続けて下地膜として機能する絶縁膜1004と半導体膜1005（例えば、非晶質珪素を含む膜）を積層して形成する。なお、絶縁膜1002、剥離層1

50

003、絶縁膜1004および半導体膜1005は、連続して形成することができる。

【0195】

なお、基板1001は、ガラス基板、石英基板、金属基板（例えばステンレス基板など）、セラミック基板、Si基板等の半導体基板から選択されるものである。他にもプラスチック基板として、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルサルフォン（PES）、アクリルなどの基板を選択することもできる。なお、本工程では、剥離層1003は、絶縁膜1002を介して基板1001の全面に設けているが、必要に応じて、基板1001の全面に剥離層を設けた後に、フォトリソグラフィ法により選択的に設けてもよい。

【0196】

また、絶縁膜1002、絶縁膜1004は、CVD法やスパッタリング法等を用いて、酸化シリコン、窒化シリコン、酸化窒化シリコン（ SiO_xN_y ）（ $x > y > 0$ ）、窒化酸化シリコン（ SiN_xO_y ）（ $x > y > 0$ ）等の絶縁材料を用いて形成する。例えば、絶縁膜1002、1004を2層構造とする場合、第1層目の絶縁膜として窒化酸化シリコン膜を形成し、第2層目の絶縁膜として酸化窒化シリコン膜を形成するとよい。また、第1層目の絶縁膜として窒化シリコン膜を形成し、第2層目の絶縁膜として酸化シリコン膜を形成してもよい。絶縁膜1002は、基板1001から剥離層1003又はその上に形成される素子に不純物元素が混入するのを防ぐブロッキング層として機能し、絶縁膜1004は基板1001、剥離層1003からその上に形成される素子に不純物元素が混入するのを防ぐブロッキング層として機能する。このように、ブロッキング層として機能する絶縁膜1002、1004を形成することによって、基板1001からNaなどのアルカリ金属やアルカリ土類金属が、剥離層1003から剥離層に含まれる不純物元素がこの上に形成する素子に悪影響を与えることを防ぐことができる。なお、基板1001として石英を用いるような場合には絶縁膜1002、1004を省略してもよい。

【0197】

また、剥離層1003は、金属膜や金属膜と金属酸化膜の積層構造等を用いることができる。金属膜としては、タングステン（W）、モリブデン（Mo）、チタン（Ti）、タンタル（Ta）、ニオブ（Nb）、ニッケル（Ni）、コバルト（Co）、ジルコニウム（Zr）、亜鉛（Zn）、ルテニウム（Ru）、ロジウム（Rh）、パラジウム（Pd）、オスミウム（Os）、イリジウム（Ir）から選択された元素または当該元素を主成分とする合金材料若しくは化合物材料からなる膜を単層又は積層して形成する。また、これらの材料は、スパッタ法やプラズマCVD法等の各種CVD法等を用いて形成することができる。金属膜と金属酸化膜の積層構造としては、上述した金属膜を形成した後に、酸素雰囲気下または N_2O 雰囲気下におけるプラズマ処理、酸素雰囲気下または N_2O 雰囲気下における加熱処理を行うことによって、金属膜表面に当該金属膜の酸化物または酸化窒化物を設けることができる。例えば、金属膜としてスパッタ法やCVD法等によりタングステン膜を設けた場合、タングステン膜にプラズマ処理を行うことによって、タングステン膜表面にタングステン酸化物からなる金属酸化膜を形成することができる。また、この場合、タングステンの酸化物は、 WO_x で表され、 x は2～3であり、 x が2の場合（ WO_2 ）、 x が2.5の場合（ W_2O_5 ）、 x が2.75の場合（ W_4O_{11} ）、 x が3の場合（ WO_3 ）などがある。タングステンの酸化物を形成するにあたり、上記に挙げた x の値に特に制約はなく、エッチングレート等を基に、どの酸化物を形成するかを決めるとよい。他にも、例えば、金属膜（例えば、タングステン）を形成した後に、当該金属膜上にスパッタ法で酸化珪素（ SiO_2 ）等の絶縁膜を設けると共に、金属膜上に金属酸化物（例えば、タングステン上にタングステン酸化物）を形成してもよい。また、プラズマ処理として、例えば高密度プラズマ処理を行ってもよい。また、金属酸化膜の他にも、金属窒化物や金属酸化窒化物を用いてもよい。この場合、金属膜に窒素雰囲気下または窒素と酸素雰囲気下でプラズマ処理や加熱処理を行えばよい。

【0198】

また、半導体膜1005は、スパッタリング法、LPCVD法、プラズマCVD法等に

より、25～200nm（好ましくは30～150nm）の厚さで形成する。

【0199】

次に、図10（B）に示すように、半導体膜1005にレーザー光を照射して結晶化を行う。なお、レーザー光の照射と、RTA又はファーンেসアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法とを組み合わせた方法等により半導体膜1005の結晶化を行ってもよい。その後、得られた半導体膜を所望の形状にエッチングして、結晶化した半導体膜1005a～1005fを形成し、当該半導体膜1005a～1005fを覆うようにゲート絶縁膜1006を形成する。

【0200】

なお、ゲート絶縁膜1006は、CVD法やスパッタリング法等を用いて、酸化シリコン、窒化シリコン、酸化窒化シリコン（ SiO_xN_y ）（ $x>y>0$ ）、窒化酸化シリコン（ SiN_xO_y ）（ $x>y>0$ ）等の絶縁材料を用いて形成する。例えば、ゲート絶縁膜1006を2層構造とする場合、第1層目の絶縁膜として酸化窒化シリコン膜を形成し、第2層目の絶縁膜として窒化酸化シリコン膜を形成するとよい。また、第1層目の絶縁膜として酸化シリコン膜を形成し、第2層目の絶縁膜として窒化シリコン膜を形成してもよい。

【0201】

半導体膜1005a～1005fの作製工程の一例を以下に簡単に説明すると、まず、プラズマCVD法を用いて、膜厚50～60nmの非晶質半導体膜を形成する。次に、結晶化を助長する金属元素であるニッケルを含む溶液を非晶質半導体膜上に保持させた後、非晶質半導体膜に脱水素化の処理（500℃、1時間）と、熱結晶化の処理（550℃、4時間）を行って結晶質半導体膜を形成する。その後、レーザー光を照射し、フォトリソグラフィ法を用いることによって結晶化された半導体膜1005a～1005fを形成する。なお、結晶化を助長する金属元素を用いる熱結晶化を行わずに、レーザー光の照射だけで非晶質半導体膜の結晶化を行ってもよい。

【0202】

なお、結晶化に用いるレーザー発振器としては、連続発振型のレーザービーム（CWレーザービーム）やパルス発振型のレーザービーム（パルスレーザービーム）を用いることができる。ここで用いることができるレーザービームは、Arレーザー、Krレーザー、エキシマレーザーなどの気体レーザー、単結晶のYAG、 YVO_4 、フォルステライト（ Mg_2SiO_4 ）、 YAlO_3 、 GdVO_4 、若しくは多結晶（セラミック）のYAG、 Y_2O_3 、 YVO_4 、 YAlO_3 、 GdVO_4 に、ドーパントとしてNd、Yb、Cr、Ti、Ho、Er、Tm、Taのうち1種または複数種添加されているものを媒質とするレーザー、ガラスレーザー、ルビーレーザー、アレキサンドライトレーザー、Ti：サファイアレーザー、銅蒸気レーザーまたは金蒸気レーザーのうち一種または複数種から発振されるものを用いることができる。このようなレーザービームの基本波、及びこれらの基本波の第2高調波から第4高調波のレーザービームを照射することで、大粒径の結晶を得ることができる。例えば、Nd： YVO_4 レーザー（基本波1064nm）の第2高調波（532nm）や第3高調波（355nm）を用いることができる。このときレーザーのパワー密度は0.01～100MW/cm²程度（好ましくは0.1～10MW/cm²）が必要である。そして、走査速度を10～2000cm/sec程度として照射する。なお、単結晶のYAG、 YVO_4 、フォルステライト（ Mg_2SiO_4 ）、 YAlO_3 、 GdVO_4 、若しくは多結晶（セラミック）のYAG、 Y_2O_3 、 YVO_4 、 YAlO_3 、 GdVO_4 に、ドーパントとしてNd、Yb、Cr、Ti、Ho、Er、Tm、Taのうち1種または複数種添加されているものを媒質とするレーザー、Arイオンレーザー、またはTi：サファイアレーザーは、連続発振をさせることが可能であり、Qスイッチ動作やモード同期などを行うことによって10MHz以上の発振周波数でパルス発振をさせることも可能である。10MHz以上の発振周波数でレーザービームを発振させると、半導体膜がレーザーによって溶融してから固化するまでの間に、次のパルスが半導体膜に照射される。従って、発振周波数が低いパルスレーザーを用いる場合と異なり、半導体膜中

10

20

30

40

50

において固液界面を連続的に移動させることができるため、走査方向に向かって連続的に成長した結晶粒を得ることができる。

【0203】

また、ゲート絶縁膜1006は、半導体膜1005a~1005fに対し高密度プラズマ処理を行い、表面を酸化又は窒化することで形成しても良い。例えば、He、Ar、Kr、Xeなどの希ガスと、酸素、酸化窒素(NO_2)、アンモニア、窒素、水素などの混合ガスを導入したプラズマ処理で形成する。この場合のプラズマの励起は、マイクロ波の導入により行くと、低電子温度で高密度のプラズマを生成することができる。この高密度プラズマで生成された酸素ラジカル(OHラジカルを含む場合もある)や窒素ラジカル(NHラジカルを含む場合もある)によって、半導体膜の表面を酸化又は窒化することができる。

10

【0204】

このような高密度プラズマを用いた処理により、1~20nm、代表的には5~10nmの絶縁膜が半導体膜に形成される。この場合の反応は、固相反応であるため、当該絶縁膜と半導体膜との界面準位密度はきわめて低くすることができる。このような、高密度プラズマ処理は、半導体膜(結晶性シリコン、或いは多結晶シリコン)を直接酸化(若しくは窒化)するため、形成される絶縁膜の厚さは理想的には、ばらつきをきわめて小さくすることができる。加えて、結晶性シリコンの結晶粒界でも酸化が強くされることがないため、非常に好ましい状態となる。すなわち、ここで示す高密度プラズマ処理で半導体膜の表面を固相酸化することにより、結晶粒界において異常に酸化反応をさせることなく、均一性が良く、界面準位密度が低い絶縁膜を形成することができる。

20

【0205】

なお、ゲート絶縁膜1006は、高密度プラズマ処理によって形成される絶縁膜のみを用いても良いし、それにプラズマや熱反応を利用したCVD法で酸化シリコン、酸窒化シリコン、窒化シリコンなどの絶縁膜を堆積し、積層させても良い。もちろん、CVD法で酸化シリコン、酸窒化シリコン、窒化シリコンなどの絶縁膜を堆積し、この膜に対し高密度プラズマ処理を施しても良い。いずれにしても、高密度プラズマで形成した絶縁膜をゲート絶縁膜の一部又は全部に含んで形成されるトランジスタは、特性のばらつきを小さくすることができる。

【0206】

30

また、半導体膜に対し、連続発振レーザー若しくは10MHz以上の周波数で発振するレーザービームを照射しながら一方向に走査して結晶化させて得られた半導体膜1005a~1005fは、そのビームの走査方向に結晶が成長する特性がある。その走査方向をチャンネル長方向(チャンネル形成領域が形成されたときにキャリアが流れる方向)に合わせてトランジスタを配置し、上記ゲート絶縁層を組み合わせることで、特性ばらつきが小さく、しかも電界効果移動度が高い薄膜トランジスタ(TFT:Thin Film Transistor)を得ることができる。

【0207】

次に、ゲート絶縁膜1006上に、第1の導電膜と第2の導電膜とを積層して形成する。ここでは、第1の導電膜は、CVD法やスパッタリング法等により、20~100nmの厚さで形成する。第2の導電膜は、100~400nmの厚さで形成する。第1の導電膜と第2の導電膜は、タンタル(Ta)、タングステン(W)、チタン(Ti)、モリブデン(Mo)、アルミニウム(Al)、銅(Cu)、クロム(Cr)、ニオブ(Nb)等から選択された元素又はこれらの元素を主成分とする合金材料若しくは化合物材料で形成する。また、リン等の不純物元素をドーピングした多結晶珪素に代表される半導体材料により形成しても良い。第1の導電膜と第2の導電膜の組み合わせの例を挙げると、窒化タンタル膜とタングステン膜、窒化タングステン膜とタングステン膜、窒化モリブデン膜とモリブデン膜等が挙げられる。タングステンや窒化タンタルは、耐熱性が高いため、第1の導電膜と第2の導電膜を形成した後に、熱活性化を目的とした加熱処理を行うことができる。また、2層構造ではなく、3層構造の場合は、モリブデン膜とアルミニウム膜とモ

40

50

リブデン膜の積層構造を採用するとよい。

【0208】

次に、フォトリソグラフィ法を用いてレジストからなるマスクを形成し、ゲート電極とゲート線を形成するためのエッチング処理を行って、半導体膜1005a~1005fの上方にゲート電極1007を形成する。ここでは、ゲート電極1007として、第1の導電膜1007aと第2の導電膜1007bの積層構造で設けた例を示しているが、積層数には特に限定はない。

【0209】

次に、図10(C)に示すように、ゲート電極1007をマスクとして半導体膜1005a~1005fに、イオンドープ法またはイオン注入法により、n型を付与する不純物元素を低濃度に添加し、その後、フォトリソグラフィ法によりレジストからなるマスクを選択的に形成して、p型を付与する不純物元素を高濃度に添加する。n型を示す不純物元素としては、リン(P)やヒ素(As)等を用いることができる。p型を示す不純物元素としては、ボロン(B)やアルミニウム(Al)やガリウム(Ga)等を用いることができる。ここでは、n型を付与する不純物元素としてリン(P)を用い、 $1 \times 10^{15} \sim 1 \times 10^{19} / \text{cm}^3$ の濃度で含まれるように半導体膜1005a~1005fに選択的に導入し、n型を示す不純物領域1008を形成する。また、p型を付与する不純物元素としてボロン(B)を用い、 $1 \times 10^{19} \sim 1 \times 10^{20} / \text{cm}^3$ の濃度で含まれるように選択的に半導体膜1005c、1005eに導入し、p型を示す不純物領域1009を形成する。

【0210】

続いて、ゲート絶縁膜1006とゲート電極1007を覆うように、絶縁膜を形成する。絶縁膜は、プラズマCVD法やスパッタリング法等により、珪素、珪素の酸化物又は珪素の窒化物等の無機材料を含む膜や、有機樹脂などの有機材料を含む膜を、単層又は積層して形成する。次に、絶縁膜を、垂直方向を主体とした異方性エッチングにより選択的にエッチングして、ゲート電極1007の側面に接する絶縁膜1010(サイドウォールともよばれる)を形成する。絶縁膜1010は、LDD(Lightly Doped Drain)領域を形成する際のドーピング用のマスクとして用いる。

【0211】

続いて、フォトリソグラフィ法により形成したレジストからなるマスクと、ゲート電極1007および絶縁膜1010をマスクとして用いて、半導体膜1005a、1005b、1005d、1005fにn型を付与する不純物元素を高濃度に添加して、n型を示す不純物領域1011を形成する。ここでは、n型を付与する不純物元素としてリン(P)を用い、 $1 \times 10^{19} \sim 1 \times 10^{20} / \text{cm}^3$ の濃度で含まれるように半導体膜1005a、1005b、1005d、1005fに選択的に導入し、不純物領域1008より高濃度のn型を示す不純物領域1011を形成する。

【0212】

以上の工程により、図10(D)に示すように、nチャネル型薄膜トランジスタ1000a、1000b、1000d、1000fとpチャネル型薄膜トランジスタ1000c、1000eが形成される。なお、ここでは薄膜トランジスタ1000a、1000bは本発明の不揮発性メモリのメモリセルアレイ部に用いられる薄膜トランジスタであり、薄膜トランジスタ1000c~1000eは半導体装置が有するその他の薄膜トランジスタを示している。なお、メモリセルアレイ部に用いられる薄膜トランジスタ1000a、1000b及び書き込み時に用いられる一部のトランジスタは他のトランジスタに比べ、高い電位が印加される。そのため、高耐圧なトランジスタであることが好ましい。よって、少なくとも薄膜トランジスタ1000a、1000bのチャネル長Lは他のトランジスタのチャネル長より長い方がよい。もちろん、薄膜トランジスタ1000c~1000eも、本発明の不揮発性メモリを構成する薄膜トランジスタとして用いることも可能である。

【0213】

なお、nチャネル型薄膜トランジスタ1000aは、ゲート電極1007と重なる半導

10

20

30

40

50

体膜 1 0 0 5 a の領域にチャネル形成領域が形成され、ゲート電極 1 0 0 7 及び絶縁膜 1 0 1 0 と重ならない領域にソース領域又はドレイン領域を形成する不純物領域 1 0 1 1 が形成され、絶縁膜 1 0 1 0 と重なる領域であってチャネル形成領域と不純物領域 1 0 1 1 の間に低濃度不純物領域 (L D D 領域) が形成されている。また、 n チャネル型薄膜トランジスタ 1 0 0 0 b 、 1 0 0 0 d 、 1 0 0 0 f も同様にチャネル形成領域、低濃度不純物領域及び不純物領域 1 0 1 1 が形成されている。

【 0 2 1 4 】

また、 p チャネル型薄膜トランジスタ 1 0 0 0 c は、ゲート電極 1 0 0 7 と重なる半導体膜 1 0 0 5 c の領域にチャネル形成領域が形成され、ゲート電極 1 0 0 7 と重ならない領域にソース領域又はドレイン領域を形成する不純物領域 1 0 0 9 が形成されている。また、 p チャネル型薄膜トランジスタ 1 0 0 0 e も同様にチャネル形成領域及び不純物領域 1 0 0 9 が形成されている。なお、ここでは、 p チャネル型薄膜トランジスタ 1 0 0 0 c 、 1 0 0 0 e には、 L D D 領域を設けていないが、 p チャネル型薄膜トランジスタに L D D 領域を設けてもよいし、 n チャネル型薄膜トランジスタに L D D 領域を設けない構成としてもよい。

【 0 2 1 5 】

次に、図 1 1 (A) に示すように、半導体膜 1 0 0 5 a ~ 1 0 0 5 f 、ゲート電極 1 0 0 7 等を覆うように、絶縁膜を単層または積層して形成し、当該絶縁膜上に薄膜トランジスタ 1 0 0 0 a ~ 1 0 0 0 f のソース領域又はドレイン領域を形成する不純物領域 1 0 0 9 、 1 0 1 1 と電気的に接続する導電膜 1 0 1 3 を形成する。絶縁膜は、 C V D 法、スパッタリング法、 S O G 法、液滴吐出法、スクリーン印刷法等により、珪素の酸化物や珪素の窒化物等の無機材料、ポリイミド、ポリアミド、ベンゾシクロブテン、アクリル、エポキシ等の有機材料やシロキサン材料等により、単層または積層で形成する。ここでは、当該絶縁膜を 2 層で設け、 1 層目の絶縁膜 1 0 1 2 a として窒化酸化珪素膜で形成し、 2 層目の絶縁膜 1 0 1 2 b として酸化窒化珪素膜で形成する。また、導電膜 1 0 1 3 は、薄膜トランジスタ 1 0 0 0 a ~ 1 0 0 0 f のソース電極又はドレイン電極を形成する。

【 0 2 1 6 】

なお、絶縁膜 1 0 1 2 a 、 1 0 1 2 b を形成する前、または絶縁膜 1 0 1 2 a 、 1 0 1 2 b のうちの 1 つまたは複数の薄膜を形成した後に、半導体膜の結晶性の回復や半導体膜に添加された不純物元素の活性化、半導体膜の水素化を目的とした加熱処理を行うとよい。加熱処理には、熱アニール、レーザーアニール法または R T A 法などを適用するとよい。

【 0 2 1 7 】

また、導電膜 1 0 1 3 は、 C V D 法やスパッタリング法等により、アルミニウム (A l) 、タングステン (W) 、チタン (T i) 、 tantalum (T a) 、モリブデン (M o) 、ニッケル (N i) 、白金 (P t) 、銅 (C u) 、金 (A u) 、銀 (A g) 、マンガン (M n) 、ネオジム (N d) 、炭素 (C) 、シリコン (S i) から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層又は積層で形成する。アルミニウムを主成分とする合金材料とは、例えば、アルミニウムを主成分としニッケルを含む材料、又は、アルミニウムを主成分とし、ニッケルと、炭素と珪素の一方又は両方とを含む合金材料に相当する。導電膜 1 0 1 3 は、例えば、バリア膜とアルミニウムシリコン (A l - S i) 膜とバリア膜の積層構造、バリア膜とアルミニウムシリコン (A l - S i) 膜と窒化チタン膜とバリア膜の積層構造を採用するとよい。なお、バリア膜とは、チタン、チタンの窒化物、モリブデン、又はモリブデンの窒化物からなる薄膜に相当する。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、導電膜 1 0 1 3 を形成する材料として最適である。また、上層と下層のバリア層を設けると、アルミニウムやアルミニウムシリコンのヒロックの発生を防止することができる。また、還元性の高い元素であるチタンからなるバリア膜を形成すると、半導体膜上に薄い自然酸化膜ができていたとしても、この自然酸化膜を還元し、半導体膜と良好なコンタクトをとることができる。

10

20

30

40

50

【0218】

次に、導電膜1013を覆うように絶縁膜1014を形成し、当該絶縁膜1014上に、薄膜トランジスタのソース電極又はドレイン電極を形成する導電膜1013と電氣的に接続する導電膜1015a、1015bを形成する。図11(B)では、メモリセルアレイ部分を構成する薄膜トランジスタ1000a及び薄膜トランジスタ1000bのソース電極又はドレイン電極を形成する導電膜1013と電氣的に接続された導電膜として導電膜1015aが、薄膜トランジスタ1000fのソース電極又はドレイン電極を形成する導電膜1013と電氣的に接続された導電膜として導電膜1015bが図示されている。なお、導電膜1015aは後に形成される記憶素子の第1の電極として機能する。また、導電膜1015bは後に形成されるアンテナの下地膜として機能する。この導電膜1015bにより、薄膜トランジスタ1000fとアンテナとの接続をより確実に行うことや絶縁膜1014とアンテナとの密着性を向上させることができる。導電膜1015a及び導電膜1015bは、上述した導電膜1013で示したいずれかの材料を用いて形成することができる。

10

【0219】

なお、絶縁膜1014は、CVD法やスパッタ法等により、酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化窒化珪素(SiO_xN_y) ($x > y$)、窒化酸化珪素(SiN_xO_y) ($x > y$)等の酸素または窒素を有する絶縁膜やDLC(ダイヤモンドライクカーボン)等の炭素を含む膜、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料またはシロキサン樹脂等のシロキサン材料からなる単層または積層構造で設けることができる。なお、シロキサン材料とは、 $\text{Si}-\text{O}-\text{Si}$ 結合を含む材料に相当する。シロキサンは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基(例えばアルキル基、アリール基)が用いられる。置換基として、フルオロ基を用いることもできる。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。

20

【0220】

次に、メモリセルアレイ部分を構成する各々の記憶素子を分離するため、各記憶素子の第1の電極の間に隔壁(絶縁層)1016を形成する。なお、隔壁(絶縁層)1016の断面において、隔壁(絶縁層)1016の側面は、第1の電極の表面に対して10度以上60度未満、好ましくは25度以上45度以下の傾斜角度を有することが好ましい。さらには、湾曲していることが好ましい。

30

【0221】

なお、隔壁(絶縁層)1016には、酸化珪素、窒化珪素、酸化窒化珪素、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウムその他の無機絶縁性材料、又はアクリル酸、メタクリル酸及びこれらの誘導体、又はポリイミド、芳香族ポリアミド、ポリベンゾイミダゾールなどの耐熱性高分子、又はシロキサン材料を用いることができる。また、ポリビニルアルコール、ポリビニルブチラールなどのビニル樹脂、エポキシ樹脂、フェノール樹脂、ノボラック樹脂、アクリル樹脂、メラミン樹脂、ウレタン樹脂等の樹脂材料を用いることもできる。ベンゾシクロブテン、パリレン、ポリイミドなどの有機材料、重合によってできた化合物材料、水溶性ホモポリマーと水溶性共重合体を含む組成物材料等を用いてもよい。なお、作製法としては、CVD法、スパッタリング法、液滴吐出法、ディスペンサ法、印刷法等を用いることができる。また、スピンコート法で得られる薄膜なども用いることができる。

40

【0222】

次に、導電膜1015bと電氣的に接続されるアンテナとして機能する導電膜1021を形成する。

【0223】

導電膜1021は、CVD法、スパッタリング法、スクリーン印刷やグラビア印刷等の印刷法、液滴吐出法、ディスペンサ法、メッキ法等を用いて、導電性材料により形成する。導電性材料は、アルミニウム(Al)、チタン(Ti)、銀(Ag)、銅(Cu)、金

50

(Au)、白金(Pt)ニッケル(Ni)、パラジウム(Pd)、タンタル(Ta)、モリブデン(Mo)から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層構造又は積層構造で形成する。

【0224】

例えば、スクリーン印刷法を用いてアンテナとして機能する導電膜1021を形成する場合には、粒径が数nmから数十μmの導電体粒子を有機樹脂に溶解または分散させた導電性のペーストを選択的に印刷することによって設けることができる。導電体粒子としては、銀(Ag)、金(Au)、銅(Cu)、ニッケル(Ni)、白金(Pt)、パラジウム(Pd)、タンタル(Ta)、モリブデン(Mo)およびチタン(Ti)等のいずれか一つ以上の金属粒子やハロゲン化銀の微粒子、または分散性ナノ粒子を用いることができる。また、導電性ペーストに含まれる有機樹脂は、金属粒子のバインダー、溶媒、分散剤および被覆材として機能する有機樹脂から選ばれた一つまたは複数を用いることができる。代表的には、エポキシ樹脂、シリコン樹脂等の有機樹脂が挙げられる。また、導電膜の形成にあたり、導電性のペーストを押し出した後に焼成することが好ましい。例えば、導電性のペーストの材料として、銀を主成分とする微粒子(例えば粒径1nm以上100nm以下)を用いる場合、150~300の温度範囲で焼成することにより硬化させて導電膜を得ることができる。また、はんだや鉛フリーのはんだを主成分とする微粒子を用いてもよく、この場合は粒径20μm以下の微粒子を用いることが好ましい。はんだや鉛フリーはんだは、低コストであるといった利点を有している。

10

【0225】

次に、メモリセルアレイ部分を構成する記憶素子を形成する。まず、隔壁(絶縁層)1016及び記憶素子の第1の電極、即ち導電膜1015a上にメモリ層1017を形成する。ここでは、メモリ層1017として有機化合物層を用いた例について説明する。この有機化合物層は、電圧を印加することで第1の電極及び第2の電極の一部が接続、つまり短絡する性質を有する。よって、記憶素子に所定の電圧を印加することで高抵抗状態から低抵抗状態へ移行し、書き込む動作を行うことができる。なお、本実施例ではメモリ層1017として有機化合物層を用いた場合について述べるが、電圧の印加によって低抵抗状態へ移行することが可能な物質より形成された層であれば良い。

20

【0226】

メモリ層1017に用いる有機化合物として、正孔輸送性もしくは電子輸送性を有する有機化合物を用いて形成することができる。なお、ここで正孔輸送性を有する化合物とは正孔のみを輸送するものではなく、電子輸送性も有するが、電子の移動度よりも正孔の移動度が大きい化合物を意味する。また、電子輸送性を有する化合物とは電子のみを輸送するものではなく、正孔輸送性も有するが、正孔の移動度よりも電子の移動度が大きい化合物を意味する。従って、正孔と電子の両方を輸送する材料もこれらの範疇に含まれる。

30

【0227】

例えば、正孔輸送性を有する有機化合物としては、2,7-ジ(N-カルbazolil)-スピロ-9,9'-ビフルオレン(略称:SFDCz)、4,4'-ビス[N-(1-ナフチル)-N-フェニルアミノ]ビフェニル(略称:NPB)や4,4'-ビス[N-(3-メチルフェニル)-N-フェニル-アミノ]-ビフェニル(略称:TPD)や4,4',4'',4'''-トリス(N,N-ジフェニル-アミノ)-トリフェニルアミン(略称:TDATA)、4,4',4'',4'''-トリス[N-(3-メチルフェニル)-N-フェニル-アミノ]-トリフェニルアミン(略称:MTDATA)や4,4'-ビス(N-(4-(N,N-ジ-m-トリルアミノ)フェニル)-N-フェニルアミノ)ビフェニル(略称:DNTPD)などの芳香族アミン系(即ち、ベンゼン環-窒素の結合を有する)の化合物やフタロシアニン(略称:H₂Pc)、銅フタロシアニン(略称:CuPc)、バナジルフタロシアニン(略称:VO₂Pc)のようなフタロシアニン化合物等が挙げられる。電子輸送性の高い有機化合物としては、トリス(8-キノリノラト)アルミニウム(略称:Alq)、トリス(4-メチル-8-キノリノラト)アルミニウム(略称:Almq₃)、ビス(10-ヒドロキシベンゾ[h]-キノリナト)ベリリウム(略称:BeBq₂)、ビ

40

50

ス(2-メチル-8-キノリノラト)-4-フェニルフェノラト-アルミニウム(略称: B A 1 q)等キノリン骨格またはベンゾキノリン骨格を有する金属錯体等からなる材料を用いることができる。また、この他、ビス[2-(2-ヒドロキシフェニル)ベンゾオキサゾラト]亜鉛(略称: Z n (B O X)₂)、ビス[2-(2-ヒドロキシフェニル)ベンゾチアゾラト]亜鉛(略称: Z n (B T Z)₂)などのオキサゾール系、チアゾール系配位子を有する金属錯体などの材料も用いることができる。さらに、金属錯体以外にも、2-(4-ピフェニリル)-5-(4-tert-ブチルフェニル)-1,3,4-オキサジアゾール(略称: P B D)、1,3-ビス[5-(p-tert-ブチルフェニル)-1,3,4-オキサジアゾール-2-イル]ベンゼン(略称: O X D - 7)、3-(4-tert-ブチルフェニル)-4-フェニル-5-(4-ピフェニリル)-1,2,4-10

【0228】

上記の他、例えば2,3-ビス(4-ジフェニルアミノフェニル)キノキサリン(略称: T P A Q n)、1,3,5-トリ(N-カルバゾリル)ベンゼン(略称: T C z B)、9-[4-(N-カルバゾリル)]フェニル-10-フェニルアントラセン(略称: C z P A)、3,6-ジフェニル-9-[4-(10-フェニル-9-アントリル)フェニル]-9H-カルバゾール(略称: D P C z P A)、2-tert-ブチル-9、10-ビス(4-20

【0229】

また、有機化合物層は、蒸着法、電子ビーム蒸着法、スパッタ法、CVD法等を用いて形成することができる。また、他の形成方法として、スピンコート法、ゾル-ゲル法、印刷法または液滴吐出法等を用いてもよいし、上記方法とこれらを組み合わせてもよい。

【0230】

また、有機化合物層には、正孔輸送性もしくは電子輸送性を有する有機化合物に絶縁物が混合されていてもよいし、第1の電極とメモリ層との間に半導体層を有していてもよい。

【0231】

次に、メモリ層1017上に第2の電極として機能する導電膜1018を形成する。この導電膜1018は、上述した導電膜1013で示したいずれかの材料を用いて形成すること40

【0232】

以上のようにして、第1の電極として機能する導電膜1015aと、メモリ層1017と、第2の電極として機能する導電膜1018とを有する記憶素子1019a、1019bを形成することができる。なお、これらの記憶素子は、隔壁(絶縁層)1016によって分離されており、隣接する記憶素子間への電界の影響を防止するだけでなく、メモリ層1017を設ける際に導電膜1015aの段差により生じるメモリ層1017の段切れを隔壁(絶縁層)1016を用いて防止することができる。なお、隔壁(絶縁層)1016を設けずにメモリ層1017が隣接する記憶素子間で分離できる構成としている場合には特に設ける必要はない。

10

20

30

40

50

【0233】

次に、図11(C)に示すように、導電膜1021や記憶素子1019a、1019bを覆うように絶縁膜1022を形成した後、薄膜トランジスタ1000a~1000f、導電膜1021、記憶素子1019a、1019b等を含む層(以下、「素子形成層10」と記す)を基板1001から剥離する。ここでは、レーザー光(例えばUV光)を照射することによって、薄膜トランジスタ1000a~1000fを避けた領域に開口部を形成後、物理的な力を用いて基板1001から素子形成層10を剥離することができる。また、基板1001から素子形成層10を剥離する前に、形成した開口部にエッチング剤を導入して、剥離層1003を選択的に除去してもよい。エッチング剤は、フッ化ハロゲンまたはハロゲン間化合物を含む気体又は液体を使用する。例えば、フッ化ハロゲンを含む気体として三フッ化塩素(ClF_3)を使用する。そうすると、素子形成層10は、基板1001から剥離された状態となる。なお、剥離層1003は、全て除去せず一部分を残存させてもよい。こうすることによって、エッチング剤の消費量を抑え剥離層の除去に要する処理時間を短縮することが可能となる。また、剥離層1003の除去を行った後にも、基板1001上に素子形成層10を保持しておくことが可能となる。また、素子形成層10が剥離された基板1001を再利用することによって、コストの削減をすることができる。

10

【0234】

絶縁膜1022は、CVD法やスパッタ法等により、酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化窒化珪素(SiO_xN_y)($x > y$)、窒化酸化珪素(SiN_xO_y)($x > y$)等の酸素または窒素を有する絶縁膜やDLC(ダイヤモンドライクカーボン)等の炭素を含む膜、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料またはシロキサン樹脂等のシロキサン材料からなる単層または積層構造で設けることができる。

20

【0235】

本実施例では、図12(A)に示すように、レーザー光の照射により素子形成層10に開口部を形成した後、当該素子形成層10の一方の面(絶縁膜1022の露出した面)に第1のシート材1023を貼り合わせた後、基板1001から素子形成層10を剥離する。

【0236】

次に、図12(B)に示すように、素子形成層10の他方の面(剥離により露出した面)に、加熱処理と加圧処理の一方又は両方を行って第2のシート材1024を貼り合わせる。なお、第1のシート材1023、第2のシート材1024として、ホットメルトフィルム等を用いることができる。

30

【0237】

また、第1のシート材1023、第2のシート材1024として、静電気等を防止する帯電防止対策を施したフィルム(以下、帯電防止フィルムと記す)を用いることもできる。帯電防止フィルムとしては、帯電防止可能な材料を樹脂中に分散させたフィルム、及び帯電防止可能な材料が貼り付けられたフィルム等が挙げられる。帯電防止可能な材料が設けられたフィルムは、片面に帯電防止可能な材料を設けたフィルムであってもよいし、両面に帯電防止可能な材料を設けたフィルムであってもよい。さらに、片面に帯電防止可能な材料が設けられたフィルムは、帯電防止可能な材料が設けられた面をフィルムの内側になるように層に貼り付けてもよいし、フィルムの外側になるように貼り付けてもよい。なお、帯電防止可能な材料はフィルムの全面、あるいは一部に設けてあればよい。ここでの帯電防止可能な材料としては、金属、インジウムと錫の酸化物(ITO : Indium Tin Oxide)、両性界面活性剤や陽イオン性界面活性剤や非イオン性界面活性剤等の界面活性剤用いることができる。また、他にも帯電防止材料として、側鎖にカルボキシル基および4級アンモニウム塩基をもつ架橋性共重合体高分子を含む樹脂材料等を用いることができる。これらの材料をフィルムに貼り付けたり、練り込んだり、塗布することによって帯電防止フィルムとすることができる。帯電防止フィルムで封止を行うことによ

40

50

って、商品として取り扱う際に、外部からの静電気等によって半導体素子に悪影響が及ぶことを抑制することができる。

【0238】

以上の工程により、本発明の不揮発性メモリを有する半導体装置を作製することができる。なお、本実施例では、アンテナを薄膜トランジスタと同じ基板上に形成している例について説明したが、本発明はこの構成に限定されない。薄膜トランジスタを有する層が形成される第1の基板と、アンテナとして機能する導電層が形成される第2の基板とを導電性粒子を含む樹脂により貼り合わせることで、薄膜トランジスタとアンテナとを電氣的に接続してもよい。

【0239】

また、上記では基板上に薄膜トランジスタ等の素子を形成した後に剥離する工程を示したが、剥離を行わずそのまま製品としてもよい。また、ガラス基板上に薄膜トランジスタ等の素子を設けた後に、当該ガラス基板を素子が設けられた面と反対側から研磨することにより半導体装置の薄膜化、小型化を行うことができる。

【0240】

また、本実施例は本明細書中の実施の形態及び他の実施例の記載と適宜組み合わせることが可能である。

【実施例5】

【0241】

本実施例では、上記実施例とは異なる本発明の不揮発性メモリもしくは半導体装置が有するトランジスタの作製方法について説明する。本発明の不揮発性メモリもしくは半導体装置が有するトランジスタは、上記実施例で説明した絶縁基板上の薄膜トランジスタの他、単結晶基板上のMOSトランジスタで構成することもできる。

【0242】

本実施例では、本発明の不揮発性メモリもしくは半導体装置が有するトランジスタの作製方法の一例に関して、図13乃至図15に示す部分断面図を用いて説明する。

【0243】

まず、半導体基板1300に素子を分離した領域1302、1303（以下、領域1302、1303とも記す）を形成する（図13（A）参照）。半導体基板1300に設けられた領域1302、1303は、それぞれ絶縁膜1301（フィールド酸化膜ともいう）によって分離されている。なお、ここでは、半導体基板1300としてn型の導電型を有する単結晶Si基板を用い、半導体基板1300の領域1303にpウェル1304を設けた例を示している。

【0244】

基板1300は、半導体基板であれば特に限定されず用いることができる。例えば、n型又はp型の導電型を有する単結晶Si基板、化合物半導体基板（GaAs基板、InP基板、GaN基板、SiC基板、サファイア基板、ZnSe基板等）、貼り合わせ法またはSIMOX（Separation by Implanted Oxygen）法を用いて作製されたSOI（Silicon on Insulator）基板等を用いることができる。

【0245】

素子分離領域1302、1303は、選択酸化法（LOCOS（Local Oxidation of Silicon）法）又はトレンチ分離法等を適宜用いることができる。

【0246】

また、半導体基板1300の領域1303に形成されたpウェルは、半導体基板1300にp型の導電型を有する不純物元素を選択的に導入することによって形成することができる。p型を示す不純物元素としては、ボロン（B）やアルミニウム（Al）やガリウム（Ga）等を用いることができる。

【0247】

なお、本実施例では、半導体基板 1300 として n 型の導電性を有する半導体基板を用いているため、領域 1302 には不純物元素の導入を行っていないが、n 型を示す不純物元素を導入することにより領域 1302 に n ウェルを形成してもよい。n 型を示す不純物元素としては、リン (P) やヒ素 (As) 等を用いることができる。一方、p 型の導電性を有する半導体基板を用いる場合には、領域 1302 に n 型を示す不純物元素を導入して n ウェルを形成し、領域 1303 には不純物元素の導入を行わない構成としてもよい。

【0248】

次に、図 13 (B) に示すように領域 1302、1303 を覆うように絶縁膜 1305、1306 をそれぞれ形成する。

【0249】

絶縁膜 1305、1306 は、例えば、熱処理を行い半導体基板 1300 に設けられた領域 1302、1303 の表面を酸化させることにより酸化珪素膜で形成することができる。また、熱酸化法により酸化珪素膜を形成した後に、窒化処理を行うことによって酸化珪素膜の表面を窒化させることにより、酸化珪素膜と酸素と窒素を有する膜 (酸窒化珪素膜) との積層構造で形成してもよい。

【0250】

他にも、上述したように、プラズマ処理を用いて絶縁膜 1305、1306 を形成してもよい。例えば、半導体基板 1300 に設けられた領域 1302、1303 の表面に高密度プラズマ処理により酸化処理又は窒化処理を行うことにより、絶縁膜 1305、1306 として酸化珪素 (SiO_x) 膜又は窒化珪素 (SiN_x) 膜で形成することができる。また、高密度プラズマ処理により領域 1302、1303 の表面に酸化処理を行った後に、再度高密度プラズマ処理を行うことによって窒化処理を行ってもよい。この場合、領域 1302、1303 の表面に接して酸化珪素膜が形成され、当該酸化珪素膜上に酸窒化珪素膜が形成され、絶縁膜 1305、1306 は酸化珪素膜と酸窒化珪素膜とが積層された膜となる。また、熱酸化法により領域 1302、1303 の表面に酸化珪素膜を形成した後に高密度プラズマ処理により酸化処理又は窒化処理を行ってもよい。

【0251】

なお、絶縁膜 1305、1306 は、後に完成されるトランジスタにおいてゲート絶縁膜として機能する。

【0252】

次に、図 13 (C) に示すように領域 1302、1303 の上方に形成された絶縁膜 1305、1306 を覆うように導電膜を形成する。ここでは、導電膜として、導電膜 1307 と導電膜 1308 を順に積層して形成した例を示している。もちろん、導電膜は、単層又は 3 層以上の積層構造で形成してもよい。

【0253】

導電膜 1307、1308 としては、タンタル (Ta)、タングステン (W)、チタン (Ti)、モリブデン (Mo)、アルミニウム (Al)、銅 (Cu)、クロム (Cr)、ニオブ (Nb) 等から選択された元素またはこれらの元素を主成分とする合金材料若しくは化合物材料で形成することができる。また、これらの元素を窒化した金属窒化膜で形成することもできる。他にも、リン等の不純物元素をドーピングした多結晶珪素に代表される半導体材料により形成することもできる。

【0254】

ここでは、導電膜 1307 として窒化タンタルを用いて形成し、その上に導電膜 1308 としてタングステンを用いて積層構造で設ける。また、他にも、導電膜 1307 として、窒化タングステン、窒化モリブデン又は窒化チタンから選ばれた単層又は積層膜を用い、導電膜 1308 として、タンタル、モリブデン、チタンから選ばれた単層又は積層膜を用いることができる。

【0255】

次に、積層して設けられた導電膜 1307、1308 を選択的にエッチングして除去することによって、領域 1302、1303 の上方の一部に導電膜 1307、1308 を残

10

20

30

40

50

存させ、図14(A)に示すようにそれぞれゲート電極1309、1310を形成する。

【0256】

次に、領域1302を覆うようにレジストマスク1311を選択的に形成し、当該レジストマスク1311、ゲート電極1310をマスクとして領域1303に不純物元素を導入することによって不純物領域を形成する(図14(B)参照)。不純物元素としては、n型を付与する不純物元素又はp型を付与する不純物元素を用いる。n型を示す不純物元素としては、リン(P)やヒ素(As)等を用いることができる。p型を示す不純物元素としては、ボロン(B)やアルミニウム(Al)やガリウム(Ga)等を用いることができる。ここでは、不純物元素として、リン(P)を用いる。

【0257】

不純物元素を導入することによって、図14(B)に示すように領域1303にソース領域又はドレイン領域を形成する不純物領域1312とチャンネル形成領域1313が形成される。

【0258】

次に、図14(C)に示すように領域1303を覆うようにレジストマスク1314を選択的に形成し、当該レジストマスク1314、ゲート電極1309をマスクとして領域1302に不純物元素を導入することによって不純物領域を形成する。不純物元素としては、n型を付与する不純物元素又はp型を付与する不純物元素を用いる。n型を示す不純物元素としては、リン(P)やヒ素(As)等を用いることができる。p型を示す不純物元素としては、ボロン(B)やアルミニウム(Al)やガリウム(Ga)等を用いることができる。ここでは、図14(C)で領域1303に導入した不純物元素と異なる導電型を有する不純物元素(例えば、ボロン(B))を導入する。その結果、領域1302にソース領域又はドレイン領域を形成する不純物領域1315とチャンネル形成領域1316が形成される。

【0259】

次に、図15に示すように絶縁膜1305、1306、ゲート電極1309、1310を覆うように第2の絶縁膜1317を形成し、当該第2の絶縁膜1317上に領域1302、1303にそれぞれ形成された不純物領域1312、1315と電氣的に接続する配線1318を形成する。

【0260】

第2の絶縁膜1317は、CVD法やスパッタ法等により、酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化窒化珪素(SiO_xN_y)($x > y$)、窒化酸化珪素(SiN_xO_y)($x > y$)等の酸素または窒素を有する絶縁膜やDLC(ダイヤモンドライクカーボン)等の炭素を含む膜、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料またはシロキサン樹脂等のシロキサン材料からなる単層または積層構造で設けることができる。なお、シロキサン材料とは、Si-O-Si結合を含む材料に相当する。シロキサンは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基(例えばアルキル基、アリール基)が用いられる。置換基として、フルオロ基を用いることもできる。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。

【0261】

配線1318は、CVD法やスパッタリング法等により、アルミニウム(Al)、タングステン(W)、チタン(Ti)、タンタル(Ta)、モリブデン(Mo)、ニッケル(Ni)、白金(Pt)、銅(Cu)、金(Au)、銀(Ag)、マンガン(Mn)、ネオジム(Nd)、炭素(C)、シリコン(Si)から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層又は積層で形成する。アルミニウムを主成分とする合金材料とは、例えば、アルミニウムを主成分としニッケルを含む材料、又は、アルミニウムを主成分とし、ニッケルと、炭素と珪素の一方又は両方とを含む合金材料に相当する。配線1318は、例えば、バリア膜とアルミニウムシリコン(Al-Si)膜とバリア膜の積層構造、バリア膜とアルミニウムシリコン(Al-Si)膜と窒化チ

10

20

30

40

50

タン膜とバリア膜の積層構造を採用するとよい。なお、バリア膜とは、チタン、チタンの窒化物、モリブデン、又はモリブデンの窒化物からなる薄膜に相当する。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、配線 1318 を形成する材料として最適である。また、上層と下層のバリア層を設けると、アルミニウムやアルミニウムシリコンのヒロックの発生を防止することができる。また、還元性の高い元素であるチタンからなるバリア膜を形成すると、結晶質半導体膜上に薄い自然酸化膜ができていたとしても、この自然酸化膜を還元し、結晶質半導体膜と良好なコンタクトをとることができる。

【0262】

以上のようにして、単結晶基板を用いて MOS トランジスタを作製することができる。なお、トランジスタの構造は上記の構造に限定されるものではなく、例えば、逆スタガ構造、フィン FET 構造等でも良い。なお、フィン FET 構造では、トランジスタサイズの微細化に伴う短チャネル効果を抑制することができる。

10

【0263】

また、本実施例は本明細書中の実施の形態及び他の実施例の記載と適宜組み合わせることが可能である。

【実施例 6】

【0264】

本実施例では、上記実施例とは異なる本発明の不揮発性メモリもしくは半導体装置が有するトランジスタの作製方法について説明する。本発明の不揮発性メモリもしくは半導体装置におけるトランジスタは、上記実施例で説明した単結晶基板上の MOS トランジスタとは異なる作製方法で設けられた MOS トランジスタで構成することもできる。

20

【0265】

本実施例では、本発明の不揮発性メモリもしくは半導体装置が有するトランジスタの作製方法の一例に関して、図 16 乃至図 19 に示す部分断面図を用いて説明する。

【0266】

まず、図 16 (A) に示すように基板 1600 上に絶縁膜を形成する。ここでは、n 型の導電性を有する単結晶 Si を基板 1600 として用い、当該基板 1600 上に絶縁膜 1601 と絶縁膜 1602 を形成する。例えば、基板 1600 に熱処理を行うことにより絶縁膜 1601 として酸化珪素 (SiO_x) を形成し、当該絶縁膜 1601 上に CVD 法を用いて窒化珪素 (SiN_x) を成膜する。

30

【0267】

また、基板 1600 は、半導体基板であれば特に限定されず用いることができる。例えば、n 型又は p 型の導電性を有する単結晶 Si 基板、化合物半導体基板 (GaAs 基板、InP 基板、GaN 基板、SiC 基板、サファイア基板、ZnSe 基板等)、貼り合わせ法または SIMOX (Separation by Implanted Oxygen) 法を用いて作製された SOI (Silicon on Insulator) 基板等を用いることができる。

【0268】

また、絶縁膜 1602 は、絶縁膜 1601 を形成した後に高密度プラズマ処理により当該絶縁膜 1601 を窒化することにより設けてもよい。なお、基板 1600 上に設ける絶縁膜は単層又は 3 層以上の積層構造で設けてもよい。

40

【0269】

次に、図 16 (B) に示すように絶縁膜 1602 上に選択的にレジストマスク 1603 のパターンを形成し、当該レジストマスク 1603 をマスクとして選択的にエッチングを行うことによって、基板 1600 に選択的に凹部 1604 を形成する。基板 1600、絶縁膜 1601、1602 のエッチングとしては、プラズマを利用したドライエッチングにより行うことができる。

【0270】

次に、図 16 (C) に示すようにレジストマスク 1603 のパターンを除去した後、基

50

板 1 6 0 0 に形成された凹部 1 6 0 4 を充填するように絶縁膜 1 6 0 5 を形成する。

【 0 2 7 1 】

絶縁膜 1 6 0 5 は、C V D 法やスパッタリング法等を用いて、酸化シリコン、窒化シリコン、酸化窒化シリコン (SiO_xN_y) ($x > y > 0$)、窒化酸化シリコン (SiN_xO_y) ($x > y > 0$) 等の絶縁材料を用いて形成する。ここでは、絶縁膜 1 6 0 5 として、常圧 C V D 法または減圧 C V D 法により T E O S (テトラエトキシシラン) ガスを用いて酸化珪素膜を形成する。

【 0 2 7 2 】

次に、図 1 7 (A) に示すように研削処理、研磨処理又は C M P (C h e m i c a l M e c h a n i c a l P o l i s h i n g) 処理を行うことによって、基板 1 6 0 0 の表面を露出させる。ここでは、基板 1 6 0 0 の表面を露出させることにより、基板 1 6 0 0 の凹部 1 6 0 4 に形成された絶縁膜 1 6 0 6 間に領域 1 6 0 7、1 6 0 8 が設けられる。なお、絶縁膜 1 6 0 6 は、基板 1 6 0 0 の表面に形成された絶縁膜 1 6 0 5 が研削処理、研磨処理又は C M P 処理により除去されることにより得られたものである。続いて、p 型の導電型を有する不純物元素を選択的に導入することによって、領域 1 6 0 8 に p ウェル 1 6 0 9 を形成する。

【 0 2 7 3 】

p 型を示す不純物元素としては、ボロン (B) やアルミニウム (A l) やガリウム (G a) 等を用いることができる。ここでは、不純物元素として、ボロン (B) を領域 1 6 0 8 に導入する。

【 0 2 7 4 】

なお、本実施例では、基板 1 6 0 0 として n 型の導電型を有する半導体基板を用いているため、領域 1 6 0 7 には不純物元素の導入を行っていないが、n 型を示す不純物元素を導入することにより領域 1 6 0 7 に n ウェルを形成してもよい。n 型を示す不純物元素としては、リン (P) やヒ素 (A s) 等を用いることができる。

【 0 2 7 5 】

一方、p 型の導電型を有する半導体基板を用いる場合には、領域 1 6 0 7 に n 型を示す不純物元素を導入して n ウェルを形成し、領域 1 6 0 8 には不純物元素の導入を行わない構成としてもよい。

【 0 2 7 6 】

次に、図 1 7 (B) に示すように基板 1 6 0 0 の領域 1 6 0 7、1 6 0 8 の表面上に絶縁膜 1 6 1 0、1 6 1 1 をそれぞれ形成する。

【 0 2 7 7 】

絶縁膜 1 6 1 0、1 6 1 1 は、例えば、熱処理を行い基板 1 6 0 0 に設けられた領域 1 6 0 7、1 6 0 8 の表面を酸化させることにより酸化珪素膜で絶縁膜 1 6 1 0、1 6 1 1 を形成することができる。また、熱酸化法により酸化珪素膜を形成した後に、窒化処理を行うことによって酸化珪素膜の表面を窒化させることにより、酸化珪素膜と酸素と窒素を有する膜 (酸化窒化珪素膜) との積層構造で形成してもよい。

【 0 2 7 8 】

他にも、上述したように、プラズマ処理を用いて絶縁膜 1 6 1 0、1 6 1 1 を形成してもよい。例えば、基板 1 6 0 0 に設けられた領域 1 6 0 7、1 6 0 8 の表面に高密度プラズマ処理により酸化処理又は窒化処理を行うことにより、絶縁膜 1 6 1 0、1 6 1 1 として酸化珪素 (SiO_x) 膜又は窒化珪素 (SiN_x) 膜で形成することができる。また、高密度プラズマ処理により領域 1 6 0 7、1 6 0 8 の表面に酸化処理を行った後に、再度高密度プラズマ処理を行うことによって窒化処理を行ってもよい。この場合、領域 1 6 0 7、1 6 0 8 の表面に接して酸化珪素膜が形成され、当該酸化珪素膜上に酸窒化珪素膜が形成され、絶縁膜 1 6 1 0、1 6 1 1 は酸化珪素膜と酸窒化珪素膜とが積層された膜となる。また、熱酸化法により領域 1 6 0 7、1 6 0 8 の表面に酸化珪素膜を形成した後に高密度プラズマ処理により酸化処理又は窒化処理を行ってもよい。

【 0 2 7 9 】

なお、基板 1 6 0 0 の領域 1 6 0 7、1 6 0 8 に形成された絶縁膜 1 6 1 0、1 6 1 1 は、後に完成されるトランジスタにおいてゲート絶縁膜として機能する。

【 0 2 8 0 】

次に、図 1 7 (C) に示すように基板 1 6 0 0 に設けられた領域 1 6 0 7、1 6 0 8 の上方に形成された絶縁膜 1 6 1 0、1 6 1 1 を覆うように導電膜を形成する。ここでは、導電膜として、導電膜 1 6 1 2 と導電膜 1 6 1 3 を順に積層して形成した例を示している。もちろん、導電膜は、単層又は 3 層以上の積層構造で形成してもよい。

【 0 2 8 1 】

導電膜 1 6 1 2、1 6 1 3 としては、タンタル (T a)、タングステン (W)、チタン (T i)、モリブデン (M o)、アルミニウム (A l)、銅 (C u)、クロム (C r)、ニオブ (N b) 等から選択された元素またはこれらの元素を主成分とする合金材料若しくは化合物材料で形成することができる。また、これらの元素を窒化した金属窒化膜で形成することもできる。他にも、リン等の不純物元素をドーピングした多結晶珪素に代表される半導体材料により形成することもできる。

【 0 2 8 2 】

ここでは、導電膜 1 6 1 2 として窒化タンタルを用いて形成し、その上に導電膜 1 6 1 3 としてタングステンを用いて積層構造で設ける。また、他にも、導電膜 1 6 1 2 として、窒化タンタル、窒化タングステン、窒化モリブデン又は窒化チタンから選ばれた単層又は積層膜を用い、導電膜 1 6 1 3 として、タングステン、タンタル、モリブデン、チタンから選ばれた単層又は積層膜を用いることができる。

【 0 2 8 3 】

次に、図 1 8 (A) に示すように積層して設けられた導電膜 1 6 1 2、1 6 1 3 を選択的にエッチングして除去することによって、基板 1 6 0 0 の領域 1 6 0 7、1 6 0 8 の上方の一部に導電膜 1 6 1 2、1 6 1 3 を残存させ、それぞれゲート電極として機能する導電膜 1 6 1 4、1 6 1 5 を形成する。また、ここでは、基板 1 6 0 0 において、導電膜 1 6 1 4、1 6 1 5 と重ならない領域 1 6 0 7、1 6 0 8 の表面が露出するようにする。

【 0 2 8 4 】

具体的には、基板 1 6 0 0 の領域 1 6 0 7 において、導電膜 1 6 1 4 の下方に形成された絶縁膜 1 6 1 0 のうち当該導電膜 1 6 1 4 と重ならない部分を選択的に除去し、導電膜 1 6 1 4 と絶縁膜 1 6 1 0 の端部が概略一致するように形成する。また、領域 1 6 0 8 において、導電膜 1 6 1 5 の下方に形成された絶縁膜 1 6 1 1 のうち当該導電膜 1 6 1 5 と重ならない部分を選択的に除去し、導電膜 1 6 1 5 と絶縁膜 1 6 1 1 の端部が概略一致するように形成する。

【 0 2 8 5 】

この場合、導電膜 1 6 1 4、1 6 1 5 の形成と同時に重ならない部分の絶縁膜等を除去してもよいし、導電膜 1 6 1 4、1 6 1 5 を形成後残存したレジストマスク又は当該導電膜 1 6 1 4、1 6 1 5 をマスクとして重ならない部分の絶縁膜等を除去してもよい。

【 0 2 8 6 】

次に、図 1 8 (B) に示すように基板 1 6 0 0 の領域 1 6 0 7、1 6 0 8 に不純物元素を選択的に導入する。ここでは、領域 1 6 0 8 に導電膜 1 6 1 5 をマスクとして n 型を付与する低濃度の不純物元素を選択的に導入し、不純物領域 1 6 1 7 を形成する。一方、領域 1 6 0 7 には導電膜 1 6 1 4 をマスクとして p 型を付与する低濃度の不純物元素を選択的に導入し、不純物領域 1 6 1 6 を形成する。n 型を付与する不純物元素としては、リン (P) やヒ素 (A s) 等を用いることができる。p 型を付与する不純物元素としては、ボロン (B) やアルミニウム (A l) やガリウム (G a) 等を用いることができる。

【 0 2 8 7 】

次に、導電膜 1 6 1 4、1 6 1 5 の側面に接するサイドウォール 1 6 1 8 を形成する。具体的には、プラズマ C V D 法やスパッタリング法等により、珪素、珪素の酸化物又は珪素の窒化物の無機材料を含む膜や、有機樹脂などの有機材料を含む膜を、単層又は積層して形成する。そして、当該絶縁膜を、垂直方向を主体とした異方性エッチングにより選択

10

20

30

40

50

的にエッチングして、導電膜 1614、1615 の側面に接するように形成することができる。なお、サイドウォール 1618 は、LDD (Lightly Doped drain) 領域を形成する際のドーピング用のマスクとして用いる。また、ここでは、サイドウォール 1618 は、導電膜 1614、1615 の下方に形成された絶縁膜や浮遊ゲート電極の側面にも接するように形成されている。

【0288】

続いて、当該サイドウォール 1618、導電膜 1614、1615 をマスクとして基板 1600 の領域 1607、1608 に不純物元素を導入することによって、ソース領域又はドレイン領域として機能する不純物領域を形成する (図 18 (C) 参照)。ここでは、基板 1600 の領域 1608 にサイドウォール 1618 と導電膜 1615 をマスクとして高濃度の n 型を付与する不純物元素を導入し、領域 1607 にサイドウォール 1618 と導電膜 1614 をマスクとして高濃度の p 型を付与する不純物元素を導入する。

10

【0289】

その結果、基板 1600 の領域 1607 には、ソース領域又はドレイン領域を形成する不純物領域 1620 と、LDD 領域を形成する低濃度不純物領域 1621 と、チャネル形成領域 1622 が形成される。また、基板 1600 の領域 1608 には、ソース領域又はドレイン領域を形成する不純物領域 1623 と、LDD 領域を形成する低濃度不純物領域 1624 と、チャネル形成領域 1625 が形成される。

【0290】

なお、本実施例では、導電膜 1614、1615 と重ならない基板 1600 の領域 1607、1608 を露出させた状態で不純物元素の導入を行っている。従って、基板 1600 の領域 1607、1608 にそれぞれ形成されるチャネル形成領域 1622、1625 は導電膜 1614、1615 と自己整合的に形成することができる。

20

【0291】

次に、図 19 (A) に示すように基板 1600 の領域 1607、1608 上に設けられた絶縁膜や導電膜等を覆うように第 2 の絶縁膜 1626 を形成し、当該絶縁膜 1626 に開口部 1627 を形成する。

【0292】

第 2 の絶縁膜 1626 は、CVD 法やスパッタ法等により、酸化珪素 (SiO_x)、窒化珪素 (SiN_x)、酸化窒化珪素 (SiO_xN_y) ($x > y$)、窒化酸化珪素 (SiN_xO_y) ($x > y$) 等の酸素または窒素を有する絶縁膜や DLC (ダイヤモンドライクカーボン) 等の炭素を含む膜、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料またはシロキサン樹脂等のシロキサン材料からなる単層または積層構造で設けることができる。なお、シロキサン材料とは、 Si-O-Si 結合を含む材料に相当する。シロキサンは、シリコン (Si) と酸素 (O) との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基 (例えばアルキル基、アリール基) が用いられる。置換基として、フルオロ基を用いることもできる。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。

30

【0293】

次に、図 19 (B) に示すように CVD 法を用いて開口部 1627 に導電膜 1628 を形成し、当該導電膜 1628 と電氣的に接続するように絶縁膜 1626 上に導電膜 1629a ~ 1629d を選択的に形成する。

40

【0294】

導電膜 1628、1629a ~ 1629d は、CVD 法やスパッタリング法等により、アルミニウム (Al)、タングステン (W)、チタン (Ti)、タンタル (Ta)、モリブデン (Mo)、ニッケル (Ni)、白金 (Pt)、銅 (Cu)、金 (Au)、銀 (Ag)、マンガン (Mn)、ネオジム (Nd)、炭素 (C)、シリコン (Si) から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層又は積層で形成する。アルミニウムを主成分とする合金材料とは、例えば、アルミニウムを主成分としニッケルを含む材料、又は、アルミニウムを主成分とし、ニッケルと、炭素と珪素の

50

一方又は両方とを含む合金材料に相当する。導電膜 1628、1629a ~ 1629d は、例えば、バリア膜とアルミニウムシリコン (Al-Si) 膜とバリア膜の積層構造、バリア膜とアルミニウムシリコン (Al-Si) 膜と窒化チタン膜とバリア膜の積層構造を採用するとよい。なお、バリア膜とは、チタン、チタンの窒化物、モリブデン、又はモリブデンの窒化物からなる薄膜に相当する。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、導電膜 1628 を形成する材料として最適である。また、上層と下層のバリア層を設けると、アルミニウムやアルミニウムシリコンのヒロックの発生を防止することができる。また、還元性の高い元素であるチタンからなるバリア膜を形成すると、結晶質半導体膜上に薄い自然酸化膜ができていたとしても、この自然酸化膜を還元し、結晶質半導体膜と良好なコンタクトをとることができる。ここでは、導電膜 1628 は CVD 法によりタングステン (W) を選択成長することにより形成することができる。

10

【0295】

以上の工程により、基板 1600 の領域 1607 に形成された p 型のトランジスタと、領域 1608 に形成された n 型のトランジスタとを作製することができる。

【0296】

なお、トランジスタの構造は上記の構造に限定されるものではなく、例えば、逆スタガ構造、フィン FET 構造等でも良い。なお、フィン FET 構造では、トランジスタサイズの微細化に伴う短チャネル効果を抑制することができる。

【0297】

また、本実施例は本明細書中の実施の形態及び他の実施例の記載と適宜組み合わせることが可能である。

20

【実施例 7】

【0298】

本実施例では、本発明の半導体装置の利用形態の一例である無線タグの用途について説明する。無線タグは、例えば、紙幣、硬貨、有価証券類、無記名債券類、証書類（運転免許証や住民票等）、包装用容器類（包装紙やボトル等）、記録媒体（DVD ソフトやビデオテープ等）、乗物類（自転車等）、身の回り品（鞆や眼鏡等）、食品類、植物類、動物類、人体、衣類、生活用品類、電子機器等の商品や荷物の荷札等の物品に設けることができ、いわゆる ID ラベル、ID タグ、ID カードとして使用することができる。電子機器とは、液晶表示装置、EL 表示装置、テレビジョン装置（単にテレビ、テレビ受像機、テレビジョン受像機とも呼ぶ）及び携帯電話等を指す。以下に、図 20 を参照して、本発明の応用例、及びそれらを付した商品の一例について説明する。

30

【0299】

図 20 (A) は、本発明に係る無線タグの完成品の状態の一例である。ラベル台紙 2001（セパレート紙）上に、無線タグ 2002 を内蔵した複数の ID ラベル 2003 が形成されている。ID ラベル 2003 は、ボックス 2004 内に収納されている。また、ID ラベル 2003 上には、その商品や役務に関する情報（商品名、ブランド、商標、商標権者、販売者、製造者等）が記されている。一方、内蔵されている無線タグには、その商品（又は商品の種類）固有の ID ナンバーが付されており、偽造や、商標権、特許権等の知的財産権侵害、不正競争等の不法行為を容易に把握することができる。また、無線タグ内には、商品の容器やラベルに明記しきれない多大な情報、例えば、商品の産地、販売地、品質、原材料、効能、用途、数量、形状、価格、生産方法、使用方法、生産時期、使用時期、賞味期限、取扱説明、商品に関する知的財産情報等を入力しておくことができ、取引者や消費者は、簡易なリーダによって、それらの情報にアクセスすることができる。なお、無線タグが内蔵するメモリはライトワンスメモリであればデータの書き換えが不可能であるため高いセキュリティを実現することができる。また、書き換えが可能なメモリであっても、パスワード等を利用することにより、取引者、消費者側からは書き換え、消去等ができない仕組みにすることが可能である。なお、無線タグに表示部を設け、これらの情報を表示できる構成としてもよい。

40

【0300】

50

図20(B)は、無線タグ2012を内蔵したラベル状の無線タグ2011を示している。無線タグ2011を商品に備え付けることにより、商品管理が容易になる。例えば、商品が盗難された場合に、商品の経路を辿ることによって、その犯人を迅速に把握することができる。このように、無線タグを備えることにより、所謂トレーサビリティに優れた商品を流通させることができる。

【0301】

図20(C)は、無線タグ2022を内包したIDカード2021の完成品の状態の一例である。上記IDカード2021としては、キャッシュカード、クレジットカード、プリペイドカード、電子乗車券、電子マネー、テレフォンカード、会員カード等のあらゆるカード類が含まれる。また、IDカード2021の表面に表示部を設け、様々な情報を表示させる構成としてもよい。

10

【0302】

図20(D)は、無記名債券2031の完成品の状態を示している。無記名債券2031には、無線タグ2032が埋め込まれており、その周囲は樹脂によって成形され、無線タグを保護している。ここで、該樹脂中にはフィラーが充填された構成となっている。無記名債券2031は、本発明に係る無線タグと同じ要領で作製することができる。なお、上記無記名債券類には、切手、切符、チケット、入場券、商品券、図書券、文具券、ビール券、おこめ券、各種ギフト券、各種サービス券等が含まれるが、勿論これらに限定されるものではない。また、紙幣、硬貨、有価証券類、無記名債券類、証書類等に本発明の無線タグ2032を設けることにより、認証機能を設けることができ、この認証機能を活用すれば、偽造を防止することができる。

20

【0303】

図20(E)は無線タグ2042を内包したIDラベル2041を貼付した書籍2043を示している。本発明の無線タグ2042は、表面に貼ったり、埋め込んだりして、物品に固定することができる。図20(E)に示すように、本なら紙に埋め込んだり、有機樹脂からなるパッケージなら当該有機樹脂に埋め込んだりして、各物品に固定される。本発明の無線タグ2042は、小型、薄型、軽量を実現するため、物品に固定した後も、その物品自体のデザイン性を損なうことがない。

【0304】

また、ここでは図示しないが、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、電子機器等に本発明の無線タグを設けることにより、検品システム等のシステムの効率化を図ることができる。また乗物類に無線タグを設けることにより、偽造や盗難を防止することができる。また、動物等の生き物に埋め込むことによって、個々の生き物の識別を容易に行うことができる。例えば、家畜等の生き物に無線タグを埋め込むことによって、生まれた年や性別または種類等を容易に識別することが可能となる。

30

【0305】

このように、本発明の無線タグは、あらゆる商品に利用することができる。特に、本発明の無線タグは、内蔵する不揮発性メモリの書き込み時の消費電流を低減することで、パッシブ型の無線タグであれば書き込み可能な通信範囲が広く、アクティブ型の無線タグであれば電池寿命が長いという特徴を有し、使い勝手がよく有効である。

40

【0306】

また、本実施例は本明細書中の実施の形態及び他の実施例の記載と適宜組み合わせることが可能である。

【図面の簡単な説明】

【0307】

【図1】本発明の不揮発性メモリを説明する図。

【図2】本発明の不揮発性メモリを説明する図。

【図3】本発明の不揮発性メモリを説明する図。

【図4】本発明の不揮発性メモリを説明する図。

【図5】本発明の不揮発性メモリを説明する図。

50

【図 6】本発明の不揮発性メモリを説明する図。

【図 7】本発明の半導体装置を説明する図。

【図 8】本発明の半導体装置を説明する図。

【図 9】本発明の半導体装置を説明する図。

【図 10】本発明の半導体装置の部分断面図。

【図 11】本発明の半導体装置の部分断面図。

【図 12】本発明の半導体装置の部分断面図。

【図 13】本発明の半導体装置が有するトランジスタの部分断面図。

【図 14】本発明の半導体装置が有するトランジスタの部分断面図。

【図 15】本発明の半導体装置が有するトランジスタの部分断面図。

10

【図 16】本発明の半導体装置が有するトランジスタの部分断面図。

【図 17】本発明の半導体装置が有するトランジスタの部分断面図。

【図 18】本発明の半導体装置が有するトランジスタの部分断面図。

【図 19】本発明の半導体装置が有するトランジスタの部分断面図。

【図 20】本発明の半導体装置の利用形態を説明する図。

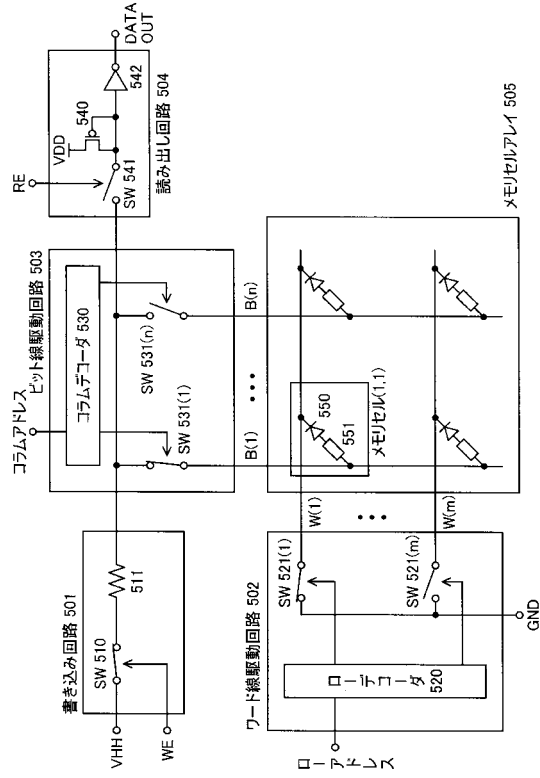
【符号の説明】

【 0 3 0 8 】

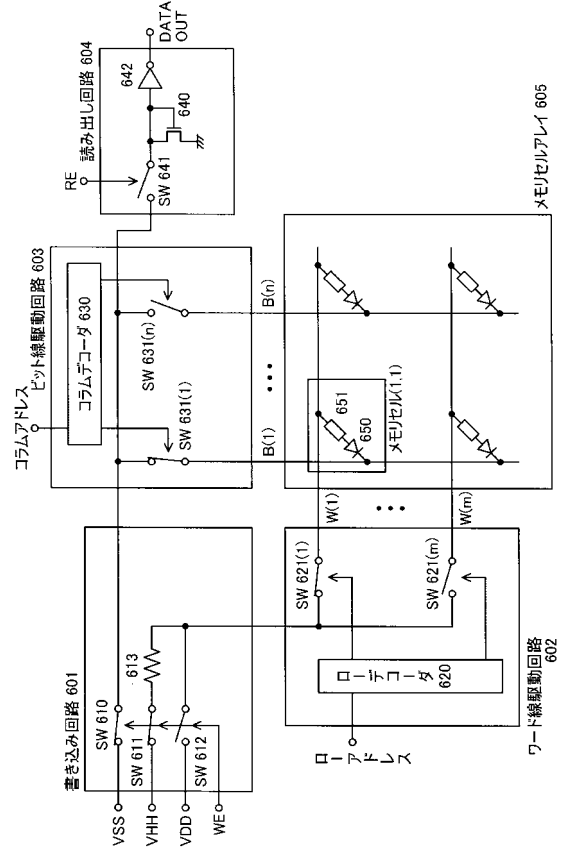
1 0 1	書き込み回路	
1 0 2	ワード線駆動回路	
1 0 3	ビット線駆動回路	20
1 0 4	読み出し回路	
1 0 5	メモリセルアレイ	
1 0 6	メモリセル	
1 0 7	抵抗部	
1 0 8	トランジスタ	
1 0 9	記憶素子	
1 1 1	高電位入力端子	
1 1 2	ノード	
1 1 3	端子	
1 1 4	端子	30
1 1 5	経路	
1 1 6	経路	
1 1 7	経路	
2 0 1	書き込み回路	
2 0 2	ワード線駆動回路	
2 0 3	ビット線駆動回路	
2 0 4	読み出し回路	
2 0 5	メモリセルアレイ	
2 1 0	スイッチ	
2 1 1	スイッチ	40
2 1 2	抵抗部	
2 2 0	ローデコーダ	
2 2 1	スイッチ	
2 3 0	コラムデコーダ	
2 3 1	スイッチ	
2 4 0	トランジスタ	
2 4 1	スイッチ	
2 4 2	インバータ	
2 5 0	トランジスタ	
2 5 1	記憶素子	50

3 0 1	書き込み回路	
3 0 2	ワード線駆動回路	
3 0 3	ビット線駆動回路	
3 0 4	読み出し回路	
3 0 5	メモリセルアレイ	
3 1 0	スイッチ	
3 1 1	スイッチ	
3 2 0	ローデコーダ	
3 2 1	スイッチ	
3 3 0	コラムデコーダ	10
3 3 1	スイッチ	
3 3 2	スイッチ	
3 3 3	抵抗部	
3 4 0	トランジスタ	
3 4 1	スイッチ	
3 4 2	インバータ	
3 4 3	スイッチ	
3 5 0	トランジスタ	
3 5 1	記憶素子	
4 0 1	書き込み回路	20
4 0 2	ワード線駆動回路	
4 0 3	ビット線駆動回路	
4 0 4	読み出し回路	
4 0 5	メモリセルアレイ	
4 1 0	スイッチ	
4 1 1	スイッチ	
4 1 2	抵抗部	
4 1 3	レベルシフタ	
4 2 0	ローデコーダ	
4 2 1	スイッチ	30
4 2 2	レベルシフタ	
4 3 0	コラムデコーダ	
4 3 1	スイッチ	
4 3 2	レベルシフタ	
4 4 1	スイッチ	
4 4 2	センスアンプ	
4 4 3	抵抗部	
4 4 4	レベルシフタ	
4 5 0	トランジスタ	
4 5 1	記憶素子	40

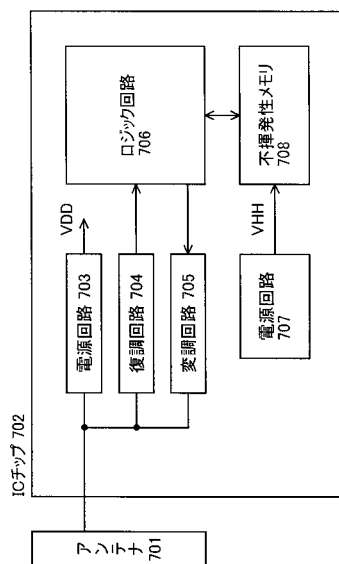
【図5】



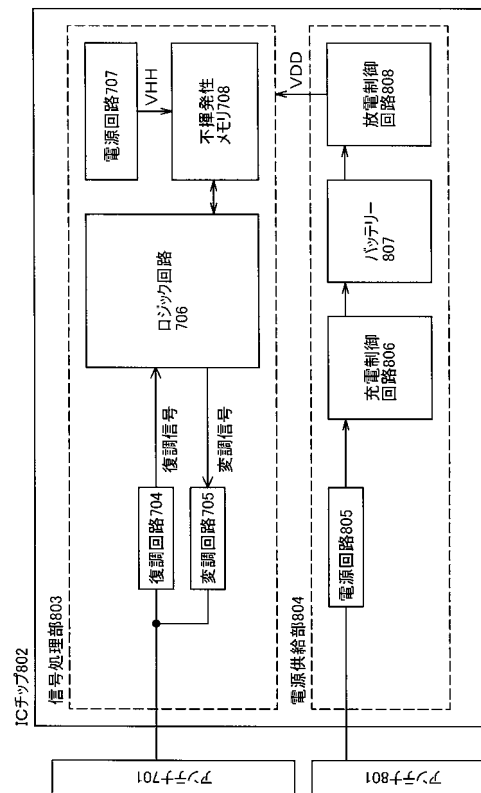
【図6】



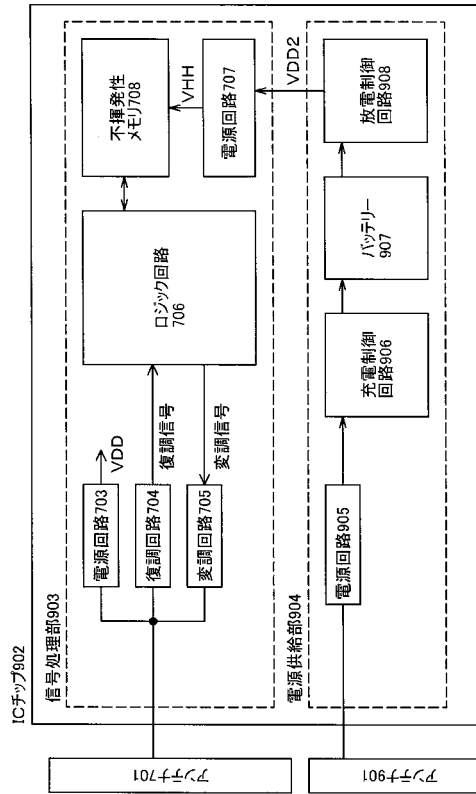
【図7】



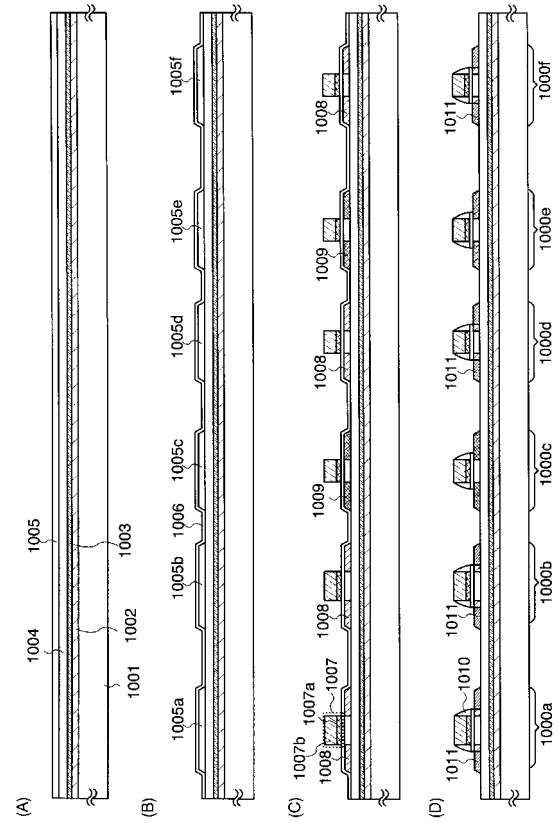
【図8】



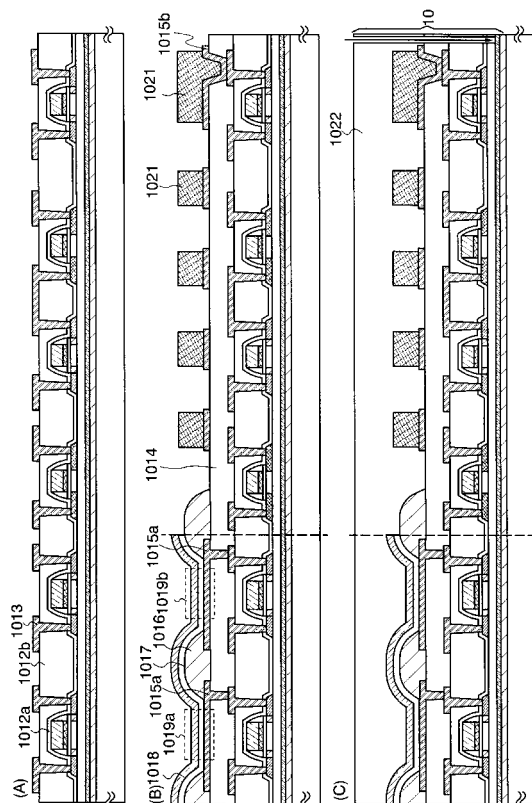
【図 9】



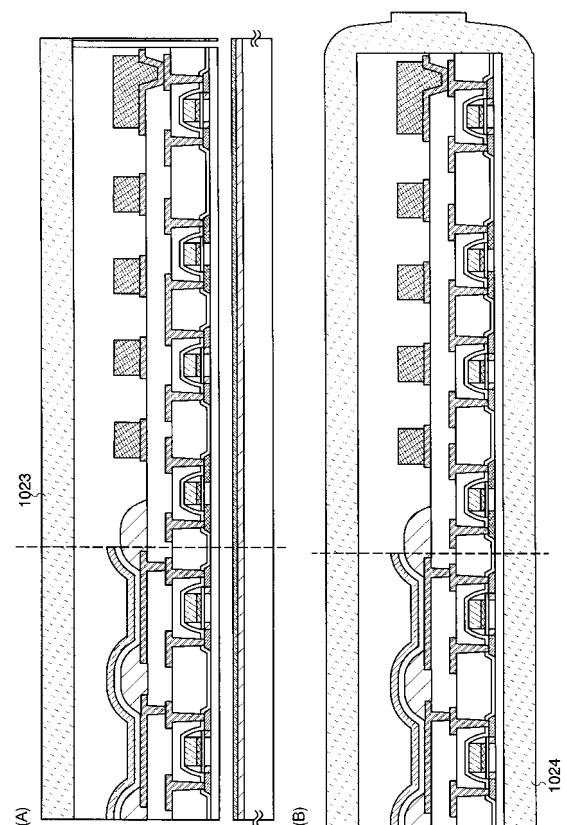
【図 10】



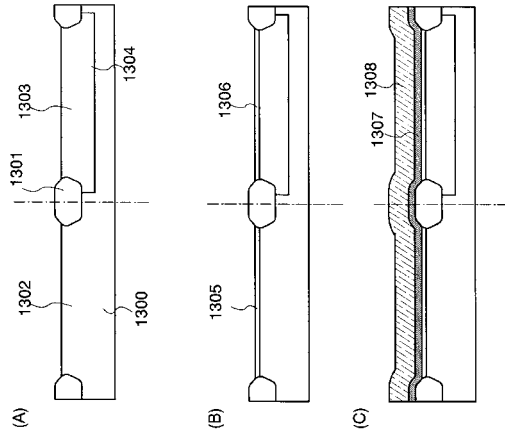
【図 11】



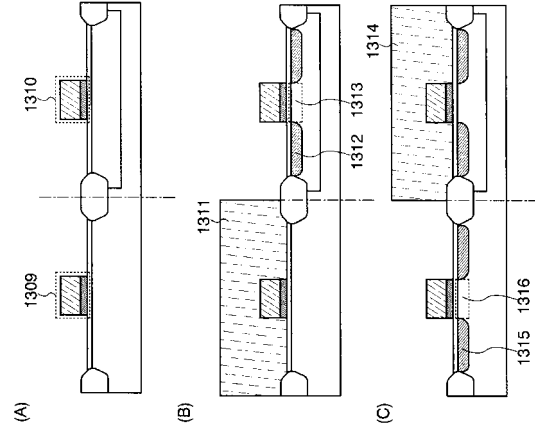
【図 12】



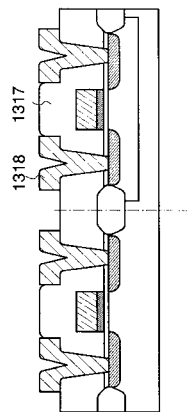
【図 13】



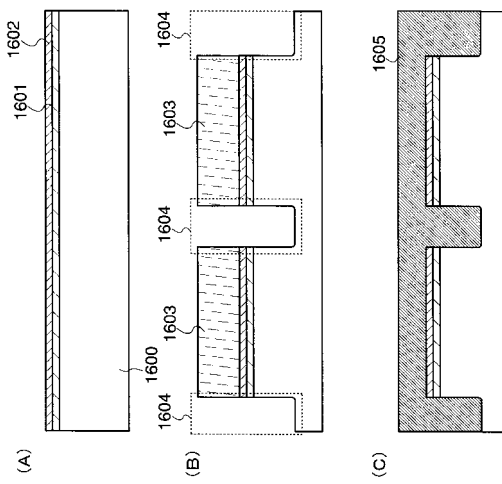
【図 14】



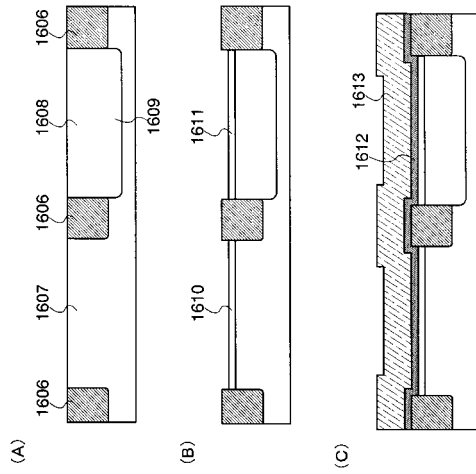
【図 15】



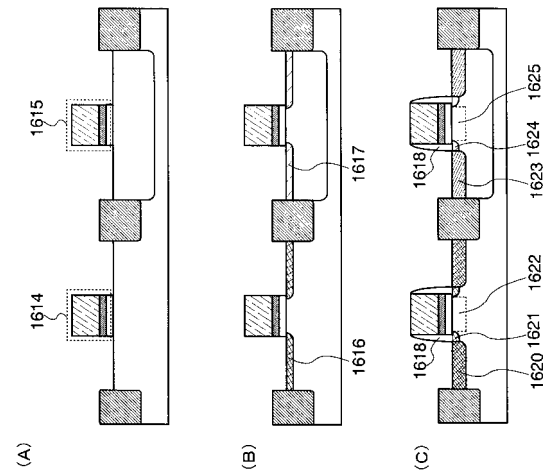
【図 16】



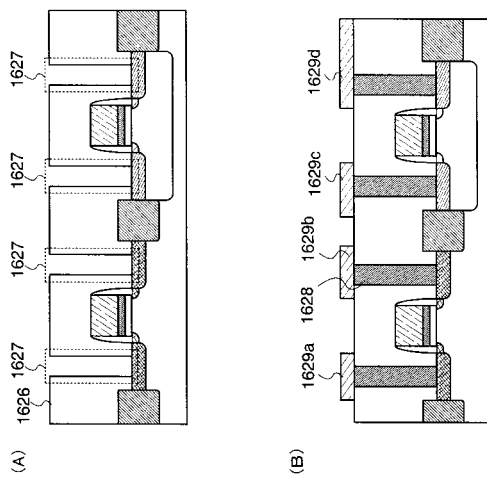
【図 17】



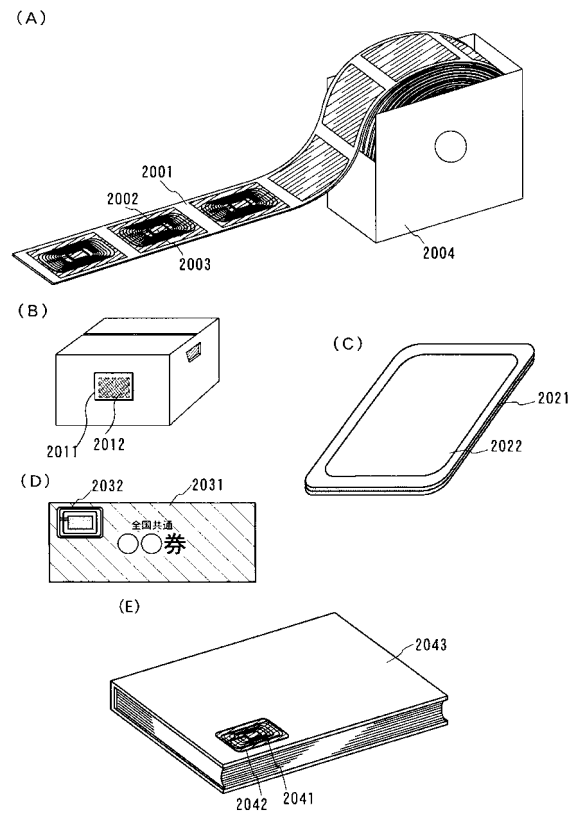
【図 18】



【図 19】



【図 20】



フロントページの続き

(56)参考文献 特開平08-139197(JP,A)
特開2006-191005(JP,A)
特開2008-146711(JP,A)
特開2004-158119(JP,A)
特開2005-216387(JP,A)

(58)調査した分野(Int.Cl., DB名)
H01L 27/10
H01L 29/786
G11C 17/18
G11C 13/00