



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2013년08월19일  
(11) 등록번호 10-1296697  
(24) 등록일자 2013년08월08일

(51) 국제특허분류(Int. Cl.)  
H05B 33/26 (2006.01) H05B 33/10 (2006.01)  
(21) 출원번호 10-2006-0099440  
(22) 출원일자 2006년10월12일  
심사청구일자 2011년10월12일  
(65) 공개번호 10-2007-0041363  
(43) 공개일자 2007년04월18일  
(30) 우선권주장  
JP-P-2005-00301022 2005년10월14일 일본(JP)  
(56) 선행기술조사문헌  
JP2003140191 A\*  
US6452654 B2  
US6730970 B1  
US6850292 B1  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
가부시키가이샤 한도오파이 에너루기 켄큐쇼  
일본국 가나가와켄 아쓰기시 하세 398  
(72) 발명자  
키무라, 하지메  
일본, 가나가와켄 243-0036, 아쓰기시, 하세 398  
가부시키가이샤한도오파이 에너루기 켄큐쇼 내  
(74) 대리인  
장훈

전체 청구항 수 : 총 15 항

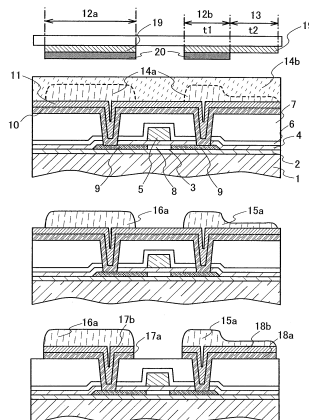
심사관 : 추장희

(54) 발명의 명칭 표시 장치 및 이를 제조하는 방법

(57) 요약

본 발명의 목적은 화소 전극위에 금속막을 형성함으로써 적층된 구조를 제조시 하나의 레지스트 마스크를 이용하여 금속막 및 화소 전극을 형성하는 것이다. 화소 전극이 될 도전막 및 금속막이 적층된다. 두꺼운 영역 및 상기 두꺼운 영역보다 얇은 영역을 갖는 레지스트 패턴은 반투광부를 갖는 노광 마스크를 이용하여 상기 금속막 위에 형성된다. 레지스트 패턴을 이용하여, 화소 전극 및 화소 전극과 접하여 화소 전극의 부분 위에 형성되는 금속막이 형성된다. 따라서, 화소 전극 및 금속막은 하나의 레지스트 마스크를 이용하여 형성될 수 있다.

대표도



## 특허청구의 범위

### 청구항 1

표시 장치에 있어서:

기판 위에 형성된 게이트 전극;

상기 게이트 전극 위에 형성된 게이트 절연막;

상기 게이트 절연막 상의 섬형(island-like) 반도체막;

상기 섬형 반도체막 상에 형성된 도전층;

상기 도전층 상에 형성된 화소 전극; 및

상기 화소 전극 상에 형성된 금속막을 포함하고,

상기 화소 전극은 상기 도전층의 측면과 접하고,

상기 화소 전극은 단차부를 갖고, 상기 금속막은 상기 화소 전극의 상기 단차부를 덮도록 상기 화소 전극과 접하는, 표시 장치.

### 청구항 2

표시 장치에 있어서:

기판 위의 박막 트랜지스터;

상기 박막 트랜지스터에 전기적으로 접속된 화소 전극; 및

상기 화소 전극 위에 형성된 금속막;

상기 화소 전극 및 상기 금속막 위에 있고, 상기 화소 전극의 일부를 노출시키는 격벽; 및

상기 격벽 및 상기 화소 전극과 접하도록 형성된 전계발광층을 포함하고,

상기 박막 트랜지스터는 게이트 전극 위의 게이트 절연막 위에 형성된 섬형 반도체막을 갖고,

상기 금속막의 적어도 한 측면은 상기 격벽으로 덮이고,

상기 화소 전극은 상기 섬형 반도체막 위의 도전층을 통해 상기 섬형 반도체막에 전기적으로 접속되고,

상기 화소 전극은 단차부를 갖고, 상기 금속막은 상기 화소 전극의 상기 단차부를 덮도록 상기 화소 전극과 접하고,

상기 화소 전극의 상기 단차부는 상기 섬형 반도체막과 중첩하는 상기 화소 전극의 부분에 있는, 표시 장치.

### 청구항 3

표시 장치에 있어서:

기판 위의 박막 트랜지스터;

상기 박막 트랜지스터 위에 형성되고 콘택트 홀(contact hole)을 갖는 유기 수지 재료를 포함하는 층간 절연막;

상기 콘택트 홀을 통해 상기 박막 트랜지스터에 전기적으로 접속된 화소 전극;

상기 화소 전극 위에 형성된 금속막;

상기 화소 전극 및 상기 금속막 위에 있고, 상기 화소 전극의 일부를 노출시키는 격벽; 및

상기 격벽 및 상기 화소 전극과 접하도록 형성된 전계발광층을 포함하고,

상기 화소 전극은 상기 콘택트 홀의 존재로 인한 단차부를 갖고, 상기 금속막은 상기 화소 전극의 상기 단차부

를 덮도록 상기 화소 전극과 접하며,  
상기 금속막의 적어도 한 측면은 상기 격벽으로 덮이는, 표시 장치.

#### 청구항 4

표시 장치에 있어서:  
기판 위의 박막 트랜지스터;  
상기 박막 트랜지스터에 전기적으로 접속된 화소 전극;  
상기 화소 전극 위에 접하도록 형성된 금속막;  
상기 화소 전극 및 상기 금속막 위에 있고, 상기 화소 전극의 일부를 노출시키는 격벽; 및  
상기 격벽 및 상기 화소 전극과 접하도록 형성된 전계발광층을 포함하고,  
상기 금속막은 상기 화소 전극보다 작은 평면적(plane-surface area)을 갖고,  
상기 금속막의 적어도 한 측면은 상기 격벽으로 덮이고,  
상기 금속막의 측면은 상기 화소 전극의 측면을 따르고,  
상기 금속막의 상기 측면은 상기 화소 전극의 상기 측면 내부에 위치되는, 표시 장치.

#### 청구항 5

표시 장치에 있어서:  
기판 위의 박막 트랜지스터;  
상기 박막 트랜지스터에 전기적으로 접속된 화소 전극;  
상기 화소 전극 위에 접하도록 형성된 금속막;  
상기 화소 전극 및 상기 금속막 위에 형성되고, 상기 화소 전극의 일부를 노출시키는 격벽;  
상기 격벽 및 상기 화소 전극에 접하도록 형성된 전계발광층; 및  
상기 전계발광층 위의 전극을 포함하고,  
상기 금속막의 적어도 한 측면은 경사지고 상기 격벽으로 덮이는, 표시 장치.

#### 청구항 6

제 1 항에 있어서, 상기 도전층은 인을 포함하는 비정질 실리콘막을 포함하는, 표시 장치.

#### 청구항 7

제 2 항에 있어서, 상기 박막 트랜지스터 위에 형성되고 콘택트 홀을 갖는 층간 절연막을 더 포함하는, 표시 장치.

#### 청구항 8

제 4 항에 있어서, 상기 금속막은 차광막인, 표시 장치.

#### 청구항 9

제 1 항 내지 제 6 항 중 어느 한 항에 있어서, 상기 화소 전극 내의 상기 금속막과 접하는 부분의 제 1 두께와 상기 금속막과 접하지 않은 부분의 제 2 두께를 서로 비교할 때, 상기 제 1 두께는 상기 제 2 두께보다 두꺼운, 표시 장치.

#### 청구항 10

삭제

#### 청구항 11

삭제

#### 청구항 12

삭제

#### 청구항 13

삭제

#### 청구항 14

삭제

#### 청구항 15

표시 장치를 제조하는 방법에 있어서:

기판 위에 섬형 반도체막을 형성하는 단계;

상기 섬형 반도체막 위에 게이트 절연막을 개재(介在)해 게이트 전극을 형성하는 단계;

상기 게이트 전극 위에 평탄면을 갖는 층간 절연막을 형성하는 단계;

상기 층간 절연막내에, 상기 섬형 반도체막에 도달하는 콘택트 홀을 형성하는 단계;

상기 층간 절연막 위에 도전막 및 금속막의 적층을 형성하는 단계;

상기 금속막 위에 반투광부를 갖는 노광 마스크를 이용하여 두꺼운 영역 및 상기 두꺼운 영역보다 얇은 영역을 갖는 레지스트 패턴을 형성하는 단계;

상기 레지스트 패턴을 이용하여, 상기 도전막으로 형성된 화소 전극 및 상기 화소 전극 위에 접하도록 형성된 금속막을 형성하는 단계;

상기 화소 전극 및 상기 화소 전극 위에 형성된 상기 금속막 위에 형성되고 상기 화소 전극의 일부를 노출시키는 격벽을 형성하는 단계; 및

상기 격벽 및 상기 화소 전극과 접하도록 형성된 전계발광층을 형성하는 단계를 포함하고,

상기 화소 전극 위에 형성된 상기 금속막의 적어도 한 측면은 상기 격벽으로 덮이는, 표시 장치 제조 방법.

#### 청구항 16

표시 장치를 제조하는 방법에 있어서:

기판 위에 게이트 전극을 형성하는 단계;

상기 게이트 전극 위에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 위에 섬형 반도체막을 형성하는 단계;

상기 섬형 반도체막 위에 도전층을 개재해 소스 전극 및 드레인 전극을 형성하는 단계;

상기 소스 전극 및 상기 드레인 전극 위에 평탄면을 갖는 층간 절연막을 형성하는 단계;

상기 층간 절연막내에, 상기 소스 전극 및 상기 드레인 전극에 도달하는 콘택트 홀을 형성하는 단계;

상기 층간 절연막 위에 도전막 및 금속막의 적층을 형성하는 단계;

상기 금속막 위에 반투광부를 갖는 노광 마스크를 이용하여 두꺼운 영역 및 상기 두꺼운 영역보다 얇은 영역을 갖는 레지스트 패턴을 형성하는 단계;

상기 레지스트 패턴을 이용하여, 상기 도전막으로 형성된 화소 전극 및 상기 화소 전극 위에 접하도록 형성된 금속막을 형성하는 단계;

상기 화소 전극 및 상기 화소 전극 위에 형성된 상기 금속막 위에 형성되고 상기 화소 전극의 일부를 노출시키는 격벽을 형성하는 단계; 및

상기 격벽 및 상기 화소 전극과 접하도록 형성된 전계발광층을 형성하는 단계를 포함하고,

상기 화소 전극 위에 형성된 상기 금속막의 적어도 한 측면은 상기 격벽으로 덮이는, 표시 장치 제조 방법.

#### 청구항 17

제 1 항에 있어서, 상기 화소 전극의 상기 단차부는 상기 섬형 반도체막과 중첩하는, 표시 장치.

#### 청구항 18

제 1 항에 있어서, 상기 화소 전극은 상기 섬형 반도체막과 직접 접하는, 표시 장치.

#### 청구항 19

제 2 항에 있어서, 상기 화소 전극은 상기 게이트 절연막과 접하는, 표시 장치.

#### 청구항 20

제 3 항에 있어서, 상기 콘택트 홀은 상기 박막 트랜지스터와 중첩하도록 제공되는, 표시 장치.

### 명세서

#### 발명의 상세한 설명

##### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

- [0028] 본 발명은 화소 전극을 갖는 반도체 장치, 특히 표시 장치에 관한 것이다.
- [0029] 일반적으로, 능동 매트릭스 표시 장치를 제조시, 박막 트랜지스터(TFT)의 반도체막에 접속될 배선이 형성되고 화소 전극이 될 도전막은 이 배선 위에 형성된다. 그러므로, 배선을 형성하는 레지스트 마스크 및 화소 전극을 형성하는 레지스트 마스크가 필요하였다.
- [0030] 게다가, 또 다른 예로서, TFT의 반도체막에 접속될 도전막이 형성되며, 상기 도전막이 화소 전극으로서 또한 작용하도록 제조되고 금속막이 상기 도전막 위에 형성되는 예가 제공된다 (예를 들어, 특허 문헌 1: 일본 공개 특허 출원 평6-230425). 이 예는 상술된 예와 다르다. 투명한 도전막이 도전막으로서 사용되고, 이 투명한 도전막은 반도체막에 직접 접속된다. 투명한 도전막은 많은 경우들에서 고 저항을 갖는 재료로부터 형성된다; 그러므로, 투명한 도전막의 고 전기 저항을 낮기 위하여, 금속막이 투명한 도전막 위에 형성된다.
- [0031] 또한, 투명한 도전막이 반도체막에 직접 접속된 특허 문헌 1에서, 투명한 도전막을 에칭함으로써 화소 전극을 형성하는 레지스트 마스크 및 금속막을 에칭하기 위한 레지스트 마스크가 필요하였다.
- [0032] 종래 능동 매트릭스 표시 장치에서, 적층된 배선을 형성하는데 레지스트 마스크가 각 층에 필요하였다. 특히, 화소 전극을 형성하는데 다수의 적층된 구조들이 존재하고, 적어도 화소 전극을 형성하는 레지스트 마스크 및 화소 전극 위에 적층될 막을 에칭하는 레지스트 마스크가 필요하다. 따라서, 다수의 제조 단계들이 존재하게 된다. 그러므로, 표시 장치와 같은 반도체 장치의 제조 비용을 낮추지 못한다.

##### 발명이 이루고자 하는 기술적 과제

- [0033] 상술된 문제와 관련하여, 본 발명의 목적은 하나의 레지스트 마스크를 이용하여 화소 전극 위에 적층될 막 및 화소 전극을 형성함으로써 제조 공정을 단축시키는 것이다.
- [0034] 본 발명의 한 가지 특징은 기판 위에 박막 트랜지스터, 상기 박막 트랜지스터에 전기적으로 접속된 화소 전극, 및 상기 화소 전극 위에 형성되는 금속막을 가져야만 하는데, 여기서 상기 금속막은 화소 전극의 단차부(level difference portion)를 덮기 위하여 화소 전극과 접한다.
- [0035] 이 구조를 따르면, 단차부에서 화소 전극의 분리(disconnection)가 방지될 수 있다. 분리란 단차부를 갖는 표면

위에 막을 형성함으로써 균열(crack)이 단차부 내의 막에서 발생되거나 막의 일부가 단차부에서 상기 막의 바람직하지 않은 커버리지로 인해 형성되지 않는 것을 의미한다.

[0036] 본 발명의 또 다른 특징은 기판 위에 박막 트랜지스터, 상기 박막 트랜지스터에 전기적으로 접속된 화소 전극 및 금속막과 접할 상기 화소 전극 일부 위에 형성되는 금속막을 가져야만 하는데, 여기서 상기 금속막은 화소 전극보다 작은 평면적을 가지며, 상기 금속막의 측면은 화소 전극의 측면을 따라 위치하고, 상기 금속막의 측면은 상기 화소 전극의 측면 내부에 위치된다.

[0037] 이 구조를 따르면, 상기 금속막은 차광막의 부분으로서 사용될 수 있고 상기 차광막의 정렬이 손쉽게 행해질 수 있다.

[0038] 본 발명의 한 가지 특징은 기판 위에 박막 트랜지스터, 상기 박막 트랜지스터에 전기적으로 접속된 화소 전극, 금속막과 접할 상기 화소 전극의 부분 위에 형성되는 금속막, 상기 화소 전극 및 상기 금속막 위에 형성되고 상기 화소 전극의 부분이 노출되도록 하는 격벽, 상기 격벽 및 상기 화소 전극과 접하도록 형성된 전계발광층(electroluminescent layer) 및 상기 금속막의 적어도 한 측면은 경사지고 상기 격벽으로 덮인 상기 전계발광층 위에 전극을 갖는 표시 장치이다.

[0039] 이 구조를 따르면, 발광 소자의 단락은 전자발광 표시 장치에서 방지될 수 있다.

[0040] 화소 전극 및 상기 화소 전극의 부분 위에 형성되고 이 화소 전극과 접하는 금속막은 하나의 레지스트 패턴을 이용하여 형성될 수 있다. 화소 전극 및 금속막의 2가지 패턴들은 하나의 레지스트 패턴을 이용하여 형성될 수 있다; 그러므로, 제조 공정이 단축될 수 있고, 이에 따라서 저 비용의 표시 장치가 실현될 수 있다.

[0041] 본 발명을 따르면, 제조 단계들의 수는 전보다 더 감소될 수 있고 반도체 장치의 제조 비용은 낮추어질 수 있다. 게다가, 단차부에서 화소 전극의 분리가 방지될 수 있는데, 그 이유는 금속막이 자신과 접할 화소 전극 위에 형성되기 때문이다. 표시 장애가 적은 값싸고 높은 신뢰할 수 있는 표시 장치가 형성될 수 있다.

### 발명의 구성 및 작용

[0042] 지금부터, 본 발명을 따른 실시예 모드들이 설명될 것이다. 그러나, 본 발명은 실행 범위 내에서 각종 실시예들로 구현될 수 있고 각종 변경들 및 수정들이 당업자들에게 명백함을 당업자들은 손쉽게 알 수 있을 것이다. 그러므로, 이와 같은 변경들 및 수정들이 본 발명의 범위로부터 벗어나지 않는 한, 이들은 본 발명에 포함되는 것으로서 해석되어야 한다. 게다가, 이하에 도시된 실시예 모드들은 적절하게 결합될 수 있다.

[0043] 실시예 모드 1

[0044] 이 실시예 모드에서, 기판(1) 위의 탑-게이트 TFT를 형성하는 방법이 도 1a 내지 도 1c와 관련하여 설명될 것이다. 기판(1)은 투광성을 갖는 기판, 예를 들어, 석영 기판, 유리 기판 또는 플라스틱 기판이다. 기판(1)은 광차폐 특성을 갖는 기판일 수 있고, 반도체 기판 또는 SOI(실리콘 온 인슐레이터) 기판이 사용될 수 있다.

[0045] 절연막(2)은 기판(1) 위의 기저막(base film)으로서 형성된다. 절연막(2)으로서, 실리콘 산화막, 실리콘 질화막과 같은 절연막의 단층 또는 실리콘 산화질화막( $\text{SiO}_x\text{N}_y$ ) 또는 이들 막들 중 적어도 2개의 막들로 형성되는 적층이 사용된다. 그 후, 섬형 반도체막(3)이 절연막(2) 위에 형성된다.

[0046] 섬형 반도체막(3)은 다음 방식으로 형성된다: 반도체막은 스퍼터링법, LPCVD법, 플라즈마 CVD법 등에 의해 절연막(2)의 전체 표면 위에 형성되고 나서, 반도체막의 형상은 포토리소그래피 방법 등에 의해 형성되는 마스크를 이용하여 처리된다. 섬형 반도체막(3)이 결정질 반도체막으로 형성될 때, 기판(1) 위에 직접 결정질 반도체막을 형성하는 방법 및 기판(1) 위에 비정질 반도체막을 형성한 후 열 처리에 의해 비정질 반도체막을 결정화함으로써 결정질 반도체막을 형성하는 방법이 존재한다. 후자의 방법에서, 결정화 시에 열 처리는 가열노, 레이저 조사, 또는 레이저 광 대신에 램프로부터 방출된 광의 조사(이하부터, 램프 어닐링이라 칭함) 또는 이들의 조합에 의해 행해진다.

[0047] 게다가, 결정질 반도체막은 니켈등으로 비정질 반도체막을 도핑한 후 상기 열 처리를 행하는 열 결정질 방법에 의해 형성될 수 있다. 니켈을 이용하는 열 결정화 방법을 이용하여 결정화에 의해 결정질 반도체막을 얻는 경우에, 결정화 후 니켈을 제거하는 게터링 처리가 행해지는 것이 바람직하다는 점에 유의하여야 한다.

[0048] 레이저 조사에 의한 결정화에 의해 결정질 반도체막을 제조하는 경우에, 연속파 레이저 빔(CW 레이저 빔) 또는 펄스된 파 레이저 빔(펄스된 레이저 빔)이 사용될 수 있다. 여기에 사용될 수 있는 레이저 빔으로서, Ar

레이저, Kr 레이저, 또는 엑시머 레이저와 같은 가스 레이저들 중 하나 이상의 레이저로부터 발진된 빔; 도펀트로서 Nd, Yb, Cr, Ti, Ho, Er, Tm, 및 Ta 중 하나 이상으로 도핑되는 단결정 YAG,  $\text{YVO}_4$ , 포스테라이트( $\text{Mg}_2\text{SiO}_4$ ),  $\text{YAlO}_3$ , 또는  $\text{GdVO}_4$ , 또는 다결정(세라믹) YAG,  $\text{Y}_2\text{O}_3$ ,  $\text{YVO}_4$ ,  $\text{YAlO}_3$ , 또는  $\text{GdVO}_4$ 을 매체로서 이용하는 레이저; 유리 레이저; 루비 레이저; 알렌산드라이트 레이저; Ti 사파이어 레이저; 구리 증기 레이저; 및 금 증기 레이저가 사용될 수 있다. 큰 입자 크기를 갖는 크리스탈은 이들 기본 파들의 제 2, 제 3 및 제4 고조파 중 한 고조파 또는 이와 같은 레이저 빔들의 기본 파를 갖는 레이저 빔의 조사에 의해 얻을 수 있다. 예를 들어, Nd:YVO<sub>4</sub> 레이저(1064nm의 기본파)의 제 2 고조파(532nm) 또는 제 3 고조파(355nm)가 사용될 수 있다. 이 레이저는 CW 또는 펄싱된 파로 방출될 수 있다. CW로 레이저를 방출하는 경우에, 대략 0.01 내지 100MW/cm<sup>2</sup>(바람직하게는 0.1 내지 10MW/cm<sup>2</sup>)의 전력 밀도가 요구된다. 스캐닝 속도는 조사를 위하여 대략 10 내지 2000cm/sec로 설정된다.

[0049] 도펀트로서 Nd, Yb, Cr, Ti, Ho, Er, Tm, 및 Ta 중 하나 이상으로 도핑된 단결정 YAG,  $\text{YVO}_4$ , 포스테라이트( $\text{Mg}_2\text{SiO}_4$ ),  $\text{YAlO}_3$ , 또는  $\text{GdVO}_4$ , 또는 다결정(세라믹) YAG,  $\text{Y}_2\text{O}_3$ ,  $\text{YVO}_4$ ,  $\text{YAlO}_3$ , 또는  $\text{GdVO}_4$ 을 매체로서 이용하는 레이저; Ar 이온 레이저; 또는 Ti:사파이어 레이저가 연속적으로 발진될 수 있다는 점에 유의하라. 게다가, 펄스 발진은 Q 스위치 동작 또는 모드 동기화를 실행함으로써 10MHz 이상의 반복율로 수행될 수 있다. 레이저 빔이 10MHz 이상의 반복율로 발진될 때, 반도체막은 다음 펄스로 조사되는 반면, 반도체막은 레이저 빔에 의해 용융되고 고화된다. 그러므로, 저 반복율로 펄싱된 레이저를 이용하는 경우와 달리, 고상-액체 인터페이스는 반도체막에서 연속적으로 이동될 수 있음으로써, 스캐닝 방향을 향하여 연속적으로 성장하는 크리스탈 입자들을 얻을 수 있도록 한다.

[0050] 세라믹(다결정)이 매체로서 사용될 때, 이 매체는 저비용으로 짧은 시간에 자유 형상을 갖도록 형성될 수 있다. 단결정이 사용될 때, 수 mm 직경 및 수십 mm 길이를 갖는 원주 매체(columnar medium)가 통상적으로 사용된다. 세라믹을 사용하는 경우에, 훨씬 큰 매체가 형성될 수 있다.

[0051] 광 방출에 직접 기여하는 매체에서 Nd 또는 Yb와 같은 도펀트의 농도는 단결정 및 다결정의 두 가지 경우들에서 주로 변화될 수 없다; 그러므로, 농도를 증가시킴으로써 레이저의 출력을 어느 정도 개선시키는데 제한이 있다. 그러나, 세라믹의 경우에, 매체의 크기는 단결정과 비교하면 상당히 증가될 수 있다; 그러므로, 레이저 출력의 큰 개선이 실현될 수 있다.

[0052] 게다가, 세라믹의 경우에, 평행6면체 형상 또는 직사각형 평행6면체 형상을 갖는 매체는 손쉽게 형성될 수 있다. 이와 같은 형상을 갖는 매체를 이용하는 경우에, 발진된 광이 매체 내부에서 지그재그로 이동하도록 이루어질 때, 발진된 광의 긴 경로가 얻어질 수 있다. 그러므로, 진폭이 증가되고 레이저 빔이 고출력에서 발진될 수 있다. 게다가, 이와 같은 형상을 갖는 매체로부터 방출되는 레이저 빔의 단면 형상은 사각형 형상이다; 그러므로, 원형 형상을 갖는 레이저 빔과 비교할 때, 단면이 사각형 형상을 갖는 레이저 빔은 선형 빔으로 형상화될 이점을 갖는다. 광학 시스템을 이용하는 상술된 방식으로 방출된 레이저 빔을 형상화함으로써, 1mm 길이 이하의 단축(minor axis) 수 mm 내지 수 m 길이의 장축(major axis)을 갖는 선형 빔이 손쉽게 얻어질 수 있다. 게다가, 매체가 여기된 광으로 균일하게 조사될 때, 선형 빔은 긴 축 방향으로 균일한 에너지 분포로 방출된다.

[0053] 이와 같은 선형 빔으로 반도체막을 조사함으로써, 반도체막의 전체 표면은 균일하게 어닐링될 수 있다. 선형 빔의 한 끝으로부터 다른 끝까지 균일한 어닐링이 필요한 경우에, 광으로부터 에너지의 감쇄된 부분을 차폐하기 위하여 선형 빔의 양 종단들 상에 슬릿들의 배열과 같은 정교한 장치가 필요하다.

[0054] 반도체막이 이 방식으로 얻어진 균일한 세기로 선형 빔을 이용하여 어닐링되고 전자 장치가 반도체막을 이용하여 제조될 때, 전자 장치의 특성들은 바람직하고 균일하다.

[0055] 다음에, 필요한 경우, 반도체막은 매우 작은 량의 불순물 원소들(붕소 또는 인)로 도핑되어 TFT의 임계값을 제어한다. 여기서, 플라즈마에 의한 여기가 질량 분리를 거치지 않고 행해지는 이온 도핑 방법이 사용된다.

[0056] 섬형 반도체막(3)은 25 내지 80nm(바람직하게는 30 내지 70nm)의 두께를 갖도록 형성된다. 반도체막 재료에 대한 제한이 없지만, 반도체막은 실리콘, 실리콘-게르마늄(SiGe) 합금 등으로부터 형성되는 것이 바람직하다.

[0057] 그 후, 게이트 절연막(4)은 섬형 반도체막(3)을 덮도록 형성된다. 게이트 절연막(4)으로서, 열 산화막, 실리콘 산화막, 실리콘 질화막, 실리콘 산화질화 막 등의 단층 구조 또는 적층된 구조가 사용될 수 있다. 실리콘 산화막은 섬형 반도체막(3)과 접하도록 게이트 절연막(4)에 사용되는 것이 바람직하다. 이는, 게이트 절연막(4)이



실리콘 산화막으로 형성될 때, 게이트 절연막(4) 및 섬형 반도체막 간의 인터페이스에서 트랩 레벨이 낮아지기 때문이다. 게다가, 실리콘 질화막은 게이트 전극이 Mo로부터 형성될 때 게이트 전극과 접하도록 게이트 절연막에 사용되는 것이 바람직하다. 이는 실리콘 질화막이 Mo를 산화하지 않기 때문이다.

[0058] 여기서, 게이트 절연막(4)으로서, 115nm의 두께를 갖는 실리콘 산화질화 막(조성비: Si=32%, O=59%, N=7%, 및 H=2%)은 플라즈마 CVD법에 의해 형성된다.

[0059] 다음에, 도전층은 게이트 절연막(4) 위에 형성되고, 도전층의 형상은 포토리소그래피 방법 등에 의해 형성되는 마스크를 이용하여 처리되어 게이트 전극(5)을 형성한다. 게이트 전극을 위한 재료로서, Mo, Ti, W, Al, Nd, Cr, 이들 원소들의 합금 등이 사용된다. 대안적으로, 게이트 전극(5)은 이들 원소들로부터 형성되거나 이들 원소들의 합금을 적층함으로써 형성된다. 여기서, 게이트 전극이 Mo로부터 형성된다. 그 후, 섬형 반도체막(3)은 마스크로서 레지스트 또는 게이트 전극(5)을 이용하여 불순물 원소로 도핑되거나 채널 형성 영역(8)과 소스 영역 및 드레인 영역이 될 불순물 영역들(9)을 형성한다.

[0060] 그 후, 제 1 층간 절연막(6)은 실리콘 질화물을 이용하여 형성된다. 다음에, 섬형 반도체막(3)을 도핑하는 불순물 원소가 활성화되고 수소처리된다. 제 1 층간 절연막(6)이 형성되지 않을 수 있다는 점에 유의하여야 한다.

[0061] 다음에, 제 2 층간 절연막(7)은 투광성을 갖는 무기 재료(실리콘 산화물, 실리콘 질화물, 실리콘 산화질화물, 등) 또는 저 유전율(감광성 또는 비감광성 유기 수지 재료)을 갖는 유기 화합물 재료를 이용하여 형성된다. 대안적으로, 제 2 층간 절연막은 실록산을 포함하는 재료를 이용하여 형성될 수 있다. 실록산은 실리콘(Si) 및 산소(O)의 결합에 의해 형성되는 스켈톤으로 이루어진 재료이고, 적어도 수소(가령 알킬 그룹 또는 방향족 탄화수소)를 포함하는 유기 그룹이 치환물로서 포함됨을 유의하여야 한다. 대안적으로, 플루오르 그룹이 치환물로서 사용될 수 있다. 또 다른 대안으로서, 적어도 수소를 포함하는 유기 그룹 및 플루오르 그룹이 치환물로서 사용될 수 있다. 제 2 층간 절연막(7)은 적층된 구조를 가질 수 있다.

[0062] 다음에, 레지스트로 이루어진 마스크가 포토마스크를 이용하여 형성된다. 제 1 층간 절연막(6), 제 2 층간 절연막(7) 및 게이트 절연막(4)은 콘택트 홀(contact hole)을 형성하기 위하여 마스크를 이용하여 선택적으로 에칭된다. 그리고 나서, 레지스트로 이루어진 마스크는 제거된다.

[0063] 도전막은 스퍼터링법 또는 인쇄법에 의해 제 2 층간 절연막(7) 위에 형성된다. 도전막은 투명한 도전막 또는 반사성을 갖는 막일 수 있다. 투명한 도전막의 경우에, 예를 들어, 산화 주석이 산화 인듐물에 혼합되는 인듐 주석 산화물(ITO) 막, 실리콘 산화물이 인듐 주석 산화물(ITO)에 혼합되는 인듐 주석 실리콘 산화물(ITSO) 막, 산화 아연이 산화 인듐에 혼합되는 인듐 아연 산화물(IZO) 막, 산화 아연 막, 산화 주석 막이 사용될 수 있다. 산화 아연(ZnO)의 2 내지 20wt%가 ITO에 혼합되는 타겟을 이용하여 스퍼터링법에 의해 IZO가 형성되는 투명한 도전 재료라는 점에 유의하여야 한다.

[0064] 투명한 도전막(10)은 제 2 층간 절연막(7) 위에 형성되고 나서, 금속막(11)이 투명한 도전막(10) 위에 형성된다. 투명한 도전막(10) 및 금속막(11)은 스퍼터링법에 의해 연속적으로 형성될 수 있다.

[0065] 금속막(11)은 투명한 도전막의 저항보다 낮은 저항을 갖는 재료로부터 형성되는 것이 바람직한데, 그 이유는 투명한 도전막이 많은 경우들에 고 저항을 갖는 재료로부터 형성되기 때문이다. 예를 들어, Ti, Mo, Ta, Cr, W, Al 등이 사용될 수 있다. 게다가, Ti, Mo, Ta, Cr, W 및 Al중 임의의 것이 적층되는 2층 구조 또는 Al이 Ti, Mo, Ta, Cr, 및 W와 같은 금속 간에 개재되는 3층 적층된 구조가 사용될 수 있다. 그 후, 금속막(11)의 전체 표면이 레지스트막으로 코팅된 후, 노광이 도 1a에 도시된 노광 마스크를 이용하여 행해진다.

[0066] 투명한 도전막으로서 ITO막을 이용하는 경우에, 열 처리에 의해 ITO 막을 결정화하는 단계가 필요하다. 이 때, 금속막(11)은 ITO 막이 스퍼터링법에 의해 형성되고 베이킹된 후 형성될 수 있다. ITO 막을 이용하는 경우에, 결정화 단계가 필요하지 않기 때문에 단계들의 수는 감소된다.

[0067] 도 1a에서, 노광 마스크는 노광을 차폐하는 광차폐부들(12a 및 12b) 및 노광을 부분적으로 통과시키는 반투광부(13)를 갖는다. 반투광부(13)에는 반투광막(19)이 제공되어 노광의 광세기를 감소시킨다. 광차폐부들(12a 및 12b)은 반투광막(19) 위에 금속막(20)을 적층시킴으로써 형성된다. 광차폐부(12b)의 폭은 t1으로 표시되고 반투광 투과부(13)의 폭은 t2로 표시된다. 여기서, 반투광부를 위한 반투광막을 이용하는 예가 도시된다; 그러나, 본 발명은 이에 제한되지 않고, 반투광부는 노광의 광 세기가 감소되는 한 수용될 수 있다. 게다가, 회절 격자 패턴은 반투광부를 위하여 사용될 수 있다.

[0068] 레지스트막은 도 1a에 도시된 노광 마스크를 이용하여 노출됨으로써, 레지스트막에서 비노광 영역(14a) 및 노광



영역(14b)을 형성한다. 레지스트막을 노출시, 광은 광차폐부들(12a 및 12b)에 의해 반사되거나 반투광부(13)를 통과하고, 이에 따라서, 도 1a에 도시된 노광 영역(14b)이 형성된다.

[0069] 현상이 행해질 때, 노광 영역(14b)이 제거되고, 이에 따라서, 대략적으로 분할되는 2개의 두께를 갖는 레지스트 패턴(15a), 및 거의 균일한 두께를 갖는 레지스트 패턴(16a)은 도 1b에 도시된 바와 같은 금속막(11) 위에 얻어진다. 레지스트 패턴(15a)은 두꺼운 두께를 갖는 영역 및 상기 영역보다 얇은 두께를 갖는 영역을 갖는다. 얇은 두께를 갖는 영역의 두께는 반투광막(19)의 노광 에너지 또는 투과율을 조정함으로써 조정될 수 있다. 레지스트 패턴(15a)은 좌-우 비대칭이고 레지스트 패턴(16a)은 좌-우 대칭이다.

[0070] 다음에, 금속막(11) 및 투명한 도전막(10)은 건식 에칭에 의해 에칭된다. 건식 에칭은 ECR(전자 사이크로트론 공명) 및 ICP(유도 결합 플라즈마)와 같은 고밀도 플라즈마 소스를 이용하는 건식 에칭 장치에 의해 행해진다.

[0071] 여기서, ICP 에칭 장치를 이용하는 예가 도시된다; 그러나, 본 발명은 이에 제한되지 않고, 예를 들어, 병렬-플레이트 에칭 장치, 마그네트론 에칭 장치, ECR 에칭 장치 또는 헬리콘-형 에칭 장치가 또한 사용될 수 있다.

[0072] 대안적으로, 금속막(11) 및 투명한 도전막(10)은 습식 에칭에 의해 에칭될 수 있다. 그러나, 건식 에칭은 마이크로제조(microfabrication)에 적합하다; 그러므로, 건식 에칭이 바람직하다. 금속막(11) 및 투명한 도전막(10)을 위한 재료는 제 2 층간 절연막(7)을 위한 재료와 상이하다; 그러므로, 금속막(11) 및 투명한 도전막(10)에 대한 제 2 층간 절연막(7)의 고 에칭 선택도는 건식 에칭이 행해지는 경우조차도 얻어질 수 있다. 에칭 선택도를 더욱 높게하기 위하여, 적어도 제 2 층간 절연막(7)의 최상부 층은 실리콘 질화막으로 형성될 수 있다.

[0073] 이 방식으로, 도 1c에 도시된 바와 같이, 투명한 도전막(17a) 및 금속막(17b)을 적층함으로써 형성되는 패턴 및 투명한 도전막(18a) 및 금속막(18b)을 적층함으로써 형성되는 패턴이 제 2 층간 절연막(7) 위에 형성된다.

[0074] 다음, 애싱 또는 에칭이 레지스트 패턴들(15a 및 16a)(도 2a)에 대해 행해진다. 이 단계에 따르면, 레지스트 패턴(15a)에서 얇은 두께를 갖는 영역이 에칭되고 레지스트 패턴(15a 및 16a)의 총두께는 얇은 두께를 갖는 영역의 두께만큼 감소된다. 따라서, 레지스트 패턴들(15b 및 16b)이 형성된다. 레지스트 패턴들(15a 및 16a)은 두께 방향뿐만 아니라 폭 방향으로 에칭된다; 그러므로, 레지스트 패턴들(15b 및 16b)의 폭들이 금속막들(17b 및 18b) 및 투명한 도전막들(17a 및 18a)의 폭들 보다 크게 감소된다. 따라서, 하부 층의 금속막 및 투명한 도전막의 측면들과 레지스트 패턴들(15b 및 16b)의 측면들은 일치하지 않고 레지스트 패턴들(15b 및 16b)의 측면들은 쏙 들어가 있다. 도 2b에서, 레지스트 패턴(15b)은 좌-우 비대칭이고 레지스트 패턴(16b)은 좌-우 대칭이다.

[0075] 그 후, 금속막(18b)은 금속막(18c)을 형성하기 위하여 레지스트 패턴(15b)을 이용하여 에칭된다(도 2b). 금속막(18b)은 투명한 도전막(18a)에 대해서 높은 에칭 선택도를 얻을 수 있는 재료로부터 형성되어, 투명한 도전막(18a)이 이 때 불필요하게 에칭되지 않도록 하는 것이 바람직하다. 예를 들어, 투명한 도전막(18a)을 위한 재료가 ITSO 인 경우, Ti, Mo, Cr, Al 등이 금속막(18b)을 위한 재료로서 바람직하고, 금속막(18b)은 이들 재료들로부터 형성되는 적층된 구조를 가질 수 있다. 그 후, 더욱 작은 패턴, 즉 투명한 도전막(18a) 보다 작은 평면적을 갖는 금속막(18c)이 형성된다. 다른 한편으로, 금속막(17b)은 또한 레지스트 패턴(16b)을 이용하여 에칭되어 투명한 도전막(17a) 보다 작은 평면적을 갖는 금속막(17c)을 형성한다.

[0076] 도 2a 및 2b를 통해 금속막들(17b 및 18b)의 에칭이 건식 에칭 또는 습식 에칭에 의해 행해지지만, 도 2b는 금속막들(17c 및 18c)이 건식 에칭에 의해 형성되는 경우를 도시한다. 건식 에칭을 행하는 경우에, 교차부에서 금속막(18c)의 측면들은 비대칭이다. 이는 레지스트막(15b)의 비대칭 형상을 반영하는 금속막(18c)이 형성되기 때문이다. 금속막(18c)은 한 측면이 다른 측면보다 더 경사진 단면 형상을 갖는다. 금속막(17c)의 측면들 및 레지스트 패턴(16b)의 측면들이 일치하도록 금속막(17c)의 측면들이 형성된다. 금속막(18c)의 한 측면이 레지스트 패턴(15b)의 한 측면의 확장된 라인 상에 있고 상기 금속막의 다른 측면 및 레지스트 패턴(15b)의 다른 측면이 일치한다.

[0077] 금속막들(17b 및 18b)이 습식 에칭에 의해 에칭되면, 에칭은 등방적으로 행해진다. 따라서, 레지스트 패턴들(15b 및 16b) 보다 작은 금속막들이 형성된다. 도 4a 및 4b는 습식 에칭을 행하는 경우를 도시한 도면들이다. 도 4a에서, 금속막들(17b 및 18b)은 금속막들(17d 및 18d) 각각을 형성하기 위하여 습식 에칭에 의해 에칭된다. 도 4a에서 이들과 다른 부분들은 도 2b에서 동일하다.

[0078] 레지스트 패턴들(15b 및 16b)의 측면들 및 금속막들(17d 및 18d)의 측면들은 일치하지 않는다. 그러므로, 더욱 작은 금속막들(17d 및 18d)은 심지어 동일한 레지스트 패턴들(15b 및 16b)이 마스크들로서 사용되는 경우조차도 건식 에칭 보다 습식 에칭에 의해 형성된다.

- [0079] 도 4b는 금속막(17d)이 3개의 층들을 적층함으로써 형성되는 경우를 도시한 것이다. 예를 들어, 금속막(17d)은 알루미늄 막(92a)이 Ti 막들(91a 및 93a) 사이에 개재되고 금속막(17d) 및 레지스트 패턴(16b)의 측면들이 일치하지 않는 적층된 구조를 갖는다. 게다가, 금속막(18d)은 또한 알루미늄 막(92a)이 Ti 막들(91b 및 93b) 사이에 개재되고 금속막(18d) 및 레지스트 패턴(15b)의 측면들이 일치하지 않는 적층된 구조를 갖는다.
- [0080] 도 4a 및 도 4b에서, 투명한 도전막들(17a 및 18a)은 건식 에칭에 의해 형성된다. 그러므로, 이들 막들의 각 측면들은 기판 표면에 대해서  $90^\circ$ 에 근접하거나 거의 수직인 각도( $\theta_1$ )를 갖는다. 다른 한편으로, 금속막들(17d 및 18d)은 건식 에칭에 의해 형성되는데, 이들의 각 측면은 등방성 에칭에 의해 기판 표면에 대해서 예각( $\theta_2$ )을 갖는다. 그러므로,  $\theta_1 > \theta_2$ 는 투명한 도전막의 측면의 각도  $\theta_1$  및 금속막의 측면의 각도  $\theta_2$ 가 서로 비교될 때 충족된다. 각도( $\theta_1$ )를 기판(1)의 표면에 대해서 투명한 도전막의 측면의 경사각이라 칭하며, 각도( $\theta_2$ )를 기판(1)의 표면에 대해서 금속막의 측면의 경사각이라 칭한다는 점에 유의하여야 한다. 각도들( $\theta_1$  및  $\theta_2$ ) 각각은  $0$  내지  $90^\circ$  범위 내에 있다.
- [0081] 금속막이 도 4b에 도시된 바와 같이 적층된 구조를 갖는 경우에, 에칭 레이트는 어떤 경우들에서 각 층에서 상이하다. 이에 따르면, 기판 표면에 대해서 어떤 경우들에 각 층의 측면에 의해 형성되는 각도들은 서로 상이하다. 그러므로, 금속막이 적층되는 경우에, 기판 표면에 대해서 최하층 내의 막의 측면에 의해 형성되는 각도는  $\theta_2$ 로 표시된다.
- [0082] 금속막들(17d 및 18d)의 측면들 및 투명한 도전막들(17a 및 18a)의 측면들은 어떤 경우들에 스무드(smooth)한 것이 아니라 고르지 못하다는 점에 유의하여야 한다. 이 경우에, 각도들( $\theta_1$  및  $\theta_2$ )은 적절하게 결정될 수 있다. 예를 들어, 각도들( $\theta_1$  및  $\theta_2$ )은 불균일한 측면에 대해서 그려진 거의 직선 또는 곡선을 이용하여 결정될 수 있다. 대안적으로, 다수의 각도들( $\theta_1$  및  $\theta_2$ )은 불균일한 측면을 토대로 취해질 수 있고, 이들의 평균값들은 각도들( $\theta_1$  및  $\theta_2$ )일 수 있다. 가장 합리적인 방법이 사용될 수 있다.
- [0083] 상술된 바와 같이, 금속막들(17c 및 18c) 또는 금속막들(17d 및 18d)은 건식 에칭 및 습식 에칭 중 어느것에 의해 형성된다. 금속막들이 건식 에칭 또는 습식 에칭 중 어느 한 에칭에 의해 형성되는 경우조차도, 투명한 도전막(17a 및 18a)의 측면들 각각으로부터 쏙 들어간 측면들을 갖는 금속막들(17d 및 18d) 또는 금속막들(17c 및 18c)이 형성된다. 즉, 투명한 도전막(17a)보다 더 작은 평면적을 갖는 금속막(17c 또는 17d) 및 투명한 도전막(18a)보다 더 작은 평면적을 갖는 금속막(18c 또는 18d)이 형성된다. 그 이유들 중 하나는 투명한 도전막들(17a 및 18a)을 형성하기 위한 마스크들인 레지스트 패턴들(15a 및 16a)의 크기들, 및 금속막들을 형성하기 위한 마스크들인 레지스트 패턴들(15b 및 16b)의 크기들이 서로 다르고 레지스트 패턴들(15b 및 16b)의 크기들이 레지스트 패턴들(15a 및 16a)의 크기보다 작다는 것이다.
- [0084] 그 후, 레지스트 패턴들(15b 및 16b)은 제거된다(도 2c). 따라서, 투명한 도전막(17a) 및 금속막(17c)으로 형성된 배선 또는 전극 및 투명한 도전막(18a) 및 금속막(18c)로 형성되는 배선 또는 전극이 형성된다. 투명한 도전막(18a)은 화소 전극으로서 작용한다. 레지스트 패턴들(15b 및 16b)이 도 4a 및 도 4b로부터 제거되면, 투명한 도전막(17a) 및 금속막(17d)로 형성되는 배선 또는 전극과 투명한 도전막(18a) 및 금속막(18d)로 형성되는 배선 또는 전극이 형성된다.
- [0085] 금속막(18b)이 마스크로서 레지스트 패턴(15b)을 이용하여 에칭될 때, 투명한 도전막(18a)의 표면의 일부는 어느 정도로 에칭된다. 특히, 금속막(18c)이 건식 에칭에 의해 형성될 때, 하부층에서 투명한 도전막 및 금속막(18b) 간의 선택도는 얻기 어렵다. 투명한 도전막(18a) 표면의 일부는 보다 손쉽게 에칭된다. 그러므로, 두께  $a <$  두께  $b$ 는 도 2c의 투명한 도전막(18a)의 두께  $a$  및  $b$ 가 서로 비교될 때 충족된다. 두께 ( $a$ )를 도전막(18a)이 금속막(18c) 또는 금속막(18d)과 중첩하지 않는 부분에서 투명한 도전막(18a)의 평균 두께라 칭하고, 두께 ( $b$ )를 불순물 영역(9)에 도달하는 콘택트 홀의 최하부 부분에서 투명한 도전막(18a)의 두께라 칭한다.
- [0086] 발광 소자가 도 2c에 도시된 TFT 위에 적층되어 기판(1)의 방향으로 광을 방출하는 발광 장치를 형성하는 경우에, 투명한 도전막(18a)의 얇은 두께는 투광율을 높게하고, 이에 따라서, 밝은 디스플레이가 제공될 수 있다. 따라서, 두께( $a$ )는 얇은 것이 바람직하다. 게다가, 투명한 도전막(18a)의 표면은 마스크로서 레지스트 패턴(15b)을 이용하여 금속막(18b)을 에칭시 에칭될 수 있다. 그러므로, 표면 위의 먼지는 제거될 수 있고, 이에 따라서, 먼지로 인한 발광 소자의 단락이 방지될 수 있다.
- [0087] 이 실시예 모드에서 형성되는 금속막(18c)의 한 측면은 경사진다. 따라서, 금속막(18c)이 액정 표시 장치에 사

용되는 경우에, 러빙(rubbing)이 금속막(18c)의 경사진 면으로부터 행해질 때 러빙이 금속막(18c)의 측면상에 스무드하게 행해질 수 있다. 러빙이 금속막(18c)의 측면이 수직인 방향으로부터 행해질 때, 러빙이 수직면의 일부에서 러빙 천(rubbing cloth)상에 음력과 같은 이유로 불완전하게 행해지는 경우가 존재함으로써, 불완전한 정렬을 얻는다. 그러므로, 러빙은 금속막(18c)의 경사진 면으로부터 바람직하게 행해진다.

[0088] 도 4a 및 도 4b에 도시된 바와 같이, 경사진 면들을 각각 갖는 금속막들(17d 및 18d)이 형성되는 경우에, 러빙은 양 방향들로부터 스무드하게 행해져 더욱 효율적으로 된다.

[0089] 도 3은 도 2c의 상부도이다. 도 2c는 도 3의 선 A-A'를 따라서 절취한 단면도이다. 도 3으로부터 알 수 있는 바와 같이, 투명한 도전막(17a) 및 금속막(17c)을 적층함으로써 형성되는 배선 또는 전극은 TFT의 소스 전극 또는 드레인 전극으로서 작용하고 또한 소스 배선으로서 작용한다. 게다가, 투명한 도전막(18a) 및 금속막(18c)으로 형성되는 배선 또는 전극은 TFT의 소스 전극 또는 드레인 전극으로서 작용하고 또한 화소 전극으로서 작용한다. 엄밀하게 말하면, 금속막(18c)이 중첩하지 않는 투명한 도전막(18a)의 부분은 화소 전극으로서 작용하고 광을 투과시킨다. 커패시터 배선(21)은 게이트 전극(5)과 동일한 층으로 형성되고 커패시터 배선(21)은 투명한 도전막(18a)과 중첩함으로써 커패시터를 형성한다. 커패시터 배선(21)은 게이트 전극(5)과 상이한 층으로 형성될 수 있다는 점에 유의하여야 한다. 금속막(17c)의 측면 및 투명한 도전막(17c)의 측면은 일치하지 않고, 투명한 도전막(17a)의 측면 내부에 위치된다. 금속막(18c)의 측면 및 투명한 도전막(18a)의 측면은 일치하지 않고, 금속막(18c)의 측면은 투명한 도전막(18a)의 측면 내부에 위치된다. 도 4a 및 도 4b에 설명되는 금속막(17d) 및 투명한 도전막(17a)간의 관계와 금속막(18d) 및 투명한 도전막(18a) 간의 관계는 상술된 바와 동일하다.

[0090] 이 실시예 모드에서, 투명한 도전막의 분리를 방지하는 것과 관련하여 평탄면 위에 화소 전극으로서 작용하는 투명한 도전막을 형성하는 것이 상당히 효율적이다. 금속막(18c)이 에칭에 의해 형성될 때, 금속막(18c)으로부터 노출되는 하부층에서 투명한 도전막(18a)의 표면은 또한 어느 정도로 에칭된다. 그러므로, 투명한 도전막의 두께가 레벨 차를 갖는 표면 위에 투명한 도전막(18a)을 형성하기 때문에 불균일하게 되면, 얇은 두께를 갖는 투명한 도전막의 일부는 금속막(18c)을 형성하기 위하여 에칭함으로써 에칭된다. 이에 따르면, 투명한 도전막의 분리가 발생할 수 있다. 분리가 발생 될 때, 광 누설이 분리된 부분에서 발생되거나 화소 전극의 영역은 작게 되고 개구비는 낮아진다. 그러므로, 금속막(18c)으로부터 노출되는 투명한 도전막(18a)의 부분은 평탄면 위에 형성되는 것이 바람직하다. 따라서, 제 2 층간 절연막(7)이 유기 재료로부터 형성되어 평탄면을 갖는 제 2 층간 절연막을 형성하는 것이 바람직하다.

[0091] 금속막 및 도전막의 적층이 본 발명에 따라서 형성될 때, 도전막이 금속막의 하부와 접하도록 위치되는 구조가 얻어진다. 그러나, 큰 레벨 차를 갖는 부분에서, 도전막은 금속막의 하부와 접하도록 반드시 위치될 필요는 없다. 이는 도전막이 레벨 차로 인해 분리될 가능성이 있기 때문이다. 그러므로, 금속막이 도 1a 내지 도 1c의 불순물 영역(9)에 도달하는 콘택트 홀 부분에서 도전막 위에 배열되는 것이 바람직하다.

[0092] 도 19는 도전막이 콘택트 홀에서 분리되는 상태를 도시한 것이다. 도전막들(94 및 95)은 콘택트 홀의 경사진 측면으로 인해 부분적으로 분리된다. 그러나, 금속막들(96 및 97)이 콘택트 홀 부분에서 도전막들(94 및 95) 위에 형성되면, 분리된 도전막들은 투명한 도전막이 분리되는 경우조차도 금속막을 통해 서로에 전기적으로 접속된다. 이 경우에, 금속막들(96 및 97)이 콘택트 홀의 측면 위에서 제 2 층간 절연막(7)과 접하는 부분이 존재한다. 콘택트 홀 부분에서 도전막은 화소 전극으로서 작용하지 않는다; 그러므로, 금속막이 위에 남게되는 문제는 존재하지 않는다. 따라서, 이 실시예 모드의 구조에서, 투명한 도전막의 전기 접속은 투명한 도전막이 콘택트 홀에서 분리되는 경우조차도 위에 형성되는 금속막에 의해 보상될 수 있고, 이에 따라서, 표시 결함은 방지될 수 있다.

[0093] 금속막은 도 3에서 커패시터 배선(21)으로 인해 도전막에서 레벨 차를 갖는 부분에서 도전막 위에 유지되는 것이 바람직하다. 도전막이 레벨 차로 인해 분리되는 경우조차도, 도전막들은 금속막을 통해 서로에 전기적으로 접속될 수 있다. 그러므로, 커패시터는 확실하게 형성될 수 있다.

[0094] 도 3의 투명한 도전막(18a)의 형상이 일레이고 또 다른 형상이 사용될 수 있다는 점에 유의하여야 한다. 예를 들어, 투명한 도전막(18a)이 빗살 형상을 갖는 에지를 갖는다면, 도전막(18a)은 IPS(In-Plane-Switching) 방법 또는 FFS(Fringe Field Switching) 방법에 사용될 화소 전극으로서 작용할 수 있거나, 그 내에 슬릿을 배열함으로써 MVA(Multi-domain Vertical Alignment) 방법 또는 PVA(Patterned Vertical Alignment) 방법에 사용될 화소 전극으로서 작용할 수 있다.

[0095] 상기에 따르면, 제조 단계들의 수는 감소될 수 있는데, 그 이유는 투명한 도전막 및 금속막이 하나의 레지스트

패턴을 이용하여 형성될 수 있기 때문이다. 게다가, 금속막을 적층함으로써, 저항은 낮아질 수 있고 도전율은 향상될 수 있는 반면에, 투명한 도전막이 배선 또는 전극으로서 사용될 수 있다.

[0096] 레지스트 패턴들(15a 및 16a)이 도 1b에 도시된 상태에서부터 투명한 도전막(10) 및 금속막(11)을 에칭하는 동안 레지스트 패턴(15b 및 16b)이 되도록 자연적으로 에칭되는 경우에, 레지스트 패턴을 애싱 또는 에칭함으로써 레지스트 패턴들(15b 및 16b)을 형성하는 단계는 제공될 수 없다.

[0097] 이 실시예 모드는 결정질 반도체막으로 형성되는 섬형 반도체막을 갖는 탑-게이트 TFT를 이용하여 설명된다. 그러나, 이 실시예 모드는 또한 결정질 반도체막으로 형성되는 바텀-게이트 TFT에 적용될 수 있다. 게다가, 이 실시예 모드에서, 섬형 반도체막은 소스 영역 및 드레인 영역이 될 불순물 영역들(9)과 채널 형성 영역(8)을 갖는다. 그러나, 낮은 농도 불순물 영역, 오프셋 영역 등은 이들 이외에도 제공될 수 있다.

[0098] 실시예 모드 2

[0099] 이 실시예 모드는 도 5a 내지 도 5c와 관련하여 설명될 것이다. 이 실시예 모드에서 설명될 TFT를 형성하는 각 층 및 기관 유형의 형성 방법, 재료 등에 대해선, 실시예 모드 1을 참조하라.

[0100] 절연막(402)이 기관(401) 위에 기저막으로서 형성된다. 기저막이 제공되지 않을 수 있다는 점에 유의하라. 그 후, 도전층이 절연막(402) 위에 형성되고 도전층의 형상은 게이트 전극(403)을 형성하기 위하여 포토리소그래피 방법 등에 의해 형성되는 마스크를 이용하여 처리된다.

[0101] 게이트 절연막(404)은 게이트 전극(403)을 덮도록 형성된다. 비정질 반도체막은 게이트 절연막(404) 위에 형성된다. 비정질 반도체막에 대한 재료에 대한 제한은 없지만, 비정질 반도체막은 실리콘, 실리콘-게르마늄(SiGe) 합금 등으로 형성되는 것이 바람직하다. 다음에, 도전층이 비정질 반도체막 위에 형성된다. 도전층은 예를 들어 인을 포함하는 비정질 실리콘으로 형성될 수 있다. 그 후, 비정질 반도체막 및 도전층의 형상들은 포토리소그래피 방법 등에 의해 형성되는 마스크를 이용하여 처리되어 섬형 반도체막(405) 및 도전층(406)을 형성한다.

[0102] 투명한 도전막(407) 및 금속막(408)은 도전층(406) 위에 적층된다. 반사성을 갖는 도전층이 투명한 도전막 대신에 사용될 수 있다는 점에 유의하여야 한다. 투명한 도전막으로서, 실시예 모드 1에 도시된 투명한 도전막을 위한 재료가 사용될 수 있다. 그 후, 금속막(408)의 전체 표면이 레지스트막으로 코팅된 후, 노광은 도 5a에 도시된 노광 마스크를 이용하여 행해진다.

[0103] 도 5a에서, 노광 마스크는 광차폐 부분들(409a 및 409b) 및 반투광부(410)를 갖는다. 회절 패턴 또는 반투광막은 반투광부(410)에 사용될 수 있다. 레지스트막이 도 5a에 도시된 노광 마스크를 이용하여 노출될 때, 비노출 영역(411) 및 노출 영역(412)은 레지스트막에서 형성된다. 그 후, 현상은 도 5b에 도시된 바와 같이 레지스트 패턴들(413a 및 414a)을 형성하도록 행해진다. 레지스트 패턴(414a)은 노광 동안 광차폐부(409b)에 대응하는 현상된 영역(412)(점선의 좌측 상의 레지스트 패턴(414a)의 부분) 및 노광 동안 반 광 투과부(410)에 대응하는 현상된 영역(423)(점선의 우측 상의 레지스트 패턴(414a)의 부분)을 포함한다.

[0104] 다음에, 금속막(408) 및 투명한 도전막(407)은 건식 에칭에 의해 에칭된다. 따라서, 도 5c에 도시된 바와 같이, 투명한 도전막(415) 및 금속막(416)을 적층함으로써 형성되는 패턴 및 투명한 도전막(419) 및 금속막(420)을 적층함으로써 형성되는 패턴이 형성된다. 이 에칭은 습식 에칭에 의해 행해질 수 있다. 그러나, 건식 에칭은 마이크로조제에 적합하므로, 건식 에칭이 바람직하다. 금속막(408) 및 투명한 도전막(407)을 위한 재료들은 게이트 절연막(404)을 위한 재료와 상이하다; 그러므로, 고 에칭 선택도는 건식 에칭이 행해지는 경우조차도 얻어질 수 있다. 게다가, 에칭 선택도를 높게하기 위하여, 게이트 절연막(404)의 적어도 최상부층은 실리콘 질화막으로 형성될 수 있다.

[0105] 다음에, 도 6a에 도시된 바와 같이, 애싱 또는 에칭은 레지스트 패턴들(413a 및 414a)에 대해 행해진다. 이 단계를 따르면, 레지스트 패턴(414a)의 영역(423)은 제거되고, 레지스트 패턴(414a)의 영역(422)의 두께는 이 영역(423)의 두께(d2)만큼 얇게 되어 레지스트 패턴(414b)을 형성한다. 레지스트 패턴(413a)의 애싱은 또한 두께(d2)만큼 행해져 레지스트 패턴(413b)을 형성한다. 게다가, 에칭은 또한 폭 방향으로 행해진다; 그러므로, 레지스트 패턴들(413b 및 414b)의 폭들은 금속막(416), 금속막(420), 및 투명한 도전막들(415 및 419)의 폭들보다 작게된다. 그러므로, 하부층에서 금속막들과 투명한 도전막의 측면들 및 레지스트 패턴들(413b 및 414b)의 측면들은 일치하지 않고, 레지스트 패턴들(413b 및 414b)의 측면들은 쏙 들어간다. 게다가, 기관 표면에 대한 레지스트 패턴(414b)의 측면들의 각도들은 서로 상이하다. 다른 한편으로, 기관 표면에 대한 레지스트 패턴(413b)의 측면들의 각도들은 거의 동일하다.



- [0106] 그 후, 금속막(416)은 레지스트 패턴(414b)을 이용하여 에칭되어 금속막(421)을 형성한다. 게다가, 금속막(420)은 레지스트 패턴(414b)을 이용하여 에칭되어 금속막(424)을 형성한다(도 6b). 이 때, 투명한 도전막(415)은 반드시 에칭될 필요는 없다. 금속막들(424 및 421)은 투명한 도전막들(419 및 415)보다 작은 패턴들을 갖도록 형성된다. 도전층(406)은 마스크들로서 투명한 도전막들(419 및 415)을 이용하여 에칭되어 도전층들(417 및 418)을 형성한다. 섬형 반도체막(405)의 부분은 다소 에칭된다. 투명한 도전막(419)의 한 에지 부분 및 도전층(417)의 한 에지 부분은 일치하고, 투명한 도전막(415)의 한 에지 부분 및 도전층(418)의 한 에지 부분은 일치한다. 금속막들(421 및 424)은 동일한 단계로 형성된다.
- [0107] 게다가, 도전층(406)은 금속막들(421 및 424)을 형성하기 위하여 에칭과 동시에 에칭될 수 있다.
- [0108] 그 후, 레지스트 패턴들(413b 및 414b)은 제거되어 투명한 도전막(419) 및 금속막(424)으로 형성되는 배선 또는 전극을 형성하고, 금속막(421) 및 투명한 도전막(415)으로 형성되는 배선 또는 전극을 형성한다. 투명한 도전막(415)은 화소 전극으로서 작용한다(도 6c).
- [0109] 도전층(417 및 418)이 도 5c의 에칭과 동시에 형성될 수 있지만, 도 6a 내지 도 6c에 도시된 바와 같이 금속막들(424 및 421)을 형성시 또는 형성 후 도전층들(417 및 418)을 에칭하는 것이 바람직하다. 이는 섬형 반도체막이 도 5c의 스테이지에서 노출되면 금속막들(424 및 421)을 형성시 섬형 반도체막이 부가적으로 에칭될 가능성이 존재하기 때문이다.
- [0110] 도 6b의 에칭은 건식 에칭 또는 습식 에칭에 의해 행해질 수 있다. 건식 에칭을 행하는 경우에, 금속막(421)의 단면 형상은 도 6b 및 도 6c에 도시된 바와 같은 좌-우 비대칭이 될 레지스트 패턴(414b)의 형상을 반영한다. 즉, 금속막(421)은 한 측면이 다른 한 측면보다 더욱 경사진 단면 형상을 갖는다. 금속막(421)의 한 측면 및 레지스트 패턴(414b)의 한 측면은 일치하고, 금속막(421)의 다른 측면은 레지스트 패턴(414b)의 다른 측면의 확장된 라인상에 위치한다. 금속막(424)은 자신의 측면과 레지스트 패턴(413b)의 측면이 일치하도록 형성된다.
- [0111] 습식 에칭에 의해 금속막들(421 및 424)을 형성하는 경우가 도 8과 관련하여 설명될 것이다. 건식 에칭에 의해 형성되는 금속막들(421 및 424)은 습식 에칭에 의해 형성되는 경우의 금속막들(425 및 426)으로 대체된다.
- [0112] 습식 에칭의 경우에, 도 8에 도시된 바와 같이, 레지스트 패턴들(413b 및 414b) 보다 작은 금속막들(425 및 426)이 형성되고, 레지스트 패턴들(413b 및 414b)의 측면들 및 금속막들(425 및 426)의 측면들을 일치하지 않는다. 그러므로, 더욱 작은 평면적을 갖는 금속막은 동일한 레지스트 패턴들(413b 및 414b)이 마스크들로서 사용되는 경우조차도 건식 에칭보다 습식 에칭에 의해 형성된다. 도 4a 및 도 4b와 동일한 방식으로, 금속막이 습식 에칭에 의해 형성되는 경우에,  $\theta_1 > \theta_2$  는 투명한 도전막들(415 및 419)의 측면의 각도  $\theta_1$  및 금속막들(425 및 426)의 측면의 각도  $\theta_2$  가 서로 비교될 때 충족된다. 각도( $\theta_1$ )를 기관(401)의 표면에 대해서 투명한 도전막의 측면의 경사각이라 칭하며, 각도( $\theta_2$ )를 기관(401)의 표면에 대해서 금속막의 측면을 따른 경사각이라는 점에 유의하여야 한다. 각도들( $\theta_1$  및  $\theta_2$ ) 각각은 0 내지 90° 범위 내에 있다. 대안적으로, 금속막들(425 및 426) 각각은 도 4b에 도시된 바와 같이 적층된 구조를 갖지만, 기관 표면에 대해서 최하층의 필름의 측면 각도는  $\theta_2$ 로 표시된다.
- [0113] 습식 에칭의 경우에, 도전층(406)은 도 5c에서 에칭과 동시에 에칭될 수 있거나 도 6b에서 금속막들(425 및 426)을 형성한 후 에칭될 수 있다는 점에 유의하여야 한다.
- [0114] 금속막들이 건식 에칭 또는 습식 에칭중 어느 하나에 의해 형성되는 경우조차도, 투명한 도전막(419)의 측면들로부터 쏙 들어간 측면들을 갖는 금속막(425 또는 424) 및 투명한 도전막(415)의 측면들로부터 쏙 들어간 측면들을 갖는 금속막(421 및 426)이 형성된다. 즉, 투명한 도전막(419)보다 작은 평면적을 갖는 금속막(424 또는 425) 및 투명한 도전막(415)보다 작은 평면적을 갖는 금속막(421 또는 426)이 형성된다.
- [0115] 그 후, 레지스트 패턴들(413b 및 414b)은 제거되고 투명한 도전막(419) 및 금속막(424)으로 형성되는 배선 또는 전극과 금속막(421) 및 투명한 도전막(415)으로 형성되는 배선 또는 전극이 형성된다(도 6c). 레지스트 패턴들(413b 및 414b)이 도 8로부터 제거되면, 투명한 도전막(419) 및 금속막(425)으로 형성되는 배선 또는 전극 및 투명한 도전막(415) 및 금속막(426)으로 형성되는 배선 또는 전극이 형성된다.
- [0116] 금속막(421) 및 투명한 도전막(415)의 적층이 본 발명의 두께면에서 다른 영역들을 갖는 레지스트 패턴(414a)을 이용하여 형성되면, 투명한 도전막(415)의 표면 일부가 금속막(421)을 형성시 어느 정도로 에칭된다. 특히, 금속막(421)이 건식 에칭에 의해 형성될 때, 하부 층에서 투명한 도전막(415) 및 금속막(421) 간의 선택도를 얻는

것이 어렵다; 그러므로, 투명한 도전막(415)의 표면의 일부는 더욱 손쉽게 에칭된다. 따라서, 두께  $a <$  두께  $c$ 는 도 6c의 투명한 도전막(415)의 두께  $a$ (금속막(421)으로부터 노출되는 투명한 도전막(415)의 두께) 및 두께  $c$ (게이트 절연막(404) 및 금속막(421)과 접할 투명한 도전막의 두께)가 서로 비교될 때 충족된다. 두께  $a$  및  $c$  각각이 평균 두께라는 점에 유의하여야 한다.

[0117] 발광 소자가 도 6c에 도시된 TFT 위에 적층되어 발광 장치를 형성하는 경우에, 두께  $a <$  두께  $c$ 에 의해 다음의 작용이 얻어질 수 있다. 기관(401)의 방향으로 광을 방출하는 발광 장치가 사용되면, 얇은 두께 ( $a$ )는 밝은 디스플레이를 제공할 수 있다. 게다가, 투명한 도전막(415)의 표면은 에칭될 수 있다; 그러므로, 표면 위의 먼지는 제거될 수 있고, 이에 따라서, 발광 소자의 단락이 방지될 수 있다.

[0118] 이 실시예 모드에서 형성되는 금속막(421)의 한 측면은 경사진다. 따라서, 금속막(421)이 액정 표시 장치에 사용되는 경우에, 러빙이 금속막(421)의 경사진 측면으로부터 행해질 때 러빙이 금속막(421)의 측면상에 스무드하게 행해질 수 있다. 러빙이 금속막(421)의 측면이 수직인 방향으로부터 행해질 때, 러빙이 수직면의 부분에서 러빙 천상에 스테레스와 같은 이유로 불완전하게 행해지는 경우가 존재함으로써, 불완전한 정렬을 얻는다. 그러므로, 러빙은 금속막(421)의 경사진 측면으로부터 바람직하게 행해진다.

[0119] 도 8에 도시된 바와 같이, 경사진 측면들을 각각 갖는 금속막들(425 및 426)이 습식 에칭에 의해 형성되는 경우에, 러빙은 양 방향으로부터 스무드하게 행해질 수 있어 더욱 효율적이 된다.

[0120] 도 7은 도 6c의 상부도이다. 도 6c는 도 7의 선 A-A'를 따라서 절취한 단면도이다. 도 7에 도시된 바와 같이, 투명한 도전막(419) 및 금속막(424)을 적층함으로써 형성되는 배선 또는 전극은 TFT의 소스 전극 또는 드레인 전극으로서 작용하고 또한 소스 배선으로서 작용한다. 게다가, 투명한 도전막(415) 및 금속막(421)으로 형성되는 배선 또는 전극은 TFT의 소스 전극 또는 드레인 전극으로서 작용하고 또한 화소 전극으로서 작용한다. 엄밀하게 말하면, 금속막(421)과 중첩하지 않는 투명한 도전막(415)의 일부는 화소 전극으로서 작용한다. 커패시터 배선(430)은 게이트 전극(403)과 동일한 층으로 형성되고, 커패시터 배선(430)은 투명한 도전막(415)과 중첩함으로써 커패시터를 형성한다. 커패시터 배선(430)은 게이트 전극과 상이한 층으로 형성될 수 있다는 점에 유의하여야 한다. 금속막(424)의 측면 및 투명한 도전막(419)의 측면은 일치하지 않고, 금속막(424)의 측면은 투명한 도전막(419)의 측면 내부에 위치된다. 금속막(421)의 측면 및 투명한 도전막(415)의 측면은 일치하지 않고, 금속막(421)의 측면은 투명한 도전막(415)의 측면 내부에 위치된다. 도 8에 설명되는 금속막(425) 및 투명한 도전막(419)간의 관계와 금속막(426) 및 투명한 도전막(415) 간의 관계는 상술된 바와 동일하다.

[0121] 게다가, 커패시터 배선(430), 게이트 전극(403) 또는 섬형 반도체막(405)으로 인한 레벨 차 위에 형성되는 투명한 도전막(415)을 덮는 것이 효율적인데, 투명한 도전막의 분리를 방지하는 것에 관한 금속막(421)은 화소 전극으로서 작용한다. 금속막(421)이 에칭에 의해 형성될 때, 투명한 도전막(415)은 또한 어느 정도로 에칭된다. 그러므로, 투명한 도전막의 두께가 불균일하면, 투명한 도전막의 분리는 이 에칭에서 발생된다. 그러므로, 균일한 두께가 손쉽게 형성되는 평탄면 위에 투명한 도전막의 부분을 화소 전극으로서 이용하는 것이 바람직하다. 따라서, 금속막(421)은 레벨 차를 갖는 표면위에 위치되는 투명한 도전막(415)을 덮도록 형성될 수 있다. 따라서, 레벨 차를 갖는 표면 위에 투명한 도전막(415)은 에칭되지 않거나 분리되지도 않는다.

[0122] 금속막(421)과 레벨 차를 갖는 표면 위에 투명한 도전막(415)을 덮기 위하여, 도 5b에서 레지스트 패턴(414a)의 영역(423)의 두께가  $d_2$ 로 표시되고 영역(422)에서 가장 얇은 두께가  $d_1$ 으로 표시될 때 적어도  $d_1 > d_2$ 를 충족할 필요가 있다. 그 이유는 다음과 같다: 전체 레지스트의 두께가 도 6a의 레지스트에 대해 애싱을 행할 때 두께  $d_2$ 의 애싱에 의해  $d_2$ 로 얇게 되지만, 두께가 애싱에 의해  $d_2$ 로 표시되는 경우조차도 레지스트가 영역(422) 내에 유지될 필요가 있다. 그러므로, 영역(422)의 가장 얇은 두께를 갖는 부분의 두께( $d_1$ )가 적어도 레지스트 패턴(414a)에서 영역(423)의 두께( $d_2$ ) 보다 두껍게 되는 것이 바람직하다.

[0123] 상기 단계들을 따르면, 비정질 반도체막으로 형성되는 섬형 반도체막을 갖는 바텀-게이트 TFT가 형성될 수 있다. 금속막을 적층함으로써, 저항은 낮아질 수 있고 도전율은 향상될 수 있는 반면에, 투명한 도전막은 배선 또는 전극으로서 사용된다. 게다가, 단계들의 수는 감소될 수 있는데, 그 이유는 금속막(421)을 형성하는 레지스트 패턴이 특수하게 제공될 필요가 없기 때문이다.

[0124] 도 9a는 이 실시예 모드의 또 다른 TFT 구조로서 채널 보호막을 갖는 TFT 구조를 도시한다. 도 9a의 TFT에서, 도 5a 내지 도 5c, 도 6a 내지 도 6c, 및 도 7 내지 도 8에서 동일한 부분들은 동일한 참조 번호들로 표시되고 상세한 설명은 생략될 것이다.

[0125] 기관(401) 위에 섬형 반도체막(405)의 형성까지의 단계들은 도 5a와 동일하다. 다음에, 실리콘 질화막과 같은



절연막이 형성되고 절연막의 형상은 에칭에 의해 처리되어 섬형 반도체막(405) 위의 중심 근처에 채널 보호막(601)을 형성한다. 그 후, 도전층(406), 투명한 도전막(407), 및 금속막(408)은 순차적으로 형성되어 채널 보호막(601)을 덮는다. 금속막(408)의 전체 표면은 레지스트막으로 코팅된다. 반투광부를 갖는 노광 마스크를 이용하여 레지스트막을 노출한 후, 현상이 레지스트 패턴들(413a 및 414a)을 형성하도록 행해진다.

[0126] 다음에, 에칭이 레지스트 패턴들(413a 및 414a)을 이용하여 건식 에칭에 의해 행해져 도전층들(417 및 418), 투명한 도전막들(415 및 419), 및 금속막들(416 및 420)을 형성한다. 투명한 도전막(415)은 화소 전극으로서 작용한다(도 9b). 채널 보호막(601)은 섬형 반도체막(405)이 도전층들(417 및 418)을 형성시 에칭되는 것을 방지하기 위한 보호막이 되도록 된다.

[0127] 다음에, 레지스트 패턴들(413a 및 414a)의 애싱이 행해져 레지스트 패턴들(413b 및 414b)을 형성한다(도 9c). 금속막들(420 및 416)은 레지스트 패턴들(413b 및 414b)을 이용하여 에칭되어 금속막들(424 및 421)(도 9d)을 형성한다. 도 9d는 금속막들(424 및 421)이 건식 에칭에 의해 형성되는 경우를 도시한다. 도 8에 도시된 금속막들(425 및 426)은 습식 에칭에 의해 형성될 수 있다는 점에 유의하여야 한다. 이 때 금속막 및 투명한 도전막의 에지 부분들의 형상들은 도 8에 설명된 형상과 유사하다.

[0128] 채널 보호막(601)을 갖는 TFT 구조는 다음 효과를 갖는다. 우선, 섬형 반도체막이 도 9b에 도시된 투명한 도전막(407) 및 금속막(408)의 에칭 단계에서 건식 에칭을 행할 때 에칭되는 것과 관련성이 없다. 그러므로, 투명한 도전막 및 금속막의 에칭 단계의 자유도는 향상되고 에칭은 이상적인 에칭 조건하에서 행해질 수 있다. 게다가, 마이크로제조는 건식 에칭에 의해 행해질 수 있다. 게다가, 섬형 반도체막(405)은 얇게 되도록 형성될 수 있고 TFT 특성들은 개선될 수 있다. 그러므로, TFT 구조는 구동 TFT에 많은 량의 전류를 공급하는 TFT를 필요로 하는 능동 매트릭스 유기 발광 다이오드에 대해서 이상적이다.

[0129] 도 10은 또 다른 TFT 구조를 도시한다. 이 구조는 결정질 반도체막을 이용하여 형성되는 바텀-게이트 TFT이다. 기판(401) 위에 게이트 절연막(404)의 형성까지의 단계들은 도 5a와 동일하다. 그 후, 결정질 반도체막은 게이트 절연막 위에 형성된다. 결정질 반도체막은 게이트 절연막 위에 직접 형성되거나 결정질 반도체막은 실시예 모드 1에서처럼 비정질 반도체막을 형성하고 나서 결정화함으로써 형성될 수 있다. 결정질 반도체막의 형상은 에칭에 의해 처리되어 섬형 반도체막(405)을 형성한다. 섬형 반도체막(405)은 불순물로 선택적으로 도핑되어 한 쌍의 불순물 영역들(602) 및 채널 형성 영역(603)을 섬형 반도체막(405)에 형성한다. 섬형 반도체막(405) 위에 층간 절연막(604)을 형성한 후, 불순물 영역(602)에 도달하는 콘택트 홀은 층간 절연막(604)에 형성되고, 투명한 도전막 및 금속막은 적층된다. 금속막은 투명한 도전막 위에 적층된다. 그 후, 에칭은 도 5a에 도시된 노광 마스크를 이용하여 노출되는 레지스트 패턴을 이용하여 행해지고 투명한 도전막(419) 및 금속막(424)으로 형성되는 전극 또는 배선을 형성하고, 금속막(421) 및 투명한 도전막(415)으로 형성되는 전극 또는 배선을 형성하도록 현상된다. 층간 절연막(604)이 도 10의 구조에서 유기 수지 재료 등으로 형성되면, 층간 절연막(604)은 평탄면을 갖는다. 즉, 투명한 도전막(415)은 평탄면 위에 형성될 수 있고, 이에 따라서, 금속막(421)을 형성하기 위한 에칭에서 투명한 도전막(415)의 분리가 방지될 수 있다.

[0130] 도 10에 도시된 TFT가 불순물 영역(602)의 쌍들과 다른 불순물 영역을 가질 수 있다는 점에 유의하여야 한다.

[0131] 도 9a 내지 도 9d 및 도 10에서, 금속막들(421 및 424)를 형성하는 에칭 방법으로 인한 금속막의 형상의 특징은 상술된 바와 동일하다. 금속막들(421 및 424) 대신에, 도 8에서와 같은 형상을 각각 갖는 금속막들(425 및 426)은 습식 에칭에 의해 형성되거나, 적층된 구조를 갖는 금속막이 사용될 수 있다. 투명한 도전막이 화소 전극으로서 작용하는 도전막으로서 사용되지만, 반사 유형의 도전막이 사용될 수 있다. 투명한 도전막을 위한 재료로서, 실시예 모드 1에 도시된 재료가 사용될 수 있다.

[0132] 이 실시예 모드는 실행가능한 범위 내에서 실시예 모드 1가 자유롭게 결합될 수 있다.

[0133] 실시예 모드 3

[0134] 이 실시예 모드에서, 실시예 모드들 1 및 2에 사용되는 노광 마스크는 도 11a 내지 도 11c와 관련하여 설명될 것이다. 도 11a 내지 도 11c 각각은 도 1a 내지 도 5a에 도시된 노광 마스크의 광차폐부(12b) 및 반투광부(13)의 상부를 도시한다. 노광 마스크의 광차폐부(12b)의 폭은 t1으로 표시되고, 이 마스크의 광 투광부(13)의 폭은 t2로 표시된다.

[0135] 반투광부(13)에는 회절 격자 패턴이 제공될 수 있고, 도 11a 및 도 11b 각각은 노광 장치의 해상도 제한에서 또는 그 아래에서 다수의 슬릿들을 포함한 슬릿 부분을 갖는 회절 격자 패턴을 도시한다. 회절 격자 패턴은 슬릿 또는 도트와 같은 적어도 한 패턴이 배열되는 패턴이다. 슬릿 또는 도트와 같은 다수의 패턴들이 배열되는 경

우에, 이 패턴들은 주기적으로 또는 비주기적으로 배열될 수 있다. 해상도 제한에서 또는 그 아래에서 미소 패턴을 이용함으로써, 상당량의 노광이 변조될 수 있고 현상 후 노출된 레지스트의 두께가 조정될 수 있다.

[0136] 슬릿 부분의 슬릿은 슬릿 부분(301) 처럼 광차폐부(303)의 한 측면에 평행한 방향으로 또는 슬릿 부분(302)과 같은 광차폐 부분(303)의 한 측면에 수직한 방향으로 확장될 수 있다. 대안적으로, 슬릿 부분의 슬릿은 광차폐부(303)의 한 측면에 대해서 경사진 방향으로 확장될 수 있다. 이 포토리소그래피 단계에서 사용될 레지스트는 포지티브 유형의 레지스트가 바람직하다는 점에 유의하여야 한다.

[0137] 게다가, 반투광부의 또 다른 예로서, 도 11c는 노광의 광 세기를 감소시키는 기능을 갖는 반투광막(304)을 제공하는 예를 도시한 것이다. 반투광막으로서, MoSiN 뿐만 아니라 MoSi, MoSiO, MoSiON, CrSi 등이 사용될 수 있다. 반투광부가 제공되는 노광 마스크를 이용하는 노광 방법을 또한 하프-톤 노광 방법(half-tone exposure method)이라 칭한다.

[0138] 도 11a 내지 도 11c에 도시된 노광 마스크들이 노광으로 조사될 때, 광 세기는 광차폐부(303)에서 대략 제로이고 광세기는 투광부(305)에서 대략 100%이다. 다른 한편으로, 슬릿 부분(301 또는 302)로 형성되는 광 세기 감소 기능을 갖는 반투광부 또는 반투광막(304)을 통과하는 광 세기는 10 내지 70%의 범위 내에서 조정될 수 있다. 도 11d는 광 세기 분포의 전형적인 예를 도시한 것이다. 반투광부가 회절 격자 패턴인 경우에, 반투광부를 통과하는 광 세기의 조정은 슬릿 부분들(301 및 302)의 피치 및 슬릿 폭의 조정에 의해 실현될 수 있다.

[0139] 이 실시예는 실시예 모드들 1 및 2와 자유롭게 결합될 수 있다.

[0140] 실시예 모드 4

[0141] 이 실시예 모드에서, EL(전자발광) 표시 장치는 도 12a 및 도 12b와 도 13a 및 도 13b와 관련하여 설명될 것이다. TFT를 형성하는 각 층 및 기관의 형성 방법, 재료 및 등에 대해서, 실시예 모드들 1 및 2를 참조하라. 도 12a 및 도 12b와 도 13a 및 도 13b에서 TFT가 실시예 모드 1의 탑-게이트 구조를 이용하여 설명될 것이지만, 바텀-게이트 TFT 구조가 사용될 수 있다. 실시예 모드 1에서 도 1a 내지 도 1c와 도 2a 내지 도 2c의 부분들과 동일한 부분들은 동일한 참조 번호들로 표시되고 이에 대한 상세한 설명은 생략될 것이다. 그러나, 화소 구조는 도 12a 및 도 12b와 도 13a 및 도 13b의 화소 구조들로 제한되지 않고, 또 다른 화소 구조가 사용될 수 있다.

[0142] 도 12a는 EL 표시 장치의 화소부의 상부도이다. 화소에는 EL 소자에 공급되는 전류를 제어하기 위한 스위칭 TFT(140) 및 구동 TFT(141)의 2개의 TFT가 제공된다. 구동 TFT(141)의 게이트 전극(5b)은 스위칭 TFT(140)의 소스 전극 또는 드레인 전극이 될 투명한 도전막(123) 및 금속막(124)에 전기적으로 접속된다. 도 12b는 도 12a의 선들 A-A' 및 B-B'를 따라서 절취한 단면도이다.

[0143] TFTs는 실시예 모드 1의 방법에 의해 기관(1) 위에 형성된다. 절연막(2)은 기관(1) 위에 형성되고, 섬형 반도체막들(3a 및 3b)이 그 위에 형성된다. 섬형 반도체막들(3a 및 3b)은 비정질 반도체막 또는 결정질 반도체막으로 형성된다. 다음에, 게이트 절연막(4) 및 게이트 전극들(5a 및 5b)이 형성된다. 게이트 전극(5a)은 게이트 배선으로부터 확장되고, 게이트 전극(5b)은 게이트 배선(게이트 전극(5a))으로부터 분리되도록 형성된다. 섬형 반도체막들(3a 및 3b)는 마스크들로서 게이트 전극들(5a 및 5b)를 이용하여 불순물 원소로 도핑되어 한 쌍의 불순물 영역들 및 채널 형성 영역을 각 섬형 반도체막들(3a 및 3b)에 형성한다. 그 후, 제 1 층간 절연막(6) 및 제 2 층간 절연막(7)은 게이트 전극들(5a 및 5b) 위에 형성된다.

[0144] 다음에, 게이트 절연막(4), 제 1 층간 절연막(6) 및 제 2 층간 절연막(7)은 에칭되어 섬형 반도체막의 한 쌍의 불순물 영역들에 도달하는 콘택트 홀을 형성한다. 동시에, 제 1 층간 절연막(6) 및 제 2 층간 절연막(7)은 에칭되어 게이트 전극(5b)에 도달하는 콘택트 홀을 형성한다. 투명한 도전막은 제 2 층간 절연막(7) 위에 형성되고, 금속막은 그 위에 적층된다. 그 후에, 투명한 도전막 및 금속막은 실시예 모드 1과 동일한 방법에 의해 에칭되어 금속막(122) 및 투명한 도전막(121)으로 형성되는 배선 또는 전극, 금속막(124) 및 투명한 도전막(123)으로 형성되는 배선 또는 전극, 금속막(126) 및 투명한 도전막(125)으로 형성되는 배선 또는 전극, 및 금속막(128) 및 투명한 도전막(127)으로 형성되는 배선 또는 전극이 형성된다. 투명한 도전막(127)은 화소 전극으로서 작용한다.

[0145] 금속막들(122, 124 및 126)은 하부층에 위치되는 투명한 도전막들(121, 123 및 125) 각각에 위치되는 투명한 도전막들(121, 123 및 125)과 거의 유사하고, 이들 각 금속막은 각 투명한 도전막들보다 작은 크기를 지닌 패턴을 갖는다. 금속막들(122, 124 및 126)은 광차폐부를 갖는 노광 마스크를 이용하여 노출되고 도 1a 내지 도 1c에 도시된 레지스트 패턴(16a)과 같이 현상되는 레지스트 패턴을 이용하여 에칭함으로써 형성된다. 다른 한편으로, 투명한 도전막(127)의 일부는 화소 전극으로서 작용한다; 그러므로, 금속막(128)은 투명한 도전막(127)과 반드

시 유사할 필요가 없고 투명한 도전막(127) 보다 작은 패턴을 갖는다. 그러므로, 투명한 도전막(127) 및 금속막(128)을 형성하기 위하여, 에칭은 반투광부 및 광차폐부를 갖는 노광 마스크를 이용하여 노출되고 도 1a 내지 도 1c에 도시된 레지스트 패턴(15a)처럼 현상되는 레지스트 패턴을 이용하여 행해진다.

[0146] 금속막들(122, 124, 126 및 128)을 형성한 후, 투명한 도전막 위의 금속막의 잔여물은 금속막(128)으로부터 노출되는 투명한 도전막(127)의 부분의 표면을 폴리싱(polishing)함으로써 제거될 수 있다. 이 폴리싱은 CMP(Chemical-Mechanical Polishing) 방법 등에 의해 행해질 수 있다. 투명한 도전막(127) 위에 다음에 형성될 전계발광층이 극히 얇기 때문에, 전계발광층은 금속막의 잔여물로 인해 균일하게 형성되지 않고, 이에 따라서, 전계발광층 위의 투명한 도전막(127) 및 도전층(131) 간에 단락이 발생된다. 이 폴리싱은 상기 단락을 방지하는데 효율적이다.

[0147] 그 후에, 독(embankment)(또한 격벽이라 칭함)이 될 절연막(129)이 TFT 위에 형성된다. 화소 전극으로서 작용하는 투명한 도전막(127)의 부분이 노출되도록 절연막(129)이 형성된다. 게다가, 절연막(129)은 금속막(128)을 덮도록 형성된다. 이는 절연막(129)으로부터 금속막(128)의 노출로 인해 EL 소자의 단락 장애의 원인을 방지하기 위한 것이다. 다른 한편으로, 절연막(129)은 두께가 연속적으로 감소되도록 그리고 투명한 도전막(127)이 노출되는 부분 근처의 곡면을 갖도록 형성된다. 이는 절연막(129)의 레벨 차에서 위에 형성될 전계발광층의 분리를 방지하기 위한 것이다. 곡면을 갖는 이와 같은 형상의 절연막(129)으로 인해, 금속막(128)의 에지 부분이 절연막(129)으로부터 손쉽게 노출되는 문제가 있다. 그러나, 본 발명을 따라서 형성되는 금속막(128)은 절연막(129)으로부터 손쉽게 노출되지 않도록 하는 구조를 갖는데, 그 이유는 이의 에지 부분이 실시예 모드들 1 및 2에서 설명된 바와 같이 경사지거나 각도( $\theta_2$ )를 갖기 때문이다; 그러므로, EL 표시 장치에 매우 적합하다.

[0148] 금속막(128)이 건식 에칭에 의해 형성되는 경우에, 위에 형성될 레지스트 패턴의 형상이 반영된다. 도 12b의 단면도에서, 절연막(129)의 곡면 근처의 금속막(128)의 에지 부분은 다른 에지 부분보다 더 경사진다. 도 12a의 상부도에서, 투명한 도전막(127)의 에지 부분으로부터 더 멀리 있는 양 측면들은 금속막(128)의 4개의 측면들 중 다른 2개의 측면들보다 더 경사진다. 다른 한편으로, 금속막(128)이 습식 에칭에 의해 형성되는 경우에, 금속막(128)의 에지 부분은 각도( $\theta_2$ )를 갖는데, 이 각도는 투명한 도전막(127)의 에지 부분에서 각도( $\theta_1$ )보다 더욱 예각이 된다. 따라서, 절연막(129)의 곡면 근처의 금속막(128)의 에지 부분은 어느 한 형성 방법에 의해 경사지거나 각도( $\theta_2$ )를 갖도록 형성된다. 그러므로, 금속막(128)은 절연막(129)으로부터 손쉽게 노출되지 않는 형상을 갖는다.

[0149] 다음에, 전계발광층(130)은 절연막(129)로부터 노출되는 투명한 도전막(127)과 접하도록 형성되고 나서, 도전층(131)이 형성된다. 상기 구조에서, 발광 소자를 구동하는 TFT가 n-채널 TFT인 경우, 투명한 도전막(127)은 캐소드에 대응하고 도전층(131)은 애노드에 대응한다. 투명한 도전막이 도전층(131)에 사용될 때, 위아래로 광을 방출하는 표시 장치가 얻어진다.

[0150] 도 13a 및 도 13b는 도 12a 및 도 12b의 구조와 상이한 구조를 갖는 EL 표시 장치를 도시한다. 도 13a는 EL 표시 장치의 화소부의 상부도이고, 도 13b는 도 13a의 선 A-A' 및 B-B'을 따라서 절취한 단면도이다.

[0151] 도 13b에서 제 2 층간 절연막(7)을 형성하고 에칭을 행한 후 섬형 반도체막의 한 쌍의 불순물 영역들에 도달하는 콘택트 홀의 형성까지의 단계들은 도 12b와 동일하다. 스위칭 TFT(1101) 및 구동 TFT(1102)가 형성된다. 그 후, 도전층이 형성되고 에칭되어 배선들 또는 전극들(1103a 내지 1103d)을 형성한다.

[0152] 제 3 층간 절연막(1104)은 배선들 또는 전극들(1103a 내지 1103d) 위에 형성된다. 제 3 층간 절연막(1104)은 유기 수지 막으로 형성되는 것이 바람직하다. 이 방식으로, 제 3 층간 절연막(1104) 위에 형성되고 화소 전극으로서 작용하는 투명한 도전막은 평탄면 위에 형성될 수 있다.

[0153] 제 3 층간 절연막(1104)은 에칭되어 배선 또는 전극(1103d)에 도달하는 콘택트 홀을 형성한다. 투명한 도전막 및 금속막은 제 3 층간 절연막(1104) 위에 적층되고 에칭되어 투명한 도전막(1105) 및 금속막(1106)을 형성한다. 투명한 도전막(1105) 및 금속막(1106)은 반투광부를 갖는 노광 마스크를 이용하여 노출되고 도 1a 내지 도 1c에 도시된 레지스트 패턴처럼 현상되는 레지스트 패턴을 이용하여 에칭된다. 투명한 도전막(1105)은 화소 전극으로서 작용한다.

[0154] 제 2 층간 절연막(7)에 형성되는 콘택트 홀 및 제 3 층간 절연막(1104)에 형성되는 콘택트 홀은 중첩하도록 형성되는 것이 바람직하다. 콘택트 홀들의 중첩은 개구비를 높게 할 수 있다. 다른 한편으로, 투명한 도전막의 분리에 관한 문제가 콘택트 홀에서 레벨 차의 확대에 의해 야기되지만, 분리에 관한 문제는 콘택트 홀 부분에서

투명한 도전막(1105) 위에 금속막(1106)을 유지시킴으로써 보상될 수 있다.

[0155] 금속막(1106)을 형성한 후, 절연막(129), 전계발광층(130), 및 도전층(131)이 도 12b와 동일한 방식으로 형성된다.

[0156] 이 실시예 모드에서, 화소 전극으로서 사용될 도전막이 투명한 도전막으로 형성되지만, 반사 유형의 도전막이 또한 사용될 수 있다. 투명한 도전막을 위한 재료로서, 실시예 모드 1에 도시된 재료가 사용될 수 있다. 게다가, 이 실시예 모드는 실행가능한 범위 내에서 실시예 모드들 1 내지 3과 자유롭게 결합될 수 있다.

[0157] 실시예 모드 5

[0158] 이 실시예 모드에서, 본 발명이 액정 표시 장치에 적용되는 경우의 예가 설명될 것이다.

[0159] 우선, 액정 표시 패널의 제조 방법이 도 14a와 관련하여 설명될 것이다. 바텀-게이트 TFT는 실시예 모드 2의 도 6과 동일한 방식으로 기판(401) 위에 형성된다. TFT 구조는 실시예 모드 2의 도 6c에 도시된 TFT로 제한되지 않고, 각층의 TFT가 사용될 수 있다.

[0160] 실시예 모드 3의 방법에 의해 TFT를 형성한 후, 정렬 막(801)은 금속막들(424 및 421) 및 투명한 도전막들(419 및 415)을 덮도록 형성된다. 그 후, 칼러 필터(802), 차광막(807), 대향 전극(803) 및 정렬 막(804)이 형성되는 위에 기판(805)이 준비되고, 기판(401) 및 기판(805)은 밀봉 재료(도시되지 않음)로 서로에 부착된다. 광차폐막(807)은 TFT와 중첩하도록 배열되고, 칼러 필터(802)는 화소 전극으로서 작용하는 투명한 도전막(415)의 부분과 중첩하도록 배열된다. 그 후, 액정(806)이 주입된다. 따라서, 표시 기능이 제공되는 표시 장치가 완성된다. 도시되지 않았지만, 편광판은 액정(806)의 대향 측면 상의 기판(401 및 805) 부착된다. 상기 단계들에 따라서, 액정 표시 패널이 완성된다. 반사 유형의 도전막이 투명한 도전막을 대신하여 사용될 수 있다는 점에 유의하라.

[0161] 다음에, 이 실시예 모드에서, 액정 표시 장치 내의 투명한 도전막 위에 형성되는 금속막이 배열이 설명될 것이다. 도 14b는 액정 표시 장치의 상부를 도시한 일례이고 도 14a는 도 14b의 A-A' 선을 따라서 절취된 단면도이다. 섬형 반도체막(405)은 게이트 배선(403)과 중첩하고, 섬형 반도체막(405)과 중첩하는 게이트 배선 부분은 게이트 전극이 될 것이다. 즉, 참조 번호(403)는 게이트 배선 및 게이트 전극을 표시한다. 게다가, 소스 배선이 될 투명한 도전막(419) 및 금속막(424)의 적층된 막은 도전층(417)을 통해 섬형 반도체막(405)에 전기적으로 접속되고, 드레인 배선이 될 투명한 도전막(415) 및 금속막(421)의 적층된 막은 도전층(418)을 통해 섬형 반도체막(405)에 전기적으로 접속된다. 커패시터 배선(808)은 투명한 도전막(415) 및 커패시터 배선(808)이 중첩하는 부분에서 커패시터를 형성한다. 커패시터 배선(808)은 게이트 배선(403)으로서 동일한 층으로 형성되거나 또 다른 층으로 형성될 수 있다. 차광막(807)은 점선으로 표시된다. 차광막(807)은 소스 배선, 드레인 배선, 및 TFT와 중첩한다; 그러나, 차광막(807)은 투명한 도전막(415)의 화소 전극으로서 작용하는 부분과 중첩하지 않는다.

[0162] 투명한 도전막(415) 위의 금속막(421)은 투명한 도전막(415)의 에지를 따라서 형성된다. 상세하게는, 금속막(421)의 한 측면은 투명한 도전막(415)의 한 측면을 따라서 형성된다. 그러나, 금속막(421)의 측면 및 투명한 도전막(415)의 측면은 일치하지 않고, 금속막(421)의 측면은 투명한 도전막(415)의 측면 내부에 위치된다. 이 방식으로 투명한 도전막의 에지를 따라서 금속막(421)을 형성함으로써, 화소 전극들 간의 광차폐를 위한 차광막(807)의 배열 정확도가 낮아질 수 있다. 이는 금속막(421)이 차광막(807)의 오정렬이 어느 정도로 야기되는 경우조차도 차광막으로서 작용하고, 이에 따라서, 차광막(807)의 오정렬이 금속막(421)의 존재 범위 내에서 수용될 수 있다. 특히, 차광막이 도 14a 및 도 14b처럼 대향 기판을 위하여 제공되는 경우에, 높은 정렬 정확도가 바람직하다. 그러므로, 화소들 간에 광차폐를 확실하게 행하도록 화소 전극의 에지를 따라서 투명한 도전막 위에 금속막(421)을 형성하는 것이 효율적이다.

[0163] 도 15a 및 도 15b는 액정 표시 장치의 또 다른 구조로서 설명될 것이다. 도 15a 및 도 15b는 층간 절연막이 도 14a 및 도 14b의 구조를 위하여 제공되는 예들을 도시한다. 도 15a는 도 15b에 도시된 액정 표시 장치의 상부도의 선 A-A'를 따라서 절취한 단면도이다. 섬형 반도체막(405)은 게이트 배선(403)과 중첩하고 섬형 반도체막(405)과 중첩하는 게이트 배선부는 게이트 전극이 된다. 게다가, 소스 배선(501)은 도전층(417)을 통해 섬형 반도체막(405)에 전기적으로 접속되고, 드레인 배선(502)은 도전층(418)을 통해 섬형 반도체막(405)에 전기적으로 접속된다. 커패시터 배선(808)은 투명한 도전막(504) 및 커패시터 배선(808)이 중첩하는 부분에서 커패시터를 형성한다. 커패시터 배선(808)은 게이트 배선(403)과 동일한 층으로 형성될 수 있거나 또 다른 층으로 형성될 수 있다.

[0164] 층간 절연막(503)은 소스 배선(501) 및 드레인 배선(502) 위에 형성되고 드레인 배선(502)에 도달하는 콘택트



홀은 층간 절연막(503)에 형성된다. 층간 절연막(503)은 유기 수지막 또는 무기 절연막이다. 투명한 도전막(504) 및 금속막(505)은 층간 절연막(503) 위에 형성된다. 층간 절연막(503)이 유기 수지막으로 형성되는 경우에, 게이트 전극(403) 또는 섬형 반도체막(405)으로 인한 레벨 차가 감소될 수 있다; 그러므로, 화소 전극으로서 작용하는 투명한 도전막(504)은 평탄면 위에 형성될 수 있다. 따라서, 화소 전극은 도 14a 및 도 14b의 구조보다 더 확대될 수 있고, 개구비는 개선될 수 있다.

[0165] 투명한 도전막(504) 및 금속막(505)은 광차폐부를 갖는 노광 마스크를 이용하여 노출되고 도 1a 내지 도 1c에 도시된 레지스트 패턴(16a)처럼 현상되는 레지스트 패턴을 이용하여 에칭함으로써 형성된다. 투명한 도전막(504) 및 드레인 배선(502)의 접속부는 큰 레벨 차를 갖고, 투명한 도전막(504)이 분리되는 가능성이 존재한다. 그러므로, 금속막(505)은 투명한 도전막(504) 위에 유지되도록 이루어지는 것이 바람직하다.

[0166] 도 15b의 상부도에서, 금속막(505)은 도 14b와 동일한 방식으로 투명한 도전막(504)의 에지를 따라서 형성되고 차광막의 부분으로서 작용할 수 있다.

[0167] 투명한 도전막(504)으로서, 실시예 모드 1에 도시된 투명한 도전막을 위한 재료가 사용될 수 있다.

[0168] 도 16a 및 도 16b는 다수의 방향들로 액정들을 정렬하기 위하여 투명한 도전막 위에 금속막을 사용하는 예를 도시한다. 도 16a는 화소부의 상부도이고 도 16b는 도 16a의 선A-A'을 따라서 절취한 액정층 근처의 단면도이다. 한 화소는 TFT(1001), 화소 전극으로서 작용하는 투명한 도전막(1002), 및 이 위에 형성되는 금속막(1003)을 포함한다. 참조 번호(1004)는 대향 기관을, (1005)는 대향 전극(1006)을, (1006)은 액정층을, (1007)은 정렬막을 표시한다. 다수의 금속막들(1003)은 하나의 투명한 도전막(1002) 위에 배열된다. 각 금속막(1003)의 단면 형상은 삼각형 형상이고, 한 화소에서 액정들은 자신의 경사진 표면에 의해 2개의 방향들로 정렬된다. 각 금속막은 투명한 도전막(1002) 위에 리지(ridge)를 만들도록 형성된다. 이와 같은 구조를 소위 MVA(Multi-domain Vertical Alignment) 방법이라 칭하고, 넓은 시야각 특성들이 얻어질 수 있다. 금속막(1003)의 단면이 도 16b의 단면도에서 삼각 형상을 갖지만, 사다리꼴 형상이 사용될 수 있다. 또한 이 경우에, 한 화소 내의 액정들은 자신의 경사진 표면에 의해 2개의 방향들로 정렬될 수 있다.

[0169] 도 17a 및 도 17b는 MVA 방법에 의해 금속막의 또 다른 배열 예를 도시한 것이다. 도 17a는 화소부의 상부도이고, 도 17b는 도 17a의 선 A-A'을 따라서 절취한 액정층 근처의 단면도이다. 한 화소는 TFT(1201), 화소 전극으로서 작용하는 투명한 도전막(1002), 및 그 위에 형성되는 금속막(1203)을 포함한다. 참조 번호(1204)는 대향 기관을, (1205)는 대향 전극을, (1206)은 액정층을, (1207)은 정렬막을 표시한다. 도 17a 및 도 17b에서, 금속막(1203)은 다수의 돌기들을 형성하고 각 돌기는 피크를 갖고 사각형 피라미드와 같은 형상을 갖는다. 그러므로, 한 화소에서 액정들은 돌기의 경사진 표면들의 수만큼, 즉 4개의 방향들로 정렬된다. 이 돌기의 형상은 사각형 피라미드와 다른 삼각형 피라미드등일 수 있고, 이 경우에, 액정들은 3개의 방향들로 정렬된다. 그러므로, 도 17a 및 도 17b의 구조로 인해, 도 16a 및 도 16b보다 더욱 넓은 시야각 특성들이 얻어질 수 있다.

[0170] 이 실시예 모드에서 설명된 예는 PVA(Patterned Vertical Alignment) 방법 등의 액정에 특정 정렬을 제공하기 위한 슬릿에 대한 대체물로서 사용될 수 있다. PVA 방법의 슬릿에 대한 대체로서 이 예를 사용함으로써, 화소 전극이 될 투명한 도전막에서 슬릿을 형성하는 단계는 감소될 수 있다.

[0171] 게다가, 도 18은 금속막의 또 다른 배열 예를 도시한다. 화소 전극으로서 작용하는 투명한 도전막(1502)은 TFT(1503)에 전기적으로 접속되고, 게다가, 금속막(1501)은 투명한 도전막(1502) 위에 적층된다. 금속막(1501)은 빗살 형상을 갖는다.

[0172] 상술된 바와 같이, 투명한 도전막 위에 금속막의 배열의 정교한 장치에 의해, 광차폐는 확실하게 행해지고 시야각 특성이 개선될 수 있다. 게다가, 형성 단계들의 수는 감소될 수 있는데, 그 이유는 금속막을 형성하기 위한 특수한 마스크가 반드시 형성될 필요가 없기 때문이다.

[0173] 도 13a 및 도 13b, 도 14a 및 도 14b, 도 15a 및 도 15b, 도 16a 및 도 16b, 도 17a 및 도 17b, 도 18에 도시된 각 TFT는 바텀-게이트 구조를 갖는 다는 점에 유의하라; 그러나, 이 구조는 단지 한 예이고 또 다른 TFT 구조가 사용될 수 있다. 게다가, 이 실시예 모드는 실행가능한 범위 내에서 실시예 모드들 1 내지 4와 자유롭게 결합될 수 있다.

[0174] 실시예 모드 6

[0175] 본 발명을 따른 반도체 장치들로서, 비디오 카메라들 또는 디지털 카메라들과 같은 카메라들, 고글형 디스플레이들(헤드 장착 디스플레이들), 네비게이션 시스템들, 오디오 재생 장치들(가령 카 오디오 요소들 또는 오디오

요소들), 휴대용 컴퓨터들, 게임기들, 이동 정보 단말기들(이동 컴퓨터들, 셀룰러 전화들, 이동 게임기들, 전자 책들, 등), 기록 매체(특히, 디지털 비디오 디스크(DVD)와 같은 기록 매체를 재생할 수 있고 영상을 표시할 수 있는 디스플레이가 제공되는 장치들) 등이 제공될 수 있다. 도 20a 내지 도 20d 및 도 21은 반도체 장치들의 특정 예들을 도시한다.

[0176] 도 20a는 주 본체(2101), 표시부(2102), 영상부, 동작 키들(2104), 셔터(2106), 등을 포함하는 디지털 카메라를 도시한다. 도 20a는 표시 부(2102) 측면으로부터 보여지는 디지털 카메라를 도시하고, 촬상부는 도 20a에 도시되지 않는다. 본 발명을 따르면, 표시 장애가 적으면서 값싸고 높은 신뢰성의 디지털 카메라가 실현될 수 있다.

[0177] 도 20b는 주 본체(2201), 케이싱(2202), 표시 부(2203), 키보드(2204), 외부 접속 포트(2205), 포인팅 마우스(2206) 등을 포함하는 개인용 컴퓨터를 도시한다. 본 발명을 따르면, 표시 장애가 적으면서 값싸고 높은 신뢰성의 개인용 컴퓨터가 실현될 수 있다.

[0178] 도 20c는 주 본체(2401), 케이싱(2402), 표시 부A(2403), 표시 부 B(2404), 기록 매체(가령 DVD) 판독부(2405), 동작 키들(2406), 스피커 부(2407) 등을 포함하는 기록 매체(특히, DVD 재생 장치)가 제공되는 휴대용 영상 재생 장치를 도시한다. 표시 부 A(2403)는 주로 영상 정보를 표시하고 표시 부 B(2404)는 주로 캐릭터 정보를 표시한다. 기록 매체가 제공되는 이와 같은 영상 재생 장치의 카테고리는 홈 게임기 등을 포함한다. 본 발명을 따르면, 표시 장애가 적으면서 값싸고 높은 신뢰성의 영상 재생 장치가 실현될 수 있다.

[0179] 도 20d는 케이싱(1901), 지지체(1902), 표시 부(1902), 스피커(1904), 비디오 입력 단자(1905) 등을 포함하는 표시 장치를 도시한다. 이 표시 장치는 표시 부(1903) 및 구동 회로를 위하여 상술된 실시예 모드들에서 설명된 제조 방법에 의해 형성되는 박막 트랜지스터를 이용함으로써 제조된다. 액정 표시 장치들, 발광 장치들 등은 표시 장치들의 예들로서 제공된다. 특히, 정보를 표시하기 위한 모든 유형들의 표시 장치들, 예를 들어, 컴퓨터 들용 표시 장치들, 텔레비전 방송을 수신하기 위한 표시 장치들, 및 광고용 표시 장치들이 포함된다. 본 발명을 따르면, 표시 장애가 적으면서 값싸고 높은 신뢰성의 표시 장치, 특히 22 내지 50인치의 대형 스크린을 갖는 대형 크기의 표시 장치가 실현될 수 있다.

[0180] 도 21에 도시된 셀룰러 전화(900)에서, 동작 스위치들(904), 마이크로폰(905) 등이 제공되는 주 본체(A)(901)는 힌지(hinge)(910)에 의해 표시 패널(A)(908), 표시 패널(B)(909), 스피커(906) 등이 제공되는 주 본체(B)(902)에 접속되고, 이는 힌지(910)에 의해 개폐될 수 있다. 표시 패널(A)(908) 및 표시 패널(B)(909)은 회로 보드(907)와 함께 주 본체(B)(902)의 케이싱(903)에 배치된다. 표시 패널(A)(908) 및 표시 패널(B)(909)의 화소 부분들은 케이싱(903) 내에 형성되는 개구를 통해 가시화될 수 있도록 배열된다.

[0181] 표시 패널(A)(908) 및 표시 패널(B)(909)에 대해서, 화소들의 수와 같은 사양들이 셀룰러 전화(900)의 기능들에 따라서 적절하게 결정될 수 있다. 예를 들어, 표시 패널(A)(908) 및 표시 패널(B)(909)은 주 스크린 및 서브-스크린으로서 각각 결합될 수 있다.

[0182] 본 발명을 따르면, 표시 장애가 적으면서 값싸고 높은 신뢰성의 이동 정보 단말기가 실현될 수 있다.

[0183] 이 실시예 모드를 따른 셀룰러 전화는 이의 기능들 또는 애플리케이션들에 따라서 각종 모드들에서 변화될 수 있다. 예를 들어, 이는 힌지(910)에서 촬상 소자를 구현함으로써 카메라-장착된 셀룰러 전화일 수 있다. 동작 스위치들(904), 표시 패널(A)(908), 및 표시 패널(B)(909)이 한 케이싱 내에 배치될 때 조차도, 상술된 효과가 얻어질 수 있다. 게다가, 이 실시예 모드의 구조가 다수의 표시 부분들이 장착되는 정보 표시 단말기에 적용될 때조차도 유사한 효과는 얻어질 수 있다.

[0184] 상술된 바와 같이, 각종 유형들의 전자 장치들은 도 20a 내지 도 20d의 표시 부 또는 도 21의 표시 패널로서 실시예 모드들 1 내지 8의 제조 방법들 또는 임의의 구조들을 이용함으로써 완성될 수 있다.

[0185] 본 발명을 따르면, 화소 전극으로서 작용하는 도전막 및 이 위에 적층되는 금속막은 하나의 마스크를 이용하여 형성될 수 있다. 게다가, 도전막이 레벨 차로 인해 분리될 때, 분리된 도전막들은 금속막에 의해 서로에 접속될 수 있다. 상기에 따르면, 값싼 반도체 장치가 보다 적은 제조 단계들을 통해 제조될 수 있고 높은 신뢰성의 반도체 장치가 실현될 수 있다.

[0186] 이 출원은 본원에 참조된 2005년 10월 14일에 일본 특허청에 출원된 일본 특허 출원 일련 번호 2005-301022호를 토대로 한다.

## 발명의 효과



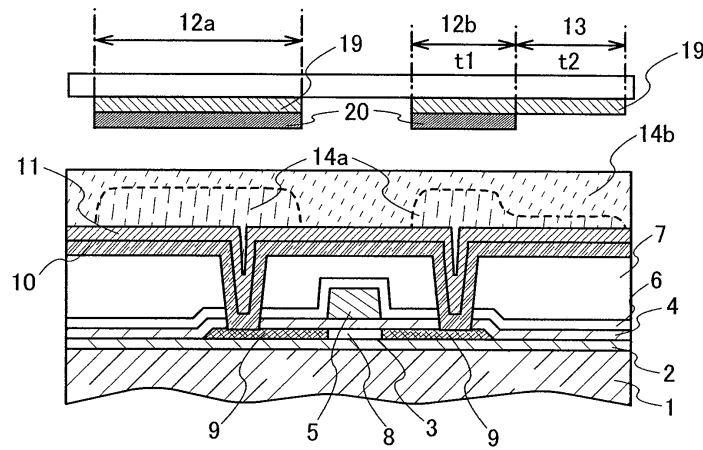
[0187] 본 발명은 하나의 레지스트 마스크를 이용하여 화소 전극 위에 적층될 막 및 화소 전극을 형성함으로써 제조 공정을 단축시킨다.

### 도면의 간단한 설명

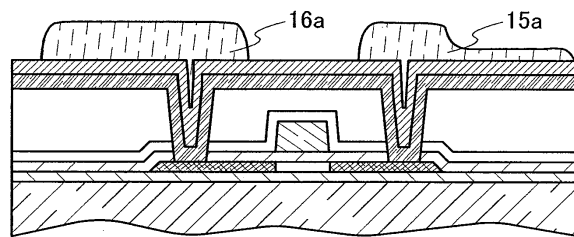
- [0001] 도 1a 내지 도 1c는 반도체 장치의 제조 공정을 각각 도시한 단면도들(실시예 모드 1).
- [0002] 도 2a 내지 도 2c는 반도체 장치의 제조 공정을 각각 도시한 단면도들(실시예 모드 2).
- [0003] 도 3은 반도체 장치의 상부도들(실시예 모드 1).
- [0004] 도 4a 및 도 4b는 반도체 장치의 제조 공정을 각각 도시한 단면도들(실시예 모드 1).
- [0005] 도 5a 내지 도 5c는 반도체 장치의 제조 공정을 각각 도시한 단면도들(실시예 모드 2).
- [0006] 도 6a 내지 도 6c는 반도체 장치의 제조 공정을 각각 도시한 단면도들(실시예 모드 2).
- [0007] 도 7은 반도체 장치의 상부도(실시예 모드 2).
- [0008] 도 8은 반도체 장치의 제조 공정을 도시한 단면도(실시예 모드 2).
- [0009] 도 9a 내지 도 9d 반도체 장치의 제조 공정을 각각 도시한 단면도들(실시예 모드 2).
- [0010] 도 10은 반도체 장치의 제조 공정의 단면도(실시예 모드 2).
- [0011] 도 11a 내지 도 11d는 노광 마스크의 광 세기 분포를 도시한 상부도들 및 도면(실시예 모드 3).
- [0012] 도 12a 및 도 12b는 EL 표시 장치의 상부도 및 단면도(실시예 모드 4).
- [0013] 도 13a 및 도 13b는 EL 표시 장치의 상부도 및 단면도(실시예 모드 4).
- [0014] 도 14a 및 도 14b는 액정 표시 장치의 상부도 및 단면도(실시예 모드 5).
- [0015] 도 15a 및 도 15b는 액정 표시 장치의 상부도 및 단면도(실시예 모드 5).
- [0016] 도 16a 및 도 16b는 액정 표시 장치의 상부도 및 단면도(실시예 모드 5).
- [0017] 도 17a 및 도 17b는 액정 표시 장치의 상부도 및 단면도(실시예 모드 5).
- [0018] 도 18은 액정 표시 장치의 상부도(실시예 모드 5).
- [0019] 도 19는 반도체 장치의 단면도(실시예 모드 1).
- [0020] 도 20a 내지 도 20d는 전자 장치들을 도시한 도면들(실시예 모드 6); 및
- [0021] 도 21은 셀룰러 전화를 도시한 도면(실시예 모드 6).
- [0022] \*도면의 주요 부분에 대한 부호의 설명\*
- [0023] 1: 기판
- [0024] 2: 절연막
- [0025] 3: 섬형 반도체막
- [0026] 4: 절연막
- [0027] 5: 게이트 전극

도면

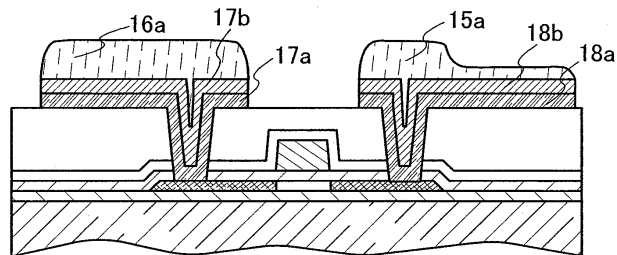
도면1a



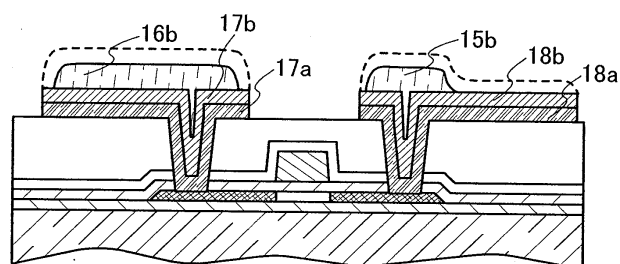
도면1b



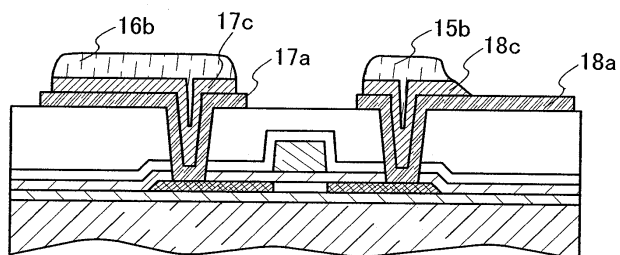
도면1c



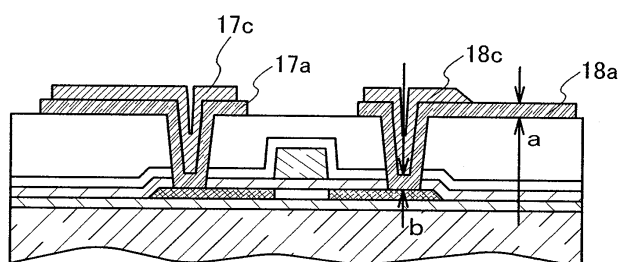
도면2a



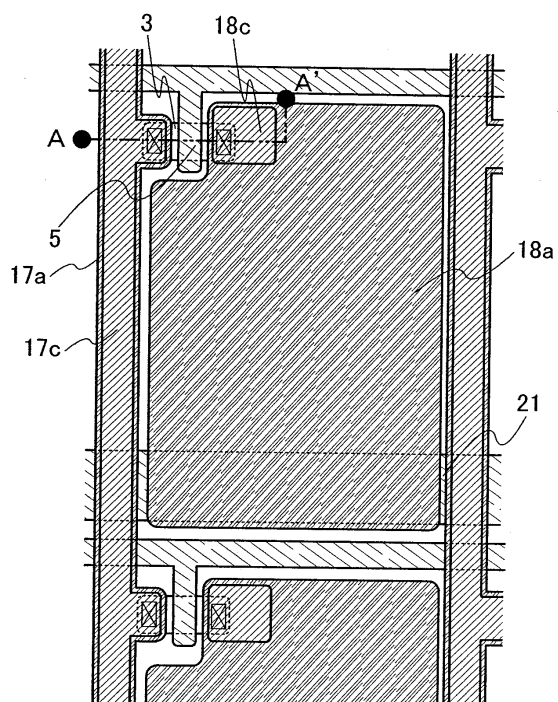
도면2b



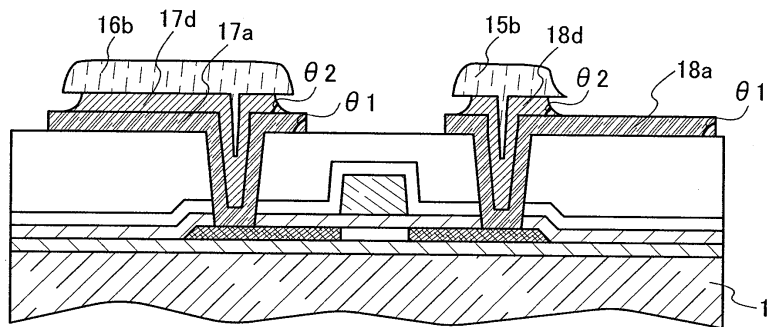
도면2c



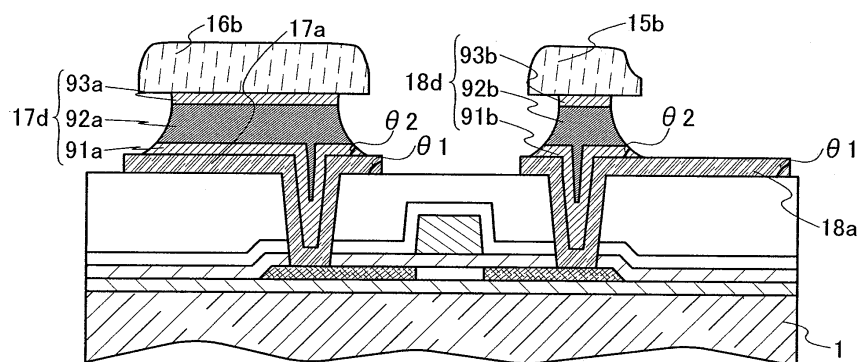
도면3



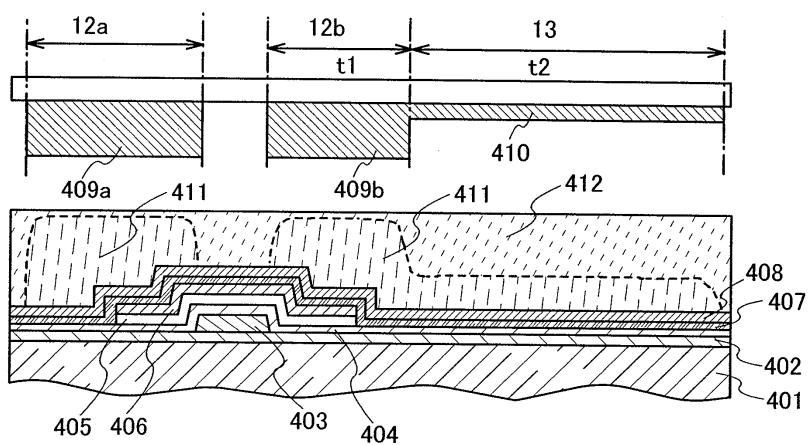
도면4a



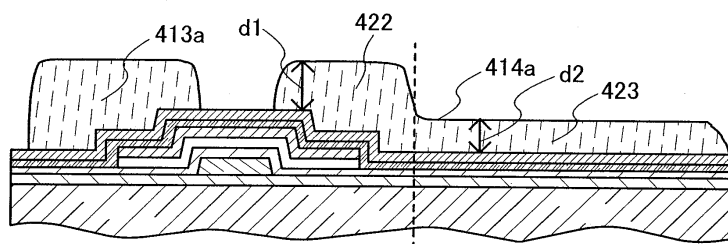
도면4b



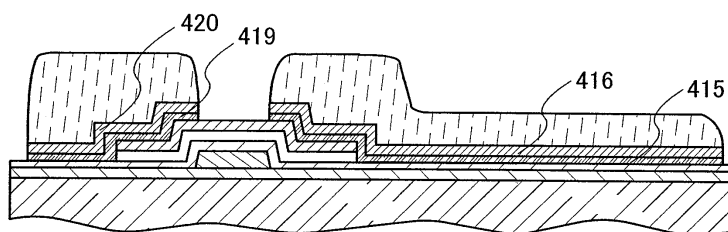
도면5a



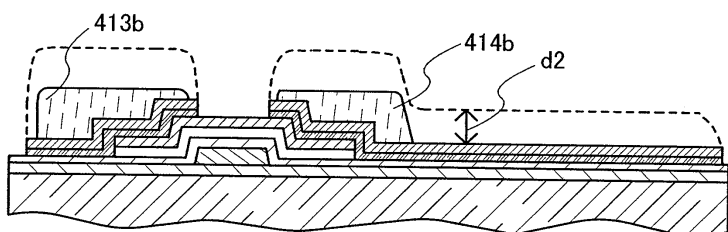
도면5b



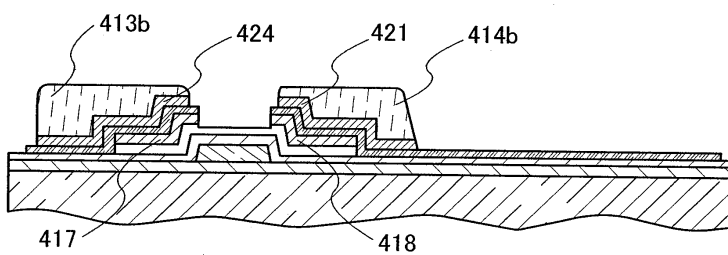
도면5c



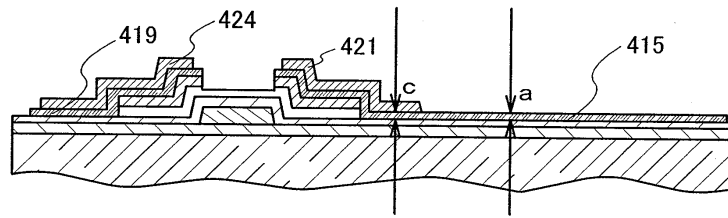
도면6a



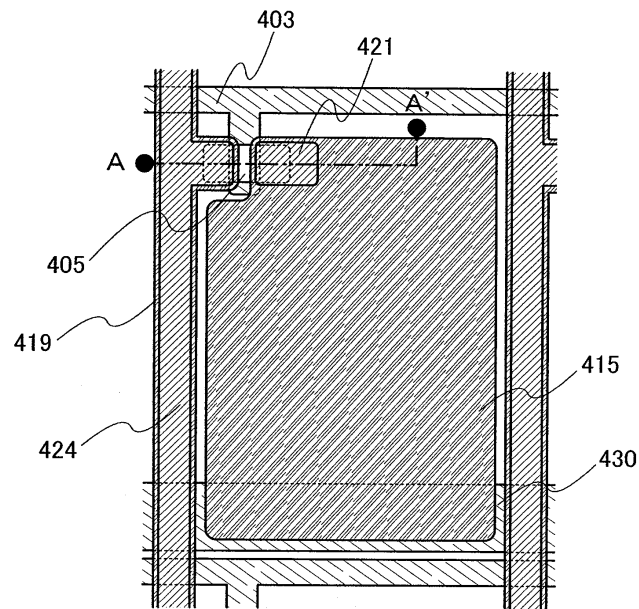
도면6b



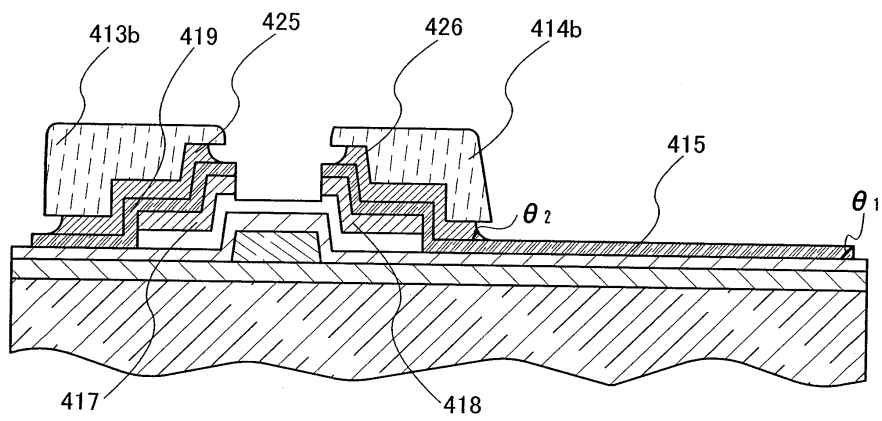
도면6c



도면7

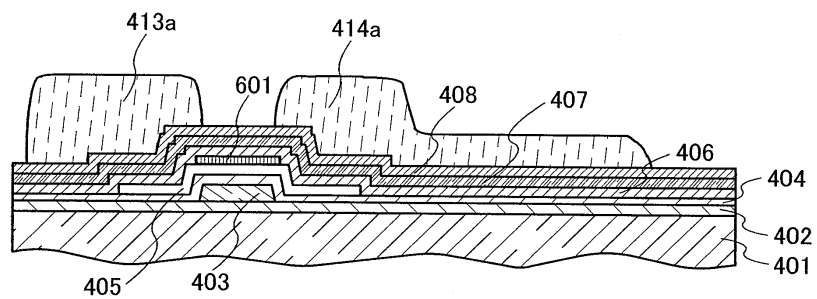


도면8

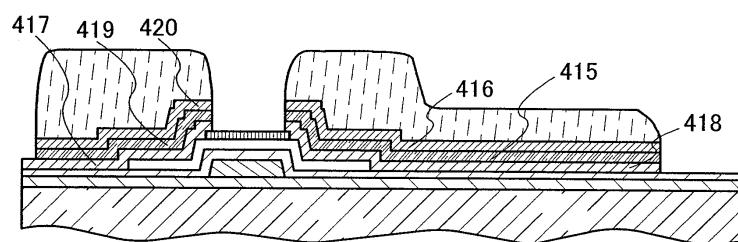




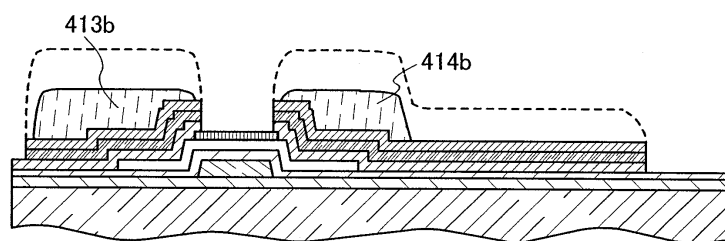
도면9a



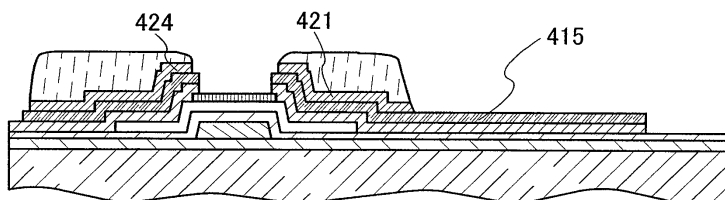
도면9b



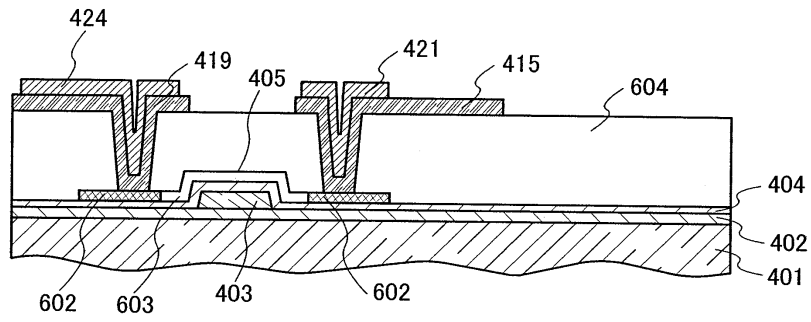
도면9c



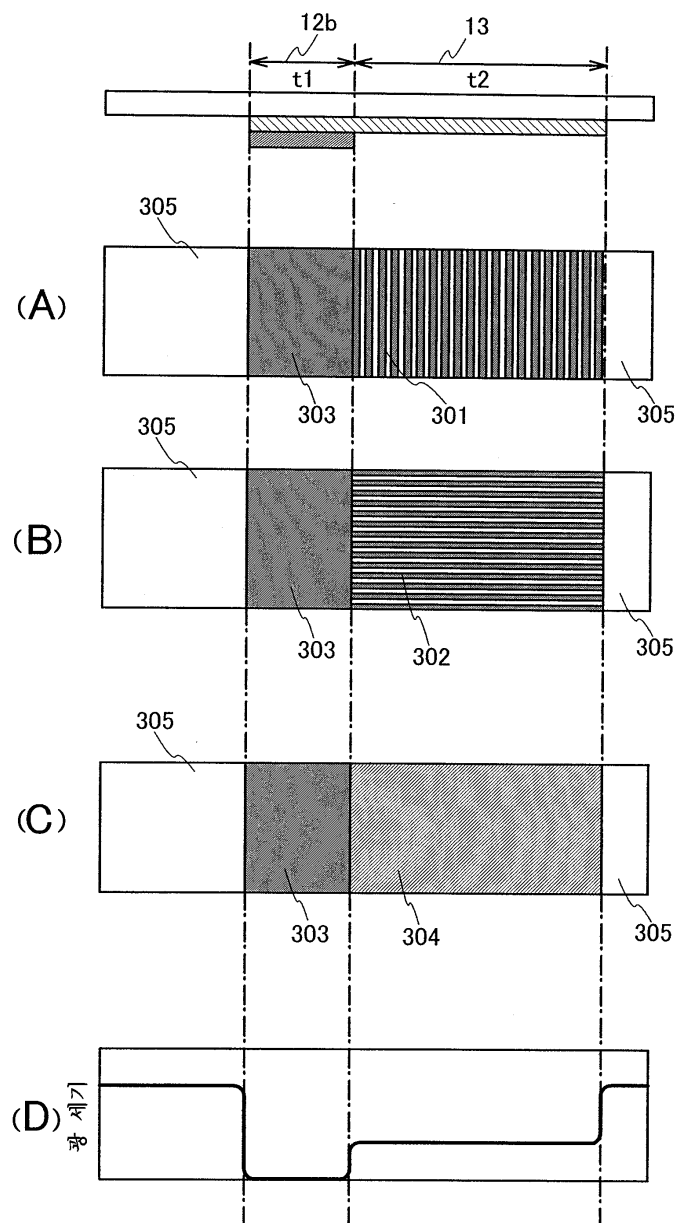
도면9d



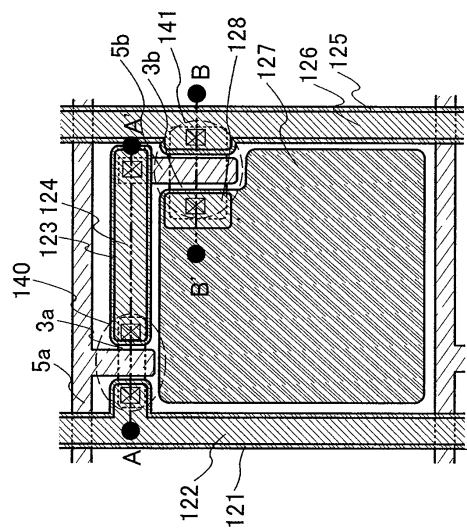
도면10



도면11

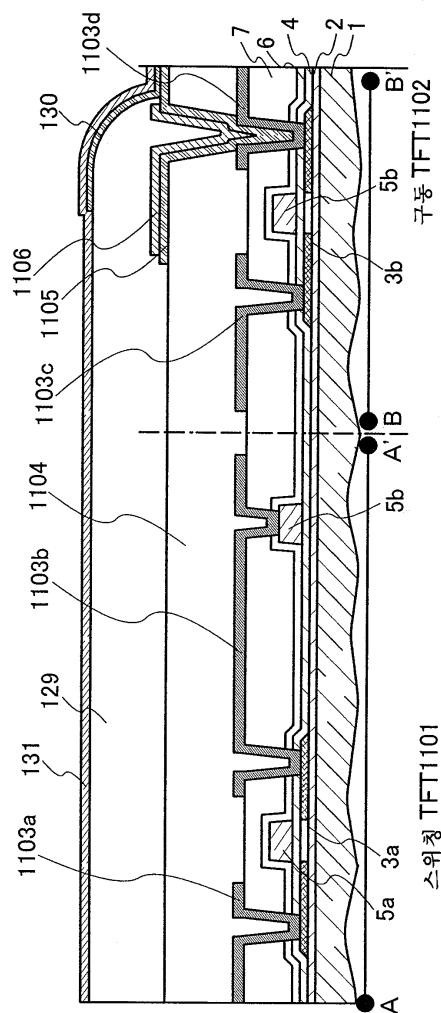


도면12a

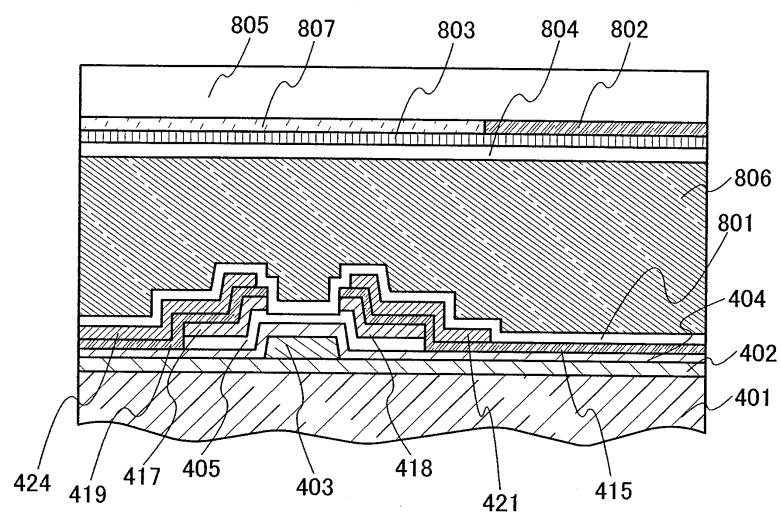




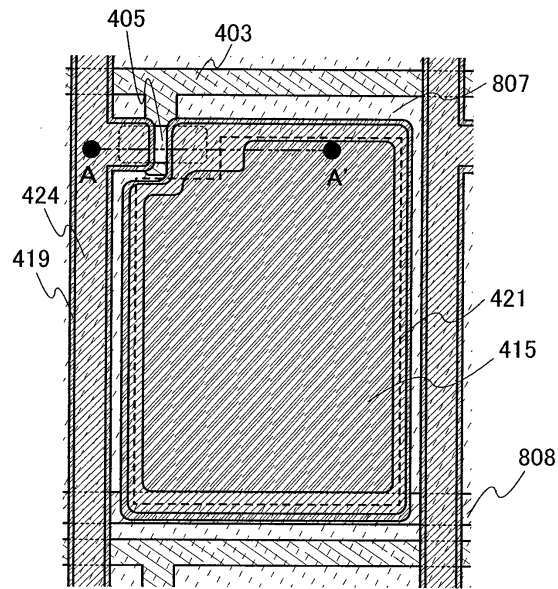
도면13b



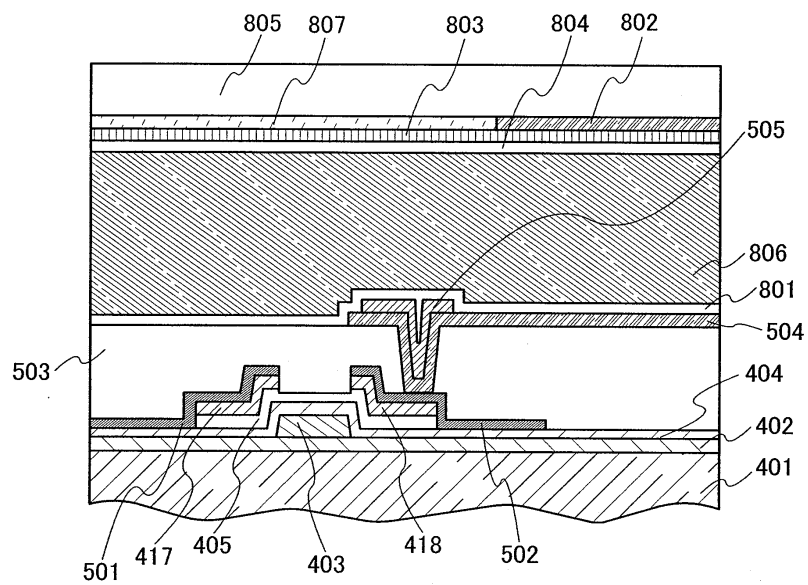
도면14a



도면14b

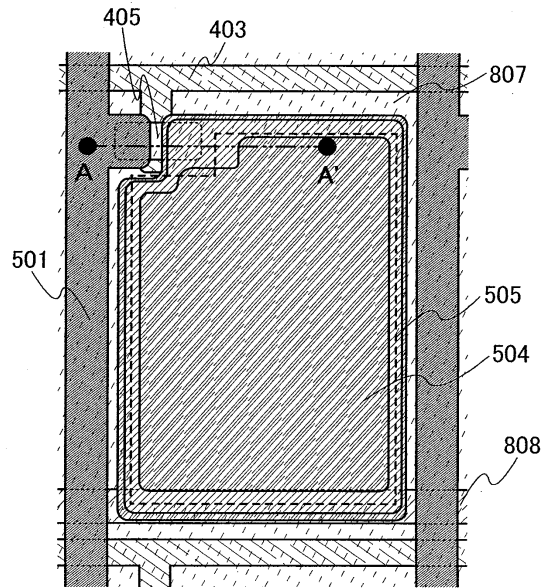


도면15a

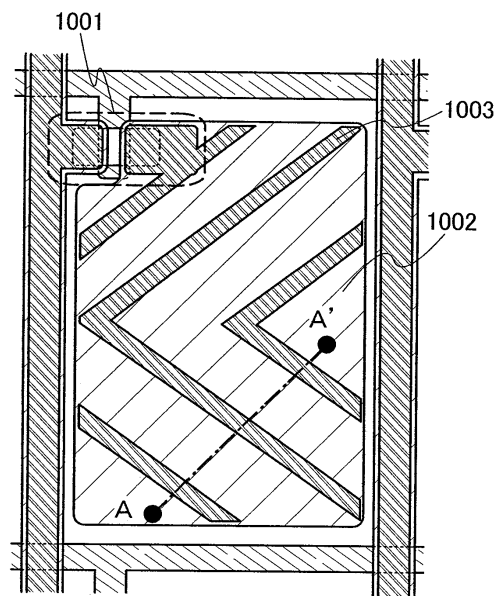




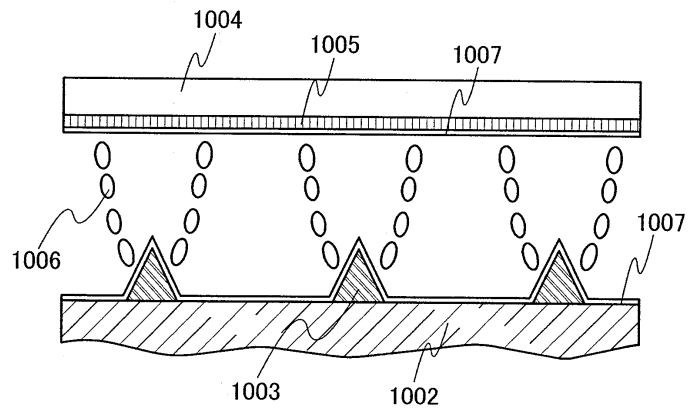
도면15b



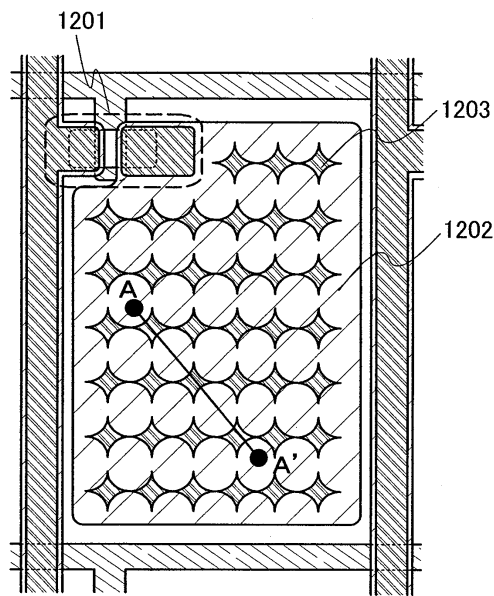
도면16a



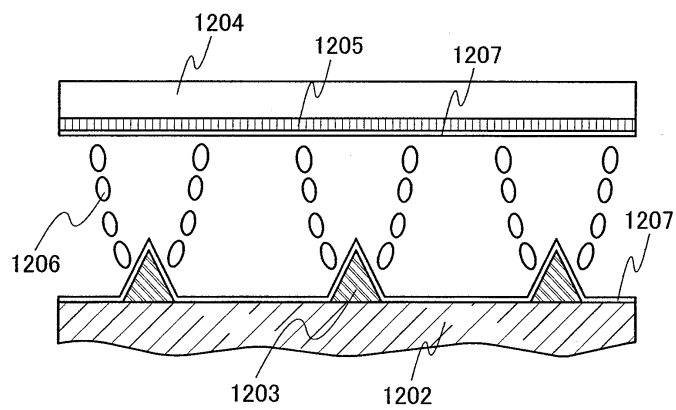
도면16b



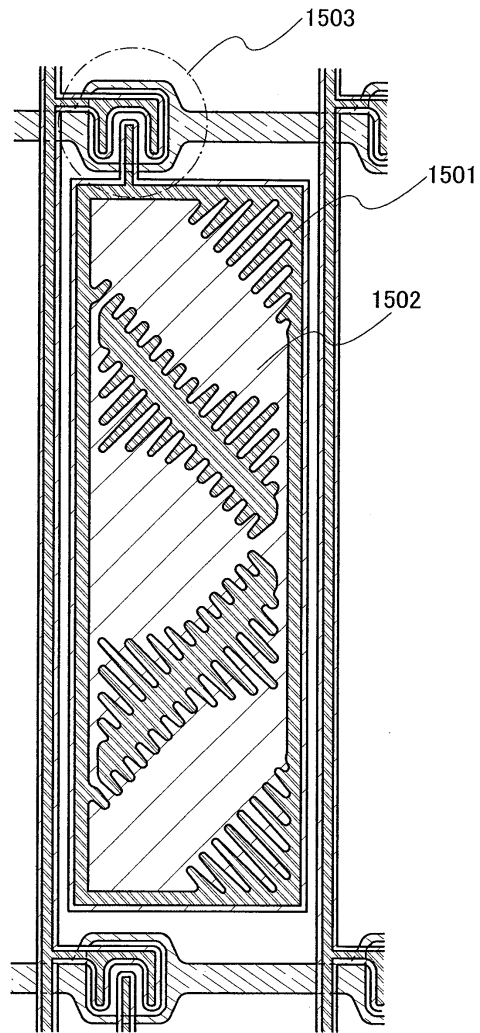
도면17a



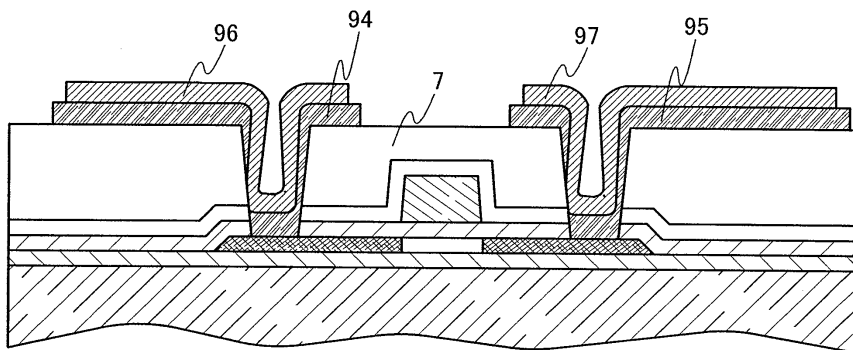
도면17b



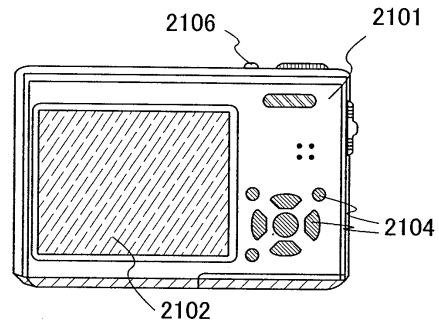
도면18



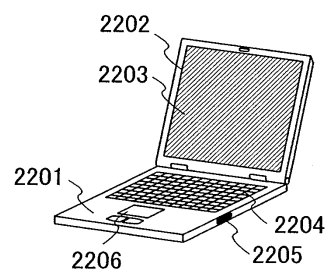
도면19



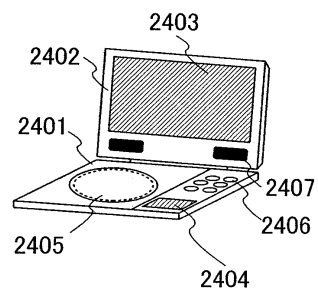
도면20a



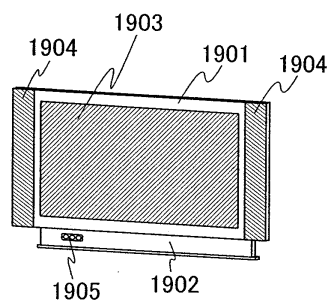
도면20b



도면20c



도면20d



도면21

