

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3576461号

(P3576461)

(45) 発行日 平成16年10月13日(2004.10.13)

(24) 登録日 平成16年7月16日(2004.7.16)

(51) Int.Cl.⁷

F I

H03F 3/217

H03F 3/217

H03F 3/34

H03F 3/34

A

H03M 3/02

H03M 3/02

請求項の数 4 (全 18 頁)

(21) 出願番号 特願2000-149603 (P2000-149603)
 (22) 出願日 平成12年5月22日(2000.5.22)
 (65) 公開番号 特開2001-332939 (P2001-332939A)
 (43) 公開日 平成13年11月30日(2001.11.30)
 審査請求日 平成14年7月19日(2002.7.19)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町2番2号
 (74) 代理人 100080034
 弁理士 原 謙三
 (72) 発明者 岸田 正浩
 大阪府大阪市阿倍野区長池町2番2号
 シャープ株式会社内

審査官 佐藤 敬介

(56) 参考文献 特開平05-063457 (JP, A)
 特開昭63-062403 (JP, A)
 特開平10-256916 (JP, A)
 特開平7-221564 (JP, A)

最終頁に続く

(54) 【発明の名称】 デジタルスイッチング増幅器

(57) 【特許請求の範囲】

【請求項1】

第1信号と該第1信号を反転した第2信号とからなる差動入力信号をデルタシグマ変調回路においてデルタシグマ変調してそれぞれ1ビット信号とし、該各1ビット信号を電力増幅するデジタルスイッチング増幅器において、

電力増幅された各1ビット信号をそれぞれ減衰する減衰部と、

上記減衰部の各出力に、上記デルタシグマ変調回路への負帰還信号間の直流電圧レベル差がゼロになるように、調整用電圧をそれぞれ付加するオフセット電圧付加調整部とを備えたことを特徴とするデジタルスイッチング増幅器。

【請求項2】

上記オフセット電圧付加調整部は、上記減衰部と上記デルタシグマ変調回路の間に設けられ、

各一端が上記デルタシグマ変調回路にそれぞれ接続されると共に、各他端が上記減衰部にそれぞれ接続される第1及び第2抵抗と、

上記第1及び第2抵抗の上記一端間に設けられた可変抵抗とを備え、

所定のアナログ電圧、又はグラウンドレベルが上記可変抵抗の可動端子を介して印加されていることを特徴とする請求項1に記載のデジタルスイッチング増幅器。

【請求項3】

第1信号と該第1信号を反転した第2信号とからなる差動入力信号をデルタシグマ変調回路においてデルタシグマ変調してそれぞれ1ビット信号とし、該各1ビット信号を電力増

10

20

幅するデジタルスイッチング増幅器において、
電力増幅された各 1 ビット信号に、上記デルタシグマ変調回路への負帰還信号間の直流電圧レベル差がゼロになるように、調整用電圧をそれぞれ付加するオフセット電圧付加調整部と、

上記オフセット電圧付加調整部の出力をそれぞれ減衰して上記各負帰還信号とする減衰部とを備えたことを特徴とするデジタルスイッチング増幅器。

【請求項 4】

上記オフセット電圧付加調整部は、

各一端が上記減衰部にそれぞれ接続されると共に、各他端には電力増幅された上記各 1 ビット信号が印加される第 1 及び第 2 抵抗と、

10

上記第 1 及び第 2 抵抗の上記一端間に設けられた可変抵抗とを備え、

所定のアナログ電圧、又はグラウンドレベルが上記可変抵抗の可動端子を介して印加されていることを特徴とする請求項 3 に記載のデジタルスイッチング増幅器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、アナログ信号或いはマルチビット信号をデルタシグマ変調で 1 ビット変換したものを高効率で増幅することができるデジタルスイッチング増幅器に関するものである。

【0002】

20

【従来の技術】

デルタシグマ変調によって得られる 1 ビット信号は、音声信号の記録や、機器間の伝送にあたって使用されるだけではなく、1 ビット信号をそのまま半導体電力増幅素子に入力し、得られた大電圧のスイッチングパルスにローパスフィルタを通過させるだけで、電力増幅された復調アナログ信号を得ることもできる。

【0003】

しかも、上記半導体電力増幅素子は、従来の増幅器のようにその線形域（不飽和域）が使用されるのではなく、非線形域（飽和域）で使用される。従って、このようなデルタシグマ変調を用いるスイッチング増幅器は、極めて高効率に電力増幅を行うことができるという利点を有しており、製品化が始まっている。

30

【0004】

従来のデルタシグマ変調信号を用いたデジタルスイッチング増幅器の構成の一例を図 5 を参照しながら以下に説明する。

【0005】

図 5 に示すように、従来例のデジタルスイッチング増幅器 10 は、主として、加算器 5 P 及び 5 M、デルタシグマ変調回路 1、定電圧スイッチング回路 2、ローパスフィルタ（LPF）ネットワーク回路 3、及び減衰・調整部 9 を備えている。

【0006】

正極性のアナログ音響信号 S 1 P 及び負極性のアナログ音響信号 S 1 M の対からなる差動入力信号は、入力端子 4 P 及び 4 M からそれぞれ入力され、デルタシグマ変調回路 1 で 1 ビット信号 S 2 P 及び S 2 M にそれぞれ変換された後、定電圧スイッチング回路 2 で上記 1 ビット信号 S 2 P 及び S 2 M に基づいて定電圧（ $\pm V$ ）がスイッチングされて増幅され、LPF ネットワーク回路 3 を介して、アナログ音響信号に復調されて、出力端子 8 P 及び 8 M からそれぞれ出力されるようになっている。尚、負極性のアナログ音響信号 S 1 M は、正極性のアナログ音響信号 S 1 P の極性のみ反転した信号である。

40

【0007】

上記減衰・調整部 9 には、定電圧スイッチング回路 2 の出力信号 S 3 P 及び S 3 M（1 ビット信号が電力増幅されたもの）がそれぞれ入力される。加算器 5 P 及び 5 M には、入力端子 4 P 及び 4 M に入力されたアナログ音響信号 S 1 P 及び S 1 M が入力されると共に、定電圧スイッチング回路 2 からの負帰還信号 S 4 P 及び S 4 M が入力され、ここで、両者

50

の加算が行われる。加算器 5 P 及び 5 M の出力は、デルタシグマ変調回路 1 に送られる。

【 0 0 0 8 】

デルタシグマ変調回路 1 には、入力端子 4 P 及び 4 M に入力されたアナログ音響信号から負帰還信号 S 4 P 及び S 4 M がそれぞれ減算され、これら減算結果に対してデルタシグマ変調された後、1 ビット信号 S 2 P 及び S 2 M が生成されて定電圧スイッチング回路 2 にそれぞれ出力される。

【 0 0 0 9 】

デルタシグマ変調回路 1 は、積分器・加算器群 1 1 と量子化器 1 2 とから構成されている。積分器・加算器群 1 1 は、高次の積分器であり、上記減算結果をそれぞれ積分して加算し、加算結果が量子化器 1 2 へそれぞれ送られる。量子化器 1 2 は、積分器・加算器群 1 1 の出力信号の極性を判定し、2 値の量子化信号である、上記 1 ビット信号 S 2 P 及び S 2 M にそれぞれ変換する。ここで、量子化器 1 2 の量子化閾値は、想定されるサンプリング周波数に対して最適値に設定されている。

10

【 0 0 1 0 】

また、量子化器 1 2 は、クロック信号（図示しない）に基づいて動作する。定電圧スイッチング回路 2 には、正極性の直流定電圧 + V を出力する定電圧電源 6 H と、定電圧 V と等しい大きさの負極性の直流定電圧 - V を出力する定電圧電源 6 L とが接続されている。定電圧スイッチング回路 2 は、定電圧電源 6 H 及び 6 L からそれぞれ供給された定電圧 + V 及び - V が、上記 1 ビット信号 S 2 P 及び S 2 M に基づいてそれぞれスイッチングされる。

20

【 0 0 1 1 】

すなわち、定電圧スイッチング回路 2 は、1 ビット信号 S 2 P 及び S 2 M をスイッチング制御信号として用いることにより、1 ビット信号 S 2 P 及び S 2 M を電力増幅するものである。定電圧スイッチング回路 2 は、1 ビット信号 S 2 P 及び S 2 M を電力増幅したものを、L P F ネットワーク回路 3 と減衰・調整部 9 とにそれぞれ出力するようになっている。減衰・調整部 9 は、電力増幅された 1 ビット信号 S 3 P 及び S 3 M を減衰・調整しデルタシグマ変調回路 1 の入力へそれぞれ負帰還させるためのものである。

【 0 0 1 2 】

L P F ネットワーク回路 3 は、低周波数帯域に帯域制限することで、電力増幅された 1 ビット信号 S 3 P 及び S 3 M をアナログ音響信号にそれぞれ復調するものである。また、L P F ネットワーク回路 3 は、アナログ音響信号を出力端子 8 P 及び 8 M からそれぞれ出力するようになっている。

30

【 0 0 1 3 】

ここで、上記デジタルスイッチング増幅器 1 0 の動作について説明する。入力端子 4 P 及び 4 M にそれぞれ入力されたアナログ音響信号 S 1 P 及び S 1 M は、加算器 5 P 及び 5 M において、負帰還信号 S 4 P 及び S 4 M が減算（減算結果は、 $(S 1 P - S 4 P)$ と、 $(S 1 M - S 4 M)$ となる。）された後、デルタシグマ変調回路 1 においてデルタシグマ変調されて 1 ビット信号 S 2 P 及び S 2 M にそれぞれ変換される。この際、積分器・加算器群 1 1 で加算器 5 P 及び 5 M の出力信号がそれぞれ積分された後、加算されてノイズシェーピングされた後、量子化器 1 2 に送られ、ここで、加算された差分積分信号の極性が判定され、2 値の 1 ビット信号 S 2 P 及び S 2 M に変換される。

40

【 0 0 1 4 】

1 ビット信号 S 2 P 及び S 2 M は、スイッチング制御信号として定電圧スイッチング回路 2 にそれぞれ入力され、定電圧電源 6 H 及び 6 L より与えられた定電圧 + V 及び - V の電圧幅をもつ信号へと電力増幅される。定電圧スイッチング回路 2 にて電力増幅された 1 ビット信号 S 3 P 及び S 3 M は、L P F ネットワーク回路 3 に入力され、L P F ネットワーク回路 3 でアナログ音響信号に復調されて、出力端子 8 P 及び 8 M からそれぞれ出力される。また、電力増幅された 1 ビット信号 S 3 P 及び S 3 M は、減衰・調整部 9 と加算器 5 P 及び 5 M とを介してデルタシグマ変調回路 1 へそれぞれ負帰還される。

【 0 0 1 5 】

50

ところで、上記従来のデジタルスイッチング増幅器 10 では、出力端子 8 P 及び 8 M から出力されるアナログ音響信号には、種々の理由により出力端子 8 P (+ 側出力端子) と出力端子 8 M (- 側出力端子) との直流成分の電圧差、つまり、オフセット電圧が生じ、その結果、低周波帯域にノイズが発生したり、出力端子 8 P 及び 8 M にスピーカ (図示しない) を接続した場合に電源のオン・オフ時などに上記スピーカからポップ音が発生したりする。

【 0 0 1 6 】

上記のようなオフセット電圧が生じる主な原因として、デルタシグマ変調回路 1 内のオペアンプ群 (図示しない) からのオフセット電圧の発生や、定電圧電源 6 H 及び 6 L から定電圧スイッチング回路 2 に供給される定電圧 + V 及び - V の絶対値の不一致 (ずれ) や、
差動負帰還信号の + 側信号と - 側信号とのレベル差 (負帰還信号 S 4 P と負帰還信号 S 4 M の直流電圧レベル差) や、回路の配線パターンのばらつきによる電圧特性の不一致 (ずれ) 等が挙げられる。

10

【 0 0 1 7 】

そこで、上記従来のデジタルスイッチング増幅器 10 においては、定電圧スイッチング回路 2 に供給する定電圧電源 6 H 及び 6 L の定電圧 + V 及び - V を調節することによって、出力信号に生ずる上記オフセット電圧をキャンセルしたり、定電圧スイッチング回路 2 の出力信号 S 3 P 及び S 3 M をそれぞれ減衰して負帰還信号 S 4 P 及び S 4 M をデルタシグマ変調回路 1 へ負帰還するが、この際、減衰率を調節することによって、出力信号に生ずる上記オフセット電圧をキャンセルしたりすることが行われている。

20

【 0 0 1 8 】

上記従来のデジタルスイッチング増幅器 10 におけるオフセット電圧の調整がどのようにして行われるのかについて説明すると、以下のとおりである。

【 0 0 1 9 】

上記デジタルスイッチング増幅器 10 においては、減衰・調整部 9 内の可変減衰器 9 P 及び 9 M (減衰・調整部) にて電力増幅された 1 ビット信号 S 3 P 及び S 3 M をそれぞれ減衰させ、負帰還信号 S 4 P 及び S 4 M としてデルタシグマ変調回路 1 へ負帰還するようになっている。しかしながら、通常、デルタシグマ変調回路 1 内でのオフセット電圧、定電圧電源 6 H 及び 6 L から定電圧スイッチング回路 2 に供給される定電圧 + V、- V の絶対値の不一致 (ずれ) 等の要因により、増幅器出力にオフセット電圧が発生する。

30

【 0 0 2 0 】

オフセット電圧は、上記要因以外に、次の場合にも生じる。即ち、減衰・調整部 9 内の可変減衰器 9 P 及び 9 M において減衰率に差があると、たとえ定電圧スイッチング回路 2 の出力信号 S 3 P 及び S 3 M の直流電圧にレベル差がない場合であっても、可変減衰器 9 P 及び 9 M の出力信号である負帰還信号 S 4 P 及び S 4 M 間には、直流電圧レベル差が生じ、これによってオフセット電圧は発生することになる。

【 0 0 2 1 】

そのため、デジタルスイッチング増幅器 10 では、オフセット電圧が発生した場合、上記の負帰還信号 S 4 P の電圧レベルと、負帰還信号 S 4 M の電圧レベルとを故意に異なるようにすることで、オフセット電圧をキャンセルすることも可能である。

40

【 0 0 2 2 】

【 発明が解決しようとする課題 】

しかしながら、上記従来のようなオフセット電圧の調整では、可変減衰器 9 P 及び 9 M の減衰率を変えることによって、負帰還信号 S 4 P 及び S 4 M の直流電圧レベルがそれぞれ調整されるので、次のような問題を招来する。

【 0 0 2 3 】

すなわち、負帰還信号 S 4 P 及び S 4 M の絶対値レベルが変わるので、デジタルスイッチング増幅器 10 のゲインが変わってしまう。この場合、このようなデジタルスイッチング増幅器 10 を 2 チャンネル分並列接続して、ステレオ音響信号を増幅するためのステレオ増幅器として用いた場合、左右のチャンネル間で音量差を生じることになる。

50

【 0 0 2 4 】

また、デルタシグマ変調回路 1 へ負帰還する負帰還信号 S 4 P 及び S 4 M の直流電圧レベルが等しくなるので（それぞれ変わるので）、出力積分器・加算器群 1 1 で加算器 5 P 及び 5 M の出力がそれぞれ積分された後、加算されてノイズシェーピングが行われる段で、アルゴリズムどおりの伝達特性が維持されないために、残留ノイズが増大したり、負帰還信号 S 4 P 及び S 4 M に対する入力信号（アナログ音響信号 S 1 P 及び S 2 M）の最大許容量（発振限界値）がそれぞれ変化してしまう。

【 0 0 2 5 】

以上のように、上記従来技術によれば、ディジタルスイッチング増幅器 1 0 の最大出力が変化したり、S/N 比が低下したりすることになり、その結果、所望の周波数帯域やダイナミックレンジが得られないという問題点を有している。

10

【 0 0 2 6 】

本発明は上記問題点を鑑みなされたものであり、その目的は、オフセット電圧の調整に起因していた正負入力信号に対するゲインの変化の回避、及びオフセット電圧に起因する低周波帯域のノイズの発生の防止を図ることが可能なディジタルスイッチング増幅器を提供することにある。

【 0 0 2 7 】

【課題を解決するための手段】

本発明のディジタルスイッチング増幅器は、上記課題を解決するために、第 1 信号と該第 1 信号を反転した第 2 信号とからなる差動入力信号をデルタシグマ変調回路においてデルタシグマ変調してそれぞれ 1 ビット信号とし、該各 1 ビット信号を電力増幅するディジタルスイッチング増幅器において、以下の措置を講じたことを特徴としている。

20

【 0 0 2 8 】

即ち、上記ディジタルスイッチング増幅器は、電力増幅された上記各 1 ビット信号をそれぞれ減衰する減衰部と、該減衰部の各出力に、上記デルタシグマ変調回路への負帰還信号間の直流電圧レベル差がゼロになるように、調整用電圧をそれぞれ付加するオフセット電圧付加調整部とを備えたことを特徴としている。

【 0 0 2 9 】

上記の発明によれば、第 1 信号と、この第 1 信号を反転した第 2 信号とからなる差動入力信号が入力されると、それぞれに対してデルタシグマ変調が施されて 1 ビット信号に変調される。各 1 ビット信号は、更に、電力増幅される。このように電力増幅された各 1 ビット信号は、減衰部においてそれぞれ減衰されてオフセット電圧付加調整部に送られた後、デルタシグマ変調回路に負帰還される。

30

【 0 0 3 0 】

ところで、ディジタルスイッチング増幅器においては、通常、電力増幅された 1 ビット信号間に直流電圧レベル差が生じる。その結果、低周波帯域にノイズが発生したり、アナログ変調後にスピーカに接続する場合には電源オン、オフ時などに上記スピーカからポップ音が発生したりしていた。

【 0 0 3 1 】

このような不具合に対して、従来のディジタルスイッチング増幅器においては、電力増幅の際に印加される正極性及び負極性の定電圧を調節したり、上記減衰部での減衰率を調節してデルタシグマ変調回路への負帰還信号間に故意に直流電圧レベル差を設けたりして、上記発生したオフセット電圧をキャンセルしていた。しかし、減衰部における減衰率を調節する場合、次のような問題点を新たに招来する。

40

【 0 0 3 2 】

すなわち、上記従来のように減衰部の減衰率をそれぞれ調節してオフセット電圧をキャンセルする場合、両負帰還信号において絶対値レベルが変わる（等しくならない）ので、ディジタルスイッチング増幅器のゲインが実質上変わってしまう。このようなディジタルスイッチング増幅器を 2 チャンネル分並列接続して、ステレオ音響信号を増幅するためのステレオ増幅器として用いた場合、左右のチャンネル間で音量差を生じてしまう。

50

【 0 0 3 3 】

しかも、デルタシグマ変調回路で、積分された後、加算されてノイズシェーピングが行われる段で、アルゴリズムどおりの伝達特性が維持されないために、残留ノイズが増大したり、負帰還信号に対する差動入力信号の最大許容量（発振限界値）が変化してしまう。つまり、デジタルスイッチング増幅器の最大出力が変化したり、S N比が低下したりすることになり、その結果、所望の周波数帯域やダイナミックレンジが得られないという問題点を招来する。

【 0 0 3 4 】

そこで、上記問題点は、上記の発明によれば、次のようにして解決される。すなわち、電力増幅された上記各1ビット信号は、それぞれ減衰部によって減衰される。減衰部間の減衰率を変化させて該減衰部の出力（デルタシグマ変調回路に負帰還される負帰還信号）間に故意に直流電圧レベル差を設けてオフセット電圧をゼロにしていた上記従来技術の代わりに、オフセット電圧付加調整部によって、上記デルタシグマ変調回路への負帰還信号間の直流電圧レベル差がゼロになるように、調整用電圧がそれぞれ減衰部の各出力に付加される。したがって、減衰部間の減衰率を変化させることなく、調整用電圧を付加するだけで、互いに直流電圧レベルが等しい差動負帰還信号がデルタシグマ変調回路へ負帰還されることになる。

10

【 0 0 3 5 】

つまり、デジタルスイッチング増幅器にオフセット電圧が生じて、製造直後の検査時等に、上記オフセット電圧を測定しながら、オフセット電圧付加調整部を介して、減衰部の各出力に調整用電圧をそれぞれ付加するだけで、互いに直流電圧レベルが等しい差動負帰還信号がデルタシグマ変調回路へ負帰還され、オフセット電圧がゼロに調整される。

20

【 0 0 3 6 】

以上のように、たとえ減衰部間で減衰率が互いに異なっていた場合でも、デルタシグマ変調回路に負帰還される負帰還信号の直流電圧レベル差はゼロになる（差動負帰還信号の絶対直流電圧レベルは変わらない）ので、デジタルスイッチング増幅器のゲインが変化することを確実に回避できると共に、オフセット電圧に起因する低周波帯域ノイズの発生を容易に防止できる。また、デルタシグマ変調回路においてアルゴリズムどおりの伝達特性が維持されるので、残留ノイズが増大したり、負帰還信号に対する差動入力信号の最大許容量（発振限界値）が変化したりすることを未然に回避できる。つまり、デジタルスイッチング増幅器の最大出力が変化したり、S N比が低下したりすることが未然に回避されるので、所望の周波数帯域やダイナミックレンジが確実に得られる。

30

【 0 0 3 7 】

上記オフセット電圧付加調整部は、上記減衰部と上記デルタシグマ変調回路の間に設けられ、各一端が上記デルタシグマ変調回路にそれぞれ接続されると共に、各他端が上記減衰部にそれぞれ接続される第1及び第2抵抗と、上記第1及び第2抵抗の上記一端間に設けられた可変抵抗とを備え、所定のアナログ電圧、又はグラウンドレベルが上記可変抵抗の可動端子を介して印加されていることが好ましい。

【 0 0 3 8 】

この場合、減衰部の各出力は、第1及び第2抵抗を介してデルタシグマ変調回路にそれぞれ印加される。一方、所定のアナログ電圧、またはグラウンドレベルは、可動端子を介して可変抵抗に印加される。可変抵抗の可動端子を移動させることによって、可変抵抗の可動端子を中心にしてその両側で抵抗値が変化し、調整用電圧は、この抵抗値に応じてそれぞれ変化する。調整用電圧は、それぞれ減衰器の各出力に付加され、上記デルタシグマ変調回路への負帰還信号間の直流電圧レベル差がゼロになるように調整される。このように、差動負帰還信号の絶対直流電圧レベルを等しくできるので、デジタルスイッチング増幅器のゲインが変化することを確実に回避できると共に、オフセット電圧に起因する低周波帯域ノイズの発生を容易に防止できる。

40

【 0 0 3 9 】

本発明の他のデジタルスイッチング増幅器は、上記課題を解決するために、第1信号と

50

該第 1 信号を反転した第 2 信号とからなる差動入力信号をデルタシグマ変調回路においてデルタシグマ変調してそれぞれ 1 ビット信号とし、該各 1 ビット信号を電力増幅するデジタルスイッチング増幅器において、次の措置を講じたことを特徴としている。

【 0 0 4 0 】

すなわち、上記他のデジタルスイッチング増幅器は、電力増幅された各 1 ビット信号に、上記デルタシグマ変調回路への負帰還信号間の直流電圧レベル差がゼロになるように、調整用電圧をそれぞれ付加するオフセット電圧付加調整部と、上記オフセット電圧付加調整部の出力をそれぞれ減衰して上記各負帰還信号とする減衰部とを備えたことを特徴としている。

【 0 0 4 1 】

上記の発明によれば、第 1 信号と、この第 1 信号を反転した第 2 信号とからなる差動入力信号が入力されると、それぞれに対してデルタシグマ変調が行われて 1 ビット信号に変調される。各 1 ビット信号は、更に、電力増幅される。このように電力増幅された各 1 ビット信号に、オフセット電圧付加調整部によって、上記デルタシグマ変調回路への負帰還信号間の直流電圧レベル差がゼロになるように、調整用電圧がそれぞれ付加される。この調整用電圧が付加されると、電力増幅された各 1 ビット信号は、それぞれ減衰部において減衰された後、各負帰還信号としてデルタシグマ変調回路に負帰還される。

【 0 0 4 2 】

減衰部間の減衰率を変化させ、該減衰部の出力（デルタシグマ変調回路に負帰還される負帰還信号）間に故意に直流電圧レベル差を設けてオフセット電圧をゼロにしていた上記従来技術の代わりに、上記の発明によれば、減衰部間の減衰率を変化させることなく、調整用電圧を付加するだけで、互いに直流電圧レベルが等しい差動負帰還信号がデルタシグマ変調回路へ負帰還されることになる。

【 0 0 4 3 】

つまり、デジタルスイッチング増幅器にオフセット電圧が生じて、例えば製造直後の検査時等に、上記オフセット電圧を測定しながら、オフセット電圧付加調整部を介して、減衰部の各出力にそれぞれ調整用電圧を付加するだけで、互いに直流電圧レベルが等しい差動負帰還信号がデルタシグマ変調回路へ負帰還され、オフセット電圧がゼロに調整される。

【 0 0 4 4 】

以上のように、たとえ減衰部間の減衰率が互いに異なっていた場合でも、デルタシグマ変調回路に負帰還される負帰還信号の直流電圧レベル差はゼロになる（差動負帰還信号の絶対直流電圧レベルは変わらない）ので、デジタルスイッチング増幅器のゲインが変化することを確実に回避できると共に、オフセット電圧に起因する低周波帯域ノイズの発生を容易に防止できる。しかも、デルタシグマ変調回路においてアルゴリズムどおりの伝達特性が維持されるので、残留ノイズが増大したり、負帰還信号に対する差動入力信号の最大許容量（発振限界値）が変化したりすることを未然に回避できる。つまり、デジタルスイッチング増幅器の最大出力が変化したり、S/N比が低下したりすることが未然に回避されるので、所望の周波数帯域やダイナミックレンジが確実に得られる。

【 0 0 4 5 】

上記オフセット電圧付加調整部は、各一端が上記減衰部にそれぞれ接続されると共に、各他端には電力増幅された上記各 1 ビット信号が印加される第 1 及び第 2 抵抗と、上記第 1 及び第 2 抵抗の上記一端間に設けられた可変抵抗とを備え、所定のアナログ電圧、又はグラウンドレベルが上記可変抵抗の可動端子を介して印加されていることが好ましい。

【 0 0 4 6 】

この場合、減衰部の各出力は、第 1 及び第 2 抵抗を介してデルタシグマ変調回路にそれぞれ印加される。一方、所定のアナログ電圧、またはグラウンドレベルは、可動端子を介して可変抵抗に印加される。可変抵抗の可動端子を移動させることによって、可変抵抗の可動端子を中心にしてその両側で抵抗値が変化する。調整用電圧は、この抵抗値に応じてそれぞれ変化する。調整用電圧は、電力増幅された各 1 ビット信号に付加され、上記デルタシ

10

20

30

40

50

グマ変調回路への負帰還信号間の直流電圧レベル差がゼロになるように調整される。このように、差動負帰還信号の絶対直流電圧レベルを等しくできるので、デジタルスイッチング増幅器のゲインが変化することを確実に回避できると共に、オフセット電圧に起因する低周波帯域ノイズの発生を容易に防止できる。

【 0 0 4 7 】

【 発明の実施の形態 】

本発明の実施の一形態について図 1 乃至図 4 に基づいて説明すれば、以下のとおりである。なお、図 5 中の部材と同じ機能を有する部材については同じ参照符号を付記する。

【 0 0 4 8 】

本発明のデジタルスイッチング増幅器 10 は、図 1 に示すように、正極性のアナログ音響信号 S 1 P 及び負極性のアナログ音響信号 S 1 M の対からなる差動入力信号が入力端子 4 P 及び 4 M からそれぞれ入力され、デルタシグマ変調回路 1 で 1 ビット信号 S 2 P 及び S 2 M に変換された後、定電圧スイッチング回路 2 で上記 1 ビット信号 S 2 P 及び S 2 M に基づいて定電圧 ($\pm V$) がスイッチングされて電力増幅され、LPF ネットワーク回路 3 を介して、アナログ音響信号 S 5 P 及び S 5 M にそれぞれ復調された後、出力端子 8 P 及び 8 M からそれぞれ出力される。尚、負極性のアナログ音響信号 S 1 M は、正極性のアナログ音響信号 S 1 P の極性のみ反転した信号である。

【 0 0 4 9 】

デジタルスイッチング増幅器 10 は、主として、加算器 5 P および 5 M、デルタシグマ変調回路 1、定電圧スイッチング回路 2、LPF ネットワーク回路 3、第 1 の帰還路 7 P、第 2 の帰還路 7 M、減衰・調整部 9、及びオフセット電圧付加調整部 13 を備えている。

【 0 0 5 0 】

加算器 5 P 及び 5 M には、入力端子 4 P 及び 4 M に入力されたアナログ音響信号 S 1 P 及び S 1 M と、第 1 及び第 2 帰還路 7 P 及び 7 M を介して定電圧スイッチング回路 2 から減衰・調整部 9 及びオフセット電圧付加調整部 13 を経て帰還された負帰還信号 S 4 P 及び S 4 M が入力される。加算器 5 P 及び 5 M は、アナログ音響信号 S 1 P 及び S 1 M から負帰還信号 S 4 P 及び S 4 M をそれぞれ減算し、減算結果をデルタシグマ変調回路 1 へ出力するようになっている。

【 0 0 5 1 】

デルタシグマ変調回路 1 は、加算器 5 P 及び 5 M の出力信号をそれぞれデルタシグマ変調することにより、1 ビット信号 S 2 P 及び S 2 M を生成するものである。

【 0 0 5 2 】

デルタシグマ変調回路 1 は、積分器・加算器群 11 と量子化器 12 とから構成されている。積分器・加算器群 11 は、高次の積分器であり、加算器 5 P 及び 5 M の減算結果をそれぞれ積分して加算し、量子化器 12 へ出力する。量子化器 12 は、積分器・加算器群 11 の出力信号の極性を判定して 2 値の量子化信号である 1 ビット信号 S 2 P 及び S 2 M に変換する。ここで、量子化器 12 の量子化閾値は、想定されるサンプリング周波数に対して最適に設定されている。また、量子化器 12 はクロック信号に対応して作動する。

【 0 0 5 3 】

定電圧スイッチング回路 2 には、正極性の定電圧 + V を出力する定電圧電源 6 H と、定電圧 V と等しい大きさの負極性の定電圧 - V を出力する定電圧電源 6 L とが接続されている。定電圧電源 6 H 及び 6 L は、デジタルスイッチング増幅器 10 内部に設けてもよいが、ここではデジタルスイッチング増幅器 10 外部に設けられ、電力線を介して接続されている。定電圧スイッチング回路 2 は、定電圧電源 6 H 及び 6 L から供給された定電圧 + V および - V のスイッチングを、1 ビット信号 S 2 P 及び S 2 M をスイッチング制御信号として用いることにより、1 ビット信号 S 2 P および S 2 M を電力増幅するものである。

【 0 0 5 4 】

また、定電圧スイッチング回路 2 は、1 ビット信号 S 2 P および S 2 M を電力増幅した 1 ビット信号 S 3 P および S 3 M を LPF ネットワーク回路 3 に出力すると共に、第 1 及び

10

20

30

40

50

第2帰還路7P及び7Mを介して減衰・調整部9に出力するようになっている。第1及び第2帰還路7P及び7Mは、減衰・調整部9及びオフセット電圧付加調整部13を介して、電力増幅された1ビット信号S3P及びS3Mをデルタシグマ変調回路1へそれぞれ負帰還させるものである。

【0055】

減衰・調整部9は、第1及び第2帰還路7P及び7M上に設けられ、電力増幅された1ビット信号S3P及びS3Mを所定の減衰率でそれぞれ減衰させるようになっている。LPFネットワーク回路3は、低周波帯域に帯域制限することで、電力増幅された1ビット信号S3PおよびS3Mをアナログ音響信号S5PおよびS5Mに復調するために設けられている。

10

【0056】

また、LPFネットワーク回路3は、アナログ音響信号S5PおよびS5Mを出力端子8Pおよび8Mを介して外部に出力するようになっている。オフセット電圧付加調整回路13においては、減衰・調整部9の可変減衰器9P及び9Mの出力信号の直流電圧レベルに、グランド（接地）レベル、或いはアナログ電圧 V_{DA} に係る調整用電圧がそれぞれ付加され、これにより、オフセット電圧が調整されるようになっている。また、オフセット電圧付加調整回路13は、オフセット電圧を打ち消した負帰還信号S4PおよびS4Mを加算器5P及び5Mへ出力している。

【0057】

ここで、上記構成のデジタルスイッチング増幅器10の動作について説明する。入力端子4Pおよび4Mに入力されたアナログ音響信号S1PおよびS1Mは、加算器5P及び5Mに送られ、ここで、負帰還信号S4PおよびS4Mがそれぞれ減算された後、減算結果がデルタシグマ変調回路1において1ビット信号S2P及びS2Mに変換される。

20

【0058】

具体的には、積分器・加算器群11においては、加算器5P及び5Mの出力信号が積分された後、加算されてノイズシェーピングされ、量子化器12に送られ、ここで加算された差分積分信号の極性が判定され、「1」または「0」の1ビット信号S2PおよびS2Mに変換される。

【0059】

1ビット信号S2PおよびS2Mは、スイッチング制御信号として定電圧スイッチング回路2に入力され、外部の定電圧電源6Hおよび6Lより与えられた定電圧+Vと定電圧-Vとの電圧幅を有する1ビット信号S3PおよびS3Mへと電力増幅される。

30

【0060】

定電圧スイッチング回路2において電力増幅された1ビット信号S3PおよびS3Mは、LPFネットワーク回路3にそれぞれ入力され、LPFネットワーク回路3でアナログ音響信号S5PおよびS5Mに復調されて、出力端子8Pおよび8Mから出力される。また、電力増幅された1ビット信号S3PおよびS3Mは、減衰・調整部9に入力されて所定の減衰率でそれぞれ減衰されてオフセット電圧付加調整部13に送られ、ここで調整用電圧が付加されて負帰還信号S4PおよびS4Mとしてデルタシグマ変調回路1へ負帰還される。

40

【0061】

次に、デジタルスイッチング増幅器10におけるオフセット電圧の調節について説明する。本発明に係るデジタルスイッチング増幅器10は、オフセット電圧が発生しない場合、オフセット電圧付加調整部13において減衰・調整部9からの負帰還信号S4PおよびS4Mは、そのまま、デルタシグマ変調回路1に負帰還するようになっている。

【0062】

ところが、実際は、デルタシグマ変調回路1内のオペアンプ等（図示しない）で発生するオフセット電圧や、定電圧電源6H、6Lから定電圧スイッチング回路2に供給される定電圧+Vおよび-Vの絶対値の不一致（ずれ）等の要因により、アナログ音響信号S5PとS5Mの間にオフセット電圧が発生する。

50

【 0 0 6 3 】

一方、オフセット電圧は、第 1 及び第 2 帰還路 7 P 及び 7 M にもそのまま反映されるため、オフセット電圧は第 1 及び第 2 帰還路 7 P 及び 7 M を介して加算器 5 P および 5 M にそれぞれ出力される。そのため、ディジタルスイッチング増幅器 1 0 は、オフセット電圧が発生した場合、オフセット電圧付加調整部 1 3 を介して、第 1 及び第 2 帰還路 7 P 及び 7 M にオフセット電圧を打ち消す電圧を付加することによって、増幅器出力であるアナログ音響信号 S 5 P と S 5 M の間に発生するオフセット電圧をキャンセルすることが可能となる。

【 0 0 6 4 】

尚、ここで問題となるオフセット電圧は、各素子の特性ばらつきや、各回路固有の要因により生じる。したがって、オフセット電圧は一度調節を行えば、その後、大きく変化することは基本的にはなく、例えば製造直後の検査時に調節すればよく、使用時にその度毎に調節する必要はない。オフセット電圧の調節の効果を確認するために、オフセット電圧の有無による周波数特性の変化を調べた。

10

【 0 0 6 5 】

ここで、図 2 を参照しながら、オフセット電圧付加調整部 1 3 の一例について説明する。オフセット電圧付加調整部 1 3 は、固定抵抗 1 5 乃至 1 8、及び半固定抵抗 1 4 (可変抵抗) から構成されている。固定抵抗 1 5 は、一端が加算器 5 P に接続され、他端が可変減衰器 9 P に接続されている。固定抵抗 1 8 は、一端が加算器 5 M に接続され、他端が可変減衰器 9 M に接続されている。

20

【 0 0 6 6 】

固定抵抗 1 5 の上記一端 (図 2 の接続点 P) と固定抵抗 1 8 の上記一端 (図 2 の接続点 Q) との間には、固定抵抗 1 6、半固定抵抗 1 4、及び固定抵抗 1 7 がこの順に接続されている。また、半固定抵抗 1 4 は、その接点 c (可動端子) がグランド又は固定のアナログ電圧 V_{DA} に接続されている。上記固定抵抗 1 6、半固定抵抗 1 4、及び固定抵抗 1 7 を一つの変抵抗で置き換えてもよいことは言うまでもない。

【 0 0 6 7 】

図 2 の構成によれば、例えば製造直後の検査時に無信号状態、つまり、アナログ音響信号 S 1 P および S 1 M のレベルが 0 の状態、或いは入力端 4 P と入力端 4 M が短絡された状態で、アナログ音響信号 S 5 P とアナログ音響信号 S 5 M とのレベル差を電圧測定器により測定し、オフセット電圧が検出された場合、測定しながら、該オフセット電圧がキャンセルされる (ゼロになる) 方向に、オフセット電圧付加調整部 1 3 の半固定抵抗器 1 4 の接点 c の位置を調節する。これにより、第 1 帰還路 7 P と第 2 帰還路 7 M との間の直流電圧レベル差 (オフセット電圧) がゼロになるように調整され、その結果、ディジタルスイッチング増幅器 1 0 におけるオフセット電圧がキャンセルされる。

30

【 0 0 6 8 】

ここで、具体的に、オフセット電圧付加調整について説明する。半固定抵抗 1 4 の接点 c がグランドに接続されている場合、該接点 c を端子 a (固定端子) の方に調節すると、c - a 間の抵抗値が小さくなるので、負帰還信号 S 4 P (接続点 P の電圧) の直流電圧レベルは小さくなる一方、接点 c を端子 b (固定端子) の方に調節すると、c - a 間の抵抗値が大きくなるので、負帰還信号 S 4 P (接続点 P の電圧) の直流電圧レベルは大きくなる。上記において、接点 c を端子 a の方に調節したとき、c - b 間の抵抗値が大きくなるので、負帰還信号 S 4 M (接続点 Q の電圧) の直流電圧レベルは大きくなる一方、接点 c を端子 b の方に調節したとき、c - b 間の抵抗値が小さくなるので、負帰還信号 S 4 M (接続点 Q の電圧) の直流電圧レベルは小さくなる。

40

【 0 0 6 9 】

つまり、接点 c を端子 a の方に調節すると、調整用電圧がそれぞれ付加され、負帰還信号 S 4 P (接続点 P の電圧) の直流電圧レベルを小さくできると共に、負帰還信号 S 4 M (接続点 Q の電圧) の直流電圧レベルを大きくできる。逆に、接点 c を端子 b の方に調節すると、負帰還信号 S 4 P (接続点 P の電圧) の直流電圧レベルを大きくできると共に、負

50

帰還信号 S 4 M の直流電圧レベルを小さくできる。

【 0 0 7 0 】

このように、半固定抵抗 1 4 において、グラウンドに接続された接点 c を端子 a の方に又は b の方に調節することによって、可変減衰器 9 P 及び 9 M の減衰率を変化させることなく、負帰還信号 S 4 P 及び S 4 M の直流電圧レベル差がゼロになるように調節できる。それゆえ、デジタルスイッチング増幅器 1 0 の増幅ゲインが変化することを確実に回避できると共に、オフセット電圧に起因する低周波帯域ノイズの発生を容易に防止できる。

【 0 0 7 1 】

以上は、半固定抵抗 1 4 の接点 c がグラウンドに接続されている場合について説明したが、半固定抵抗 1 4 の接点 c が固定のアナログ電圧 V_{DA} に接続されている場合も同様の動作が行われ、アナログ電圧 V_{DA} に接続された接点 c を端子 a の方に又は b の方に調節することによって、可変減衰器 9 P 及び 9 M の減衰率を変化させることなく、負帰還信号 S 4 P 及び S 4 M の直流電圧レベル差がゼロになるように調節できる。それゆえ、デジタルスイッチング増幅器 1 0 の増幅ゲインが変化することを確実に回避できると共に、オフセット電圧に起因する低周波帯域ノイズの発生を容易に防止できる。

【 0 0 7 2 】

以上のように、上記の構成によれば、可変減衰器 9 P 及び 9 M の減衰率を変化させることなく固定したまま、調節用の直流電圧を可変減衰器 9 P 及び 9 M の出力信号に付加し、オフセット電圧がキャンセルされるように調整できる。このように、可変減衰器 9 P 及び 9 M の減衰率が変化しないので、デルタシグマ変調回路 1 がアルゴリズムどおりの伝達特性を維持でき、その結果、残留ノイズが増大したり、負帰還信号 S 4 P 及び S 4 M に対する入力信号（アナログ音響信号 S 1 P 及び S 1 M ）の最大許容量（発振限界値）が変化したりすることがない。つまり、デジタルスイッチング増幅器 1 0 の最大出力が変化したり、S N 比が低下したりすることなく、所望の周波数帯域やダイナミックレンジが得られる。

【 0 0 7 3 】

ここで、本実施の形態に係るデジタルスイッチング増幅器 1 0 の測定結果を図 3 及び図 4 を参照しながら以下に説明する。

【 0 0 7 4 】

図 3 にデジタルスイッチング増幅器 1 0 におけるオフセット電圧が生じたときの増幅器出力信号の周波数特性を、FFT (First Fourier Transform) 周波数分析装置で分析した結果を示す。また、図 4 に、デジタルスイッチング増幅器 1 0 におけるオフセット電圧を前述のように調節した後の増幅器出力信号の周波数特性を、FFT 周波数分析装置で分析した結果を示す。

【 0 0 7 5 】

図 3 から明らかのように、オフセット電圧が生じているときは、可聴帯域 (~ 2 0 k H z) 全体にわたってノイズフロアが上昇し、S N 比が悪くなっている。一方、図 4 から明らかのように、本発明に従ってオフセット電圧をキャンセルするように調節すると、このようなノイズが除去されて、S N 比が改善されることがわかる。

【 0 0 7 6 】

なお、従来行われているように、負帰還信号 S 4 P および S 4 M の減衰率を変化させて調節し、オフセット電圧をキャンセルする調節を行うと、オフセット電圧が直流電圧であるがために、FFT 周波数分析装置の分析結果では、0 H z 付近のノイズが低減するように現れる。しかしながら、負帰還信号 S 4 P および S 4 M の減衰率が変わると（減衰率が互いに異なるように調節されると）、デルタシグマ変調回路 1 がアルゴリズム通りの伝達特性を維持できないために、残留ノイズが増大したり、負帰還信号に対する入力信号（アナログ音響信号 S 1 P 及び S 1 M ）の最大許容量（発振限界値）が変化したりする。つまり、デジタルスイッチング増幅器 1 0 の最大出力が変化したり、S N 比が低下したりすることになり、所望の周波数帯域やダイナミックレンジが得られないことがある。

【 0 0 7 7 】

上述の説明では、減衰・調整部 9 の調整後にオフセット電圧付加調整を行うようにしたが、その逆でもよい。つまり、定電圧スイッチング回路 2 と減衰・調整部 9 の間に、上記オフセット電圧付加調整部 13 を設け、電力増幅された各 1 ビット信号に対して調整用電圧をそれぞれ付加した後、減衰・調整部 9 を介したものを負帰還信号 S4P および S4M のとして加算器 5P 及び 5M にそれぞれ負帰還する構成でもよい。この場合においても、可変減衰器 9P 及び 9M の減衰率を変化させることなく、負帰還信号 S4P 及び S4M の直流電圧レベル差がゼロになるように調節でき、その結果、オフセット電圧を確実にキャンセルすることが可能となる。

【0078】

また、上記の実施形態の構成では、デジタルスイッチング増幅器 10 の外部から入力された差動入力信号を増幅するようになっているが、デジタルスイッチング増幅器 10 の外部から入力された 1 つの信号に基づいて差動信号を生成し、該差動信号を増幅する構成にしてもよい。

【0079】

また、デジタルスイッチング増幅器 10 に入力するアナログ音響信号 S1P 及び S1M の代りに、デルタシグマ変調回路 1 内の量子化器のサンプリング周波数と同一周波数の 1 ビット信号を入力することも可能である。

【0080】

さらに、上記実施の形態においては、電力増幅された 1 ビット信号をアナログ音響信号に復調するための LPF ネットワーク回路 3 を備えているが、電力増幅された 1 ビット信号をアナログ信号に復調するための復調部として、LPF ネットワーク回路 3 以外の回路を備えていてもよい。或いは、電力増幅された 1 ビット信号をアナログ信号に復調するための復調部を省き、増幅された 1 ビット信号をそのままデジタル出力する構成としてもよい。また、デルタシグマ変調回路 1 内の量子化器 12 は、量子化閾値が 1 つである必要はなく、多値の量子化を行う構成であってもよい。

【0081】

本発明のデジタルスイッチング増幅器は、以上のように、互いに逆極性である第 1 の信号と第 2 の信号の対からなる差動信号を増幅するために、第 1 の信号及び第 2 の信号をデルタシグマ変調することにより、第 1 の量子化信号及び第 2 の量子化信号を生成するデルタシグマ変調部と、定電圧電源から供給された定電圧を第 1 の量子化信号及び第 2 の量子化信号に基づいてスイッチングすることにより第 1 の量子化信号及び第 2 の量子化信号を増幅する電力増幅部と、増幅された第 1 の量子化信号をデルタシグマ変調部へ負帰還する第 1 の帰還路と、第 2 の量子化信号をデルタシグマ変調部へ負帰還する第 2 の帰還路と、第 1 の量子化信号及び第 2 の量子化信号の直流オフセットを制御するオフセット調整部を備えるデジタルスイッチング増幅器であり、前記オフセット調整部にて、増幅された第 1 の量子化信号及び第 2 の量子化信号の直流電圧レベル差を零にするようにオフセット電圧を付加調整することの特徴としている。

【0082】

上述のように構成されるデジタルスイッチング増幅器において、増幅器出力にオフセット電圧が生じて、例えば製造直後の検査時等に、出力端のオフセット電圧を測定しながら、オフセット調整部によって、負帰還信号に直流オフセット電圧（調整用の直流電圧）を付加調整することで、オフセット電圧を打ち消すことができる。その結果、差動帰還信号の絶対直流電圧レベルは変わらないので、増幅器のゲインが変化することを確実に回避できると共に、オフセット電圧に起因する低周波帯域ノイズの発生を容易に防止できる。従って、上記発明によれば、オフセット電圧に起因する低周波帯域ノイズの発生を防止したデジタルスイッチング増幅器を容易に提供できる。

【0083】

上記オフセット調節手段は、増幅された第 1 の量子化信号及び第 2 の量子化信号の直流電圧レベルをアナログ電源とでオフセット電圧を付加調整することが好ましい。この場合、差動帰還信号の絶対直流電圧レベルは変わらないので、増幅器のゲインが変化することを

10

20

30

40

50

確実に回避できると共に、オフセット電圧に起因する低周波帯域ノイズの発生を容易に防止でき、所望の周波数帯域やダイナミックレンジが得られる。そして、付加するオフセット電圧源を別途追加することなくオフセット電圧付加調整ができる。

【 0 0 8 4 】

また、上記オフセット調節手段は、増幅された第1の量子化信号及び第2の量子化信号の直流電圧レベルをグランド（接地）間とでオフセット電圧を付加調整することの特徴としている。この場合、上述のように構成されるデジタルスイッチング増幅器において、差動帰還信号の絶対直流電圧レベルは変わらないので、増幅器のゲインが変化することを確実に回避できると共に、オフセット電圧に起因する低周波帯域ノイズの発生を容易に防止でき、その結果、所望の周波数帯域やダイナミックレンジが得られる。そして、グランド（接地）基準で容易にオフセット電圧付加調整ができる。

10

【 0 0 8 5 】

【 発明の効果 】

本発明に係るデジタルスイッチング増幅器は、以上のように、第1信号と該第1信号を反転した第2信号とからなる差動入力信号をデルタシグマ変調回路においてデルタシグマ変調してそれぞれ1ビット信号とし、該各1ビット信号を電力増幅するデジタルスイッチング増幅器であって、電力増幅された上記各1ビット信号をそれぞれ減衰する減衰部と、上記減衰部の各出力に、上記デルタシグマ変調回路への負帰還信号間の直流電圧レベル差がゼロになるように、調整用電圧をそれぞれ付加するオフセット電圧付加調整部とを備えたことを特徴としている。

20

【 0 0 8 6 】

上記の発明によれば、第1信号と、この第1信号を反転した第2信号とからなる差動入力信号が入力されると、それぞれに対してデルタシグマ変調が行われて1ビット信号に変調される。各1ビット信号は、更に、電力増幅される。このように電力増幅された各1ビット信号は、減衰部においてそれぞれ減衰されてオフセット電圧付加調整部に送られた後、デルタシグマ変調回路に負帰還される。

【 0 0 8 7 】

電力増幅された上記各1ビット信号は、それぞれ減衰部に送られ、ここで、それぞれ減衰される。減衰部間の減衰率を変化させ、該減衰部の出力（デルタシグマ変調回路に負帰還される負帰還信号）間に故意に直流電圧レベル差を設けてオフセット電圧をゼロにしていた上記従来技術の代わりに、上記の発明によれば、オフセット電圧付加調整部によって、上記デルタシグマ変調回路への負帰還信号間の直流電圧レベル差がゼロになるように、調整用電圧がそれぞれ減衰部の各出力に付加される。したがって、減衰部間の減衰率を変化させることなく、調整用電圧を付加するだけで、互いに直流電圧レベルが等しい差動負帰還信号がデルタシグマ変調回路へ負帰還されることになる。

30

【 0 0 8 8 】

つまり、デジタルスイッチング増幅器にオフセット電圧が生じて、例えば製造直後の検査時等に、上記オフセット電圧を測定しながらオフセット電圧付加調整部を介して、減衰部の各出力に調整用電圧をそれぞれ付加するだけで、互いに直流電圧レベルが等しい差動負帰還信号がデルタシグマ変調回路へ負帰還され、オフセット電圧がゼロに調整される。

40

【 0 0 8 9 】

以上のように、たとえ減衰部における減衰率が互いに異なっていた場合でも、デルタシグマ変調回路に負帰還される負帰還信号の直流電圧レベル差はゼロになる（差動負帰還信号の絶対直流電圧レベルは変わらない）ので、デジタルスイッチング増幅器のゲインが変化することを確実に回避できると共に、オフセット電圧に起因する低周波帯域ノイズの発生を容易に防止できる。また、デルタシグマ変調回路においてアルゴリズムどおりの伝達特性が維持されるので、残留ノイズが増大したり、負帰還信号に対する差動入力信号の最大許容量（発振限界値）が変化したりすることを未然に回避できる。つまり、デジタルスイッチング増幅器の最大出力が変化したり、S/N比が低下したりすることが未然に回避

50

されるので、所望の周波数帯域やダイナミックレンジが確実に得られるという効果を併せて奏する。

【0090】

上記オフセット電圧付加調整部は、上記減衰部と上記デルタシグマ変調回路の間に設けられ、各一端が上記デルタシグマ変調回路にそれぞれ接続されると共に、各他端が上記減衰部にそれぞれ接続される第1及び第2抵抗と、上記第1及び第2抵抗の上記一端間に設けられた可変抵抗とを備え、所定のアナログ電圧、又はグラウンドレベルが上記可変抵抗の可動端子を介して印加されていることが好ましい。

【0091】

この場合、減衰部の各出力は、第1及び第2抵抗を介してデルタシグマ変調回路にそれぞれ印加される。一方、所定のアナログ電圧、またはグラウンドレベルは、可動端子を介して可変抵抗に印加される。可変抵抗の可動端子を移動させることによって、可変抵抗の可動端子を中心にしてその両側で抵抗値が変化する。調整用電圧は、この抵抗値に応じてそれぞれ変化する。調整用電圧は、それぞれ減衰部の各出力に付加され、上記デルタシグマ変調回路への負帰還信号間の直流電圧レベル差がゼロになるように調整される。

10

【0092】

このように、簡単な構成で、差動負帰還信号間の絶対直流電圧レベルが互いに等しくなるので、デジタルスイッチング増幅器のゲインが変化することを確実に回避できると共に、オフセット電圧に起因する低周波帯域ノイズの発生を容易に防止できるという効果を併せて奏する。

20

【0093】

本発明の他のデジタルスイッチング増幅器は、以上のように、第1信号と該第1信号を反転した第2信号とからなる差動入力信号をデルタシグマ変調回路においてデルタシグマ変調してそれぞれ1ビット信号とし、該各1ビット信号を電力増幅するデジタルスイッチング増幅器において、電力増幅された各1ビット信号に、上記デルタシグマ変調回路への負帰還信号間の直流電圧レベル差がゼロになるように、調整用電圧をそれぞれ付加するオフセット電圧付加調整部と、上記オフセット電圧付加調整部の出力をそれぞれ減衰して上記各負帰還信号とする減衰部とを備えたことを特徴としている。

【0094】

上記の発明によれば、第1信号と、この第1信号を反転した第2信号とからなる差動入力信号が入力されると、それぞれに対してデルタシグマ変調が行われて1ビット信号に変調される。各1ビット信号は、更に、電力増幅される。このように電力増幅された各1ビット信号に、オフセット電圧付加調整部によって、上記デルタシグマ変調回路への負帰還信号間の直流電圧レベル差がゼロになるように、調整用電圧がそれぞれ付加される。該調整用電圧が付加されると、電力増幅された各1ビット信号は、それぞれ減衰部において減衰された後、各負帰還信号としてデルタシグマ変調回路に負帰還される。

30

【0095】

減衰部間の減衰率を変化させ、該減衰部の出力（デルタシグマ変調回路に負帰還される負帰還信号）間に故意に直流電圧レベル差を設けてオフセット電圧をゼロにしていた上記従来技術の代わりに、上記の発明によれば、減衰部間の減衰率を変化させることなく、調整用電圧を減衰部の各出力に付加するだけで、互いに直流電圧レベルが等しい差動負帰還信号がデルタシグマ変調回路へ負帰還されることになる。

40

【0096】

つまり、デジタルスイッチング増幅器にオフセット電圧が生じて、製造直後の検査時等に、上記オフセット電圧を測定しながら、オフセット電圧付加調整部を介して、減衰部の各出力にそれぞれ調整用電圧を付加するだけで、互いに直流電圧レベルが等しい差動負帰還信号がデルタシグマ変調回路へ負帰還され、オフセット電圧がゼロに調整される。

【0097】

以上のように、たとえ減衰部間の減衰率が互いに異なっていた場合でも、デルタシグマ変調回路に負帰還される負帰還信号間の直流電圧レベル差はゼロになる（差動負帰還信号の

50

絶対直流電圧レベルは変わらない)ので、ディジタルスイッチング増幅器のゲインが変化することを確実に回避できると共に、オフセット電圧に起因する低周波帯域ノイズの発生を容易に防止できる。また、デルタシグマ変調回路においてアルゴリズムどおりの伝達特性が維持されるので、残留ノイズが増大したり、負帰還信号に対する差動入力信号の最大許容量(発振限界値)が変化したりすることを未然に回避できる。つまり、ディジタルスイッチング増幅器の最大出力が変化したり、S/N比が低下したりすることが未然に回避されるので、所望の周波数帯域やダイナミックレンジが確実に得られるという効果を併せて奏する。

【0098】

上記オフセット電圧付加調整部は、各一端が上記減衰部にそれぞれ接続されると共に、各他端には電力増幅された上記各1ビット信号が印加される第1及び第2抵抗と、上記第1及び第2抵抗の上記一端間に設けられた可変抵抗とを備え、所定のアナログ電圧、又はグラウンドレベルが上記可変抵抗の可動端子を介して印加されていることが好ましい。

【0099】

この場合、減衰部の各出力は、第1及び第2抵抗を介してデルタシグマ変調回路にそれぞれ印加される。一方、所定のアナログ電圧、またはグラウンドレベルは、可動端子を介して可変抵抗に印加される。可変抵抗の可動端子を移動させることによって、可変抵抗の可動端子を中心にしてその両側で抵抗値が変化する。調整用電圧は、この抵抗値に応じてそれぞれ変化する。調整用電圧は、電力増幅された各1ビット信号に付加され、上記デルタシグマ変調回路への負帰還信号間の直流電圧レベル差がゼロになるように調整される。

【0100】

このように、簡単な構成で差動負帰還信号の絶対直流電圧レベルが等しくなるので、ディジタルスイッチング増幅器のゲインが変化することを確実に回避できると共に、オフセット電圧に起因する低周波帯域ノイズの発生を容易に防止できるという効果を併せて奏する。

【図面の簡単な説明】

【図1】本発明のディジタルスイッチング増幅器の一例を示すブロック図である。

【図2】上記ディジタルスイッチング増幅器のオフセット電圧付加調整部の構成を示す回路図である。

【図3】上記ディジタルスイッチング増幅器において、オフセット電圧が生じたときの増幅器出力信号の周波数特性図である。

【図4】上記ディジタルスイッチング増幅器において、オフセット電圧を打ち消すように調節した後の増幅器出力信号の周波数特性図である。

【図5】従来のディジタルスイッチング増幅器のブロック図である。

【符号の説明】

- 1 デルタシグマ変調回路
- 2 定電圧スイッチング回路
- 3 LPFネットワーク回路
- 4 P 入力端子
- 4 M 入力端子
- 5 P 加算器
- 5 M 加算器
- 6 H 定電圧電源
- 6 L 定電圧電源
- 7 P 第1の帰還路
- 7 M 第2の帰還路
- 9 減衰・調整部(減衰部)
- 9 P 可変減衰器(減衰部)
- 9 M 可変減衰器(減衰部)
- 13 オフセット電圧付加調整部

10

20

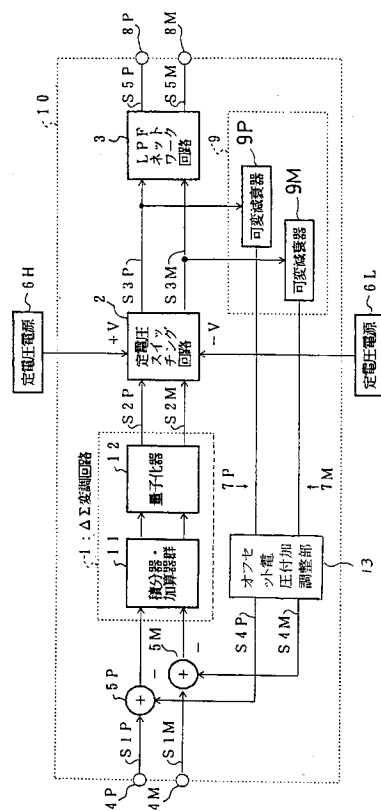
30

40

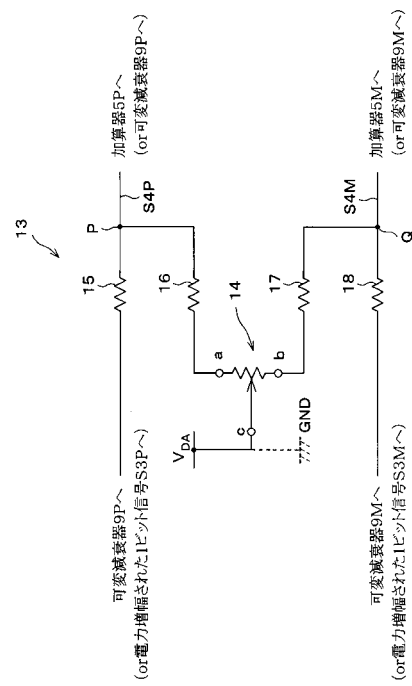
50

- 1 4 半固定抵抗 (可変抵抗)
- 1 5 固定抵抗
- 1 8 固定抵抗

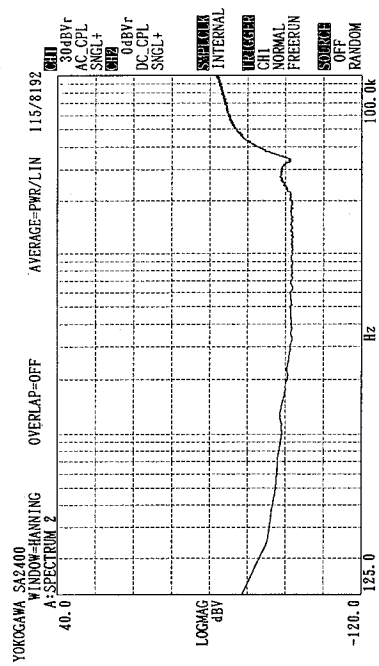
【図 1】



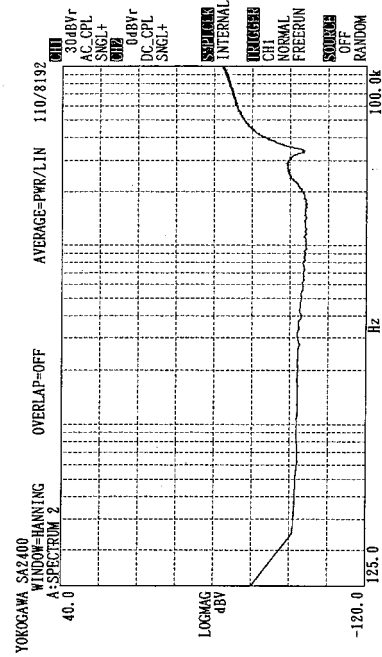
【図 2】



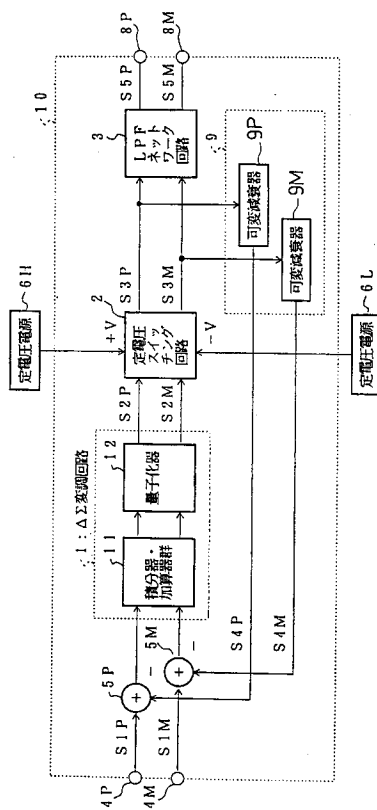
【図 3】



【図 4】



【図 5】



フロントページの続き

(58)調査した分野(Int.Cl.⁷, D B 名)

H03F 1/00-3/72

H03M 3/02