



(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2013 年 6 月 6 日 (06.06.2013)



W I P O | P C T



(10) 国际公布号
W O 2013/078636 A 1

- (51) 国际分类号 :
H 03 5/15 (2006.01)
- (21) 国际申请号 : PCT/CN201 1/083212
- (22) 国际申请日 : 2011 年 11 月 30 日 (30.11.2011)
- (25) 申报语言 : 中文
- (26) 公布语言 : 中文
- (71) 申请人 (对除美国外的所有指定国): 中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。
- (72) 发明人 : 及
- (75) 发明人/申请人 (仅对美国): 陈巍巍 (CHEN, Weiwei) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。陈兰 (CHEN, Lan) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。龙爽 (LONG, Shuang) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。
- (74) 代理人: 中科专利商标代理有限公司 (CHINA SCIENCE PATENT & TRADEMARK AGENT LTD.); 中国北京市海淀区王庄路 1 号清华同方科技大厦 B 座 25 层, Beijing 100083 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

[见续页]

(54) Title: MULTI-PHASE CLOCK SIGNAL GENERATION CIRCUIT

(54) 发明名称 : 多相位时钟信号发生电路

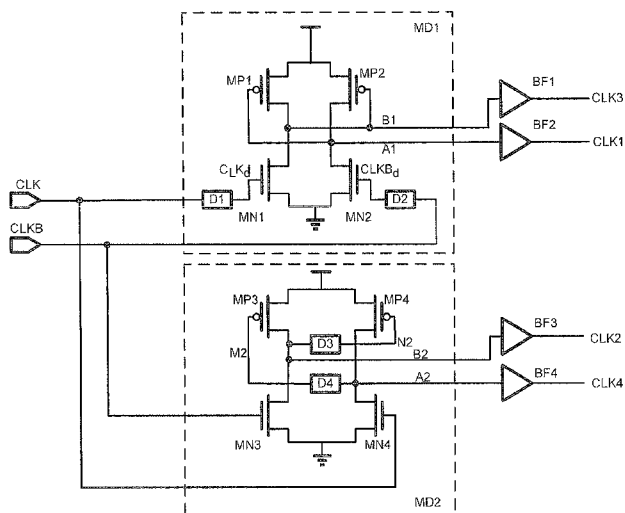


图1 / Fig. 1

(57) Abstract: Disclosed is a multi-phase clock signal generation circuit. The circuit includes two circuit modules. Each of the circuit modules includes a cross coupling structure and two delay units, wherein the delay unit is an adjustable delay unit. The circuit module MD1 includes two NMOS tubes, two PMOS tubes and two delay units. The circuit module MD2 includes two NMOS tubes, two PMOS tubes and two delay units. The phase relationship among the clock signals among various phases generated by the multi-phase clock signal generation circuit according to the embodiments is relatively irrelevant to the integration process, operating voltage and operating temperature of the circuit, and therefore it is possible to ensure the efficiency of the multi-phase charge pump.

(57) 摘要: 公开了一种多相时钟信号发生电路。该电路包括两个电路模块, 每个电路模块都包括交叉耦合结构和两个延时单元, 其中延时单元是可调延时单元。电路模块 MD1 包括两个 NMOS 管、两个 PMOS 管以及两个延时单元。电路模块 MD2 包括两个 NMOS 管、两个 PMOS 管以及两个延时单元。根据实施例的多相位时钟信号发生电路所产生的各相时钟信号之间的相位关系与该电路的集成工艺, 工作电压和工作温度相对无关, 因此能够保证多相位电荷泵的效率。



A1

W 2013/



本 国 际 公 布 ：

- 包 括 国 际 检 索 报 告 (条 约 第 21 条 (3)) 。

多相位时钟信号发生电路

技术领域

本技术涉及电子电路，具体涉及一种多相位时钟信号发生电路。

背景技术

多相位时钟信号发生器广泛应用于集成电路中。多相位时钟发生器是多相位电荷泵的重要组成部分。现有技术主要通过时钟信号的延时来组合生成多相位时钟信号。现有技术的多相位时钟发生器由于在集成工艺、工作电压或工作温度变化时，时钟发生器中的元件如 MOS 管、电阻的特性变化很大，依赖于这些元件的时钟相位可能会随之提前或者延后，某些相位甚至会发生重叠。如图 7 所示，实线为时钟信号 CLK1 和 CLK2 的正常波形，虚线为集成工艺、工作电压或工作温度变化时 CLK1 和 CLK2 的波形可能的变化，从图 7 中可以很清楚的看到他们的相位发生了重叠。特别是当现有技术的多相位时钟发生器应用于多相位电荷泵时，在集成工艺、工作电压或工作温度波动时会大大降低多相位电荷泵的效率。

发明内容

考虑到现有技术中的一个或多个问题，提出了一种多相位时钟信号发生电路。

根据实施例的多相位时钟信号发生电路包括：

第一沟道类型的第一晶体管和第二晶体管；

第二沟道类型的第三晶体管和第四晶体管，其中，第一晶体管和第二晶体管的源极接地，第一晶体管的漏极耦接至第三晶体管的源极和第四晶体管的栅极，第二晶体管的漏极耦接至第四晶体管的源极和第三晶体管的栅极，所述第三晶体管和第四晶体管的漏极接供电电源；

第一延时单元，输入端接收一时钟信号，输出端耦接至第一晶体管的栅极；

第二延时单元，输入端接收所述时钟信号的反相时钟信号，输出端耦接至第二晶体管的栅极；

第一沟道类型的第五晶体管和第六晶体管，分别接收所述反相的时钟信号和所述时钟信号；

第二沟道类型的第七晶体管和第八晶体管，其中，第五晶体管和第六晶体管的源极接地，第五晶体管的漏极耦接至第七晶体管的源极，第六晶体管的漏极耦接至第八晶体管的源极，所述第七晶体管和第八晶体管的漏极接供电电源；

第三延时单元，输入端耦接至所述第五晶体管的漏极和第七晶体管的源极之间的节点，输出端耦接至第八晶体管的栅极；

第四延时单元，输入端耦接至所述第六晶体管的漏极和第八晶体管的源极之间的节点，输出端耦接至所述第七晶体管的栅极；

其中，第二晶体管的漏极和第四晶体管的源极之间的节点输出第一时钟信号，第五晶体管的漏极和第七晶体管的源极之间的节点输出第二时钟信号，第一晶体管的漏极和第三晶体管的源极之间的节点输出第三时钟信号，第六晶体管的漏极和第八晶体管的源极之间的节点输出第四时钟信号。

根据本技术的实施例，第一延时单元、第二延时单元、第三延时单元和第四延时单元的延时时间都是可调的。

根据本技术的实施例，第一延时单元、第二延时单元、第三延时单元和第四延时单元的每一个都包括：串联连接到第一反相器和第二反相器，以及一端连接到第一反相器和第二反相器之间的节点的电容器，电容器的另一端接地。

根据本技术的实施例，所述电容器是可调电容器。

根据本技术的实施例，第一延时单元和第二延时单元的延时时间基本上相等，第三延时单元和第四延时单元的延时时间基本上相等。

根据本技术的实施例，所述第一沟道类型是N型，第二沟道类型是P型。

根据本技术的实施例，第一沟道类型是P型，第二沟道类型是N型。

根据本技术的实施例，所述的电路还包括：

第一缓冲器，输入端耦接至第一晶体管的漏极和第三晶体管的源极之间的节点，输出端输出缓冲的第三时钟信号，

第二缓冲器，输入端耦接至第二晶体管的漏极和第四晶体管的源极之间的节点，输出端输出缓冲的第一时钟信号，

第三缓冲器，输入端耦接至第五晶体管的漏极和第七晶体管的源极之间的节点，输出端输出缓冲的第二时钟信号，

第四缓冲器，输入端耦接至第六晶体管的漏极和第八晶体管的源极之间的节点，输出端输出缓冲的第四时钟信号。

根据本技术的实施例，所述的电路还包括反相器，将所输入的时钟信号转换成反相的时钟信号。

根据本技术的另一实施例，一种双相位时钟信号发生电路，包括：

第一沟道类型的第一晶体管和第二晶体管；

第二沟道类型的第三晶体管和第四晶体管，其中，第一晶体管和第二晶体管的源极接地，第一晶体管的漏极耦接至第三晶体管的源极和第四晶体管的栅极，第二晶体管的漏极耦接至第四晶体管的源极和第三晶体管的栅极，所述第三晶体管和第四晶体管的漏极接供电电源；

第一延时单元，输入端接收一时钟信号，输出端耦接至第一晶体管的栅极；

第二延时单元，输入端接收所述时钟信号的反相时钟信号，输出端耦接至第二晶体管的栅极；

其中，第二晶体管的漏极和第四晶体管的源极之间的节点输出第一时钟信号，第一晶体管的漏极和第三晶体管的源极之间的节点输出第三时钟信号。

根据本技术的又一实施例，一种双相位时钟信号发生电路，包括：

第一沟道类型的第一晶体管和第二晶体管，分别接收一时钟信号和所述时钟信号的反相时钟信号；

第二沟道类型的第三晶体管和第四晶体管，其中，第一晶体管和第二晶体管的源极接地，第一晶体管的漏极耦接至第三晶体管的源极，第二晶体管的漏极耦接至第四晶体管的源极，所述第三晶体管和第四晶体管的漏极接供电电源；

第一延时单元，输入端耦接至所述第一晶体管的漏极和第三晶体管的源极之间的节点，输出端耦接至第四晶体管的栅极；

第二延时单元，输入端耦接至所述第二晶体管的漏极和第四晶体管的源极之间的节点，输出端耦接至所述第三晶体管的栅极；

其中，第一晶体管的漏极和第三晶体管的源极之间的节点输出第一时钟信号，第二晶体管的漏极和第四晶体管的源极之间的节点输出第二时钟信号。

根据实施例的多相位时钟信号发生电路所产生的各相时钟信号之间的相位关系与该电路的集成工艺、工作电压或工作温度相对无关，因此能够保证多相位电荷泵的效率。

此外，根据实施例的多相位时钟信号发生电路所产生的各相时钟信号的相位延时是可调的。另外，根据实施例的多相位时钟信号发生电路的功耗低。

附图说明

通过结合附图对本技术的优选实施例进行详细描述，本技术的上述和其他目的、特性和优点将会变得更加清楚，其中：

图 1 示出了根据本技术的实施例的多相位时钟信号发生器的电路结构示意图；

图 2 示出了根据本技术的实施例的多相位时钟信号发生器中的延时单元的电路结构示意图；

图 3 示出了根据本技术的实施例的多相位时钟信号发生器输出的各相信号的相对时序关系示意图；

图 4 示出了根据本技术的另一实施例的双相位时钟信号发生器的电路结构示意图；

图 5 示出了根据本技术的又一实施例的双相位时钟信号发生器的电路结构示意图；

图 6 示出了根据本技术的再一实施例的四相位时钟信号发生器的电路结构示意图；以及

图 7 示出了根据现有技术的多相时钟发生电路产生的多相时钟之间的关系。

具体实施方式

将在下文中结合附图对本技术的实施例进行详细描述。虽然结合实施例进行阐述，但应理解为这并非意指将本技术限定于这些实施例中。相反，本技术意在涵盖由所附权利要求所界定的本技术精神和范围内所定义的各种可选方案、修改方案和等同方案。

此外，为了更好的理解本技术，在下面的描述中，阐述了大量具体的细节，比如具体的电路、器件、连接关系等。然而，本技术的领域的普通技术人员应该理解，没有这些具体的细节，本技术依然可以实施。在其他的一些实施例中，为了便于凸显本技术的主旨，对于熟知的技术未作详细的描述。

在下文所述的特定实施例代表本技术的示例性实施例，并且本质上仅为示例说明而非限制。在说明书中，提及“一个实施例”或者“实施例”意味着结合该实施例所描述的特定特征、结构或者特性包括在本技术的至少一个实施

例中。术语"在一个实施例中"在说明书中各个位置出现并不全部涉及相同的实施例，也不是相互排除其他实施例或者可变实施例。本说明书中公开的所有特征，或公开的所有方法或过程中的步骤，除了互相排斥的特征和/或步骤以外，均可以以任何方式组合。此外，本领域普通技术人员应当理解，在此提供的示图都是为了说明的目的，并且示图不一定是按比例绘制的。应当理解，当称"元件"连接到"或"耦接到另一元件时，它可以是直接连接或耦接到另一元件或者可以存在中间元件。相反，当称元件"直接连接到"或"直接耦接到"另一元件时，不存在中间元件。相同的附图标记指示相同的元件。这里使用的术语"和/或"包括一个或多个相关列出的项目的任何和所有组合。

图 1 示出了根据本技术的实施例的多相位时钟信号发生器的电路结构示意图。如图 1 所示的四相位时钟信号发生器包括两个电路模块 MD1 和 MD2。该电路包括两个电路模块，每个电路模块都包括交叉耦合结构和延时单元，其中延时 D1 和 D2 是可调延时单元。

如图 1 所示，电路模块 MD1 包括 NMOS 管 MN1，MN2 和 PMOS 管 MP1，MP2 以及两个延时单元 D1 和 D2。电路模块 MD2 包括 NMOS 管 MN3，MN4 和 PMOS 管 MP3，MP4 以及两个延时单元 D3 和 D4。

延时单元 D1 的输入端接收输入的时钟信号 CLK。经过延时单元 D1 延时后的时钟信号在其输出端输出。该延时单元的输出端耦接至 NMOS 管 MN1 的栅极。

延时单元 D2 的输入端接收反相的时钟信号 CLKB。经过延时单元 D2 延时后的时钟信号在其输出端输出。该延时单元的输出端耦接至 NMOS 管 MN2 的栅极。

NMOS 管 MN1 的源极与 NMOS 管 MN2 的源极接地，它们的漏极分别耦接到 PMOS 管 MP1 的源极和 PMOS 管 MP2 的源极。NMOS 管 MN2 的漏极与 PMOS 管 MP2 的源极之间的节点耦接至 PMOS 管 MP1 的栅极，该节点作为根据实施例的四相时钟信号发生器的一个相位信号输出节点。NMOS 管 MN1 的漏极与 PMOS 管 MP1 的源极之间的节点耦接至 PMOS 管 MP2 的栅极，该节点作为根据实施例的四相时钟信号发生器的另一相位信号输出节点。PMOS 管 MP1 和 MP2 的漏极连接到供电电源。

NMOS 管 MN3 的栅极接收反相的输入时钟信号 CLKB，NMOS 管 MN4 的栅极接收输入的时钟信号 CLK。NMOS 管 MN3 的源极与 NMOS 管 MN4 的源极接

地,它们的漏极分别耦接到 PMOS 管 MP3 的源极和 PMOS 管 MP4 的源极。NMOS 管 MN4 的漏极与 PMOS 管 MP4 的源极之间的节点通过第四延时单元 D4 耦接至 PMOS 管 MP3 的栅极,该节点作为根据实施例的四相时钟信号发生器的再一个相位信号输出节点。NMOS 管 MN3 的漏极与 PMOS 管 MP3 的源极之间的节点通过第四延时单元 D4 耦接至 PMOS 管 MP4 的栅极,该节点作为根据实施例的四相时钟信号发生器的另一相位信号输出节点。PMOS 管 MP3 和 MP4 的漏极连接到供电电源。

在 NMOS 管 MN1 的漏极和 PMOS 管 MP1 的源极之间的节点输出的时钟信号 B1 经过缓冲器 BF1 缓冲后,输出时钟信号 CLK3。在 NMOS 管 MN2 的漏极和 PMOS 管 MP2 的源极之间的节点输出的时钟信号 A1 经过缓冲器 BF2 缓冲后,输出时钟信号 CLK1。在 NMOS 管 MN3 的漏极和 PMOS 管 MP3 的源极之间的节点输出的时钟信号 B2 经过缓冲器 BF3 缓冲后,输出时钟信号 CLK2。在 NMOS 管 MN4 的漏极和 PMOS 管 MP4 的源极之间的节点输出的时钟信号 A2 经过缓冲器 BF4 缓冲后,输出时钟信号 CLK4。

本领域的技术人员应该意识到,上述实施例中的不同沟道类型的 MOS 管并不是要限定性的。相反,本领域的普通技术人员可以对其做出不同的变化。例如,交叉耦合结构中的上部两个 MOS 管的沟道类型可以为 N 型,同时下部两个 MOS 管的沟道类型可以为 P 型。

另外,在上述实施例中,NMOS 管 MN1 和 MN2 的源极接地,PMOS 管 MP1 和 MP2 的漏极接供电电源。本领域的技术人员应该意识到这仅仅是实施例,在不同的应用情况下,可以根据对电压/电流或者散热等方面的要求来调整交叉耦合结构的电源配置。

根据本技术的另一实施例,上述的延时单元 D1~D4 的每一个的延时量都是可调的。例如,延时单元 D1~D2 的延时量基本上相等,延时单元 D3~D4 的延时量基本上相等。图 2 示出了根据本技术的实施例的多相位时钟信号发生器中的延时单元的电路结构示意图。

如图 2 所示的延时单元包括两个串联连接的反相器 NT1、NT2 和一个电容器。电容器 C 的一端耦接至反相器之间的节点,另一端接地。根据本技术的另一实施例,本领域的技术人员可以设置更多数目的反相器来实现延时或者采用其他的方式来进行延时,例如采用延时线。

根据本技术的一个实施例，上述延时单元 D1 和 D2 中的电容器 C 的电容是可调的。例如，该电容器 C 是可调电容器。

图 3 示出了根据本技术的实施例的多相位时钟信号发生器输出的各相信号的相对时序关系示意图。

如图 3 所示，输入时钟信号 CLK 和 CLKB 是一对相位相反的时钟信号。CLKd 和 CLKBd 是 CLK 和 CLKB 经过延时单元 D1 和 D2 后产生的信号。CLK1、CLK2、CLK3 和 CLK4 是根据如图 1 所示的四相时钟信号发生电路输出的时钟信号分别经过缓冲器 BF2、BF3、BF1 和 BF4 缓冲后输出的各相时钟信号。在 t1 时刻，输入时钟信号 CLK 的下降沿到来。在 t2 时刻，PMOS 管 MP4 将信号 A2 变为高电平，同时时钟信号 CLK4 变为低电平。在 t3 时刻，时钟信号 CLKd 的下降沿到来，并通过 MN1 管将时钟信号 B1 下拉为低电平，同时时钟信号 CLK3 变为低电平。在 t4 时刻，时钟信号 B1 通过交叉耦合的 PMOS 管 MP1 和 MP2 将时钟信号 A1 上拉为高电平，同时时钟信号 CLK1 变为高电平。在 t5 时刻，时钟信号 A2 通过交叉耦合的 PMOS 管 MP3 和 MP4 将时钟信号 B2 上拉为高电平，同时时钟信号 CLK2 变为高电平。

在 t6 时刻，输入时钟信号 CLK 的上升沿到来。在 t7 时刻，NMOS 管 MN3 管将时钟信号 B2 下拉为低电平，同时时钟信号 CLK2 变为低电平。在 t8 时刻，时钟信号 CLKBd 的下降沿到来，并通过 NMOS 管 MN2 将时钟信号 A1 下拉为低电平，同时时钟信号 CLK1 变为低电平。在 t9 时刻，时钟信号 A1 通过交叉耦合的 PMOS 管 MP1 和 MP2 将时钟信号 B1 上拉为高电平，同时时钟信号 CLK3 变为高电平。在 t10 时刻，时钟信号 B2 通过交叉耦合的 PMOS 管 MP3 和 MP4 将时钟信号 A2 上拉为高电平，同时时钟信号 CLK4 变为高电平。

以上描述的是四相时钟信号发生电路，本领域的技术人员也可以利用其中的两相结构产生两相时钟信号。图 4 示出了根据本技术的另一实施例的双相位时钟信号发生器的电路结构示意图。如图 4 所示，根据本实施例的双相位时钟信号发生器采用了图 1 所示的四相时钟信号发生器的电路模块 MD1 和相应的缓冲器 BF1 和 BF2。根据本实施例的双相时钟信号发生器产生时钟信号 CLK3 和 CLK1。

此外，图 5 示出了根据本技术的又一实施例的双相位时钟信号发生器的电路结构示意图。图 5 所示的双相位时钟信号发生器采用了图 1 所示的四相时钟信号发生器的电路模块 MD2 和相应的缓冲器 BF3 和 BF4。根据本实施例的双相时

钟信号发生器产生时钟信号 CLK2 和 CLK4。

虽然以上描述的是双相时钟信号和四相时钟信号的产生，但是本领域的普通技术人员可以利用以上的实施例产生其他数目相位的时钟信号。例如，将输入时钟信号通过一直通晶体管结构作为额外的时钟信号，从而产生三相或者五相时钟信号。再如，在图 1 所示的四相时钟信号产生电路的基础上，增加额外的双相时钟信号产生电路并且给该额外的双向时钟信号产生电路增加额外的延时单元，例如将图 4 或者 5 中的每个延时单元用两个延时单元代替。或者，对单一时钟信号进行分频后再采用上述的时钟发生电路来产生想要数目相位的时钟信号。

虽然以上描述的是时钟产生电路接收外部的输入时钟和反相的输入时钟，但是上述的电路也可以接收单一的外部输入时钟或者内置的时钟源并且设置一个反相器进行反相操作，产生反相的时钟信号。图 6 示出了根据本技术的再一实施例的四相位时钟信号发生器的电路结构示意图。

如图 6 所示，外部输入一个时钟信号 CLK，在电路内部设置反相器 NT 来将时钟信号转换成反相的时钟信号 CLKB。另外，在图 6 所示的电路中，用如图 2 所示的延时单元代替如图 1 所示电路中的各个延时单元，但是电容器 C 的值可以按照不同的需要进行调节。

如上述工作过程描述，本技术中各个实施例的电路结构产生的各相位的时钟信号之间的相位关系具有严格的先后触发关系及时序约束关系，不会产生相位的重叠，即与集成工艺、工作电压或工作温度相对无关。

以上对本技术的示出示例的描述，包括摘要中所描述的，并不希望是穷尽的或者是对所公开的精确形式的限制。尽管出于说明性目的在此描述了本技术的特定实施例和示例，但是在不偏离本技术的更宽的精神和范围的情况下，各种等同修改是可以的。实际上，应当理解，特定信号、电流、频率、功率范围值、时间等被提供用于说明目的，并且其他值也可以用在根据本技术教导的其他实施例和示例中。

权利要求书

1、一种多相位时钟信号发生电路，包括：

第一沟道类型的第一晶体管和第二晶体管；

第二沟道类型的第三晶体管和第四晶体管，其中，第一晶体管和第二晶体管的源极接地，第一晶体管的漏极耦接至第三晶体管的源极和第四晶体管的栅极，第二晶体管的漏极耦接至第四晶体管的源极和第三晶体管的栅极，所述第三晶体管和第四晶体管的漏极接供电电源；

第一延时单元，输入端接收一时钟信号，输出端耦接至第一晶体管的栅极；

第二延时单元，输入端接收所述时钟信号的反相时钟信号，输出端耦接至第二晶体管的栅极；

第一沟道类型的第五晶体管和第六晶体管，分别接收所述反相的时钟信号和所述时钟信号；

第二沟道类型的第七晶体管和第八晶体管，其中，第五晶体管和第六晶体管的源极接地，第五晶体管的漏极耦接至第七晶体管的源极，第六晶体管的漏极耦接至第八晶体管的源极，所述第七晶体管和第八晶体管的漏极接供电电源；

第三延时单元，输入端耦接至所述第五晶体管的漏极和第七晶体管的源极之间的节点，输出端耦接至第八晶体管的栅极；

第四延时单元，输入端耦接至所述第六晶体管的漏极和第八晶体管的源极之间的节点，输出端耦接至所述第七晶体管的栅极；

其中，第二晶体管的漏极和第四晶体管的源极之间的节点输出第一时钟信号，第五晶体管的漏极和第七晶体管的源极之间的节点输出第二时钟信号，第一晶体管的漏极和第三晶体管的源极之间的节点输出第三时钟信号，第六晶体管的漏极和第八晶体管的源极之间的节点输出第四时钟信号。

2、如权利要求1所述的电路，其中第一延时单元、第二延时单元、第三延时单元和第四延时单元的延时时间都是可调的。

3、如权利要求1所述的电路，其中第一延时单元、第二延时单元、第三延时单元和第四延时单元的每一个都包括：串联连接到第一反相器和第二反相器，以及一端连接到第一反相器和第二反相器之间的节点的电容器，电容器的另一端

接地。

4、如权利要求3所述的电路，其中所述电容器是可调电容器。

5、如权利要求1所述的电路，其中第一延时单元和第二延时单元的延时时间基本上相等，第三延时单元和第四延时单元的延时时间基本上相等。

6、如权利要求1所述的电路，其中所述第一沟道类型是N型，第二沟道类型是P型。

7、如权利要求1所述的电路，其中第一沟道类型是P型，第二沟道类型是N型。

8、如权利要求1所述的电路，还包括：

第一缓冲器，输入端耦接至第一晶体管的漏极和第三晶体管的源极之间的节点，输出端输出缓冲的第三时钟信号，

第二缓冲器，输入端耦接至第二晶体管的漏极和第四晶体管的源极之间的节点，输出端输出缓冲的第一时钟信号，

第三缓冲器，输入端耦接至第五晶体管的漏极和第七晶体管的源极之间的节点，输出端输出缓冲的第二时钟信号，

第四缓冲器，输入端耦接至第六晶体管的漏极和第八晶体管的源极之间的节点，输出端输出缓冲的第四时钟信号。

9、如权利要求1所述的电路，还包括反相器，将所输入的时钟信号转换成反相的时钟信号。

10、一种多相位时钟信号发生电路，包括：

第一沟道类型的第一晶体管和第二晶体管；

第二沟道类型的第三晶体管和第四晶体管，其中，第一晶体管和第二晶体管的源极接地，第一晶体管的漏极耦接至第三晶体管的源极和第四晶体管的栅极，第二晶体管的漏极耦接至第四晶体管的源极和第三晶体管的栅极，所述第三晶体管和第四晶体管的漏极接供电电源；

第一延时单元，输入端接收一时钟信号，输出端耦接至第一晶体管的栅极；

第二延时单元，输入端接收所述时钟信号的反相时钟信号，输出端耦接至第二晶体管的栅极；

其中，第二晶体管的漏极和第四晶体管的源极之间的节点输出第一时钟信号，第一晶体管的漏极和第三晶体管的源极之间的节点输出第三时钟信号。

11、如权利要求10所述的电路，其中第一延时单元和第二延时单元的每一个都包括：串联连接到第一反相器和第二反相器，以及一端连接到第一反相器和第二反相器之间的节点的电容器，电容器的另一端接地。

12、如权利要求11所述的电路，其中所述电容器是可调电容器。

13、一种多相位时钟信号发生电路，包括：

第一沟道类型的第一晶体管和第二晶体管，分别接收一时钟信号和所述时钟信号的反相时钟信号；

第二沟道类型的第三晶体管和第四晶体管，其中，第一晶体管和第二晶体管的源极接地，第一晶体管的漏极耦接至第三晶体管的源极，第二晶体管的漏极耦接至第四晶体管的源极，所述第三晶体管和第四晶体管的漏极接供电电源；

第一延时单元，输入端耦接至所述第一晶体管的漏极和第三晶体管的源极之间的节点，输出端耦接至第四晶体管的栅极；

第二延时单元，输入端耦接至所述第二晶体管的漏极和第四晶体管的源极之间的节点，输出端耦接至所述第三晶体管的栅极；

其中，第一晶体管的漏极和第三晶体管的源极之间的节点输出第一时钟信号，第二晶体管的漏极和第四晶体管的源极之间的节点输出第二时钟信号。

14、如权利要求13所述的电路，其中第一延时单元和第二延时单元的每一个都包括：串联连接到第一反相器和第二反相器，以及一端连接到第一反相器和第二反相器之间的节点的电容器，电容器的另一端接地。

15、如权利要求14所述的电路，其中所述电容器是可调电容器。

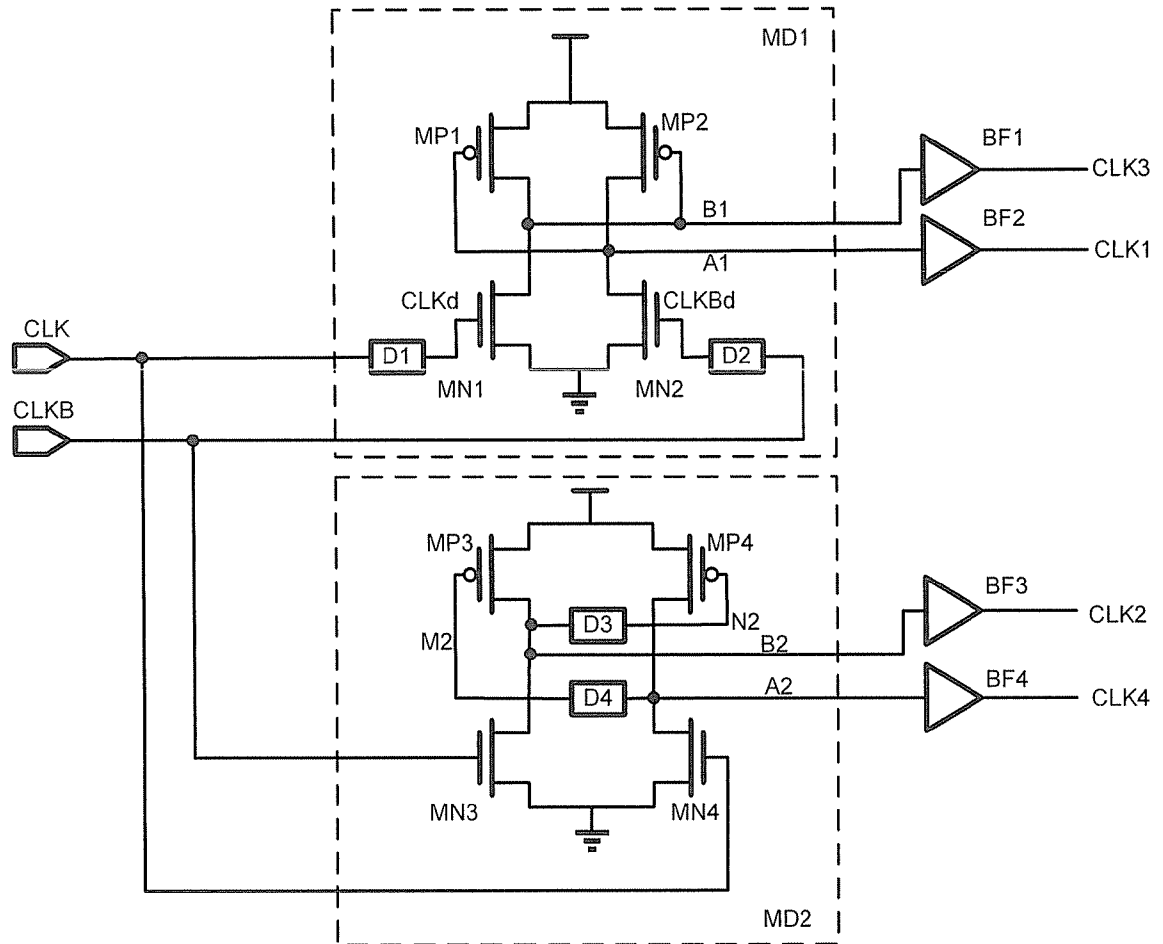


图1

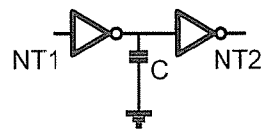


图2

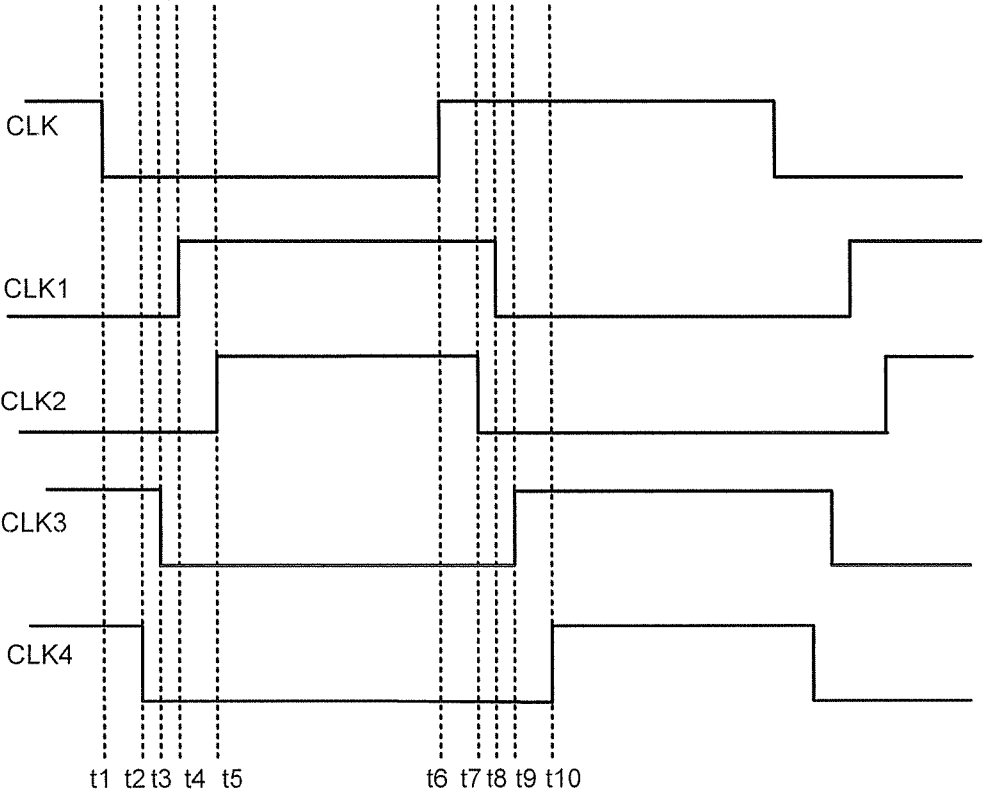


图3

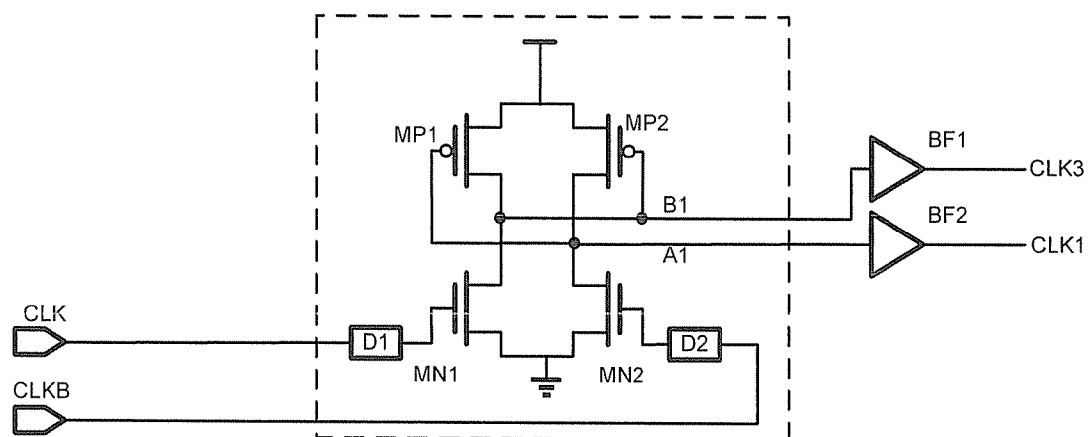


图4

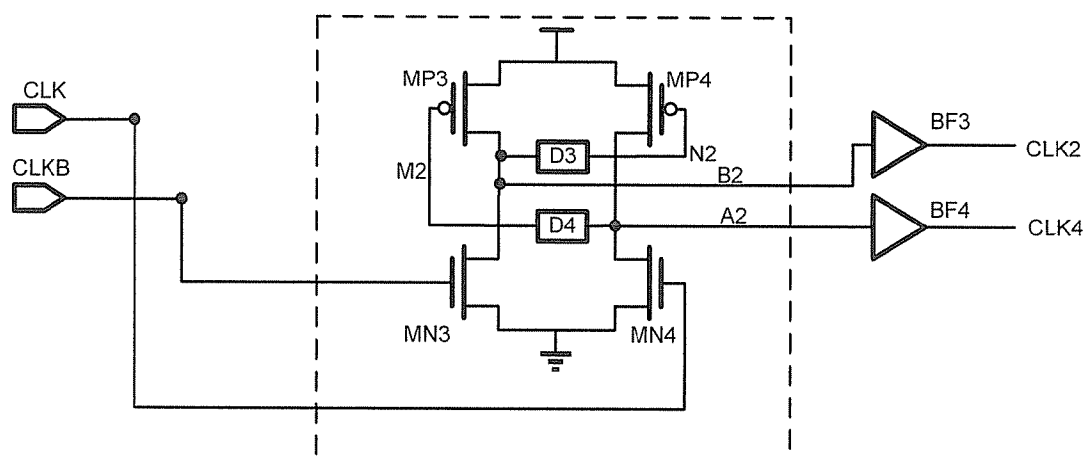


图5

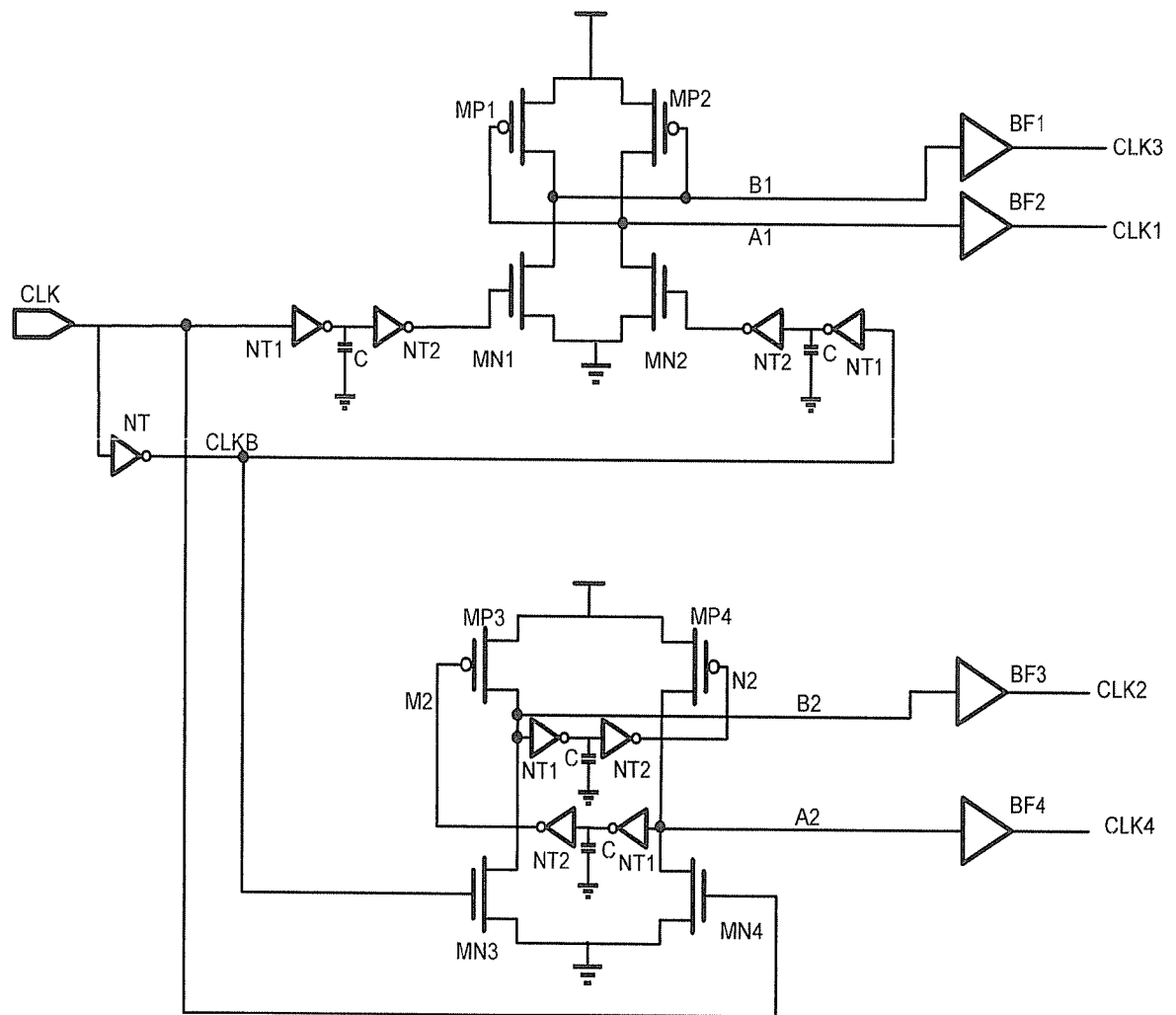


图6

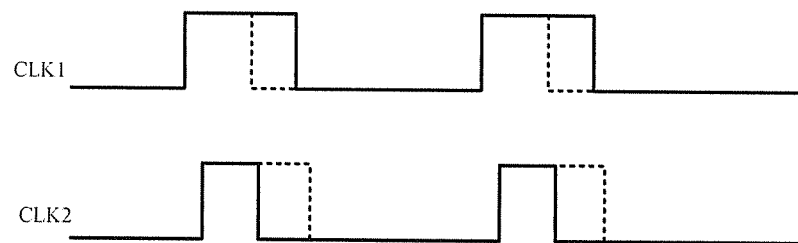


图7

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2011/083212

A. CLASSIFICATION OF SUBJECT MATTER

H03K 5/15 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H03K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNXTX CNKI SIPOABS DWPI: power supply phase clock signal circuit transistor mos fet delay

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 101630955 A (NATIONAL DEFENSE UNIVERSITY OF SCIENCE AND TECHNOLOGY), 20 January 2010 (20.01.2010), description, page 1, the last two paragraphs, and figure 3	10-12
A		1-9, 13-15
X	JP 2006-14352 A (RENESAS TECHNOLOGY KK), 12 January 2006 (12.01.2006), description, paragraphs 49-53, and figure 3	10-12
A		1-9, 13-15
A	CN 101572546 A (NATIONAL DEFENSE UNIVERSITY OF SCIENCE AND TECHNOLOGY), 04 November 2009 (04.11.2009), the whole document	1-15
A	US 6052010 A (CYPRESS SEMICONDUCTOR CORP.), 18 April 2000 (18.04.2000), the whole document	1-15

II Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	
"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 06 March 2012 (06.03.2012)	Date of mailing of the international search report 22 March 2012 (22.03.2012)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer DONG, Gang Telephone No.: (86-10) 62411766

International application No.
PCT/CN2011/083212

Form PCT/IS A/210 (patent family annex) (July 2009)

国际检索报告

国际申请号
PCT/CN201 1/083212

A. 主题的分类

H03K 5/15 (2006.01) i

按照国际专利分类(IPC) 或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC:H03K

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词 (如使用))

CNXTX CNKI SIPOABS DWPI 晶体管 MOS FET 相位 位相 延时 延迟 时钟 信号 电路 供电 电源 phase
clock signal circuit transistor mos fet delay

C. 相关文件

类 型 *	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN101630955A (中国人民解放军国防科学技术大学) 20. 1 月 2010	10-12
A	(20.01.2010) 说明书第 1 页倒数第 1-2 段和图 3	1-9, 13-15
X	JP2006-14352ACRENESAS TECHNOLOGY KK) 12. 1 月 2006(12.01.2006)	10-12
A	说明书第 49-53 段和图 3	1-9, 13-15
A	CN101572546A (中国人民解放军国防科学技术大学) 04. 11 月 2009	1-15
	(04. 11.2009) 全文	
A	US6052010A (CYPRESS SEMICONDUCTOR CORP) 18.4 月 2000	1-15
	(18.04.2000) 全文	



其余文件在 C 栏的续页中列出。

因 见同族专利附件。

* 引用文件的具体类型:

"A" 认为不特别相关的表示了现有技术一般状态的文件

"E" 在国际申请日的 3/4 之后公布的在先申请或专利

"L" 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

"O" 涉及口头公开、使用、展览或其他方式公开的文件

"P" 公布日先于国际申请日但迟于所要求的优先权日的文件

"T" 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

"X" 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

"Y" 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

"&" 同族专利的文件

国际检索实际完成的日期

06.3 月 2012 (06.03.2012)

国际检索报告邮寄日期

22.3 月 2012 (22.03.2012)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局
中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

授权官员

董刚

电话号码: (86-10) 62411766

国际检索报告

关于同族专利的信息

国际申请号

PCT/CN201 1/083212

检索报告中引用的 专利文件	公布 日期	同族 专利	公布 日期
CN101630955A	20.01.2010	无	
JP2006-14352A	12.01.2006	JP4195702B2	10. 12.2008
CN101572546A	04. 11.2009	无	
US6052010A	18.04.2000	无	