

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4269700号
(P4269700)

(45) 発行日 平成21年5月27日 (2009. 5. 27)

(24) 登録日 平成21年3月6日 (2009. 3. 6)

(51) Int. Cl.

F I

G 0 9 F 9/00 (2006. 01)

G 0 9 F 9/00 3 4 6 A

G 0 2 F 1/133 (2006. 01)

G 0 2 F 1/133 5 2 0

G 0 2 F 1/1345 (2006. 01)

G 0 2 F 1/133 5 5 0

G 0 9 G 3/20 (2006. 01)

G 0 2 F 1/1345

G 0 9 G 3/36 (2006. 01)

G 0 9 G 3/20 6 1 2 D

請求項の数 2 (全 14 頁) 最終頁に続く

(21) 出願番号 特願2003-15809 (P2003-15809)
 (22) 出願日 平成15年1月24日 (2003. 1. 24)
 (65) 公開番号 特開2004-226786 (P2004-226786A)
 (43) 公開日 平成16年8月12日 (2004. 8. 12)
 審査請求日 平成17年10月6日 (2005. 10. 6)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100092336
 弁理士 鈴木 晴敏
 (72) 発明者 豊澤 昇
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内
 (72) 発明者 仲島 義晴
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内
 審査官 北川 創

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項 1】

電子機器のディスプレイ部品として用いられ、電子機器の本体側から供給される表示データ及び電源電圧に応じて動作し、表示領域とこれを駆動する周辺の回路部とこれを電子機器の本体側に接続する端子部とを絶縁基板上に一体的に形成したパネルからなり、

前記絶縁基板は、中央に該表示領域が配され、これを囲む四辺に該回路部が配され、該四辺の内の一辺の端に該端子部が配されており、

前記回路部は、電子機器本体から供給される一次の電源電圧をパネルの仕様に応じた二次の電源電圧に変換する DC / DC コンバータを含んでおり、

前記 DC / DC コンバータは、該絶縁基板上に搭載される内蔵回路と、該端子部を介して該内蔵回路に接続される外付け部品とを含み、

前記 DC / DC コンバータは、ポンピングパルスで一次の電源電圧にポンピングされるフライングキャパシタと、ポンピングされた該一次の電源電圧をクランピングして二次の電源電圧を取り出すクランプ回路と、該二次の電源電圧に含まれるノイズを除去するバイパスコンデンサとを含み、

前記クランプ回路は該内蔵回路に含まれる一方、前記フライングキャパシタ及びバイパスコンデンサは外付け部品として組み込まれ、

前記内蔵回路は、該端子部が配された一辺上で該端子部と該表示領域の間に配され、該端子部を介して該内蔵回路と該外付け部品である前記フライングキャパシタ及びバイパスコンデンサを結ぶ配線長を短縮化する表示装置。

【請求項 2】

電子機器のディスプレイ部品として用いられ、電子機器の本体側から供給される表示データ及び電源電圧に応じて動作し、表示領域とこれを駆動する周辺の回路部とを絶縁基板上に一体的に形成したパネルと、これを電子機器の本体側に接続する複数の配線が平面的に配されたフラットケーブルとからなり、

前記回路部は、電子機器本体から供給される一次の電源電圧をパネルの仕様に依じて複数レベルの二次の電源電圧に変換する複数の DC / DC コンバータを含んでおり、

各 DC / DC コンバータは、該絶縁基板上に搭載される内蔵回路と、該フラットケーブル上に搭載され配線を介して該内蔵回路に接続される外付け部品とを含み、

各 DC / DC コンバータは、ポンピングパルスで一次の電源電圧にポンピングされるフライングキャパシタと、ポンピングされた該一次の電源電圧をクランピングして二次の電源電圧を取り出すクランプ回路と、該二次の電源電圧に含まれるノイズを除去するバイパスコンデンサとを含み、

前記クランプ回路は該内蔵回路に含まれる一方、前記フライングキャパシタ及びバイパスコンデンサは外付け部品としてフラットケーブルに搭載され、

複数の DC / DC コンバータに属する複数のフライングキャパシタ及びバイパスコンデンサを該フラットケーブル上で配線がクロスしない様適切にレイアウトし、以ってフラットケーブルを単層配線化する表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は中央の表示領域と周辺の回路部とを共通の絶縁基板上に一体的に形成した表示装置（システムディスプレイ）に関する。より詳しくは、周辺回路部の一ブロックとして含まれる DC / DC コンバータの実装技術に関する。

【0002】

【従来の技術】

TFT をスイッチング素子に用いるアクティブマトリクス型の液晶パネルは、表示領域に加え周辺の回路部も TFT で集積形成できる為、いわゆるシステムディスプレイを構築できるメリットがある。システムディスプレイは、電子機器のディスプレイ部品として用いられ、電子機器の本体側から供給される表示データ及び電源電圧に応じて動作する。システムディスプレイの回路部は、電子機器本体側（セット側）から供給される一次の電源電圧を表示パネルの仕様に依じた二次の電源電圧に変換する DC / DC コンバータを含んでいる。一般に DC / DC コンバータは、表示パネルを構成する絶縁基板上に搭載される内蔵回路と、接続端子を介して内蔵回路に接続されるフライングキャパシタなどの外付け部品とに分かれている。システムディスプレイ用の DC / DC コンバータは、例えば特許文献 1 に記載されている。

【0003】

【特許文献 1】

特開 2000-305504

【0004】

【発明が解決しようとする課題】

特許文献 1 に記載された DC / DC コンバータなどでは、システムディスプレイに搭載された DC / DC コンバータの変換効率が駆動システムの改良により大きく改善されてきている。しかしながら、駆動システムの改良に比べ実装技術の改善が進んでおらず、解決すべき課題となっている。

【0005】

第一に、従来の DC / DC コンバータでは、パネル上でのレイアウト配置が最適化されておらず、これが変換効率の更なる向上を阻害する要因となっていた。

【0006】

第二に、パネルの仕様に依じて複数の DC / DC コンバータを搭載した表示装置において

10

20

30

40

50

、DC/DCコンバータに含まれるフライングキャパシタやバイパスコンデンサなど一部の部品は、素子面積が非常に大きくなる為、表示装置を構成するパネル側と機器本体側（セット側）を結ぶフラットケーブル上に実装する場合がある。この場合、複数の外付け部品をフラットケーブル上に実装する為、配線がクロスせざるを得ず、配線構造が多層化していた。従来単層配線を実現する為の最適なDC/DCコンバータ用端子配列が工夫されておらず、多層配線にならざるを得なかった為、フラットケーブルのコストが増大しており、解決すべき課題となっている。

【0007】

第三に、DC/DCコンバータをパネル上に搭載する場合、周辺回路部が必要とする電流量を全て供給する為、十分な容量を持つ必要があり、フライングキャパシタの内蔵化が難しいという課題があった。フライングキャパシタを外付け部品としてパネル外にレイアウトすると、部品点数の増加やコストの増加の要因になる。

【0008】

【課題を解決するための手段】

上述した従来の技術の課題に鑑み、本発明は表示領域に加え周辺の回路部も内蔵したシステムディスプレイにおいて、DC/DCコンバータの実装構造を改善し、以ってDC/DCコンバータの一層の効率化及び低コスト化を図ることを目的とする。係る目的を達成するために以下の手段を講じた。第一面は、電子機器のディスプレイ部品として用いられ、電子機器の本体側から供給される表示データ及び電源電圧に応じて動作し、表示領域とこれを駆動する周辺の回路部とこれを電子機器の本体側に接続する端子部とを絶縁基板上に一体的に形成したパネルからなる表示装置であって、前記絶縁基板は、中央に該表示領域が配され、これを囲む四辺に該回路部が配され、該四辺の内の一边の端に該端子部が配されており、前記回路部は、電子機器本体から供給される一次の電源電圧をパネルの仕様に
20
応じた二次の電源電圧に変換するDC/DCコンバータを含んでおり、前記DC/DCコンバータは、該絶縁基板上に搭載される内蔵回路と、該端子部を介して該内蔵回路に接続される外付け部品とを含み、前記内蔵回路は、該端子部が配された一边上で該端子部と該表示領域の間に配され、該端子部を介して該内蔵回路と該外付け部品を結ぶ配線長を短縮化する。前記DC/DCコンバータは、ポンピングパルスで一次の電源電圧にポンピングされるフライングキャパシタと、ポンピングされた該一次の電源電圧をクランピングして二次の電源電圧を取り出すクランプ回路と、該二次の電源電圧に含まれるノイズを除去
30
するバイパスコンデンサとを含み、前記クランプ回路は該内蔵回路に含まれる一方、前記フライングキャパシタ及びバイパスコンデンサは外付け部品として組み込まれる。

【0009】

第二面は、電子機器のディスプレイ部品として用いられ、電子機器の本体側から供給される表示データ及び電源電圧に応じて動作し、表示領域とこれを駆動する周辺の回路部とを絶縁基板上に一体的に形成したパネルと、これを電子機器の本体側に接続する複数の配線が平面的に配されたフラットケーブルとからなる表示装置であって、前記回路部は、電子機器本体から供給される一次の電源電圧をパネルの仕様に
40
応じて複数レベルの二次の電源電圧に変換する複数のDC/DCコンバータを含んでおり、各DC/DCコンバータは、該絶縁基板上に搭載される内蔵回路と、該フラットケーブル上に搭載され配線を介して該内蔵回路に接続される外付け部品とを含み、複数のDC/DCコンバータに属する複数個の外付け部品を該フラットケーブル上で配線がクロスしない様適切にレイアウトし、以ってフラットケーブルを単層配線化することを特徴とする。各DC/DCコンバータは、ポンピングパルスで一次の電源電圧にポンピングされるフライングキャパシタと、ポンピングされた該一次の電源電圧をクランピングして二次の電源電圧を取り出すクランプ回路と、該二次の電源電圧に含まれるノイズを除去するバイパスコンデンサとを含み、前記クランプ回路は該内蔵回路に含まれる一方、前記フライングキャパシタ及びバイパスコンデンサは外付け部品としてフラットケーブルに搭載される。

【0011】

本発明の第一面によれば、DC/DCコンバータの内蔵回路部分は、接続端子が配され

10

20

30

40

50

た絶縁基板上の一辺で接続端子と表示領域の間にレイアウトされている。これにより、接続端子を介してDC/DCコンバータの内蔵回路部分とフライングキャパシタなど外付け部品とを結ぶ配線長を極限まで短縮化できる。配線長の短縮化により、有害な出力電圧降下を抑制可能とし、合わせて変換効率の改善を達成している。

本発明の第二面によれば、DC/DCコンバータは、パネルを構成する絶縁基板上に搭載される内蔵回路と、フラットケーブル上に搭載され配線を介して内蔵回路に接続される外付け部品とに分かれている。複数のDC/DCコンバータに属する外付け部品をフラットケーブル上で配線がクロスしない様に適切にレイアウトし、以ってフラットケーブルを単層配線化することに成功している。これにより、システム全体のコストを下げる事が可能である。

10

【0012】

【発明の実施の形態】

以下図面を参照して本発明の実施の形態を詳細に説明する。図1は本発明に係る表示装置の全体構成を示すブロック図である。図示する様に、本表示装置0は、ガラスなどからなる絶縁基板1の上に集積形成されている。絶縁基板1の中央には表示領域2が形成されており、これを囲む様に周辺の回路部も一体的に形成されている。矩形的絶縁基板1の上辺には接続端子が形成されており、フレキシブルプリントケーブル(FPC)11を介して、電子機器本体側(セット側)と接続する様になっている。FPC11は複数の配線が平面的に配列した単層構造のフラットケーブルとなっている。

20

【0013】

表示領域2は行状のゲートラインG1~Gmと列状の信号ラインS1~Snが互いに交差配置したマトリクス構成となっている。各ゲートラインGと信号ラインSの交差部には画素が形成されている。本実施形態では、各画素は液晶素子LC、補助容量CS及び薄膜トランジスタTFTで構成されている。液晶素子LCは画素電極とこれに対向するコモン電極(COM)と両者の間に保持された液晶(電気光学物質)とで構成されている。TFTのゲート電極はゲートラインGに接続し、ソース電極は信号ラインSに接続し、ドレイン電極は液晶素子LCの画素電極に接続している。補助容量CSはTFTのドレイン電極と補助容量ラインとの間に接続されている。TFTはゲートラインGから供給される選択パルスで導通し、信号ラインSから供給される信号電圧を対応する液晶素子LCの画素電極に書き込む。補助容量CSは一フレームもしくは一フィールドの間、信号電圧を保持しておく。

30

【0014】

液晶素子LCは一般に交流駆動される。すなわち、信号ラインSを介して液晶素子LCに書き込まれる信号電圧は周期的に極性が反転する。これに合わせて、液晶素子LCのコモン電極COMに印加するコモン電圧VCOMも周期的に極性反転する必要がある。ここで、液晶素子LCやこれをスイッチング駆動するTFTには、極性に関し非対称性がある。この為、画素電極側とコモン電極側で中心レベルを合わせておくと、極性に関する非対称性が表われて、焼付きなど画品位の劣化が生じる。この対策として、信号電圧に対しコモン電圧を所定電圧分だけオフセットし、極性に関する非対称性を打ち消すことが行われている。尚、補助容量CSも、液晶素子LCの交流駆動に合わせて、交流動作させる必要がある。この為、各補助容量CSに共通接続された補助容量ラインに、同じく所定の周期で極性反転する電圧を印加する必要がある。

40

【0015】

上述した表示領域2を囲む上下左右四辺に周辺の回路部が集積形成されている。本実施形態の場合、この周辺回路部は、垂直ドライバ3、水平ドライバ4、COMドライバ5、CSドライバ6、DC/DCコンバータ7、DC/DCコンバータ7a、レベルシフタ(L/S)を含むインターフェース8、タイミングジェネレータ9、アナログ電圧ジェネレータ10などを含んでいる。但し本発明はこの構成に限られるものではなく、表示装置(システムディスプレイ)0の仕様に応じて適宜必要な回路が追加される一方、不必要な回路は削除される。例えば、場合により信号電圧とは別に完全な白表示や完全な黒表示に使わ

50

れる信号電圧レベルを生成するドライバなどが組み込まれることもある。

【0016】

垂直ドライバ3は各ゲートラインG1～Gmに接続され、線順次で選択パルスを供給する。水平ドライバ4は上下一対形成されており、各信号ラインS1～Snの両端に接続して、両側から同時に所定の信号電圧を供給している。尚この信号電圧はFPC11を介してセット側から送られてくる表示データ（画像情報）に応じたものとなっている。

【0017】

コモンドライバ（COMドライバ）5は、周期的に極性反転するコモン電圧VCOMを各液晶素子LCに共通するコモン電極に印加する。COMドライバ5にはオフセット回路やスタート回路（COMスタータ）が付属している。オフセット回路はコモンドライバ5で生成されるコモン電圧のオフセットレベルを調節する。スタート回路（COMスタータ）はパネルの起動時にオフセット回路を充電してコモン電圧VCOMの印加を速やかに立ち上げる。CSドライバ6は周期的に極性反転する電圧を、各補助容量CSに共通する補助容量ラインに印加する。

【0018】

DC/DCコンバータ7は、電子機器本体からFPC11を介して供給される一次の電源電圧を、パネル（表示装置0）の仕様に応じた二次の電源電圧に変換する。特に、DC/DCコンバータ7は正側の電源電圧VDDの変換に用いられる。これに対し、DC/DCコンバータ7aは負側の電源電圧VSSの変換に用いられる。

【0019】

L/Sを含むインターフェース8は、FPC11を介してセット側から供給されたクロック信号、同期信号、画像信号などの制御信号を受け入れる。レベルシフトL/Sは、セット側から送られてきた制御信号（外部制御信号）をレベルシフトして、表示装置内部の回路動作仕様に適合した制御信号（内部制御信号）を生成する。尚、本明細書では外部制御信号と内部制御信号を区別する必要がある場合、各制御信号の種類を表わす記号の後ろに外部制御信号の場合数字（3）を付し、内部制御信号の場合数字（5）を付することがある。タイミングジェネレータ9は、L/Sを含むインターフェース8から送られてきたクロック信号や同期信号を処理して、回路各部のタイミング制御に必要なクロック信号などを生成する。アナログ電圧ジェネレータ10は、あらかじめ階調に応じた複数のレベルのアナログ電圧を、水平ドライバ4に供給する。水平ドライバ4は、電子機器の本体側から送られる画像情報に応じて階調化されたアナログの信号電圧を液晶素子LCに書き込む。

【0020】

図2は、表示装置側に対するセット側の制御シーケンスを示すタイミングチャートであり、（A）はオンシーケンスを表わし、（B）はオフシーケンスを表わしている。但し、待機モード（スタンバイモード）に関するシーケンス制御がない通常の場合を表わしている。ディスプレイ側に対してセット側からマスタクロックMCK、水平同期信号HSYNC、垂直同期信号VSYNC、表示データDATA、リセット信号RST、表示許可信号PCI、電源電圧VDDが所定のシーケンスに従って入力される。セット側からディスプレイ側を立ち上げるオンシーケンス（A）では、最初にVDDが立ち上がり次いでMCK、HSYNC、VSYNCがアクティブになる。時間ton1経過後、リセット信号RSTがローからハイに切り換わり、ディスプレイの回路部が初期化される。この後時間ton2経過後、DATAがローからアクティブに切り換わるとともに、表示許可信号PCIがローからハイに切り換わる。これにより、ディスプレイの表示領域に画像が映し出される。

【0021】

セット側からディスプレイを立ち下げるオフシーケンス（B）では、まずDATAがアクティブからローに切り換わるとともに表示許可信号PCIがハイからローに切り換わる。時間toff1経過後、リセット信号RSTがハイからローに切り換わり、ディスプレイの回路の内部状態をリセットする。時間toff2経過後、MCK、HSYNC、VSYNCの供給を遮断し最後にVDDを立ち下げる。これにより、VDDは接地電位あるいは

10

20

30

40

50

浮遊電位となる。

【0022】

図3は、待機モード（スタンバイモード）を採用したオンシーケンス及びオフシーケンスを示すタイミングチャートである。理解を容易にする為、図2に示した通常のオンシーケンス及びオフシーケンスと対応する部分には対応する参照符号を用いてある。セット側は通常消費電力状態と低消費電力状態の切り換えが可能である。これに合わせてディスプレイ側を動作モードと待機モード（スタンバイモード）に切り換え制御する必要がある、この為セット側はディスプレイ側に対してスタンバイ信号STBを入力している。

【0023】

オンシーケンス（A）では、まずスタンバイ信号STBがローからハイに立ち上がり、ディスプレイは待機モードから動作モードに復帰する。STBの立ち上がりに合わせて、MCK、HSYNC、VSYNCがアクティブになる。但し、VDDはSTBに関わらず常に供給されている。時間ton1経過後RSTがローからハイに切り換わり、ディスプレイの回路状態が初期化される。時間ton2経過後DATAがアクティブになるとともにPCIがハイに切り換わり、画像が表示領域に映し出される。

【0024】

オフシーケンス（B）ではまずDATA及びPCIが非アクティブとなる。toff1経過後RSTがハイからローになりディスプレイの内部回路がリセットされる。toff2経過後STBがハイからローに切り換わるとともに、MCK、HSYNC、VSYNCが非アクティブになる。STBがハイからローになることで、ディスプレイ側は動作モードから待機モードに移行する。一方VDDは待機モードに移行したにも関わらず、常に電源電圧に維持されている。

【0025】

この様にスタンバイモードを採用したシステムでは、VDDをアクティブとしたままディスプレイ側の駆動回路システムをSTBに応じて非アクティブとする。スタンバイモード制御に用いる信号STBは、図示の様にセット側から独立して入力される制御信号の場合もあるが、セット側から供給される他の外部信号を、ディスプレイ側で内部的に論理処理して生成することもできる。オフシーケンスではRSTでディスプレイの内部回路を論理リセットしてから、STBが立ち下がることになる。

【0026】

図4は、スタンバイモードに適応したDC/DCコンバータ7の具体的な構成例を示す回路図である。ただし本発明はこれに限られるものではなく、スタンバイモードに対応していないDC/DCコンバータを用いることも可能である。図示する様に、DC/DCコンバータ7は、アンド素子（AND）701、遅延素子（DELAY）702、多段バッファ703、外付けのフライングキャパシタ704、クランピング用のトランジスタ705ー707、出力トランジスタ708、内部コンデンサ709、レベルシフタ（L/S）710、アンド素子711、バッファ712、外付けのバイパスコンデンサ720、終端抵抗721などで構成されている。DC/DCコンバータ7は、絶縁基板上に搭載される内蔵回路と、接続端子を介して内蔵回路に接続される外付け部品とで構成されている。図示の例では、フライングキャパシタ704とバイパスコンデンサ720が外付け部品であり、残る回路要素は全て絶縁基板上に内蔵されている。内蔵回路部は、表示領域に形成されているスイッチング用の薄膜トランジスタTFTと同一のプロセスで形成されるTFTなどで構成されている。

【0027】

DC/DCコンバータ7は、セット側から供給される一次の電源電圧VDD1を、パネルの仕様に応じた二次の電源電圧VDD2に変換する。この為、ポンピング用のクロック信号（ポンピングパルス）がアンド素子701及び位相調整用の遅延素子702を介して、多段バッファ703に供給される。多段バッファ703を介してフライングキャパシタ704の一次側がポンピングパルスによってVDD1までポンピングされる。フライングキャパシタ704の二次側にはTFT705、706、707からなるクランプ回路が接続

10

20

30

40

50

されており、フライングキャパシタ704の出力電圧をVDD2までクランピングする。本実施例では、 $VDD2 = 2 \times VDD1$ までクランピングしている。出力トランジスタ708はVDD2までクランプされた矩形波の波高部を取り出して、直流の二次電源電圧VDD2を出力する。その際、外付けのバイパスコンデンサ（デカップリングコンデンサ）720は、二次電源電圧VDD2に含まれるリップルノイズを除去して平滑化している。尚、遅延素子702を通過したクロック信号は内部コンデンサ709を介してクランプ用トランジスタ705、706のドレインに印加されるとともに、出力トランジスタ708のゲートに印加されている。又アンド素子701を通過したクロック信号はレベルシフタ710、アンド素子711及びバッファ712によりクランピング用パルスCLPに整形された上で、トランジスタ705、706のゲートに印加されている。又必要に応じ制御信号がアンド素子711を介して入力され、DC/DCコンバータ7をリセットする様になっている。この様に、DC/DCコンバータ7は、ポンピングパルスで一次の電源電圧VDD1にポンピングされるフライングキャパシタ704と、ポンピングされたフライングキャパシタ704をクランピングして二次の電源電圧VDD2を取り出すクランプ回路（705-708）と、二次の電源電圧VDDに含まれるノイズを除去するバイパスコンデンサ720とで基本的に構成されている。

【0028】

DC/DCコンバータ7はスタンバイモードに対応するため、待機制御手段としてアンド素子701を用いており、STB信号を受け入れる様になっている。STB信号がハイからローに切り換わって待機モードへの移行が指示されると、アンド素子701が閉じてクロック信号（ポンピングパルス）の入力が遮断される。ポンピングパルスを停止してフライングキャパシタ704への充放電を停止し、以って消費電力を削減している。尚、スタンバイモードに移行した場合、DC/DCコンバータ7の出力端子は終端抵抗721によってVDD1又はGNDなどの所定電位に固定される。これにより、システムディスプレイ内の電源ラインが浮遊状態になることを防いでいる。図示の例では終端抵抗721は内蔵となっているが、外付部品としてもよい。

【0029】

図5は、DC/DCコンバータを表示装置に搭載する場合の問題点を模式的に表わしている。表示装置を構成する絶縁基板1上にDC/DCコンバータ7を集積形成する場合、フライングキャパシタ704及びバイパスコンデンサ720は素子面積が非常に大きくなる為、外付け部品とすることが多い。この時、DC/DCコンバータ7からフライングキャパシタ704までの距離が長いと、表示装置内の配線抵抗 r_1 、 r_2 により、フライングキャパシタ704への充放電の時定数の低下が生じ、変換効率の悪化につながる。又、DC/DCコンバータ7からバイパスコンデンサ720までの距離が長いと、表示装置内の配線抵抗 r_3 、 r_4 により、DC/DCコンバータ7の出力電圧の降下 $\Delta V_1 + \Delta V_2$ が生じ、同じく変換効率の低下につながる。

【0030】

図6は、図5に示した課題を解決する為に考案されたレイアウトを模式的に表わしている。本表示装置は、電子機器のディスプレイ部品として用いられ、電子機器の本体側（図示せず）から供給される表示データ及び電源電圧に応じて動作し、表示領域2とこれを駆動する周辺の回路部とこれを電子機器の本体側に接続する端子部12とを絶縁基板1上に一体的に形成したパネルからなる。絶縁基板1は、中央に表示領域2が配され、これを囲む四辺に回路部が配されている。四辺の内の一辺（本実施例では下辺）の端に端子部12が配されている。表示領域2を囲む回路部は、電子機器本体から供給される一次の電源電圧をパネルの仕様に応じた二次の電源電圧へ変換するDC/DCコンバータ7を含んでいる。DC/DCコンバータ7は、絶縁基板1上に搭載される内蔵回路と、端子部12を介して内蔵回路に接続される外付け部品とを含む。本実施例では、DC/DCコンバータ7は、ポンピングパルスで一次の電源電圧にポンピングされるフライングキャパシタ704と、ポンピングされたフライングキャパシタ704をクランピングして二次の電源電圧を取り出すクランプ回路と、二次の電源電圧に含まれるノイズを除去するバイパスコンデンサ

10

20

30

40

50

720とを含んでいる。クランプ回路は内蔵回路に含まれる一方、フライングキャパシタ704及びバイパスコンデンサ720は外付け部品として組み込まれている。本実施形態の特徴事項として、DC/DCコンバータ7の内蔵回路部分は、端子部12が配された下辺上で端子部12と表示領域2の間に配され、端子部12を介して内蔵回路と外付け部品を結ぶ配線13の長さを短縮化している。

【0031】

図6に示したレイアウトを採用することで、入力端子からDC/DCコンバータ7までの距離を最短化できる。表示装置の他の制御信号に割り当てられる配線の影響が少ない為、外付け部品に対する配線幅を太くできるなどのメリットが生じる。フライングキャパシタ704の両側電極につながる配線13の電気抵抗及び内蔵DC/DCコンバータ7の出力端子からバイパスコンデンサ720までの配線抵抗を最小化することができ、DC/DCコンバータ7の変換効率の改善につながる。

10

【0032】

図7は、フレキシブルケーブル11上にフライングキャパシタ704やバイパスコンデンサ720を実装した場合の構造を表わしている。表示装置側の入力端子12はフレキシブルケーブル（フラットケーブル）11を介して本体側の出力端子へと接続されている。GND端子に隣接してフライングキャパシタ704用の接続端子1, 2を配置する。さらにその隣にバイパスコンデンサ用の接続端子2を二本配置する。これは、DC/DCコンバータ側から見て、バイパスコンデンサ720に対する入力端子及び出力端子となっている。バイパスコンデンサ720の他方の端子はフレキシブルケーブル11上でGND端子に接続されている。この様なレイアウトにすると、フレキシブルケーブル11上で配線がクロスすることがなくなり、単層化が実現できる。フレキシブルケーブル11を単純なプロセスで作ることが可能となり、フレキシブルケーブル11の部品コストの低減化を実現できる。

20

【0033】

図8は、複数のDC/DCコンバータ（図示の例では3個）に対応したフライングキャパシタ704やバイパスコンデンサ720をフレキシブルケーブル11上に実装する場合のレイアウトを表わしている。一番目のDC/DCコンバータに対応して、GND端子、フライングキャパシタ用接続端子1, 2及びバイパスコンデンサ用接続端子2, 2を図示の様にa, b, cの順に配列する。GND端子は全てのDC/DCコンバータに対して共通である。二番目のDC/DCコンバータについてはb及びcのレイアウトを繰り返す。更に三番目のDC/DCコンバータについてもb, cのレイアウトを繰り返す。尚図示のように三番目のDC/DCコンバータがフライングキャパシタを内蔵している場合、bのレイアウトは省略される。この様に、一番目のDC/DCコンバータに対するa-b-cのレイアウトの後、二番目以降のDC/DCコンバータに対してb-cの配列を繰り返すことで、フレキシブルケーブル11上の配線がクロスすることなく、単層化を実現できる。

30

【0034】

図9は、本発明の別の実施形態に係るDC/DCコンバータを示す回路図である。基本的には、図4に示した先のDC/DCコンバータ7と同様であり、理解を容易にする為対応する部分には対応する参照番号を付してある。異なる点は、図4に示したDC/DCコンバータがフライングキャパシタ704を外付けとしていたのに対し、図9に示したDC/DCコンバータはフライングキャパシタ704を内蔵化していることである。フライングキャパシタ704を表示装置内に内蔵させることにより、表示装置外部の部品点数を削減することができる。通常フライングキャパシタ704はDC/DCコンバータが表示装置内の回路部を駆動する為に十分な電流能力を必要とし、フライングキャパシタ704も大きな容量が要求される。しかしながら容量が大きいと素子面積も大きくなる為、内蔵化の妨げとなる。DC/DCコンバータの電流能力は CVf 値で決定される。Cはフライングキャパシタの容量、Vはポンピングパルスの波高値、fは同じくポンピングパルスの周波数である。ポンピング周波数を増大させることで、フライングキャパシタの素子面積をその分小さくでき、フライングキャパシタの内蔵化を実現可能である。但し、ポンピング周

40

50

波数が速過ぎる場合、DC/DCコンバータに含まれる多段バッファ703を構成するインバータの遷移による電流ロスが大きくなり、逆に変換効率の低下が生じてしまう。

【0035】

この解決策として本発明では図10に示した構成を採用している。まず前提として、フライングキャパシタを内蔵させることのできる最小周波数を計算する。ポンピングパルスはこの最小周波数より高く設定する必要がある。但し、最高周波数の外部信号周波数よりは低くする必要がある。この様な前提で、まずタイミングジェネレータ9に外部信号入力(MCK, HCKなど)を供給する。タイミングジェネレータ9はこの外部信号を分周して所望周波数のポンピングパルス生成する。DC/DCコンバータ7はこのポンピングパルスを用いて表示装置内蔵のフライングキャパシタ704をポンピングする。この様に本実施形態では、タイミングジェネレータ9を利用して、速い周波数のクロックをDC/DCコンバータの高効率化に適する様に分周する。

10

【0036】

図11は、図10に示したシステムの動作説明に供するタイミングチャートである。図示する様に外部本体からの高周波数信号入力を、表示装置内のタイミングジェネレータにより分周して周波数を低くし、ポンピングパルスとして用いる。入力パルスのデューティ比は任意で良く、これを表示装置内のタイミングジェネレータでDC/DCコンバータに必要な所望周波数に分周して、適切な周波数及びデューティ比のポンピングパルスに変換する。これをDC/DCコンバータに入力することで、外部セット側から個別にポンピングパルスを入力する必要がなくなる。よって表示装置の入力端子数を削減でき、システムの小型化に寄与する。又フライングキャパシタを表示装置に内蔵することで部品点数の削減が実現できる。

20

【0037】

【発明の効果】

以上説明した様に、本発明の第一面によれば、表示装置を構成する絶縁基板上でDC/DCコンバータのレイアウトを改善することにより、変換効率の更なる効率化を達成でき、ひいては表示装置の低消費電力化が実現できる。又、本発明の第二面によれば、入力端子配列の最適化により、フラットケーブルのクロス配線をなくすことができ、フラットケーブルを単純なプロセスで作ることを可能とし部品コストの低減化を実現できる。又、本発明の第三面によれば、DC/DCコンバータに入力するポンピングパルスを表示装置内のタイミングジェネレータで生成している。これにより、表示装置の入力端子数が削減でき、システムの小型化につながる。又、フライングキャパシタを表示装置に内蔵することで、部品点数の削減が実現できる。

30

【図面の簡単な説明】

【図1】本発明に係る表示装置の全体構成を示すブロック図である。

【図2】表示装置のオンシーケンス及びオフシーケンスを示すタイミングチャートである。

。

【図3】待機モードを採用した表示装置のオンシーケンス及びオフシーケンスを示すタイミングチャートである。

【図4】図1に示した表示装置に組み込まれるDC/DCコンバータの実施例を示す回路図である。

40

【図5】内蔵DC/DCコンバータの問題点を示す模式図である。

【図6】本発明の第一実施形態に係る表示装置を示す模式図である。

【図7】DC/DCコンバータの構成部品のレイアウトを示す模式図である。

【図8】本発明の第二実施形態に係る表示装置の主要部となるDC/DCコンバータを示す模式図である。

【図9】本発明の第三実施形態に係る表示装置に組み込まれるDC/DCコンバータを示す回路図である。

【図10】図9に示したDC/DCコンバータに供給されるポンピングパルスの生成過程を示す模式図である。

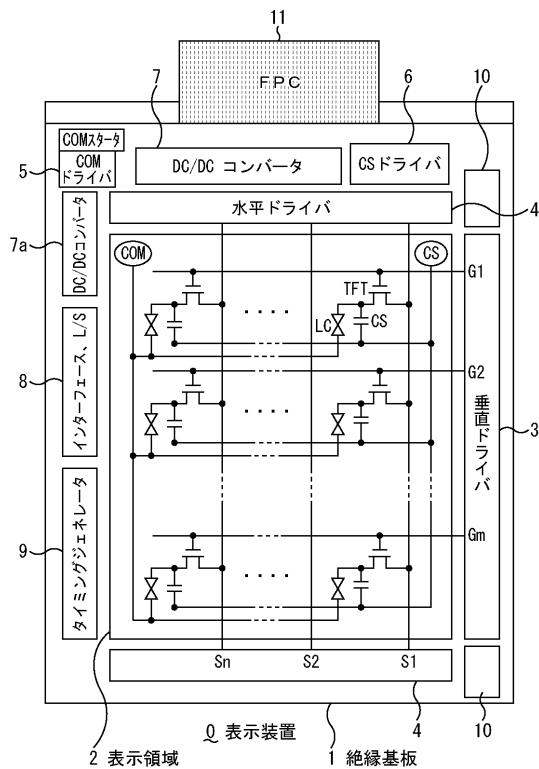
50

【図 1 1】 図 9 に示した DC/DC コンバータに供給されるポンピングパルスの生成過程を示すタイミングチャートである。

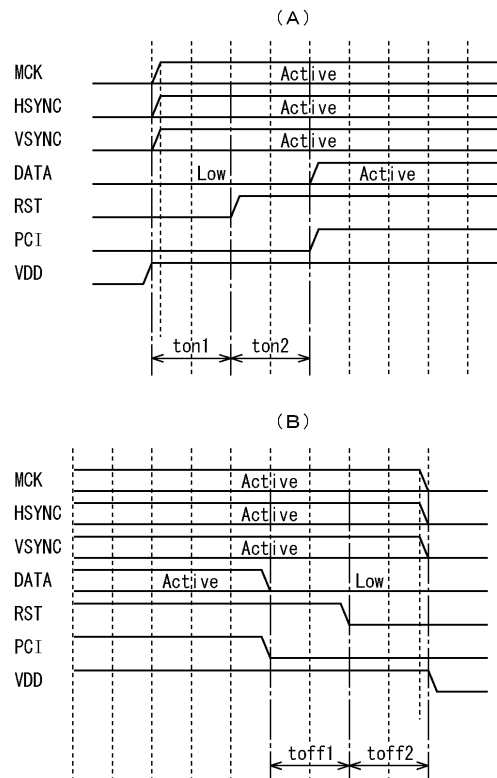
【符号の説明】

0・・・表示装置、1・・・絶縁基板、2・・・表示領域、7・・・DC/DC コンバータ、9・・・タイミングジェネレータ、11・・・フラットケーブル、12・・・入力端子部、704・・・フライングキャパシタ、720・・・バイパスコンデンサ

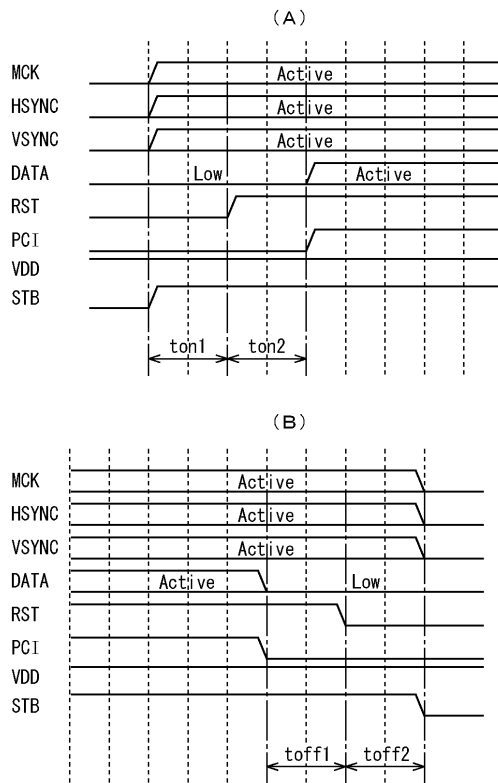
【図 1】



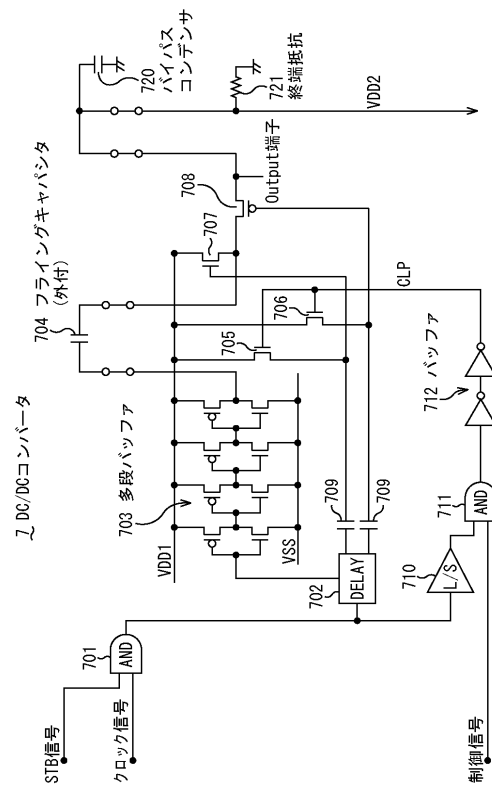
【図 2】



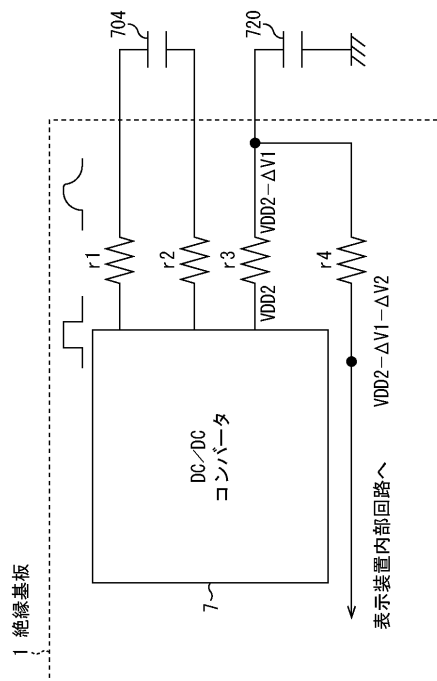
【図 3】



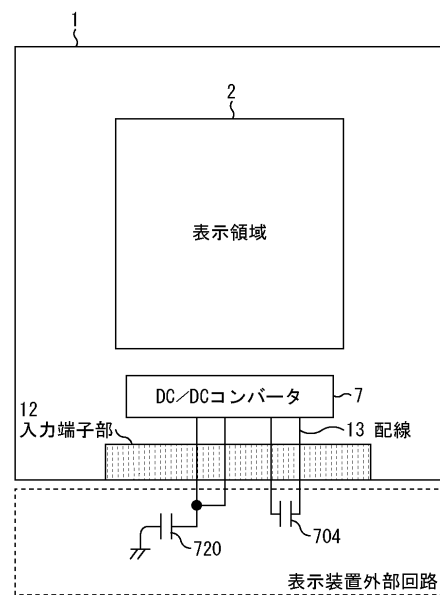
【図 4】

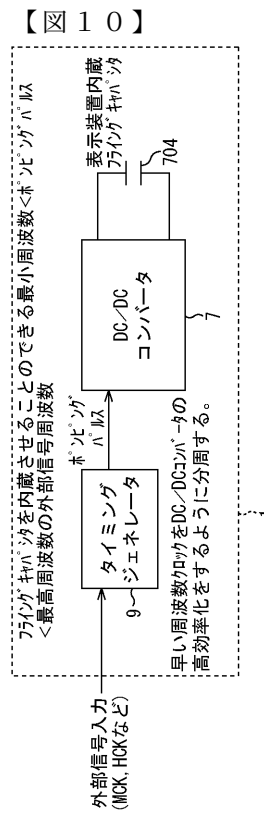
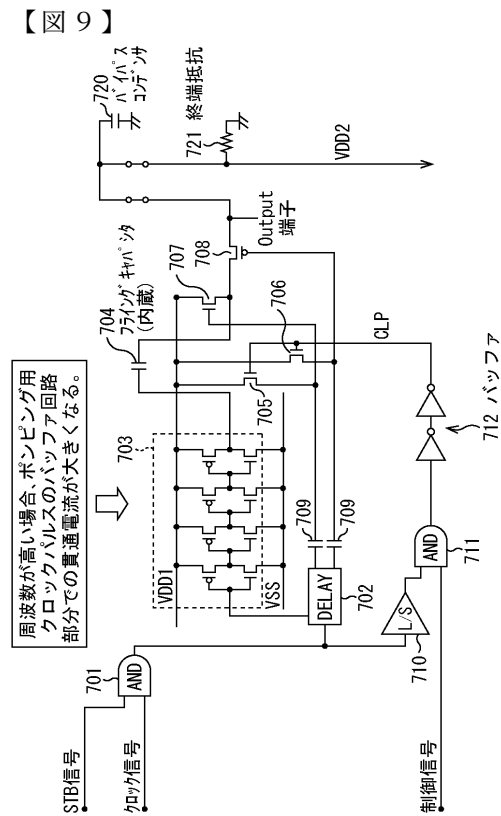
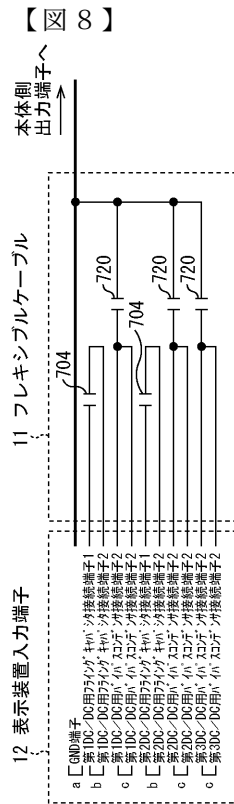
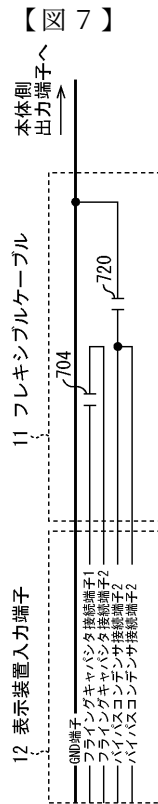


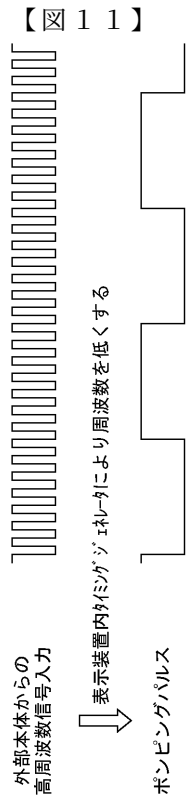
【図 5】



【図 6】







フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 2 1 L
G 0 9 G	3/20	6 2 1 M
G 0 9 G	3/20	6 3 2 K
G 0 9 G	3/20	6 8 0 G
G 0 9 G	3/36	

(56)参考文献 特開 2 0 0 1 - 3 4 3 9 4 5 (J P, A)
特開 2 0 0 0 - 1 3 1 7 0 7 (J P, A)
特開 2 0 0 1 - 0 1 3 8 8 3 (J P, A)
特開 2 0 0 2 - 2 0 7 4 4 1 (J P, A)
特開 2 0 0 2 - 1 7 5 0 4 9 (J P, A)

(58)調査した分野(Int.Cl., D B名)

G09F	9/00	
G02F	1/133	- 1/1345
G09G	3/20	- 3/36