

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2012-205468
(P2012-205468A)

(43) 公開日 平成24年10月22日(2012. 10. 22)

(51) Int.Cl.
H02M 3/155 (2006.01)
H02M 3/28 (2006.01)

F I
H02M 3/155 H
H02M 3/28 H

テーマコード (参考)
5H730

審査請求 有 請求項の数 8 O L (全 14 頁)

(21) 出願番号	特願2011-70290 (P2011-70290)	(71) 出願人	000168285
(22) 出願日	平成23年3月28日 (2011. 3. 28)		エヌイーシーコンピュータテクノ株式会社
		(74) 代理人	100103894
			弁理士 冢入 健
		(72) 発明者	西山 一郎
			山梨県甲府市大津町1088-3 エヌイーシーコンピュータテクノ株式会社内
		Fターム(参考)	5H730 AA20 AS01 AS05 BB14 BB27 BB57 DD04 EE04 EE08 FD31 FG01

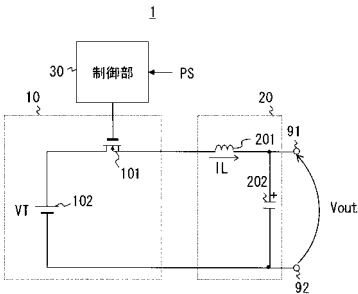
(54) 【発明の名称】 スイッチング電源装置及びその制御方法

(57) 【要約】

【課題】スイッチング電源装置の性能を制限することなく、サージ電圧の発生を抑えることができるスイッチング電源装置及びその制御方法を提供すること。

【解決手段】スイッチング電源装置1は、第1のスイッチ回路10と、平滑回路20と、制御部30と、を備える。第1のスイッチ回路10は、Nch型MOSFET101を有し、Nch型MOSFET101のオンオフに応じて、平滑回路20は、第1のスイッチ回路10から出力される電流を平滑化する。制御部30は、Nch型MOSFET101のオンオフを制御する。制御部30は、Nch型MOSFET101のオンオフのタイミングに基づいて、インダクタ201に流れる電流の向きを判定する。そして、制御部30は、動作停止信号が入力された状態で、インダクタ201に流れる電流の向きが平滑回路20の出力方向である場合、Nch型MOSFET101のオンオフの制御を停止する

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

第 1 のスイッチング素子を有し、前記第 1 のスイッチング素子のオンオフに応じて、電流を出力する第 1 のスイッチ回路と、

インダクタを有し、前記第 1 のスイッチ回路と接続され、前記第 1 のスイッチ回路から出力される前記電流を平滑化する平滑回路と、

前記第 1 のスイッチング素子のオンオフを制御する制御手段と、を備え、

前記制御手段は、前記第 1 のスイッチング素子のオンオフのタイミングに基づいて、前記インダクタに流れる電流の向きを判定し、動作停止信号が入力された状態で、前記インダクタに流れる電流の向きが前記平滑回路の出力方向である場合、前記第 1 のスイッチング素子のオンオフの制御を停止するスイッチング電源装置。

10

【請求項 2】

第 2 のスイッチング素子を有し、当該第 2 のスイッチング素子のオンオフの制御に応じて、正及び負のパルス信号を出力する第 2 のスイッチ回路と、

前記第 2 のスイッチ回路に接続された一次側コイルと、

前記一次側コイルと磁氣的に結合され、前記第 1 のスイッチ回路と接続された二次側コイルと、をさらに備え、

前記制御手段は、前記第 2 のスイッチング素子のオンオフのタイミングに基づいて、前記インダクタに流れる前記電流の向きを判定する請求項 1 に記載のスイッチング電源装置。

20

【請求項 3】

前記制御手段は、前記動作停止信号が入力された状態において、前記第 2 のスイッチ回路が前記一次側コイルに出力する前記正のパルス信号の立ち下がり及び前記負のパルス信号の立ち上がりのいずれか一方のタイミングで、前記第 1 のスイッチング素子のオンオフの制御を停止する請求項 2 に記載のスイッチング電源装置。

【請求項 4】

前記第 2 のスイッチ回路は、第 1 ～ 第 4 のトランジスタを有するブリッジ回路であり、

前記第 1 及び第 3 のトランジスタのドレインは、第 1 の入力端子に接続され、

前記第 2 及び第 4 のトランジスタのソースは、第 2 の入力端子に接続され、

前記第 1 のトランジスタのソースは、前記第 2 のトランジスタのドレインに接続され、

前記第 3 のトランジスタのソースは、前記第 4 のトランジスタのドレインに接続され、

30

前記一次側コイルの一端は、前記第 1 のトランジスタのソース及び前記第 2 のトランジスタのドレインに接続され、他端は、前記第 3 のトランジスタのソース及び前記第 4 のトランジスタのドレインに接続されており、

前記制御手段は、前記動作停止信号が入力された状態において、前記第 3 及び第 4 のトランジスタが共にオフなるタイミングで、前記第 1 のスイッチング素子の制御を停止する請求項 2 または 3 に記載のスイッチング電源装置。

【請求項 5】

前記第 1 のスイッチ回路は、さらに第 3 のスイッチング素子を有し、

前記制御手段は、前記第 1 ～ 第 4 のトランジスタのゲートに制御信号を出力するドライバ手段と、前記動作停止信号及び前記制御信号に基づいて、前記第 1 のスイッチ回路が有する前記第 1 及び第 3 のスイッチング素子のオンオフを制御する論理ゲート手段と、を有し、

40

前記論理ゲート手段は、

前記第 3 のトランジスタに出力される前記制御信号が入力される第 1 の NOT ゲートと

、

前記第 4 のトランジスタに出力される前記制御信号が入力される第 2 の NOT ゲートと

、

前記動作停止信号が入力される第 3 の NOT ゲートと、

前記第 1 及び第 2 の NOT ゲートの出力信号が入力される第 1 の AND ゲートと、

50

前記第 3 の NOT ゲートの出力信号と前記第 1 の AND ゲートの出力信号とが入力される NAND ゲートと、

前記第 1 のトランジスタに出力される前記制御信号と前記 NAND ゲートの出力信号とが入力される第 2 の AND ゲートと、

前記第 2 のトランジスタに出力される前記制御信号と前記 NAND ゲートの出力信号とが入力される第 3 の AND ゲートと、を有し、

前記第 2 の AND ゲートの出力信号を用いて、前記第 1 のスイッチング素子のオンオフを制御し、前記第 3 の AND ゲートの出力信号を用いて、前記第 3 のスイッチング素子のオンオフを制御する請求項 4 に記載のスイッチング電源装置。

【請求項 6】

10

前記第 1 のスイッチ回路は、第 5 ~ 第 8 のトランジスタを有するブリッジ回路であり、前記第 5 及び第 7 のトランジスタのドレインは、前記インダクタを介して第 1 の出力端子に接続され、

前記第 6 及び第 8 のトランジスタのソースは、第 2 の出力端子に接続され、

前記第 5 のトランジスタのソースは、前記第 6 のトランジスタのドレインに接続され、前記第 7 のトランジスタのソースは、前記第 8 のトランジスタのドレインに接続され、

前記二次側コイルの一端は、前記第 5 のトランジスタのソース及び前記第 6 のトランジスタのドレインに接続され、他端は、前記第 7 のトランジスタのソース及び前記第 8 のトランジスタのドレインに接続されており、

前記第 2 の AND ゲートの出力信号は、前記第 5 及び第 8 のトランジスタのゲートに入力され、

20

前記第 3 の AND ゲートの出力信号は、前記第 6 及び第 7 のトランジスタのゲートに入力される請求項 5 に記載のスイッチング電源装置。

【請求項 7】

前記第 1 のスイッチ回路から出力される前記電流は脈流である請求項 1 ~ 6 のいずれか一項に記載のスイッチング電源装置。

【請求項 8】

スイッチング素子を有し、前記スイッチング素子のオンオフに応じて、電流を出力するスイッチ回路と、インダクタを有し、前記スイッチ回路と接続され、前記スイッチ回路から出力される電流を平滑化する平滑回路と、を備えるスイッチング電源装置の制御方法であって、

30

前記スイッチング素子のオンオフのタイミングに基づいて、前記インダクタに流れる電流の向きを判定し、

動作停止信号が入力された状態で、前記インダクタに流れる電流の向きが前記平滑回路の出力方向である場合、前記スイッチング素子のオンオフの制御を停止するスイッチング電源装置の制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はスイッチング電源装置及びその制御方法に関し、特にインダクタを用いて出力電流を平滑化するスイッチング電源装置及びその制御方法に関する。

40

【背景技術】

【0002】

トランジスタ等の半導体のオン、オフ動作を繰り返して出力電圧を制御するスイッチング電源装置が知られている。このようなスイッチング電源装置内部では、スイッチング周期に合わせて、オン期間に上昇しオフ期間に低下する電流（脈流）が発生する。当該脈流の振れ幅を小さくするために、スイッチング電源装置の出力部には平滑化用のインダクタが設けられる。

【0003】

しかし、スイッチング電源装置の半導体として、両方向導通素子である電界効果トラン

50

ジスタ(FET)を用いた場合、スイッチング電源装置の出力電流が小さいと、低下する脈流がマイナス側に達し、出力電流がインダクタを介して逆流してしまう。出力電流が逆流している場合に、スイッチング電源装置自体の電源をオフにすると、スイッチング電源装置の動作、つまり、FETのオン、オフ動作が停止し、インダクタに溜まったエネルギーの放電経路が急に遮断される。その結果、サージ電圧が発生して、FETが破壊されてしまうという問題があった。

【0004】

そのため、マイナス側の電流が発生しないように、スイッチング電源装置の仕様として最低電流値を設定したり、スイッチング電源装置の半導体としてサージ電圧にも耐えられる高耐圧半導体を使用したりしてサージ電圧の対策を図っていた。

10

【0005】

特許文献1には、出力部に設けられたインダクタの入力側に、コンデンサを設ける技術が開示されている。これにより、サージ電圧により発生した逆流電流を用いてコンデンサを充電することができる。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2007-68269号公報

【発明の概要】

【発明が解決しようとする課題】

20

【0007】

上述のように、スイッチング電源装置の仕様として最低電流値を設定すると、スイッチング電源装置を使用する際には、最低電流値以上の電流を流す必要がある。そのため、スイッチング電源装置に流す電流値が限られ、スイッチング電源装置の性能が制限されてしまうという問題がある。

【0008】

なお、特許文献1に記載の技術はサージ電圧を利用するものであり、サージ電圧の発生自体を抑制することについては、記載も示唆もされていない。

【0009】

本発明は、このような問題を解決するためになされたものであり、スイッチング電源装置の性能を制限することなく、サージ電圧の発生を抑えることができるスイッチング電源装置及びその制御方法を提供することを目的とする。

30

【課題を解決するための手段】

【0010】

本発明にかかるスイッチング電源装置は、第1のスイッチング素子を有し、前記第1のスイッチング素子のオンオフに応じて、電流を出力する第1のスイッチ回路と、インダクタを有し、前記第1のスイッチ回路と接続され、前記第1のスイッチ回路から出力される前記電流を平滑化する平滑回路と、前記第1のスイッチング素子のオンオフを制御する制御手段と、を備え、前記制御手段は、前記第1のスイッチング素子のオンオフのタイミングに基づいて、前記インダクタに流れる電流の向きを判定し、動作停止信号が入力された状態で、前記インダクタに流れる電流の向きが前記平滑回路の出力方向である場合、前記第1のスイッチング素子のオンオフの制御を停止するものである。

40

【0011】

本発明にかかるスイッチング電源装置の制御方法は、スイッチング素子を有し、前記スイッチング素子のオンオフに応じて、電流を出力するスイッチ回路と、インダクタを有し、前記スイッチ回路と接続され、前記スイッチ回路から出力される電流を平滑化する平滑回路と、を備えるスイッチング電源装置の制御方法であって、前記スイッチング素子のオンオフのタイミングに基づいて、前記インダクタに流れる電流の向きを判定し、動作停止信号が入力された状態で、前記インダクタに流れる電流の向きが前記平滑回路の出力方向である場合、前記スイッチング素子のオンオフの制御を停止するものである。

50

【発明の効果】

【0012】

本発明は、スイッチング電源装置の性能を制限することなく、サージ電圧の発生を抑えることができるスイッチング電源装置及びその制御方法を提供することができる。

【図面の簡単な説明】

【0013】

【図1】実施の形態1にかかるスイッチング電源装置の構成例を示す図である。

【図2】実施の形態2にかかるスイッチング電源装置の構成例を示す図である。

【図3】実施の形態2にかかる論理ゲート部の構成例を示す図である。

【図4】実施の形態2にかかるスイッチング電源装置の動作を示すタイミングチャートである。 10

【図5】実施の形態2にかかる論理ゲート部の動作例を示す図である。

【図6】実施の形態2にかかるスイッチング電源装置の動作を示すタイミングチャートである。

【図7】実施の形態2にかかる論理ゲート部の動作例を示す図である。

【発明を実施するための形態】

【0014】

<実施の形態1>

以下、図面を参照して本発明の実施の形態について説明する。本実施の形態にかかるスイッチング電源装置1の構成を図1に示す。スイッチング電源装置1は、第1のスイッチ回路10と、平滑回路20と、制御部30と、を備える。本実施の形態にかかるスイッチング電源装置1は、いわゆるDC-DCコンバータであり、入力電圧 V_T を降圧し、出力電圧 V_{out} として出力する。 20

【0015】

第1のスイッチ回路10は、Nch型MOSFET101と、直流電源102と、を備える。Nch型MOSFET101（第1のスイッチング素子）は、ドレインが直流電源102のプラス側に接続され、ソースがインダクタ201と接続されている。

【0016】

平滑回路20は、インダクタ201と、コンデンサ202と、を備える。インダクタ201の一端は、Nch型MOSFET101のソースに接続され、他端は、第1の出力端子91及びコンデンサ202のプラス側に接続されている。コンデンサ202のマイナス側は、第2の出力端子92に接続されている。平滑回路20は、インダクタ201及びコンデンサ202を用いて、インダクタ201に流れる電流 I_L を平滑化する。 30

【0017】

制御部30は、Nch型MOSFET101のゲートに接続され、Nch型MOSFET101のオンオフを制御する。制御部30には、PS（Power Supply）信号が入力される。ここで、PS信号とは、スイッチング電源装置1の起動・停止を指示する信号であり、いわゆるスイッチング電源装置1自体の電源のオンオフ信号である。つまり、PS信号がH（High）レベルの場合、スイッチング電源装置1は動作状態となり、PS信号がL（Low）レベル（動作停止信号）の場合、スイッチング電源装置1は停止状態となる。 40

【0018】

続いて、スイッチング電源装置1の動作について説明する。まず、ユーザや他の装置（以下、ユーザ等と称す）が、スイッチング電源装置1を起動させるために、PS信号をHレベルにする。

【0019】

制御部30は、スイッチング電源装置1の降圧比に応じた所定の周波数で、Nch型MOSFET101に対して制御信号を出力する。これにより、Nch型MOSFET101は、オンオフを繰り返すため、入力電圧 V_T を降圧した出力電圧 V_{out} が出力される。なお、Nch型MOSFET101がオン及びオフの各場合におけるスイッチング電源装置1の動作は、当業者に広く知られているため、詳細な説明は省略する。 50

【 0 0 2 0 】

このとき、インダクタ 2 0 1 の電流 I_L は、N c h 型 M O S F E T 1 0 1 がオンの場合に上昇し、N c h 型 M O S F E T 1 0 1 がオフの場合に低下する。そのため、N c h 型 M O S F E T 1 0 1 がオンオフを繰り返すと、電流 I_L は脈流となる。なお、脈流とは、一般的に、流れる方向が一定で、大きさが定期的または不定期に変動する電流のことを意味する。ただし、以下の実施の形態では、スイッチング素子に両方向導通素子である M O S F E T を用いており、スイッチング電源装置 1 の出力電流が小さいため、電流 I_L の低下時に、電流 I_L がマイナスに達するものとする。つまり、電流 I_L が図 1 の矢印方向とは反対方向にも流れる場合があるものとする。

【 0 0 2 1 】

制御部 3 0 は、N c h 型 M O S F E T 1 0 1 のオンオフのタイミングに基づいて、インダクタ 2 0 1 に流れる電流 I_L の向きを判定する。具体的には、電流 I_L は、N c h 型 M O S F E T 1 0 1 がオフの期間は低下する。そのため、N c h 型 M O S F E T 1 0 1 がオフからオンに切り替わるタイミングにおいては、電流 I_L が最も低下している、つまり、制御部 3 0 は、N c h 型 M O S F E T 1 0 1 がオフからオンに切り替わるタイミングに基づいて、電流 I_L がマイナス方向（図 1 の矢印と反対方向）に流れていると判定する。一方、電流 I_L は、N c h 型 M O S F E T 1 0 1 がオンの期間は上昇する。そのため、N c h 型 M O S F E T 1 0 1 がオンからオフに切り替わるタイミングにおいては、電流 I_L が最も上昇している、つまり、制御部 3 0 は、N c h 型 M O S F E T 1 0 1 がオンからオフに切り替わるタイミングに基づいて、電流 I_L がプラス方向（図 1 の矢印方向）に流れていると判定する。これにより、電流の方向を判定するための電流計等の電流の測定器を別途設ける必要が無い。

【 0 0 2 2 】

その後、ユーザ等は、スイッチング電源装置 1 の動作を停止させるために、P S 信号を L レベルにする。つまり、制御部 3 0 に動作停止信号が入力される。

【 0 0 2 3 】

P S 信号が L レベルの状態、インダクタ 2 0 1 に流れる電流 I_L の向きが、平滑回路 2 0 の出力方向である場合、電流 I_L が逆流することはない。そのため、制御部 3 0 は、N c h 型 M O S F E T 1 0 1 のオンオフの制御を停止する。具体的には、制御部 3 0 は、N c h 型 M O S F E T 1 0 1 に L レベルの制御信号を出力し、N c h 型 M O S F E T 1 0 1 をオフ状態に維持する。なお、平滑回路 2 0 の出力方向とは、出力端子 9 1 方向、つまり図 1 の矢印方向を意味する。

【 0 0 2 4 】

一方、P S 信号が L レベルの状態であっても、インダクタ 2 0 1 に流れる電流 I_L の向きが、平滑回路 2 0 の出力方向でない場合は、電流 I_L が逆流する可能性がある。そのため、制御部 3 0 は、N c h 型 M O S F E T 1 0 1 のオンオフの制御を停止しない。その後、電流 I_L の向きが、平滑回路 2 0 の出力方向となった場合、制御部 3 0 は、N c h 型 M O S F E T 1 0 1 のオンオフの制御を停止する。

【 0 0 2 5 】

以上のように、本実施の形態にかかるスイッチング電源装置 1 においては、制御部 3 0 が、N c h 型 M O S F E T 1 0 1 のオンオフのタイミングに基づいて、インダクタ 2 0 1 に流れる電流 I_L の向きを判定する。そして、制御部 3 0 は、P S 信号が L レベルの状態、電流 I_L の向きが平滑回路 2 0 の出力方向である場合、N c h 型 M O S F E T 1 0 1 のオンオフの制御を停止する。つまり、制御部 3 0 が、N c h 型 M O S F E T 1 0 1 のオンオフの制御を停止したときは、必ず電流 I_L の向きが、第 1 のスイッチ回路 1 0 とは反対方向である。そのため、オフ状態の N c h 型 M O S F E T 1 0 1 に電流 I_L が逆流してくることはない。したがって、インダクタ 2 0 1 の逆起電圧に起因するサージ電圧の発生を抑制できる。その結果、スイッチング電源装置 1 の設計において、サージ電圧対策として最低電流値を設定する必要がない。つまり、スイッチング電源装置の性能が制限されない。

10

20

30

40

50

【 0 0 2 6 】

なお、サージ電圧対策として、スイッチング電源装置の半導体に高耐圧半導体を用いることが考えられるが、高耐圧半導体は、一般的な半導体に比べて通常動作時の電力損失が大きい。そのため、スイッチング電源装置 1 自体の電力変換効率を低下させてしまう。しかし、本実施の形態にかかるスイッチング電源装置 1 においては、サージ電圧の発生を防止することができるため、高耐圧半導体を用いる必要がなく、スイッチング電源装置の電力変換効率の低下も回避できる。

【 0 0 2 7 】

< 実施の形態 2 >

本発明にかかる実施の形態 2 について説明する。本実施の形態にかかるスイッチング電源装置 2 の構成を図 2 に示す。スイッチング電源装置 2 は、インバータ回路 4 0 と、一次側コイル 5 1 と、二次側コイル 5 2 と、整流回路 1 1 と、平滑回路 2 0 と、制御部 3 1 と、を備える。なお、平滑回路 2 0 の構成については実施の形態 1 と同様であるので、適宜説明を省略する。

10

【 0 0 2 8 】

図 2 に示したスイッチング電源装置 2 は、いわゆる DC - DC コンバータである。インバータ回路 4 0 が、直流入力電圧 V_{in} を、交流の電圧 V_{T1} に変換する。そして、当該電圧 V_{T1} はトランスを介して整流回路 1 1 に電圧 V_{T2} として伝送される。整流回路 1 1 は、電圧 V_{T2} に基づいて整流した電流を平滑回路 2 0 に出力する。平滑回路 2 0 は、整流回路 1 1 により整流された電流を平滑化して出力する。以下では、スイッチング電源装置 2 の構成及び動作について詳細に説明する。

20

【 0 0 2 9 】

インバータ回路 4 0 (第 2 のスイッチ回路) は、ブリッジ接続された N c h 型 MOS F E T 4 0 1 ~ 4 0 4 と、コンデンサ 4 0 5 と、を有する。インバータ回路 4 0 は、N c h 型 MOS F E T 4 0 1 ~ 4 0 4 のオンオフに応じて、一次側コイル 5 1 に対して、正及び負のパルス信号を出力する。

【 0 0 3 0 】

N c h 型 MOS F E T 4 0 1 (第 1 のトランジスタ) のドレインは、ハイサイド側のブリッジアームに接続されている。N c h 型 MOS F E T 4 0 1 のソースは、N c h 型 MOS F E T 4 0 2 (第 2 のトランジスタ) のドレインに接続されている。N c h 型 MOS F E T 4 0 2 のソースは、ローサイド側のブリッジアームに接続されている。

30

【 0 0 3 1 】

N c h 型 MOS F E T 4 0 3 (第 3 のトランジスタ) のドレインは、ハイサイド側のブリッジアームに接続されている。N c h 型 MOS F E T 4 0 3 のソースは、N c h 型 MOS F E T 4 0 4 (第 4 のトランジスタ) のドレインに接続されている。N c h 型 MOS F E T 4 0 4 のソースは、ローサイド側のブリッジアームに接続されている。

【 0 0 3 2 】

コンデンサ 4 0 5 は、第 1 の入力端子 9 3 と第 2 の入力端子 9 4 との間に設けられている。コンデンサ 4 0 5 のプラス側が、ハイサイド側のブリッジアームに接続されている。一方、コンデンサ 4 0 5 のマイナス側が、ローサイド側のブリッジアームに接続されている。

40

【 0 0 3 3 】

一次側コイル 5 1 の一端は、N c h 型 MOS F E T 4 0 1 のソース及び N c h 型 MOS F E T 4 0 2 のドレインに接続されている。一次側コイル 5 1 の他端は、N c h 型 MOS F E T 4 0 3 のソース及び N c h 型 MOS F E T 4 0 4 のドレインに接続されている。なお、N c h 型 MOS F E T 4 0 1 ~ 4 0 4 のゲートは、それぞれドライブ部 3 1 1 に接続されている。一次側コイル 5 1 は、二次側コイル 5 2 と磁氣的に結合し、トランスを構成している。

【 0 0 3 4 】

整流回路 1 1 (第 1 のスイッチ回路) は、ブリッジ接続された N c h 型 MOS F E T 1

50

11～114を有する。Nch型MOSFET111（第5のトランジスタ）のドレインは、インダクタ201を介して、第1の出力端子95に接続されている。Nch型MOSFET111のソースは、Nch型MOSFET112（第6のトランジスタ）のドレインに接続されている。Nch型MOSFET112のソースは、第2の出力端子96に接続されている。

【0035】

Nch型MOSFET113（第7のトランジスタ）のドレインは、インダクタ201を介して、第1の出力端子95に接続されている。Nch型MOSFET113のソースは、Nch型MOSFET114（第8のトランジスタ）のドレインに接続されている。Nch型MOSFET114のソースは、第2の出力端子96に接続されている。

10

【0036】

二次側コイル52の一端は、Nch型MOSFET111のソース及びNch型MOSFET112のドレインに接続されている。二次側コイル52の他端は、Nch型MOSFET113のソース及びNch型MOSFET114のドレインに接続されている。なお、Nch型MOSFET111～114のゲートは、それぞれ論理ゲート部312に接続されている。

【0037】

制御部31は、ドライブ部311と、論理ゲート部312とを有する。ドライブ部311は、Nch型MOSFET401～404に対して、制御信号A～Dをそれぞれ出力し、Nch型MOSFET401～404のオンオフを制御する。さらに、ドライブ部311は、制御信号A～Fを論理ゲート部312に対して出力する。なお、制御信号Eは制御信号Aと同一の信号であり、制御信号Fは制御信号Bと同一の信号である。また、ドライブ部311は入力電圧Vinから所望の出力電圧Voutが生成できるように、予め設定された周波数及びタイミングで制御信号A～Dを出力する。

20

【0038】

論理ゲート部312は、複数の論理ゲートを有する。論理ゲート部312は、ドライブ部311から入力された制御信号A～F及びPS信号に基づいて、論理演算を行い、制御信号E'、F'を生成する。論理ゲート部312は、Nch型MOSFET111及びNch型MOSFET114により構成されるペア（第1のスイッチング素子）のゲートに対して制御信号E'を出力する。また、論理ゲート部312は、Nch型MOSFET112及びNch型MOSFET113により構成されるペア（第3のスイッチング素子）のゲートに対して制御信号F'を出力する。

30

【0039】

ここで、論理ゲート部312の構成について詳細に説明する。論理ゲート部312の構成例を図3に示す。論理ゲート部312は、NOTゲートG1～G3と、ANDゲートG4、G6、G7と、NANDゲートG5とを有する。NOTゲートG1（第1のNOTゲート）には、ドライブ部311から制御信号Cが入力される。NOTゲートG2（第2のNOTゲート）には、ドライブ部311から制御信号Dが入力される。NOTゲートG3（第3のNOTゲート）には、PS信号が入力される。ANDゲートG4（第1のANDゲート）には、NOTゲートG1の出力信号とNOTゲートG2の出力信号とが入力される。NANDゲートG5には、ANDゲートG4の出力信号とNOTゲートG3の出力信号とが入力される。ANDゲートG6（第2のANDゲート）には、制御信号EとNANDゲートG5の出力信号とが入力される。ANDゲートG7（第2のANDゲート）には、制御信号FとNANDゲートG5の出力信号が入力される。ANDゲートG6は、制御信号E'を出力する。ANDゲートG7は、制御信号F'を出力する。

40

【0040】

続いて、図4に示すタイミングチャートを参照して、スイッチング電源装置2の動作について説明する。図2に示すように、Nch型MOSFET401とNch型MOSFET404とがペアを構成する。そのため、Nch型MOSFET401に入力される制御信号Aと、Nch型MOSFET404に入力される制御信号Dとが共にHレベルとなっ

50

た場合に、一次側コイル 5 1 にプラス（図 2 の矢印方向）の電圧 V_{T1} が発生する（図 4 の $t_1 \sim t_2$ 区間）。すると、一次側コイル 5 1 と二次側コイル 5 2 との巻線比に応じた電圧 V_{T2} が二次側コイル 5 2 に発生する。

【0041】

$t_1 \sim t_2$ 区間において、論理ゲート部 3 1 2 では、図 5 に示すように、NOT ゲート G 1 に L レベルの制御信号 C が入力される。そのため、NOT ゲート G 1 は、反転信号である H レベルの信号を出力する。また、NOT ゲート G 2 には、H レベルの制御信号 D が入力される。そのため、NOT ゲート G 2 は、反転信号である L レベルの信号を出力する。したがって、AND ゲート G 4 には、NOT ゲート G 1 から出力された H レベルの信号と、NOT ゲート G 2 から出力された L レベルの信号とが入力される。その結果、AND ゲート G 4 は、L レベルの信号を出力する。一方、スイッチング電源装置 2 は起動しているため、NOT ゲート G 3 には、H レベルの PS 信号が入力される。そのため、NOT ゲート G 3 は、反転信号である L レベルの信号を出力する。

10

【0042】

さらに、NAND ゲート G 5 には、AND ゲート G 4 から出力された L レベルの信号と、NOT ゲート G 3 から出力された L レベルの信号とが入力されるため、NAND ゲート G 5 は、H レベルの信号を出力する。これにより、AND ゲート G 6 の一方の入力は、H レベルの信号となる。そのため、AND ゲート G 6 から出力される制御信号 E' は、AND ゲート G 6 の他方の入力である制御信号 E と同期する。同様に、AND ゲート G 7 から出力される制御信号 F' は、AND ゲート G 7 の他方の入力である制御信号 F と同期する。さらに、制御信号 A と制御信号 E とは同一の信号であり、制御信号 B と制御信号 F とは同一の信号である。このため、制御信号 A と制御信号 E' とが同期し、制御信号 B と制御信号 F' とが同期する。

20

【0043】

なお、スイッチング電源装置 2 が動作している場合、PS 信号は常に H レベルである。図 5 から明らかなように、PS 信号が H レベルの場合、NOT ゲート G 3 の出力信号は L レベルとなる。そのため、PS 信号が H レベルである場合、NAND ゲート G 5 の一方の入力は常に L レベルに固定される。つまり、NAND ゲート G 5 の出力信号は、H レベルに固定される。したがって、PS 信号が H レベルである場合は、上記のように、制御信号 A と制御信号 E' とが同期し、制御信号 B と制御信号 F' とが同期する。

30

【0044】

図 4 に示すように、 $t_1 \sim t_2$ 区間においては、制御信号 A が H レベルであり、制御信号 B が L レベルである。そのため、制御信号 E' は H レベルとなり、制御信号 F' は L レベルとなる。その結果、整流回路 1 1 においてペアを構成する Nch 型 MOSFET 1 1 1 と Nch 型 MOSFET 1 1 4 とがオンとなる。また、上記したように、 $t_1 \sim t_2$ 区間においては、二次側コイル 5 2 には、電圧 V_{T2} が印加されている。したがって、インダクタ 2 0 1 にプラス方向（図 2 の矢印方向）の電流 I_L が発生する。これにより、整流回路 1 1 において、Nch 型 MOSFET 1 1 1、インダクタ 2 0 1、コンデンサ 2 0 2、Nch 型 MOSFET 1 1 4 の経路で電流が流れ、電流 I_L は上昇する。

40

【0045】

そして、図 4 に示すように、制御信号 D が H レベルから L レベルになると（時刻 t_2 ）、Nch 型 MOSFET 4 0 4 がオフとなる。このとき、制御信号 C も L レベルであるため、Nch 型 MOSFET 4 0 3 もオフである。そのため、一次側コイル 5 1 には電流が流れず、電圧 V_{T1} は発生しない。この場合、二次側コイル 5 2 にも電圧 V_{T2} が発生しないため、インダクタ 2 0 1 の電流 I_L は低下する。言い換えると、電流 I_L は、時刻 t_2 でピークとなる。

【0046】

さらに電流 I_L が低下すると、整流回路 1 1 は両方向導通素子である MOSFET により構成されているため、インダクタ 2 0 1 から電流 I_L が逆流してくる（図 2 の矢印と反対方向）。そのため、電流 I_L はマイナスの電流となる（ $t_2 \sim t_3$ 区間）。

50

【 0 0 4 7 】

その後、制御信号 B と制御信号 C とが共に H レベルになると、ペアを構成する N c h 型 MOS F E T 4 0 2 と N c h 型 MOS F E T 4 0 3 とがオンになる。そのため、一次側コイル 5 1 にマイナスの電圧 V T 1 が発生する (t 3 ~ t 4 区間) 。

【 0 0 4 8 】

上記したように、 P S 信号が H レベルである場合、制御信号 A と制御信号 E ´ とが同期し、制御信号 B と制御信号 F ´ とが同期する。 t 3 ~ t 4 区間においては、制御信号 B が H レベルとなっているため、制御信号 F ´ が H レベルとなる。したがって、整流回路 1 1 の N c h 型 MOS F E T 1 1 2 と N c h 型 MOS F E T 1 1 3 とがオンとなる。その結果、インダクタ 2 0 1 にプラス方向の電流 I L が流れる。これにより、整流回路 1 1 において、 N c h 型 MOS F E T 1 1 3、インダクタ 2 0 1、コンデンサ 2 0 2、 N c h 型 MOS F E T 1 1 2 の経路で電流が流れ、電流 I L が上昇する。以上の動作を繰り返すことにより、整流回路 1 1 の整流動作が実現され、インダクタ 2 0 1 の電流 I L は脈流となる。

10

【 0 0 4 9 】

次に、図 6 に示すタイミングチャートを参照して、スイッチング電源装置 2 の動作停止について説明する。図 6 に示すタイミングチャートには、図 4 に示す信号に加えて、 P S 信号と、制御信号 E ´ と、制御信号 F ´ とを示す。なお、 P S 信号が H レベルの場合、つまり、上述した図 4 の動作については説明を省略する。

【 0 0 5 0 】

図 6 の時刻 t 5 において、ユーザ等が動作停止を指示すると、 P S 信号が H レベルから L レベルに切り替わる。そのため、論理ゲート部 3 1 2 における N O T ゲート G 3 の入力 が L レベルに変化する。その結果、 N O T ゲート G 3 の出力は H レベルとなる。つまり、 N A N D ゲート G 5 の一方の入力が H レベルとなる。

20

【 0 0 5 1 】

ただし、図 6 の時刻 t 5 においては、制御信号 C が H レベルであり、制御信号 D が L レベルであるため、未だ、 N A N D ゲート G 5 の他方の入力は L レベルのままである。したがって、 t 5 ~ t 6 区間においては、上述した通常の動作と同様に、論理ゲート部 3 1 2 は、 N c h 型 MOS F E T 1 1 1 ~ 1 1 4 のオンオフを制御する。

【 0 0 5 2 】

次に、時刻 t 6 においては、制御信号 C と制御信号 D とが共に L レベルとなっている。そのため、 N O T ゲート G 1、 G 2 の双方の出力信号が H レベルとなる (図 7 参照)。このとき、 N A N D ゲート G 5 の入力信号は共に H レベルとなるため、 N A N D ゲート G 5 の出力信号は L レベルとなる。その結果、制御信号 E ´ 及び F ´ は、制御信号 E 及び F のレベルに拘わらず、 L レベルとなる。言い換えると、図 6 に示すように、論理ゲート部 3 1 2 は、整流回路 1 1 の N c h 型 MOS F E T 1 1 1 ~ 1 1 4 のオンオフの制御を停止する。

30

【 0 0 5 3 】

つまり、論理ゲート部 3 1 2 は、 N c h 型 MOS F E T 4 0 3、 4 0 4 が共にオフとなるタイミングに基づいて、インダクタ 2 0 1 に流れる電流 I L の向きを判定している。具体的には、図 4 において説明したように、 N c h 型 MOS F E T 4 0 3、 4 0 4 がオフとなるタイミングで、電流 I L がピークとなる。そのため、論理ゲート部 3 1 2 は、 N c h 型 MOS F E T 4 0 3、 4 0 4 がオフであることに基づいて、電流 I L が平滑回路 2 0 の出力方向 (プラス方向) に流れていることを判定する。そして、 P S 信号が L レベルの状態において、 N c h 型 MOS F E T 4 0 3、 4 0 4 が共にオフとなるタイミングで、論理ゲート部 3 1 2 は、整流回路 1 1 の N c h 型 MOS F E T 1 1 1 ~ 1 1 4 のオンオフの制御を停止する。この場合、 N c h 型 MOS F E T 4 0 3、 4 0 4 が、第 2 のスイッチング素子に対応する。

40

【 0 0 5 4 】

一方、 P S 信号が L レベルの状態であっても、 N c h 型 MOS F E T 4 0 3、 4 0 4 が共にオフとなるまでは、論理ゲート部 3 1 2 は、整流回路 1 1 の N c h 型 MOS F E T 1

50

111 ~ 114 のオンオフの制御を停止しない。

【0055】

以上のように、本実施の形態にかかるスイッチング電源装置2においては、論理ゲート部312が、Nch型MOSFET403、404のオンオフのタイミングに基づいて、インダクタ201の電流ILがプラス方向に流れているか否かを判定する。そして、論理ゲート部312は、PS信号がLレベルの状態において、Nch型MOSFET403、404が共にオンとなるタイミング、つまり、電流ILがピーク時に、制御動作を停止する。そのため、制御停止後にインダクタ201から整流回路11に電流ILが逆流せず、サージ電圧が発生しない。したがって、スイッチング電源装置2は、最低電流値を設定したり、高耐圧半導体を使用したりする等のサージ電圧対策を必要としない。

10

【0056】

なお、図4及び図6から明らかなように、制御信号C（または制御信号D）がHレベルからLレベルに切り替わるタイミング、つまり、Nch型MOSFET403（またはNch型MOSFET404）がオンからオフに切り替わるタイミングにおいては、インダクタ201の電流ILはピークであり、プラス方向に流れている。そのため、論理ゲート部312は、Nch型MOSFET403（またはNch型MOSFET404）がオンからオフに切り替わるタイミングに基づいて、電流ILの向きを判定してもよい。この場合、Nch型MOSFET403（またはNch型MOSFET404）が第2のスイッチング素子に対応する。

【0057】

20

さらに、インバータ回路40の出力する正のパルス電圧が立ち下がるタイミング（または負のパルス電圧が立ち上がるタイミング）においても、インダクタ201の電流ILはピークであり、プラス方向に流れている。そのため、論理ゲート部312は、正のパルス電圧が立ち下がるタイミング（または負のパルス電圧が立ち上がるタイミング）に基づいて、電流ILの向きを判定してもよい。例えば、論理ゲート部312は、PS信号がLレベルの状態において、インバータ回路40の出力する正のパルス電圧が立ち下がるタイミングで、整流回路11のNch型MOSFET111 ~ 114のオンオフの制御を停止してもよい。

【0058】

つまり、上記したように、電流ILがピークである場合、インダクタ201にはプラス方向の電流ILが流れている。そのため、電流ILのピーク時にオンオフの制御を停止したとしても、インダクタ201に溜まったエネルギーは第1の出力端子95側に放電される。したがって、サージ電圧は発生しない。

30

【0059】

なお、本発明は上記実施の形態に限られたものではなく、趣旨を逸脱しない範囲で適宜変更することが可能である。例えば、インバータ回路40及び整流回路11の構成は、図2に示す構成に限られない。また、論理ゲート部312の論理回路構成は、図3に示した構成に限られず、同様の入出力が実現できれば他の構成であってもよい。さらに、スイッチング素子はNch型MOSFETに限られない。

【符号の説明】

40

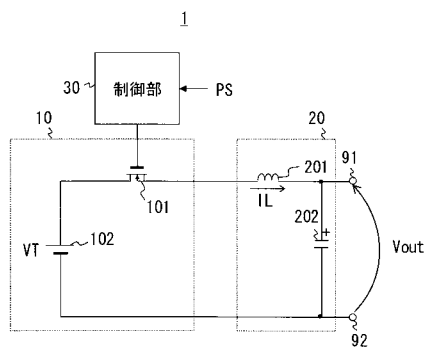
【0060】

- 1、2 スwitchング電源装置
- 10 第1のスイッチ回路
- 11 整流回路
- 20 平滑回路
- 30、31 制御部
- 40 インバータ回路
- 51 一次側コイル
- 52 二次側コイル
- 93、94 入力端子

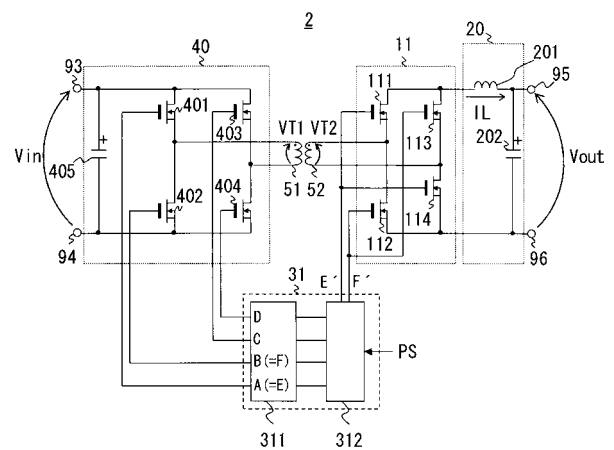
50

- 9 1、9 2、9 5、9 6 出力端子
 1 0 2 直流電源
 1 0 1、1 1 1 ~ 1 1 4、4 0 1 ~ 4 0 4 N c h 型 M O S F E T
 2 0 1 インダクタ
 2 0 2、4 0 5 コンデンサ
 3 1 1 ドライブ部
 3 1 2 論理ゲート部

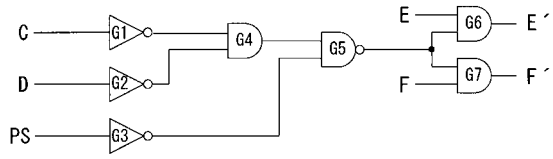
【 図 1 】



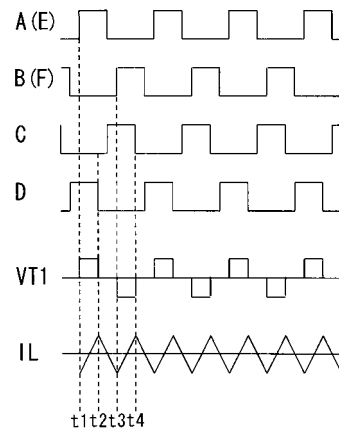
【 図 2 】



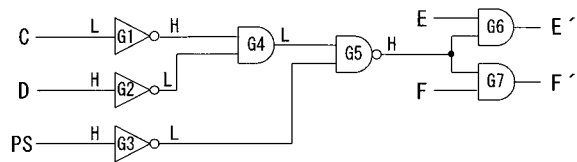
【図 3】



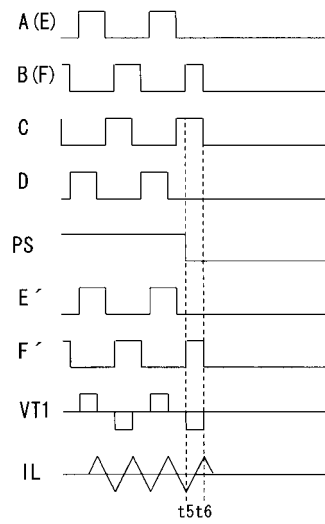
【図 4】



【図 5】



【図 6】



【 図 7 】

