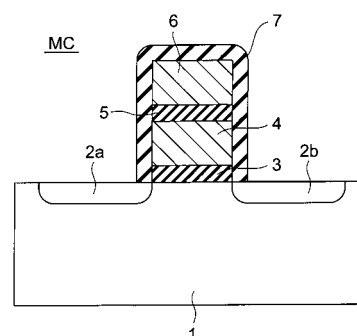




【特許請求の範囲】

【請求項 1】

半導体基板と、

前記半導体基板に離間して形成されたソース領域およびドレイン領域と、

前記ソース領域と前記ドレイン領域との間の前記半導体基板上に形成された第 1 の絶縁膜であって、第 1 の絶縁層と、前記第 1 の絶縁層上に形成され前記第 1 の絶縁層より誘電率が高く、母材と異なる元素が添加されることにより形成される、ホールの捕獲および放出をする第 1 のサイトを有している第 2 の絶縁層とを備え、前記第 1 のサイトは前記半導体基板を構成する材料のフェルミレベルよりも低いレベルにある第 1 の絶縁膜と、

前記第 1 の絶縁膜上に形成された電荷蓄積膜と、

前記電荷蓄積膜上に形成された第 2 の絶縁膜と、

前記第 2 の絶縁膜上に形成された制御ゲート電極と、

を有する記憶素子を備えたことを特徴とする不揮発性半導体記憶装置。

10

【請求項 2】

電荷保持状態で要求される条件として、前記第 1 の絶縁膜に印加される第 1 の電界における前記第 1 の絶縁膜のリーク電流を $J_{1, low}$ 以下とすると、前記第 1 の絶縁層、前記第 2 の絶縁層の各単層においてリーク電流を $J_{1, low}$ 以下にするのに必要な物理膜厚をそれぞれ $T_{1, low}$ 、 $T_{2, low}$ とし、

消去時で要求される条件として、前記第 1 の絶縁膜に印加される第 2 の電界 E_{high} における前記第 1 の絶縁膜のリーク電流を J_{high} 以上とすると、この条件に最低限必要な前記第 1 の絶縁層の層厚を $T_{1, high}$ とし、

20

前記第 1 および第 2 の絶縁層のそれぞれの誘電率を ϵ_1 、 ϵ_2 とし、シリコン酸化物の誘電率を ϵ_{ox} とすると、前記第 1 の絶縁層および前記第 2 の絶縁層を積層したときのそれぞれの物理膜厚を T_1 (nm)、 T_2 (nm) としたとき、下記 3 つの不等式

$$\begin{aligned} T_2 & - (T_{2, low} / T_{1, low}) \times T_1 + T_{2, low} \\ T_1 & T_{1, high} \\ T_1 \times \epsilon_{ox} / \epsilon_1 + T_2 \times \epsilon_{ox} / \epsilon_2 & 8 \end{aligned}$$

を満たす範囲に前記第 1 の絶縁層および前記第 2 の絶縁層のそれぞれの物理膜厚が存在することを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

30

【請求項 3】

前記第 1 の絶縁層が酸化シリコン層であり、かつ

前記第 2 の絶縁層がハフニア層であるときの前記第 1 のサイトは、前記ハフニア層の価電子帯の上端から 0 eV より大きく、2.2 eV 未満の範囲にあり、

前記第 2 の絶縁層がアルミナ層であるときの前記第 1 のサイトは、前記アルミナ層の価電子帯の上端から 1.5 eV 以上、4.1 eV 以下の範囲にあり、

前記第 2 の絶縁層が酸化ランタン層であるときの前記第 1 のサイトは、前記酸化ランタン層の価電子帯の上端から 0.1 eV 以上 1.9 eV 未満の範囲にあり、

前記第 2 の絶縁層がハフニウムシリケート層であるときの前記第 1 のサイトは、前記ハフニウムシリケート層の価電子帯の上端から 0.1 eV より大きく 2.9 eV 以下の範囲にあり、

40

前記第 2 の絶縁層がランタンアルミネート層であるときの前記第 1 のサイトは、前記ランタンアルミネート層の価電子帯の上端から 0 eV より大きく 1.9 eV 未満の範囲にあり、

前記第 2 の絶縁層がハフニウムアルミネート層であるときの前記第 1 のサイトは、前記ハフニウムアルミネート層の価電子帯の上端から 0.1 eV より大きく 2.1 eV 以下の範囲にあり、

前記第 2 の絶縁層がランタンハフネート層であるときの前記第 1 のサイトは、前記ランタンハフネート層の価電子帯の上端から 0.1 eV 以上 1.7 eV 以下の範囲にあることを特徴とする請求項 1 または 2 記載の不揮発性半導体記憶装置。

【請求項 4】

50

前記半導体基板の価電子帯の上端と前記第 2 の絶縁層の価電子帯の上端との差であるバンドオフセット ΔE_v は、 $1.8 \text{ eV} \sim 4.9 \text{ eV}$ の範囲にあることを特徴とする請求項 1 乃至 3 のいずれかに記載の不揮発性半導体記憶装置。

【請求項 5】

前記第 1 の絶縁膜は、EOT が $1.02 \text{ nm} \sim 5 \text{ nm}$ の範囲にあることを特徴とする請求項 1 乃至 4 のいずれかに記載の不揮発性半導体記憶装置。

【請求項 6】

前記電荷蓄積膜は、トラップ絶縁膜であることを特徴とする請求項 1 乃至 5 のいずれかに記載の不揮発性半導体記憶装置。

【請求項 7】

前記電荷蓄積膜は、浮遊ゲート電極であることを特徴とする請求項 1 乃至 5 のいずれかに記載の不揮発性半導体記憶装置。

【請求項 8】

前記第 1 の絶縁膜は、前記ホールの捕獲および放出をするサイトが膜面方向において部分的に分布していることを特徴とする請求項 1 乃至 7 のいずれかに記載の不揮発性半導体記憶装置。

【請求項 9】

半導体基板と、

前記半導体基板に離間して形成されたソース領域およびドレイン領域と、

前記ソース領域と前記ドレイン領域との間の前記半導体基板上に形成され、母材と異なる元素が添加されることにより形成される、ホールの捕獲および放出をするサイトを有し前記ホールの捕獲および放出をするサイトは前記半導体基板を構成する材料の表面におけるフェルミレベルよりも低いレベルにある単一の層である第 1 の絶縁膜と、

前記第 1 の絶縁膜上に形成された電荷蓄積膜と、

前記電荷蓄積膜上に形成された第 2 の絶縁膜と、

前記第 2 の絶縁膜上に形成された制御ゲート電極と、

を有する記憶素子を備えたことを特徴とする不揮発性半導体記憶装置。

【請求項 10】

前記第 1 の絶縁膜は、

ハフニウムシリケート層であるとき前記サイトは前記ハフニウムシリケート層の価電子帯の上端から 0.1 eV 以上 2.9 eV 以下の範囲にあり、

ハフニウムアルミネート層であるとき前記サイトは前記ハフニウムアルミネート層の価電子帯の上端から 0.1 eV 以上 1.7 eV 以下の範囲にあり、
ことを特徴とする請求項 9 記載の不揮発性半導体記憶装置。

【請求項 11】

前記第 1 の絶縁膜に添加される元素は、Cr、Mn、V、Ru、Tc、Os から選択された少なくとも 1 つであることを特徴とする請求項 1 乃至 10 のいずれかに記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、不揮発性半導体記憶装置に関する。

【背景技術】

【0002】

近年、電氣的な書込および消去が可能な不揮発性半導体記憶装置(nonvolatile semiconductor memory apparatus)の高性能化が進められている。不揮発性半導体記憶装置としては、例えば、EEPROM (Electrically Erasable Programmable Read Only Memory)があり、このEEPROMの中で浮遊ゲート型(以下、FG (Floating Gate) 型ともいう)とMONOS (Metal Oxide Nitride Oxide Semiconductor)型の二つがその代表的なものとして知られている。

10

20

30

40

50

【 0 0 0 3 】

F G 型の基本的な構造は、上から制御ゲート電極、電極間絶縁膜（インターポリ絶縁膜ともいう）、浮遊ゲート電極、トンネル絶縁膜（ SiO_2 膜）、基板の順に積層されたものと特徴づけられる。制御ゲート電極に正の高電圧を印加すれば、基板側から浮遊ゲート電極に電子を注入（書込）することができ、負の高電圧を印加すれば、浮遊ゲート電極から基板に電子を取り出す（消去）ことができる。そして、一度書き込まれた電子は、消去する操作を行わない限り、理想的には浮遊ゲート電極に留まることになるので、不揮発性の記憶装置として機能する。

【 0 0 0 4 】

M O N O S 型の基本的な構造は、上から制御ゲート電極、ブロック絶縁膜、トラップ膜、トンネル絶縁膜、基板の順に積層されたものである。この構造において書込は、F G 型と同様に、高電圧をかけて電子を注入するが、電子はトラップ膜に蓄えられる。そして消去は、F G 型とは異なり、電子を取り出すだけでなく、ホールを注入することで、蓄えられた電子とホールとを対消滅させ消去する方法が取られている。

【 0 0 0 5 】

不揮発性半導体装置を高性能化する手段の一つは、消去効率をあげることである。消去効率を上げるには、トンネル絶縁膜に高電圧を印加して、多くのホールを短時間で注入すれば良い、すなわち、リーク電流を大きくすれば良い。トンネル絶縁膜を流れるリーク電流 J と電界 E_{ox} ($= V_{ox} / T_{ox}$) の関係は、 T_{ox} に較べて V_{ox} が十分に大きい場合、異なる T_{ox} でもほぼ一致することが知られている。ここで、 T_{ox} はトンネル絶縁膜の膜厚、 V_{ox} は膜にかかる電圧である。これは、リーク電流の支配的なメカニズムが、いわゆる Fowler-Nordheim (F - N) 電流 J_{fn} であるからである。 J_{fn} は近似的に下記 (1) 式

【 数 1 】

$$J_{fn} = A E_{ox}^2 \exp\left(-\frac{B}{E_{ox}}\right) \quad \cdots (1)$$

で表される。ここで、ホール電流の場合には、 A 、 B はトンネル絶縁膜中のホールのトンネル質量やホールの感じるバリアハイトに依存する定数である。この式からわかるように、リーク電流は膜厚 T_{ox} によらず、電界 E_{ox} で決まることがわかる。トンネル絶縁膜に求められるホールのリーク電流の一般的なスペックとして考えられるものは、低電界である 3 MV/cm で $1.0 \times 10^{-16} \text{ A/cm}^2$ 以下であり、高電界である 13 MV/cm で $1.0 \times 10^{-5} \text{ A/cm}^2$ 以上である。それゆえ、消去効率を上げるために、電界 E_{ox} を高くすることが考えられるが、それは電圧を高くすることにつながるため、望ましくない。電圧が高くなると、トンネル絶縁膜の信頼性という点において深刻な影響を及ぼすことになるからである。

【 0 0 0 6 】

トンネル絶縁膜に高電圧がかかると、ストレス誘起リーク電流（以下、S I L C (stress induced leakage current) ともいう）と呼ばれる現象が引き起こされ、低電圧でリーク電流が増大するようになる。この現象はトンネル絶縁膜に欠陥が生ずることに起因すると理解されている。トンネル絶縁膜にかかる電圧が高い場合、トンネル絶縁膜のバンドギャップ中をトンネルする電子はトンネル絶縁膜の伝導帯に抜ける。すると伝導帯に抜けた電子はアノード側に到達するとき、大きなエネルギーを持つことになる。そのエネルギーによって、インパクトイオン化が起こり、ホールが生成される。こうして生成されたホールは、電子とは反対向きに進み、トンネル絶縁膜中に欠陥を生じさせ、それが S I L C を引き起こすトリガーとなる。それゆえ、電界 E_{ox} を高くすることなく、リーク電流を大きくして消去効率を上げられることが望ましい。例えば、電界 E_{ox} が 13 MV/cm で $1.0 \times 10^{-5} \text{ A/cm}^2$ 以上のリーク電流、あるいは $1.0 \times 10^{-5} \text{ A/cm}^2$ のリーク電流が 13 MV/cm より低い電界 E_{ox} で得られることが理想的である。

【 0 0 0 7 】

それを実現する方法として、トンネル絶縁膜 (SiO_2 膜) の伝導帯から浅い準位のトラップ (電子を捕獲し放出するサイト) を形成する方法が本発明者達によって提案されている (特許文献 1 参照)。この特許文献 1 に記載のトンネル絶縁膜は、トラップ準位を有しない絶縁層を、トラップ準位を有する 2 つの絶縁層によって挟んだ 3 層積層構造を有しており、低電界ではトラップ準位のない絶縁膜と同じくらいトンネル電流が抑えられる。一方で高電界では電子がトラップ準位を介してトンネルするようになる。このため、トラップ準位のない絶縁膜に較べてトンネル確率が高くなり、これによりリーク電流が大きくなる。したがって、電界 E_x を高くすることなく書込み効率を上げることができるので、トンネル絶縁膜としては極めて理想的である。これは電子のリーク電流 J_e の場合であるが、ホールのリーク電流 J_h の場合でも、トンネル絶縁膜 (SiO_2 膜) の価電子帯から浅い準位に、例えば G_e を添加することによってトラップ (ホールを捕獲し放出するサイト) を形成すれば、書込効率と同様に、消去効率を上げることができる。

10

20

30

40

50

【0008】

そして、さらに電圧が下げられるのであれば、 SiLC を抑制できるので、トンネル絶縁膜の信頼性もさらに上げることができる。そのためには、トンネル絶縁膜を薄膜化すれば良いことになるが、トンネル SiO_2 膜の膜厚を 5 nm 以下にすると、電界 E_x が 3 MV/cm である低電界でも電子による $D-T$ (Direct Tunneling) 電流が支配的になり、前述したトンネル絶縁膜に求められるスペックを満たせない。つまり、トンネル絶縁膜は膜厚を 5 nm 以下にすることはできない。なお、電子に較べてホールのバリアハイトが高い傾向にあるため、絶縁膜の構造が膜厚方向に対称の場合、ホールによるリーク電流 J_h は電子によるリーク電流 J_e より、どのような電界でも低くなる ($J_h < J_e$)、つまり、常に J_e が支配的になる。そのため、低電界でのリーク電流は、 J_e が低く抑えられれば、自動的に J_h よりも抑えられるため、 J_e がスペックを満たすかどうかだけを考えれば充分である。

【0009】

トラップ準位のあるトンネル絶縁膜でも、低電界では電気特性 ($J-E_x$ 特性) という点において基本的にはトラップ準位のない絶縁膜と同じなので、 5 nm 以下に薄膜化できない。したがって、トラップ準位のあるトンネル絶縁膜は、高電界において通常のトンネル絶縁膜より、リーク電流を増大させることが可能となり書込み効率を上げることができるという長所があるが、低電界におけるリーク電流が大きくなって不揮発性半導体記憶装置としての電荷保持特性が劣化するので、 5 nm 以下に薄膜化できないという短所もある。

【0010】

一方で、リーク電流を減らす方法として、高誘電体膜を用いることが知られている (例えば、特許文献 2 参照)。この特許文献 2 によれば、単純に単層の高誘電体膜を用いるだけでは、低電界におけるリーク電流を減らすことができず、また高電界におけるリーク電流を大きくすることもできない。しかし、高誘電体膜と低誘電体膜とを適切な割合で積層にすれば、リーク電流を低電界では小さく、高電界では大きくすることができる。そして、このような積層構造とすることにより、酸化膜に換算した膜厚 (EOT (Equivalent Oxide Thickness)) が薄膜化できるので、電圧も低くできる。この特許文献 2 では、さらに、誘電率が高くなるほど、バリアハイトが低くなる傾向にあるため、電子の熱励起成分による電流が増加する、という問題も解決している。したがって、バリアハイトが高い傾向にある低誘電体膜と積層すれば、リーク電流を小さくすることができることが示されている。

【0011】

しかし、この積層構造では、 5 nm 以下の薄い EOT が得られるので、一般的に消去に求められるホールによる $1 \times 10^{-5} \text{ A/cm}^2$ という高いリーク電流が低い電圧 V_{ins} で得られるものの、酸化膜に換算した電界 $E_x (= V_{ins} / \text{EOT})$ で考えると、 13 MV/cm よりも高い電界が必要になる。すなわち、低誘電体膜と高誘電体膜の積層構造では、低電界でのリーク電流を十分に抑えながら薄膜化できるという長所があるが、

消去で要求される高い電流を得るために高い電界 E_x が必要になるという短所もある。

【特許文献 1】特開 2 0 0 8 - 1 4 7 3 9 0 号公報

【特許文献 2】特許第 3 3 5 7 8 6 1 号公報

【発明の開示】

【発明が解決しようとする課題】

【0 0 1 2】

このように、従来技術においては、不揮発性半導体記憶装置に要求されるリーク電流のスペックを満たしながら、トンネル絶縁膜の EOT を 5 nm 以下にすることができなかった。薄膜にできなかったゆえ、データの書込や消去の際に高い電圧を印加する必要があり、絶縁膜に欠陥を生成させ、 $SILC$ を引き起こすなどの問題があった。

10

【0 0 1 3】

本発明は、上記事情を考慮してなされたものであって、 EOT を薄くしても低電界におけるリーク電流を抑制するとともに高電界におけるリーク電流が大きいトンネル絶縁膜を有する不揮発性半導体記憶装置を提供することを目的とする。

【課題を解決するための手段】

【0 0 1 4】

本発明の第 1 の態様による不揮発性半導体記憶装置は、半導体基板と、前記半導体基板に離間して形成されたソース領域およびドレイン領域と、前記ソース領域と前記ドレイン領域との間の前記半導体基板上に形成された第 1 の絶縁膜であって、第 1 の絶縁層と、前記第 1 の絶縁層上に形成され前記第 1 の絶縁層より誘電率が高く、母材と異なる元素が添加されることにより形成される、ホールの捕獲および放出をする第 1 のサイトを有している第 2 の絶縁層とを備え、前記第 1 のサイトは前記半導体基板を構成する材料のフェルミレベルよりも低いレベルにある第 1 の絶縁膜と、前記第 1 の絶縁膜上に形成された電荷蓄積膜と、前記電荷蓄積膜上に形成された第 2 の絶縁膜と、前記第 2 の絶縁膜上に形成された制御ゲート電極と、を有する記憶素子を備えたことを特徴とする。

20

【0 0 1 5】

また、本発明の第 2 の態様による不揮発性半導体記憶装置は、半導体基板と、前記半導体基板に離間して形成されたソース領域およびドレイン領域と、前記ソース領域と前記ドレイン領域との間の前記半導体基板上に形成され、母材と異なる元素が添加されることにより形成される、ホールの捕獲および放出をするサイトを有し前記ホールの捕獲および放出をするサイトは、電圧がかかっていないときに前記半導体基板を構成する材料のフェルミレベルよりも低いレベルにある単一の層である第 1 の絶縁膜と、前記第 1 の絶縁膜上に形成された電荷蓄積膜と、前記電荷蓄積膜上に形成された第 2 の絶縁膜と、前記第 2 の絶縁膜上に形成された制御ゲート電極と、を有する記憶素子を備えたことを特徴とする。

30

【発明の効果】

【0 0 1 6】

本発明によれば、 EOT を薄くしても低電界におけるリーク電流を抑制することが可能であるとともに高電界におけるリーク電流、特にホールのリーク電流を高くすることが可能なトンネル絶縁膜を有する不揮発性半導体記憶装置を提供することができる。

【発明を実施するための最良の形態】

40

【0 0 1 7】

本発明の実施形態を説明する前に、本発明に至った経緯について説明する。

【0 0 1 8】

前述したように、本発明者達によって発明されて出願された特許文献 1 に記載のトンネル絶縁膜は、トラップ準位を有しない絶縁層を、トラップ準位を有する 2 つの絶縁層によって挟んだ、膜方向に対称の 3 層積層構造である。このトンネル絶縁膜は、低電界ではトラップ準位のない絶縁膜と同じくらいトンネル電流が抑えられる。一方で、高電界では電子がトラップ準位を介してトンネルするようになるため、トラップ準位のない絶縁膜に較べてトンネル確率が高くなり、リーク電流が大きくなる。したがって、電界 E_x を高くすることなく書込み効率を上げることができるので、トンネル絶縁膜としては極めて理想

50

的である。そして、3層積層構造の両端の絶縁層にトラップ準位を形成するために、絶縁層が SiO_2 層または SiN 層であるときは、Ge、As、またはPが添加され、絶縁層が HfO_2 層であるときは、Al、Si、Pが添加される。

【0019】

また、絶縁層が SiO_2 層または SiN 層で添加元素がGeの場合には、価電子帯の上端から約 $2\text{ eV} \sim 3\text{ eV}$ 近傍にホールのトラップ準位（ホールのアシストレベル）になりうる準位が形成されるので、この準位を利用することにより、低い電界で、かつ高速に消去が可能となることが記載されている。

【0020】

しかしながら、低電界のリーク電流はアシストレベル無しの絶縁膜と同じとなるので、特許文献1に記載のトンネル SiO_2 膜は、スペックを満たす最小限の膜厚の 5 nm より薄膜化できないという問題がある。また、このトンネル絶縁膜は、FG型の不揮発性半導体記憶装置を想定しており、書込及び消去をするために、絶縁膜構造は膜方向に対称である必要があった。さらに、トンネル絶縁膜全体、つまり、両端だけでなく真ん中にもトラップ準位を形成すると、低電界においてリーク電流が高くなるため、全体にトラップ準位をいれることができなかった。それゆえ、トンネル絶縁膜構造は膜厚方向に対称的な三層積層構造にしなければならず、トラップ準位は必ず両端にだけ形成しなければならなかった。

【0021】

また、前述したように、特許文献2に開示されている高誘電体膜と低誘電体膜の積層膜を用いれば、低電界でのリークを減らすことができるので、所望の電荷保持特性が得られる。しかしながら、酸化膜と全く同じスペックをトンネル絶縁膜に求めるのならば、この特許文献2に記載された積層構造の絶縁膜だけで実現することは難しい。例えば、この積層構造の低誘電体膜が酸化膜である場合、ホールによるリーク電流を十分に高くするには、酸化膜に十分に高い電圧がかからなければならない。電子が低誘電体膜、高誘電体膜の順に流れる方向では、酸化膜に高い電圧がかかれば、高誘電体膜の価電子帯の上端が大きく上がるため、高誘電体膜によるトンネル電流抑制の効果が小さくなり、これにより、リーク電流を高くできるからである。しかし、消去の電界が、例えば、電界 E_{ox} が 13 MV/cm という一定の値であると、酸化膜を薄膜化したとき酸化膜にかかる電圧も小さくなるため、リーク電流を十分に高くできなくなるからである。このため、特許文献2においては、消去の際にトンネル絶縁膜にかかる電界 E_{ox} を高くする必要がある、という問題があった。

【0022】

そこで、本発明達は、鋭意研究に努めた結果、上記2つの問題を解決できる最適なトンネル絶縁膜の構造を見出すことができた。これを、以下に実施形態として説明する。本発明の実施形態について図面を参照しながら説明するが、各実施形態を通して共通の構成には同一の符号を付すものとし、重複する説明は省略する。また、各図の中には本発明の説明とその理解を促すための模式図があり、その形状や寸法、比などは実際の装置と異なる個所があるが、これらは以下の説明と公知の技術を参酌して適宜、設計変更することができる。

【0023】

（第1実施形態）

本発明の第1実施形態による不揮発性半導体記憶装置は、例えば、マトリクス状に配置されたNANDセルユニットを有している、各NANDセルユニットは、直列に接続されたメモリセルで形成されたNANDセルを含んでいる。各メモリセルMCは、図1に示すように、p型のSi基板1に離間して形成された、n型不純物（例えば、P（リン）やAs（ヒ素））を含むn型ソース領域2aおよびドレイン領域2bを備えている。ソース領域2aとドレイン領域2bとの間のSi基板1上にトンネル絶縁膜3が形成され、このトンネル絶縁膜3上に電荷蓄積膜4が形成され、この電荷蓄積膜4上に電極間絶縁膜5が形成され、この電極間絶縁膜5上に制御ゲート電極6が形成された構成となっている。そし

10

20

30

40

50

て、制御ゲート電極 6、電極間絶縁膜 5、電荷蓄積膜 4、およびトンネル絶縁膜 3 からなる積層構造のゲートは、シリコン酸化膜 7 によって覆われている。ここで、電荷蓄積膜 4 として、浮遊ゲート電極を用いて F G 型の不揮発性半導体記憶装置にしても良いし、トラップ絶縁膜を用いていわゆる M O N O S 型の不揮発性半導体記憶装置にしても良い。

【0024】

トンネル絶縁膜 3 は、図 2 に示すように、ホールを捕獲し放出するレベル（アシストレベル）を有さない低誘電率（low - k）材料の絶縁層 8 と、この上に形成された、ホールのアシストレベルを有する高誘電率（high - k）材料の絶縁層 9 との積層構造を有している。本実施形態のトンネル絶縁膜は、従来のトンネル絶縁膜とは構造が決定的に異なっている。すなわち、本発明者達によって発明され既に特許出願された特開 2008 - 147390 号公報におけるトンネル絶縁膜は、電子のアシストレベルのある SiO₂ 膜であり、同じ膜の両端だけに電子のアシストレベルを有する三層構造の膜であるのに対し、本実施形態における積層構造は、異なる誘電率の絶縁層の二層の積層構造であり、ホールのアシストレベルが形成されたものである。前者ではトンネル絶縁膜は必ず膜厚方向に对称であり、また低誘電体膜にだけアシストレベルを形成しなければならないのに対して、後者では对称である必要がなく、また膜全体にアシストレベルを形成することができる。また、特許第 3357861 号公報に記載された異なる誘電率の絶縁層の積層構造のトンネル絶縁膜はアシストレベルが無いのに対し、本実施形態におけるトンネル絶縁膜の積層構造は、ホールのアシストレベルが形成されている。

【0025】

図 3 は、図 2 に示す積層構造のトンネル絶縁膜に電界がかかっていない場合（ $E_x = 0$ ）のエネルギーバンドの模式図である。図 3 の左から、半導体基板のフェルミレベル E_F を示し、次は low - k 材料からなる絶縁層（以下、low - k 層とも云う）の伝導帯の下端（CBM; Conduction Band Minimum） E_C と、価電子帯の上端（VBM; Valence Band Maximum） E_V を示し、次は high - k 材料からなる絶縁層（以下、high - k 層とも云う）における伝導帯の下端 E_C 、アシストレベル、および価電子帯の上端 E_V を示し、最後は電荷蓄積膜 5 のフェルミレベル E_F を示している。なお、ここでいう半導体基板のフェルミレベル E_F とは、半導体基板を強反転させた状態（消去の状態）での表面でのフェルミレベルのことであり、通常、半導体基板の価電子帯の上端 E_V より約 0.1 eV 程度だけ低い位置にある。また、low - k および high - k の絶縁層の物理的な厚さ（物理層厚と呼ぶ）をそれぞれ T_1 および T_2 とし、low - k 層および high - k 層のそれぞれの価電子帯の上端 E_V と半導体基板のフェルミレベル E_F との差、つまりホールに対するバリアハイトは、それぞれ ϕ_{b1} および ϕ_{b2} とする。ここでは、ホールのアシストレベルは、high - k 層の価電子帯の上端 E_V からの深さ ϕ_{t2} で定義した。なお、バリアハイトおよびアシストレベルはエネルギー軸では負の値であるが、絶対値（正の値）として表記する。アシストレベルは、半導体基板のフェルミレベル E_F から見ると、 $\phi_{b1} - \phi_{t2}$ のレベルにあることになる。なお、半導体基板、電荷蓄積膜それぞれの E_C 、 E_V は省略した。また、図 3 では $E_x = 0$ のときに半導体基板と電荷蓄積膜のフェルミレベル E_F が揃っているように描かれているが、必ずしも揃っている必要はない。

【0026】

この積層構造を有するトンネル絶縁膜を流れるトンネル電流 J は、

【数 2】

$$J = \frac{4\pi me}{h^3} \int_0^\infty \zeta(E_x) T^*(E_x) dE_x \quad (2)$$

$$\zeta(E_x) = \int_0^\infty \frac{dE_r}{1 + \exp[(E_r + E_x - E_F)/(k_B T)]} \quad (3)$$

で表される。ここで、 e は素電荷、 m は真空における電子の質量、 h はプランク定数、 k

k_B はボルツマン定数、 T は温度、 E はホールの持つエネルギー、 $E_x (= E - E_F)$ はホールのトンネル方向 (x 軸方向) におけるエネルギー、 E_F は半導体基板のフェルミレベル、 $T^*(E_x)$ はトンネル絶縁膜を流れるホールの実効的トンネル確率である。本実施形態では、この式を基に、異なる絶縁膜の積層構造とアシストレベルを考慮して計算した。

【0027】

図2に示す積層構造のトンネル絶縁膜に低い電界 E_{ox} がかかっている場合のエネルギーバンドの模式図を図4(a)に示す。ここで、 $low-k$ 層および $high-k$ 層のそれぞれの誘電率を ϵ_1 および ϵ_2 とし、 $low-k$ 層および $high-k$ 層にそれぞれかかる電圧を V_1 および V_2 とする。誘電率が異なる絶縁層の積層構造において、電束密度が一定と仮定した場合、それぞれの絶縁層に異なる実電界がかかることになる。そのとき、 $low-k$ 層および $high-k$ 層にかかる実電界を E_1 および E_2 とすると、

$$\epsilon_{ox} \times E_{ox} = \epsilon_1 \times E_1 = \epsilon_2 \times E_2 \quad (4)$$

となる。ここで、 $\epsilon_{ox} (= 3.9)$ は SiO_2 の誘電率である。実電界は、 $E_1 = V_1 / T_1$ 、 $E_2 = V_2 / T_2$ と定義した。つまり、

$$\epsilon_1 \times V_1 / T_1 = \epsilon_2 \times V_2 / T_2 \quad (5)$$

を満たす。(4)式からわかるように、 $high-k$ 層よりも $low-k$ 層の方の実電界が強くなる。これは、 $\epsilon_1 < \epsilon_2$ であるので、 $E_1 > E_2$ となるからである。それ故、 $low-k$ 層の物理層厚 T_1 が $high-k$ 層の物理層厚 T_2 と比較してある程度厚い場合、 $low-k$ 層にかかる電圧 V_1 が $high-k$ 層にかかる電圧 V_2 よりも高くなる。これは、 $\epsilon_1 < \epsilon_2$ であるので、例えば、 $T_1 > T_2$ のとき、 $(\epsilon_1 / T_1) < (\epsilon_2 / T_2)$ となる。これと(5)式から、 $V_1 > V_2$ となるからである。

【0028】

アシストレベルは、 $high-k$ 層に電圧 V_2 がかかるため、エネルギーレベルから見ると、 V_2 の幅を持つことになる。しかし、この状況では、半導体基板のフェルミレベル E_F はアシストレベルよりも高いため、アシストレベルはリーク電流に影響しない。つまり、低電界では、アシストレベルのない同じ積層構造の絶縁膜と同じリーク電流になる。そのときの実効トンネル確率 $T^*(E_x)$ は、

【数3】

$$T^*(E_x) = T_{FN}(\phi_{b1}^*, m_1^*, E_1) T_{FN}^{-1}(\phi_{b1}^* - V_1, m_1^*, E_1) T_{FN}(\phi_{b2}^*, m_2^*, E_2) T_{FN}^{-1}(\phi_{b2}^* - V_2, m_2^*, E_2) \quad (6)$$

と表せる。ここで、 $\phi_{b1}^* = \phi_{b1} + E_F - E_x$ 、 $\phi_{b2}^* = \phi_{b2} + E_F - E_x - V_1$ 、 m_1^* および m_2^* は、それぞれ $low-k$ 層および $high-k$ 層においてトンネルするホールの有効質量である。有効質量は典型的な値として $0.6m$ とした。また、 T_{FN} は、Fowler-Nordheim (F - N) トンネルの確率であって、 $0 < E_x < \phi_{b1}^*$ の場合は、次の(7)式

【数4】

$$T_{FN}(\phi_b^*, m^*, E) = \exp \left[- \frac{8\pi(2m^*)^{1/2}}{3heE} \phi_b^{*3/2} \right] \quad (7)$$

で定義され、 $\phi_{b1}^* < E_x$ の場合は、次に(8)式

$$T_{FN}(\phi_{b1}^*, m^*, E) = 1 \quad (8)$$

で定義される。ここで、 m^* はトンネル絶縁膜中をトンネルしているホールの有効質量、 ϕ_b^* はトンネル絶縁膜の実効的なバリアハイト、 E_1 および E_2 はそれぞれ $low-k$ 層および $high-k$ 層における実電界を示す。なお、F - N トンネルとは、図5(a)に示すように、ホールが絶縁膜の傾斜した価電子帯を通り抜ける(電子の場合は伝導帯を通り抜ける)トンネルことを意味し、D - T (Direct Tunneling) とは、図5(b)に示すように、ホールが絶縁膜の価電子帯を通り抜けず、対向する電極に直接到達するトンネル

のことを意味する。なお、ここではホールのトンネリングを説明しやすいように、エネルギーを示す縦軸を通常（電子の場合）とは反対向き、すなわち図において上下反対に示した。また、これより先、断り無くエネルギー軸を逆向きに取る場合もあるが、内容から逆向きであることは容易に判断できる。

【 0 0 2 9 】

図 2 に示す積層構造のトンネル絶縁膜に高い電界 E_x がかかっている場合のエネルギーバンド図を図 4 (b) に示す。電界 E_x が高いので、それぞれの膜にかかる電圧も高くなる。すると、low - k 層には高い電圧 V_1 がかかり、high - k 層にはそれよりも低い電圧 V_2 がかかる。図 4 (b) からわかるように、電界 E_x がある程度高い場合には、low - k 層に高い電圧がかかるため、high - k 層の価電子帯の上端 E_v が V_1 だけ高くなり、それに伴い、アシストレベルも V_1 高くなり、半導体基板のフェルミレベル E_F がアシストレベルの高さと重なる。すると、ホールがアシストレベルを介してトンネルするようになる。ホールが半導体基板からアシストレベルにトンネルする確率を p_1 、ホールがアシストレベルから電荷蓄積膜にトンネルする確率を p_2 とし、アシストレベルの占有率を f （したがって、アシストレベルの非占有率は $1 - f$ ）のとき、定常状態において、電流密度の連続性から、アシストレベルを介してホールが流れる確率 P は、

$$P = p_1 \times (1 - f) = p_2 \times f \quad (9)$$

を満たす。このとき、 $f = p_1 / (p_1 + p_2)$ となるので、

$$P = 1 / (1 / p_1 + 1 / p_2) \quad (10)$$

となる。アシストレベルを介さない場合の確率は p_1 と p_2 の積、 $p_1 \times p_2$ であり、(10) 式よりも小さな値となる。それゆえ、アシストレベルを介するとリーク電流は、アシストレベルを介さない場合よりも高くなる。

【 0 0 3 0 】

Low - k 層と high - k 層の積層構造を有するトンネル絶縁膜において、high - k 層にだけアシストレベルがある場合には、トンネルするホールのエネルギーレベル E_x と ϕ_{T2} の位置関係によってトンネル確率は図 6 (a) 乃至 6 (c) に示すように場合分けされ、次のようにまとめられる。

【 数 5 】

$$P^* = \begin{cases} P_L P_H & |V_2| < \phi_{T2}^* \\ 1/[1/(P_L P_{H1}) + 1/P_{H2}] & 0 < \phi_{T2}^* \leq |V_2| \\ P_L P_H & \phi_{T2}^* \leq 0 \end{cases} \quad (11)$$

ここで、

$$\phi_{T2}^* = \phi_{T2} - \phi_{b2}$$

と定義した。

【 0 0 3 1 】

電子がアシストレベルを介さないでトンネルする場合（図 6 (a)、6 (c)）は、high - k 層と low - k 層のそれぞれをトンネルする確率の積で表され、アシストレベルのない場合の (6) 式と同じになる。アシストレベルを介してトンネルする場合（図 6 (b)）は、

【数 6】

$$P_L = T_{FN}(\phi_{b1}^*, m_1^*, E_1) T_{FN}^{-1}(\phi_{b1}^* - |V_1|, m_1^*, E_1)$$

$$P_{H1} = T_{FN}(\phi_{b2}^*, m_2^*, E_2) T_{FN}^{-1}(\phi_{T2}, m_2^*, E_2) \quad (12)$$

$$P_{H2} = T_{FN}(\phi_{T2}, m_2^*, E_2) T_{FN}^{-1}(\phi_{b2}^* - |V_2|, m_2^*, E_2)$$

となる。

10

【0032】

このように、低電界ではアシストレベルがリーク電流に影響しないので、high-k層を用いてトンネル絶縁膜の物理膜厚を厚くできる効果により、リーク電流が低く抑えられ、高電界ではアシストレベルを介するためホールのトンネリング確率が高くなり、したがってアシストレベル無しの場合に比べてリーク電流を大きくすることができる。アシストレベルは、high-k層中において、半導体基板から注入される電子をすべてトラップするくらいあることが望ましく、少なくとも $1.0 \times 10^{16} \text{ cm}^{-3}$ 以上あれば、高電界においてリーク電流を高くする効果がある。

【0033】

本実施形態のような積層構造のトンネル絶縁膜として、例えば、low-k層として SiO_2 層、アシストレベルのある high-k層として Ru を添加した HfO_2 層の積層絶縁膜がある。 SiO_2 の誘電率 ϵ_1 は 3.9、Ru を添加した HfO_2 の誘電率 ϵ_2 は 18、シリコン基板のフェルミレベル E_F に対する low-k 層のホールのバリアハイト ϕ_{b1} は 3.8 eV、high-k 層のバリアハイト ϕ_{b2} は 3.0 eV である（例えば、J. Widiez et al., Jpn. J. Appl. Phys., 47, 2410 (2008)., H. Bachhofer et al., J. Appl. Phys., 89, 2791 (2001). 参照）。この構成における、 $E_{ox} = 0$ の場合のバンド図を図 7 に示す。ここでは、トンネル絶縁膜として、EOT ($T_{eq, a11}$) が 2.2 nm の極薄膜の例として掲げる。low-k 層の EOT (T_{eq1}) は 1.21 nm、EOT は SiO_2 膜に換算した膜厚の意味なので、 SiO_2 層の物理膜厚 T_1 も同じく 1.21 nm である。High-k 層の EOT (T_{eq2}) は 0.97 nm、物理膜厚 T_2 は 4.50 nm ($= 0.97 \times 18 / 3.9$) である。アシストレベルは、 HfO_2 層に、例えば、Ru を添加することによって形成される。本発明者達の計算結果によれば、ホールのアシストレベル ϕ_{t2} は 1.1 eV である。なお、図 7 の横軸は物理膜厚 T_{phy_s} を表し、縦軸はエネルギーを表す。

20

30

【0034】

EOT を 2.2 nm にした上述の 2 層構造のトンネル絶縁膜にかかる電界 E_{ox} と、このトンネル絶縁膜を流れるリーク電流との関係は図 8 A、8 B に示すようになる。図 8 A、8 B には、比較のために、アシストレベルのない積層絶縁膜 (Ru が添加されていない積層絶縁膜) の場合と、さらに、 SiO_2 層の層厚が 5 nm、2.2 nm の単層構造の絶縁膜の場合も示した。なお、EOT が 2.2 nm の単層構造の HfO_2 層の場合、リーク電流は、非常に低くなるため、これらの図 8 A、8 B に示す範囲の中には収まらず、図示していない。図 8 A はホールによるリーク電流の場合を示し、図 8 B は電子によるリーク電流の場合を示す。

40

【0035】

図 8 A、8 B の各 3 MV/cm における十字印は、電荷保持で求められるホール、電子それぞれのリーク電流のスペックを表しており、これ以下にリーク電流を低くしなければならない。一方で、図 8 A において、13 MV/cm における十字印は消去に求められるスペックであり、図 8 B において、13 MV/cm における十字印は書込に求められるスペックである。どちらも、十字印に示す値以上のリーク電流であることが求められる。消去の場合には、トンネル絶縁膜に高い正の電界 E_{ox} をかけることになる。一般的に、消

50

去特性として求められるスペックは、層厚が5 nmのSiO₂層における消去特性より同等かあるいはそれ以上であり、例えば、電界13 MV/cmでホールのリーク電流 $1 \times 10^{-5} \text{ A/cm}^2$ 以上である。

【0036】

図8Aからわかるように、SiO₂層の層厚が5 nmの場合にはこのスペックを満たすことができ(図8Aの十字印)、SiO₂層の層厚が2.2 nmの場合には更に多くのリーク電流を流すことができる。しかし、膜厚が2.2 nmでは、3 MV/cmにおける低電界のリーク電流が十字印に示す値以上となり、電荷保持特性と消去特性のスペックを同時に満たせない。また、積層構造の絶縁膜の場合でも、アシストレベルが無い膜(例えば、Ruが添加されない膜)では、リーク電流は13 MV/cmで $2 \times 10^{-13} \text{ A/cm}^2$ となり、求められているスペック $2 \times 10^{-5} \text{ A/cm}^2$ に比べて、8桁も及ばない。

10

【0037】

前述したように、ホールがlow-k層とhigh-k層の順に流れる場合には、high-k層の価電子帯の上端 E_v が高くなり、ホールのバリアハイトが低くなるので、リーク電流は増える方向であり、ある程度の膜厚では効果のある構造となる。しかしながら、トンネル絶縁膜のEOT($T_{eq,all}$)の薄膜化を進めると、同じ E_o でもその定義($E_o = V_{ins}/T_{eq,all}$)から、トンネル絶縁膜にかかる V_{ins} も小さくしなければならない。このように、電圧は小さくなるものの、バリアハイトは膜の性質で決まっている値のため、小さくはならない。それゆえ、アシストレベルの無い積層構造のトンネル絶縁膜では、13 MV/cmの電界では十分にリーク電流を高くすることはできない。

20

【0038】

その一方で、アシストレベルのある積層構造のトンネル絶縁膜では、13 MV/cmで消去に求められるスペックを満たすことができる。図8Aの13 MV/cmにおけるリーク電流を見るとわかるように、消去に求められるスペックを表す十字印の値を大幅に上回るリーク電流が流れている。これは、高速に消去できることや、低電界で消去できることを示している。

【0039】

この積層構造のトンネル絶縁膜は、電子によるリーク電流に求められるスペック、つまり、電荷保持や書込特性に求められるスペックを同時に満たすように形成することができる。図8Bにおいて、電界が正の3 MV/cmのときに、電荷を保持するために、電子によるリーク電流は $1 \times 10^{-16} \text{ A/cm}^2$ 以下でなければならないが、それを十分に満たしている。また、電界が-13 MV/cmの場合に、書込特性を満たすために、電子によるリーク電流は、 0.1 A/cm^2 以上であることが求められるが、それも満足している。

30

【0040】

こうして、本実施形態のように、ホールのアシストレベルのあるhigh-k絶縁層と、low-k絶縁層との積層構造からなるトンネル絶縁膜は、 E_o が13 MV/cmの高電界においてホールのリーク電流が $1 \times 10^{-5} \text{ A/cm}^2$ 以上になり、消去効率を向上させられると同時に、3 MV/cmで $1 \times 10^{-16} \text{ cm}^{-2}$ 以下にできるため電荷保持のスペックを満たし、-13 MV/cmで 0.1 A/cm^2 以上になるので書込み効率のスペックも十分に満足させながら、SiO₂膜では無理であった5 nm以下の薄膜化も可能であり、EOTで2.2 nmにすることができる。

40

【0041】

以上説明したように、本実施形態によれば、EOTを薄くしても低電界におけるリーク電流を抑制することが可能となるとともに高電界におけるホールのリーク電流を高くすることが可能となるトンネル絶縁膜を有する不揮発性半導体記憶装置を提供することができる。

【0042】

50

(積層構造のトンネル絶縁膜の膜厚範囲)

次に、第1実施形態の不揮発性半導体記憶装置において、積層構造のトンネル絶縁膜は、どの膜厚範囲であれば、トンネル絶縁膜として要求されるスペックを満たすかを調べた。SiO₂層のEOTすなわち T_{eq1} (SiO₂)を横軸に、HfO₂層のEOTすなわち T_{eq2} (HfO₂)を縦軸にとって、トンネル絶縁膜として求められるスペックを満たす範囲を図9に示す。つまり、当然ながら、点で示したところだけでなく、それ以外の、点と点の間の領域も含まれる。なお、SiO₂層とHfO₂層の両方を合わせたEOT ($T_{eq,all}$)の上限を8nmとした。この上限は、図9において、直線C ($T_{eq1} + T_{eq2} = 8$)で表される。それ故、図9に示す、 $T_{eq1} + T_{eq2} > 8$ となる領域(直線Cより上の領域)は、スペックを満たす範囲に含まれていない。図9において、直線Aは低電界でリーク電流を抑えるのに最低限必要な膜厚の割合を示している。直線Aと横軸が交わる点 L_s は、SiO₂層だけの場合であり、電荷保持するのに、ホールによる電流の場合、SiO₂層が約4nmが必要であることを示している。ちなみに、電子による電流の場合は5nmであった。そして、直線Aと縦軸が交わる点 L_H は、HfO₂層だけの場合であり、直線AはSiO₂層とHfO₂層の積層構造が電荷保持するのに必要な最低限必要な膜厚を表している。

10

【0043】

図9からわかるように、HfO₂層だけでは、スペックを満たす領域に入っていない。つまり、HfO₂層だけでは、トンネル絶縁膜として使えない、ということの意味している。これは、高電界でリーク電流を高くすることができないからである。高電界でリーク電流のスペックを満たすのに最低限必要なSiO₂層の厚さは、直線Bおよび直線B'で表される。直線B'は、HfO₂層にアシストレベルが無い場合のトンネル絶縁膜において最低限必要なSiO₂層の層厚を表している。その層厚は2.0nmである。SiO₂層とHfO₂層との積層構造を有するトンネル絶縁膜において、アシストレベルがない場合でも、このように、SiO₂層の層厚が2.0nm以上あれば層厚が4.0nmの単層となるSiO₂層よりも薄膜のトンネル絶縁膜が形成でき、この構造の場合にはトンネル絶縁膜全体のEOTとして2.6nmまで薄膜化できる(直線Aと直線B'の交点)。

20

【0044】

そして、HfO₂層にRuを添加してアシストレベルを形成すれば、さらに、SiO₂層を半分以下の1.1nmまで薄膜化でき、HfO₂層と合わせて、EOTが1.8nmの極薄のトンネル絶縁膜が形成できる。これは、アシストレベルが無い場合のSiO₂層の膜厚2.0nmよりも薄い膜厚である。アシストレベルが無いときに、SiO₂層を薄くできない理由は、次のように説明できる。電界が高いときにリーク電流は高くななければならない。そのためには、HfO₂層の価電子帯の上端 E_v が十分に高くなり、ホールのバリアハイトが低くなって、ホールがトンネルし易くする必要がある。しかし、電界 $E_{ox} (= V_1 / T_{eq1})$ が同じままSiO₂層の膜厚 T_{eq1} を薄くすると、SiO₂層にかかる電圧 V_1 は小さくなるので、十分にHfO₂層の価電子帯の上端 E_v が上がらなくなり、したがって、リーク電流が高くできない。これに対して、HfO₂層にアシストレベルがあれば、十分にHfO₂層の価電子帯の上端 E_v が上がらなくても、アシストレベルを介することによって、ホールのトンネル確率が高くなる。それゆえ、アシストレベルがあるHfO₂層を含む積層構造の場合には、アシストレベルがない場合よりもさらにSiO₂層の薄膜化が可能になり、トンネル絶縁膜全体のEOTが1.8nmまで薄膜化できる(直線Aと直線Bの交点)。

30

40

【0045】

図10は、図9に示すデータを物理層厚に換算したものであり、横軸 T_{phys1} (SiO₂)は図9の横軸と同じ値となるが、縦軸 T_{phys2} (HfO₂)だけがHfO₂層とSiO₂層の誘電率の比の分だけスケールアップされている。それゆえ、積層構造において必要なSiO₂層の物理層厚は図9に示す場合と同じであり、アシストレベルがない場合には1.8nm、アシストレベルがある場合には0.9nmである。そして、HfO₂層は、物理層厚として3nmから28nmの範囲を取れる。なお、ZrO₂層は、Hf

50

O_2 層と同じ特性を有しているので、 HfO_2 層の代わりに ZrO_2 層を用いることができる。

【0046】

(第2実施形態)

次に、本発明の第2実施形態による不揮発性半導体記憶装置を説明する。第1実施形態の不揮発性半導体記憶装置においては、トンネル絶縁膜は、 high-k 層だけにアシストレベルが形成されていたが、本実施形態の不揮発性半導体記憶装置においては、 high-k 層だけでなく、 low-k 層にもアシストレベルが形成されたトンネル絶縁膜を有している。第2実施形態の不揮発性半導体記憶装置は、トンネル絶縁膜以外、第1実施形態と同じ構成となっている。

10

【0047】

本実施形態のトンネル絶縁膜の、 $E_o, x = 0$ におけるエネルギーバンド図は、図3に示す low-k 層にアシストレベル ϕ_{t1} を付け加えた図12に示すようになる。そして、同様に、本実施形態のトンネル絶縁膜に低い電界と高い電界をかけた場合は、図4(a)、4(b)に示す low-k 層にアシストレベル ϕ_{t1} を付け加えた図12(a)、12(b)に示すようにそれぞれなる。これらの場合は、図12(a)、12(b)に示すように、 low-k 層のアシストレベルがリーク電流に寄与しないので、 low-k 層にアシストレベルがあっても無くても、リーク電流に変化がない、つまり、書き込み効率は変わらない。 low-k 層のアシストレベルがリーク電流に寄与すれば、書き込み効率は上がることになるが、そのときには電荷保持特性が劣化してしまう場合もあるし、条件によっては電荷保持特性が維持される場合もある。

20

【0048】

以上説明したように、本実施形態のように、トンネル絶縁膜の low-k 層と high-k 層の両方にアシストレベルが形成されていても、要求されるスペックを満たす極薄 EOT を有するトンネル絶縁膜が得ることが可能となる。これにより、EOT を薄くしても低電界におけるリーク電流を抑制することが可能となるとともに高電界におけるリーク電流を高くすることが可能なトンネル絶縁膜を有する不揮発性半導体記憶装置を提供することができる。

【0049】

(アシストレベルについて)

30

ここまでは、アシストレベルとして、 1.1 eV の場合だけを示したが、他の値でも構わない。しかしながら、アシストレベルの値は何でも良いわけではなく、本発明の上記実施形態における効果を得るためには、以下に説明する範囲にあることが好ましい。

【0050】

図13A乃至図13Pは、様々なアシストレベルを有する HfO_2 層と、 SiO_2 層との積層構造からなるトンネル絶縁膜において、本発明の一実施形態で定義したスペックを満たす HfO_2 層と SiO_2 層の物理膜厚 T_{phys} の範囲を示した図である。アシストレベルの大きさによって、特に SiO_2 層の物理膜厚の範囲が変化することがわかる。図13A乃至図13Pはそれぞれ、 HfO_2 層のアシストレベルが 0 eV 、 0.1 eV 、 0.3 eV 、 0.5 eV 、 0.7 eV 、 0.9 eV 、 1.1 eV 、 1.3 eV 、 1.5 eV 、 1.7 eV 、 1.9 eV 、 2.1 eV 、 2.3 eV 、 2.5 eV 、 2.7 eV 、 2.9 eV の場合の図である。そして、これらのアシストレベルと、トンネル絶縁膜の EOT との関係を図14に示す。ここで、アシストレベルが 0 eV は、アシストレベルが無い場合を示しており、前述したように、そのとき最小の EOT は 2.5 nm となる。図14からわかるように、アシストレベルが価電子帯の上端から深くなるほど、アシストレベルがない場合に比べて、トンネル絶縁膜の EOT が薄膜化できる。アシストレベルが 2.1 eV のとき EOT が最小となり、その EOT は約 1.19 nm に到達する。そして、それよりも深くなると、急激に EOT の膜厚は厚くなり、例えば、 2.3 eV のときには、EOT は 3.6 nm となり、アシストレベルのない場合よりも厚くなる。これは、 HfO_2 層中のアシストレベルが深いと、層厚の薄い HfO_2 層では、低い電界 E_o, x でもアシストレ

40

50

ベルを介したリーク電流が支配的になり、したがって低電界でのスペックを満たさないからである。つまり、アシストレベルとしては、 0 eV より大きく、 2.2 eV 未満であることが好ましい。そして、最も適する欠陥形態は HfO_2 中の Hf を Ru が置換したものが好ましいことがわかった。なお、アシストレベルがある場合には、その low-k 層の層厚（直線 B と横軸との交点の値）を、アシストレベルが無い場合に必要な low-k 層の層厚（直線 B' と横軸との交点の値）よりも薄くすることができる（図13F乃至図13I）。上述の説明では low-k 層が SiO_2 層であって、 high-k 層が HfO_2 層であったが、 low-k 層が酸化シリコン層で high-k 層がハフニア（ HfO ）層である場合でもアシストレベルが上述の範囲であれば同様の範囲で同様の効果を得ることができる。

10

【0051】

また、図14には、さらに HfO_2 層と、窒化シリコン（ SiN ）層との積層構造からなるトンネル絶縁膜の場合も示している。図14からわかるように、 SiO_2 層を SiN 層で置き換えた場合は、アシストレベルとしては、 0.7 eV より大きく、 2.2 eV 未満であることが好ましい。したがって、 high-k 層と積層する low-k 層として、 SiO_2 層または SiN 層を用いる場合は、好適なアシストレベルの範囲に差はあるものの、どちらを用いても構わない、と言える。さらに、 low-k 層としては、 SiO_2 層と SiN 層の間の性質を持つ SiON 層でもよいし、 SiO_2 層/ SiN 層/ SiO_2 層のように3層以上の積層構造を有していてもよい。 Si 、 O 、 N が主たる元素であれば、それ以外の元素が混ざっていても、本発明の一実施形態における low-k 層として機能する。

20

【0052】

アシストレベルを形成する方法として、 Ru を添加する例を示したが、 Ru 以外の元素、例えば、 Cr 、 Mn 、 V 、 Tc 、 Os などの元素によっても形成することができ、それゆえ、第1実施形態における 1.1 eV とは異なるアシストレベルを形成することが可能である。トンネル絶縁膜の low-k 層が SiO_2 層であって、 high-k 層が HfO_2 層である場合に、 HfO_2 層に添加される元素によって形成されるアシストレベルの計算結果を図49に示す。この図49からわかるように、ホールのアシストレベルを形成するには、 $3d$ 元素として Mn （ 0.9 eV ）、 Cr （ 1.8 eV ）、 V （ 2.8 eV ）が好ましく、 $4d$ 元素として Ru （ 1.6 eV ）が好ましく、 $5d$ 元素として Os （ 2.15 eV ）が好ましい。なお、元素記号の次の括弧の数字は、 HfO_2 の価電子帯の上端からホールのアシストレベルまでのエネルギー差を示す。また、図49からわかるように、 V 、 Ru 、 Os は、 HfO_2 層に添加されると、ホールの好適なアシストレベルだけでなく、電子の好適なアシストレベルをも形成するので、添加元素としては、更に好ましい。なお、ここで、ホールの好適なアシストレベルとは、ホールのアシストレベルが、 high-k 材料の価電子帯の上端から low-k 材料の価電子帯の上端までの範囲にあることを意味する。電子の好適なアシストレベルとは、電子のアシストレベルが、 low-k 材料の伝導帯の下端から high-k 材料の伝導帯の下端までの範囲にあることを意味する。

30

【0053】

また、これらの添加元素は、以下に説明する各種の high-k 層に用いても同様に、ホールの好適なアシストレベルを形成することができる。なお、本発明者達の計算によれば、 high-k 層として Al_2O_3 を用いる場合は、ホールの好適なアシストレベルを形成する添加元素として上記元素の他に、 C （炭素）を用いことができる。

40

【0054】

（ high-k 層について）

以上の説明では、 high-k 層として、 HfO_2 の例を示したが、他の high-k 層でも同じ効果がある。他の high-k 層として、例えば、図15に示す表に揚げたようなものがある（例えば、J. Robertson, J. Vac. Sci. Technol. B, 18, 1785 (2000)、G. Yu et al., Appl. Phys. Lett, 81, 376 (2002)、G. D. Wilk et al., Symp. VLSI Te

50

ch. Dig. 88 (2002)、G. Seguini et al., Appl. Phys. Lett. 88, 202903 (2006)、またはA. Dimoulas et al., Appl. Phys. Lett. 85, 3205 (2004)参照)。これらの誘電率とバンドオフセット ΔE_v との関係をプロットしたものを図16に示す。ここで、バンドオフセット ΔE_v とは、Si基板の価電子帯の上端 E_v とhigh-k層の価電子帯の上端 E_v との差であり、トンネル絶縁膜においてホールのバリアハイトに対応する。

【0055】

Al₂O₃層

また、high-k層としてAl₂O₃層、low-k層としてSiO₂層を選択して積層した場合の、様々なアシストレベルにおいて、本発明の一実施形態で定義したトンネル絶縁膜に求められるスペックを満たす物理膜厚の範囲を図17A乃至図17Zに示す。図17A乃至図17Zはそれぞれ、Al₂O₃層のアシストレベルが、0 eV（無い場合）、0.1 eV、0.3 eV、0.5 eV、0.7 eV、0.9 eV、1.1 eV、1.3 eV、1.5 eV、1.7 eV、1.9 eV、2.1 eV、2.3 eV、2.5 eV、2.7 eV、2.9 eV、3.1 eV、3.3 eV、3.5 eV、3.7 eV、3.9 eV、4.1 eV、4.3 eV、4.5 eV、4.7 eV、4.9 eVの場合の図である。そして、これらのアシストレベルと、トンネル絶縁膜のEOTとの関係を図18に示す。図18からわかるように、high-k層としてAl₂O₃層を選択した場合の、アシストレベルは1.5 eV以上であり、4.1 eV以下であることが好ましい。なお、アシストレベルがある場合には、そのlow-k層の層厚（直線Bと横軸との交点の値）を、アシストレベルが無い場合に必要なlow-k層の層厚（直線B'と横軸との交点の値）よりも薄くすることができる（図17J乃至図17U）。

【0056】

なお、この例では、low-k層としてSiO₂を用いたが、SiN（窒化シリコン）はAl₂O₃層より誘電率が低いので、SiO₂層の場合と同様に、Al₂O₃層に対してlow-k層として用いることができる。上述の説明ではlow-k層がSiO₂層であって、high-k層がAl₂O₃層であったが、low-k層が酸化シリコン層であって、high-k層がアルミナ（AlO）層である場合でもアシストレベルが上述の範囲であれば同様の範囲で同様の効果を得ることができる。

【0057】

La₂O₃層

また、high-k層としてLa₂O₃層、low-k層としてSiO₂層を選択して積層した場合の、様々なアシストレベルにおいて、本発明の一実施形態で定義したトンネル絶縁膜に求められるスペックを満たす物理膜厚の範囲を図19A乃至図19Nに示す。図19A乃至図19Nそれぞれ、La₂O₃層のアシストレベルが、0 eV（無い場合）、0.1 eV、0.3 eV、0.5 eV、0.7 eV、0.9 eV、1.1 eV、1.3 eV、1.5 eV、1.7 eV、1.9 eV、2.1 eV、2.3 eV、2.5 eVの場合の図である。そして、これらのアシストレベルと、トンネル絶縁膜のEOTとの関係を図20に示す。図20からわかるように、high-k層としてLa₂O₃層を選択した場合の、アシストレベルは0.1 eV以上、1.9 eV未満であることが好ましい。なお、アシストレベルがある場合には、そのlow-k層の層厚（直線Bと横軸との交点の値）を、アシストレベルが無い場合に必要なlow-k層の層厚（直線B'と横軸との交点の値）よりも薄くすることができる（図19C乃至図19J）。

【0058】

この例では、low-k層としてSiO₂を用いたが、SiN（窒化シリコン）はLa₂O₃層より誘電率が低いので、SiO₂層と同様に、La₂O₃層に対してlow-k層として用いることができる。上述の説明ではlow-k層がSiO₂層でhigh-k層がLa₂O₃層であったが、low-k層が酸化シリコン層であって、high-k層が酸化ランタン（LaO）層である場合でもアシストレベルが上述の範囲であれば同様の範囲で同様の効果を得ることができる。

【0059】

10

20

30

40

50

H f S i O 層

また、high - k 層としてH f S i O₄ 層、low - k 層としてS i O₂ 層を選択して積層した場合の、様々なアシストレベルにおいて、本発明の一実施形態で定義したトンネル絶縁膜に求められるスペックを満たす物理膜厚の範囲を図21A乃至図21Sに示す。図21A乃至図21Sはそれぞれ、H f S i O₄ 層のアシストレベルが、0 e V (無い場合)、0 . 1 e V、0 . 3 e V、0 . 5 e V、0 . 7 e V、0 . 9 e V、1 . 1 e V、1 . 3 e V、1 . 5 e V、1 . 7 e V、1 . 9 e V、2 . 1 e V、2 . 3 e V、2 . 5 e V、2 . 7 e V、2 . 9 e V、3 . 1 e V、3 . 3 e V、3 . 5 e Vの場合の図である。そして、これらのアシストレベルと、トンネル絶縁膜のE O Tとの関係を図22に示す。図22からわかるように、high - k 層としてH f S i O₄ 層を選択した場合の、アシストレベルは0 . 1 e Vより大きく、2 . 9 e V以下であることが好ましい。なお、アシストレベルがある場合には、そのlow - k 層の層厚 (直線Bと横軸との交点の値) を、アシストレベルが無い場合に必要なlow - k 層の層厚 (直線B' と横軸との交点の値) よりも薄くすることができる (図21C乃至図21O)。また、H f S i O₄ は、アシストレベルが無い場合、S i O₂ 層の層厚は2 . 7 nmが必要であるが (図21A)、H f S i O₄ に0 . 3 e V以上に深いアシストレベルがあれば、S i O₂ 層が無くても、つまりH f S i O₄ の単層でもトンネル絶縁膜として用いることができる (図21C乃至図21O)。このとき、2 . 9 e Vよりも深いアシストレベルが有る場合は、E O Tを可及的に薄くする効果は達成できない。また、low - k 層としてS i O₂ を用いたが、S i NはH f S i O₄ 層より誘電率が低いので、S i O₂ 層と同様に、H f S i O₄ 層に対してlow - k 層として用いることができる。上述の説明ではlow - k 層がS i O₂ 層であって、high - k 層がH f S i O₄ 層であったが、low - k 層が酸化シリコン層であって、high - k 層がハフニウムシリケート (H f S i O) 層である場合でもアシストレベルが上述の範囲であれば同様の範囲で同様の効果を得ることができる。

10

20

30

40

50

【 0 0 6 0 】L a A l O 層

また、high - k 層としてL a A l O₃ 層、low - k 層としてS i O₂ 層を選択して積層した場合の、様々なアシストレベルにおいて、本発明の一実施形態で定義したトンネル絶縁膜に求められるスペックを満たす物理膜厚の範囲を図23A乃至図23Nに示す。図23A乃至図23Nはそれぞれ、L a A l O₃ 層のアシストレベルが、0 e V (無い場合) 0 . 1 e V、0 . 3 e V、0 . 5 e V、0 . 7 e V、0 . 9 e V、1 . 1 e V、1 . 3 e V、1 . 5 e V、1 . 7 e V、1 . 9 e V、2 . 1 e V、2 . 3 e V、2 . 5 e Vの場合の図である。そして、これらのアシストレベルと、トンネル絶縁膜のE O Tとの関係を図24に示す。図24からわかるように、high - k 層としてL a A l O₃ 層を選択した場合の、アシストレベルは0 e Vより大きく、1 . 9 e V未満であることが好ましい。なお、アシストレベルがある場合には、そのlow - k 層の層厚 (直線Bと横軸との交点の値) を、アシストレベルが無い場合に必要なlow - k 層の層厚 (直線B' と横軸との交点の値) よりも薄くすることができる (図23B乃至図23J)。この例では、low - k 層としてS i O₂ を用いたが、S i N (窒化シリコン) はL a A l O₃ 層より誘電率が低いので、S i O₂ 層と同様に、L a A l O₃ 層に対してlow - k 層として用いることができる。上述の説明ではlow - k 層がS i O₂ 層であって、high - k 層がL a A l O₃ 層であったが、low - k 層が酸化シリコン層であってhigh - k 層がランタンアルミネート (L a A l O) 層である場合でもアシストレベルが上述の範囲であれば同様の範囲で同様の効果を得ることができる。

【 0 0 6 1 】H f A l O 層

また、high - k 層としてH f₂ A l₂ O₇ ((H f O₂)₂ /₃ (A l₂ O₃)₁ /₃) 層、low - k 層としてS i O₂ 層を選択して積層した場合の、様々なアシストレベルにおいて、本発明の一実施形態で定義したトンネル絶縁膜に求められるスペックを満たす物理膜厚の範囲を図25A乃至図25Oに示す。図25A乃至図25Oはそれぞれ、

Hf₂Al₂O₇層のアシストレベルが、0 eV（無い場合）、0.1 eV、0.3 eV、0.5 eV、0.7 eV、0.9 eV、1.1 eV、1.3 eV、1.5 eV、1.7 eV、1.9 eV、2.1 eV、2.3 eV、2.5 eV、2.7 eVの場合の図である。そして、これらのアシストレベルと、トンネル絶縁膜のEOTとの関係を図26に示す。図26からわかるように、high-k層としてHf₂Al₂O₇層を選択した場合の、アシストレベルは0.1 eVより大きく、2.1 eV以下であることが好ましい。なお、Hf₂Al₂O₇層にアシストレベルがある場合には、そのlow-k層の層厚（直線Bと横軸との交点の値）を、アシストレベルが無い場合に必要なlow-k層の層厚（直線B'と横軸との交点の値）よりも薄くすることができる（図25C乃至図25K）。また、Hf₂Al₂O₇層は、1.5 eV以上1.7 eV以下にアシストレベルがあれば、SiO₂層が無くても、つまりHf₂Al₂O₇の単層としてトンネル絶縁膜に用いることができる（図25J乃至図25K）。しかし、Hf₂Al₂O₇層は、2.1 eV以上2.7 eVにアシストレベルがある場合は、EOTを可及的に薄くする効果は達成できない。なお、low-k層としてSiO₂を用いたが、SiN（窒化シリコン）はHf₂Al₂O₇層より誘電率が低いので、SiO₂層と同様に、Hf₂Al₂O₇層に対してlow-k層として用いることができる。上述の説明ではlow-k層がSiO₂層であって、high-k層がHf₂Al₂O₇層であったが、low-k層が酸化シリコン層であって、high-k層がハフニウムアルミネート（HfAlO）層である場合でもアシストレベルが上述の範囲であれば同様の範囲で同様の効果を得ることができる。

10

20

【0062】

LaHfO層

また、high-k層としてLa₂Hf₂O₇層、low-k層としてSiO₂層を選択して積層した場合の、様々なアシストレベルにおいて、本発明の一実施形態で定義したトンネル絶縁膜に求められるスペックを満たす物理膜厚の範囲を図27A乃至図27Mに示す。図27a乃至図27Mはそれぞれ、La₂Hf₂O₇層のアシストレベルが、0 eV（無い場合）、0.1 eV、0.3 eV、0.5 eV、0.7 eV、0.9 eV、1.1 eV、1.3 eV、1.5 eV、1.7 eV、1.9 eV、2.1 eV、2.3 eVの場合の図である。そして、これらのアシストレベルと、トンネル絶縁膜のEOTとの関係を図28に示す。図28からわかるように、high-k層としてLa₂Hf₂O₇層を選択した場合の、アシストレベルは0.1 eV以上1.7 eV以下であることが好ましい。なお、アシストレベルがある場合には、そのlow-k層の層厚（直線Bと横軸との交点の値）を、アシストレベルが無い場合に必要なlow-k層の層厚（直線B'と横軸との交点の値）よりも薄くすることができる（図27C乃至図27I）。この例では、low-k層としてSiO₂を用いたが、SiN（窒化シリコン）はLa₂Hf₂O₇層より誘電率が低いので、SiO₂層と同様に、La₂Hf₂O₇層に対してlow-k層として用いることができる。上述の説明ではlow-k層がSiO₂層であって、high-k層がLa₂Hf₂O₇層であったが、low-k層が酸化シリコン層であって、high-k層がランタンハフネート（LaHfO）層である場合でもアシストレベルが上述の範囲であれば同様の範囲で同様の効果を得ることができる。

30

40

【0063】

SiN層

また、SiN（窒化シリコン）は、SiO₂の誘電率に較べてほぼ二倍と高いので、SiNはSiO₂に対してhigh-k絶縁層として機能する。そこで、high-k層としてSiN層、low-k層としてSiO₂層を選択して積層した場合の、様々なアシストレベルにおいて、本発明の一実施形態で定義したトンネル絶縁膜に求められるスペックを満たす物理膜厚の範囲を図29A乃至図29Kに示す。図29A乃至図29Kはそれぞれ、SiN層のアシストレベルが、0 eV（無い場合）、0.1 eV、0.3 eV、0.5 eV、0.7 eV、0.9 eV、1.1 eV、1.3 eV、1.5 eV、1.7 eV、1.9 eVの場合の図である。そして、これらのアシストレベルと、トンネル絶縁膜のEOTとの関係を図30に示す。図30からわかるように、high-k層としてSiN層

50

を選択した場合、EOTを薄くするための適切なアシストレベルは存在しない。しかし、アシストレベルを形成することによって、低い電界で消去特性のスペックを満たすので、消去効率を上げることができる。

【0064】

Ta₂O₅層

また、high - k層としてTa₂O₅層、low - k層としてSiO₂層を選択して積層した場合の、様々なアシストレベルにおいて、本発明の一実施形態で定義したトンネル絶縁膜に求められるスペックを満たす物理膜厚の範囲を図31A乃至図31Jに示す。図31A乃至図31Jはそれぞれ、Ta₂O₅層のアシストレベルが、0 eV（無い場合）、0.1 eV、0.3 eV、0.5 eV、0.7 eV、0.9 eV、1.1 eV、1.3 eV、1.5 eV、1.7 eVの場合の図である。そして、これらのアシストレベルと、トンネル絶縁膜のEOTとの関係を図32に示す。図32からわかるように、high - k層としてTa₂O₅層を選択した場合の、アシストレベルは0 eVより大きく1.3 eV以下であることが好ましい。なお、アシストレベルがある場合には、そのlow - k層の層厚（直線Bと横軸との交点の値）を、アシストレベルが無い場合に必要なlow - k層の層厚（直線B'と横軸との交点の値）よりも薄くすることができる（図31B乃至図31F）。この例では、low - k層としてSiO₂を用いたが、SiN（窒化シリコン）はTa₂O₅層より誘電率が低いので、SiO₂層と同様に、Ta₂O₅層に対してlow - k層として用いることができる。上述の説明ではlow - k層がSiO₂層であって、high - k層がTa₂O₅層であったが、low - k層が酸化シリコン層であって、high - k層がタンタルオキサイド（TaO）層である場合でもアシストレベルが上述の範囲であれば同様の範囲で同様の効果を得ることができる。

【0065】

図13A - 図13P、図17A - 図17Z、図19A - 図19N、図21A - 図21S、図23A - 図23N、図25A - 図25O、図27A - 図27M、図29A - 図29K、図31A - 図31Jにおいて、層厚の範囲の中に点が打たれていない領域が存在するが、そこはホールがエネルギーを放出しながらトラップされる領域を示しており、他の点の打たれている領域と同様にトンネル絶縁膜としてのスペックを満たす。

【0066】

また、図14、図18、図20、図22、図24、図26、図28、図30、および図32は、EOTを薄くするためのアシストレベルの適切な範囲も示している。各high - k層に対してこれらの適切な範囲を図33A、33Bに示す。すなわち、図33Aは、アシストレベルのある積層構造において、各high - k絶縁層の単層膜よりも効果のあるアシストレベルの範囲を示しているグラフであり、図33Bは、そのアシストレベルの範囲と最小のEOTを示す表である。図33Bからわかるように、トンネル絶縁膜のEOTは、その下限がhigh - k層がTa₂O₅層である場合の1.02 nmとなる。なお、上限は、第1実施形態で説明したように5 nmとなる。すなわち、トンネル絶縁膜のEOTは、1.02 nm ~ 5 nmの範囲にあればよい。

【0067】

また、各種のhigh - k層とSiO₂層を積層したトンネル絶縁膜にアシストレベルが有る場合と、無い場合の、EOTの最小値を比較した結果を図34A、34Bに示す。図34A、34Bからわかるように、アシストレベルが有る場合の方が、無い場合に比べてEOTを薄膜化することができる。

【0068】

なお、上述したhigh - k材料以外でも、誘電率および ΔE_v が、上述したhigh - k層と同じくらいか、あるいはこれらの層の間にある場合には、これらの材料を、本発明の一実施形態のhigh - k層として用いることができる。この場合、適正な物理層厚の範囲があり、その範囲はこれまでの議論から、計算によって正確に見積もることもできるし、上述した各high - k層のデータから、内挿あるいは外挿することによっても見積もることも可能である。

10

20

30

40

50

【0069】

また、low - k 絶縁層として、SiO₂ の場合を示したが、低誘電率であれば、SiN、SiON などの窒化膜、酸窒化膜、あるいはそれを含む絶縁膜でも、同様の効果がある。なお、TiO₂ では、アシストレベルの有無にかかわらず、本発明の一実施形態で定義したトンネル絶縁膜のスペックでは、これを満たす膜厚の範囲は無かった。

【0070】

high - k 層および low - k 層を積層した場合、基本的には、以下のように一般化できる。high - k 層が HfO₂ 層、low - k 層が SiO₂ 層の場合であり、トンネル絶縁膜として求められるホールのリーク電流のスペックを Eox が 3 MV/cm の低電界では $1.0 \times 10^{-16} \text{ A/cm}^2$ 以下、13 MV/cm の高電界では $1.0 \times 10^{-5} \text{ A/cm}^2$ 以上としたが、誘電率が異なる層であれば、基本的には考え方は全く同じであり、同様の効果が得られる。電荷保持状態で要求されるスペックが、電界 E_{low} においてリーク電流が J_{low} 以下とする。そのとき、アシストレベルのある low - k 層、high - k 層の各単層においてリーク電流を J_{low} 以下にするのに必要な物理膜厚をそれぞれ T_{1, low}、T_{2, low} とし、low - k 層および high - k 層を積層したときのそれぞれの物理層厚を T₁、T₂ とすると、

$$T_2 = - (T_{2, low} / T_{1, low}) \times T_1 + T_{2, low} \quad (13)$$

を満足する。これは、上述の、図10、図13A - 図13P、図17A - 図17Z、図19A - 図19N、図21A - 図21S、図23A - 図23N、図25A - 図25O、図27A - 図27M、図29A - 図29K、図31A - 図31Jにおいて直線Aに対応する式である。T_{1, low} は直線Aと横軸との交点の値となり、T_{2, low} は直線Aと縦軸との交点の値となる。したがって、low - k 層が SiO₂ の場合、T_{2, low} は 4 nm になる。

【0071】

そして、書込に要求されるスペックが、電界 E_{high} においてリーク電流が J_{high} 以上とする。そのときに最低限必要な low - k 層の膜厚を T_{1, high} とすると、

$$T_1 = T_{1, high} \quad (14)$$

となる。これは、図9に示す直線Bに対応する。

【0072】

なお、トンネル絶縁膜として機能するには、low - k 層のトラップレベル φ_{t1} に制限があり、

$$0 \leq \phi_{t1} \leq \Delta\phi_b + \phi_{t2} \quad (15)$$

を満たすか、あるいは low - k 層にトラップがない必要がある。ここで、Δφ_b は

$$\Delta\phi_b = \phi_{b1} - \phi_{b2} \quad (16)$$

と定義した。(15)式を満たさないと、低電界でリーク電流が高くなり、電荷保持ができない。なお、φ_{b1} および φ_{b2} はそれぞれシリコン基板のフェルミレベル E_F に対する low - k 層および high - k 層のホールのバリアハイトを表す。

【0073】

こうして、アシストレベルと、トンネル絶縁膜として必要な各絶縁層の膜厚の範囲の関係は、(13)式～(16)式から決定される。

【0074】

様々なアシストレベルに対する、high - k 層と low - k 層の層厚の範囲をまとめたものを、図35乃至図43に示す。図35は、high - k 層として HfO₂ 層を選択し、low - k 層として SiO₂ 層を選択した場合のアシストレベルと、T_{1, low}、T_{1, high}、T_{2, low} との関係を示している。図36は、high - k 層として Al₂O₃ 層を選択し、low - k 層として SiO₂ 層を選択した場合のアシストレベルと、T_{1, low}、T_{1, high}、T_{2, low} との関係を示している。図37は、high - k 層として La₂O₃ 層を選択し、low - k 層として SiO₂ 層を選択した場合のアシストレベルと、T_{1, low}、T_{1, high}、T_{2, low} との関係を示して

いる。図38は、 $high-k$ 層として $HfSiO_4$ 層を選択し、 $low-k$ 層として SiO_2 層を選択した場合のアシストレベルと、 $T_{1, low}$ 、 $T_{1, high}$ 、 $T_{2, low}$ との関係を示している。図39は、 $high-k$ 層として $LaAlO_3$ 層を選択し、 $low-k$ 層として SiO_2 層を選択した場合のアシストレベルと、 $T_{1, low}$ 、 $T_{1, high}$ 、 $T_{2, low}$ との関係を示している。図40は、 $high-k$ 層として $Hf_2Al_2O_7$ 層を選択し、 $low-k$ 層として SiO_2 層を選択した場合のアシストレベルと、 $T_{1, low}$ 、 $T_{1, high}$ 、 $T_{2, low}$ との関係を示している。図41は、 $high-k$ 層として $La_2Hf_2O_7$ 層を選択し、 $low-k$ 層として SiO_2 層を選択した場合のアシストレベルと、 $T_{1, low}$ 、 $T_{1, high}$ 、 $T_{2, low}$ との関係を示している。図42は、 $high-k$ 層として SiN 層を選択し、 $low-k$ 層として SiO_2 層を選択した場合のアシストレベルと、 $T_{1, low}$ 、 $T_{1, high}$ 、 $T_{2, low}$ との関係を示している。図43は、 $high-k$ 層として Ta_2O_5 層を選択し、 $low-k$ 層として SiO_2 層を選択した場合のアシストレベルと、 $T_{1, low}$ 、 $T_{1, high}$ 、 $T_{2, low}$ との関係を示している。これらからトンネル絶縁膜のスペックを満たす、 $high-k$ 層の種類（あるいはバリアハイトと誘電率）、 $low-k$ 層と積層にしたときの層厚の範囲、アシストレベルが限定される。図35乃至図43からわかるように、 $T_{1, low}$ および $T_{2, low}$ は材料によって変わるが、アシストレベルによってほとんど変化せず、 $T_{1, high}$ は材料およびアシストレベルによって変化することがわかる。

10

20

【0075】

上記(13)式（例えば図10における直線Aを示す式）、(14)式（例えば図10における直線Bを示す式）と、 $high-k$ 層と $low-k$ 層とからなる積層絶縁膜のEOTの規定値（上記実施形態では、 $EOT = 8\text{ nm}$ ）を示す式（例えば図10における直線Cを示す式）、および各材料におけるアシストレベルの好適な範囲によって、 $high-k$ 層および $low-k$ 層のそれぞれの好適な物理膜厚の範囲を求めることができる。なお、 $high-k$ 層と $low-k$ 層とからなる積層絶縁膜の EOT_{total} の規定値（上記実施形態では、 $EOT = 8\text{ nm}$ ）を示す式は、 $low-k$ 層および $high-k$ 層のそれぞれの誘電率を ϵ_1 、 ϵ_2 、物理膜厚を T_1 、 T_2 、 SiO_2 の誘電率を ϵ_{ox} とすると、

30

$$EOT_{total} = T_1 \times \epsilon_{ox} / \epsilon_1 + T_2 \times \epsilon_{ox} / \epsilon_2 = 8 \quad (\text{nm}) \quad (17)$$

と表される。したがって、(13)式、(14)式、(17)式によって囲まれる領域が $high-k$ 層および $low-k$ 層のそれぞれの好適な物理膜厚の領域となる。この領域は、各材料におけるアシストレベルの好適な範囲によって変わることになる。また、この領域は、次の3つの不等式を満たす領域と同等である。

40

$$\begin{aligned} T_2 &= (T_{2, low} / T_{1, low}) \times T_{1, high} + T_{2, low} \\ T_1 &\times \epsilon_{ox} / \epsilon_1 + T_2 \times \epsilon_{ox} / \epsilon_2 = 8 \end{aligned}$$

そして、トンネル絶縁膜を最小にする膜厚は、 T_1 が(14)式によって求まり、 T_2 が(14)式を(13)に代入することにより、

$$T_2 = - (T_{2, low} / T_{1, low}) \times T_{1, high} + T_{2, low} \quad (18)$$

となる。

【0076】

このように、どのような $high-k$ 層でも、(13)、(14)、(17)、(18)式から、トンネル絶縁膜として求められるスペックを満たす、 $high-k$ 層、 $low-k$ 層からなる積層絶縁膜の、それぞれの膜厚や有効なアシストレベルを決定するのは容易である。

【0077】

（アシストレベルの分布について）

50

ホールのアシストレベルは、膜と水平方向に一樣に存在している必要はない。図 4 4 (a)、4 4 (b) にアシストレベルが部分的にある場合のトンネル絶縁膜の模式図を示す。このトンネル絶縁膜は、基板 1 上に *l o w - k* 層 8 と、アシストレベルのある *h i g h - k* 層 9 とを積層して形成される。ここで、アシストレベルがある領域の割合を R とすると、無い領域の割合は $1 - R$ となる。そして、アシストレベルがある場合のリーク電流を $J_{t a t}$ 、無い場合のリーク電流を J_0 とすると、膜全体を流れる電流 J は、

$$J = R \times J_{t a t} + (1 - R) \times J_0 \quad (19)$$

と表せる。低電界では、リーク電流はアシストレベルの有無によらないため、リーク電流は膜全体で低く抑えられる。一方で、高電界では、アシストレベルがあるとリーク電流が高くなるので、アシストレベルのある領域だけでリーク電流を高くできる。アシストレベルは、図 4 4 (a)、4 4 (b) に示すように、例えば、膜の端より内側にアシストレベルを形成することができる。こうすることによって、電界集中して絶縁破壊が起こりやすい端を避けてリーク電流を高くできるため、膜の信頼性を高くすることができる。

【0078】

なお、*h i g h - k* 層（例えば $H f O_2$ 層）に元々存在する欠陥、例えば、酸素が欠損してできた欠陥、いわゆる酸素欠損（oxygen vacancy）は、不安定であり、制御されていないため、本発明の一実施形態のアシストレベルと同じ機能は発揮しない。すなわち、本発明の一実施形態と同じ効果を得るには、本発明の一実施形態のように、トンネル絶縁膜として要求されるスペックを満たすような、最適な位置に十分な密度のアシストレベルが形成されるように元素を添加する必要がある。つまり、もともと欠陥の無い層、あるいは本質的に欠陥のある層に、意図的に形成したアシストレベルを形成する必要がある。それ故、必然的にそのような効果を持つ絶縁層は、添加される元素を含めて考えたとき、三元以上の元素からなる層となる。また、添加される元素は、添加する層を構成する格子を置換した位置でも良いし、添加する層を構成する格子間の位置でも良い。

【0079】

また、トンネル絶縁膜は、第 1 絶縁層（*l o w - k* 層）と、第 2 絶縁層（*h i g h - k* 層）と、第 3 絶縁層とがこの順序で積層された積層構造を有しているとき、第 3 絶縁層は、第 1 絶縁層と同じ誘電率を有しているか或いは第 1 絶縁層の誘電率と第 2 絶縁層の誘電率との間の誘電率を有していることが好ましい。

【0080】

（第 3 実施形態）

次に、本発明の第 3 実施形態による F G 型不揮発性メモリの製造方法を、図 4 5 (a) 乃至図 4 6 (d) を参照して説明する。図 4 5 (a)、図 4 5 (c)、図 4 5 (e)、図 4 6 (a)、図 4 6 (c) と、図 4 5 1 (b)、図 4 5 (d)、図 4 5 (f)、図 4 6 (b)、図 4 6 (d) とは、それぞれ直交する断面を表している。

【0081】

まず、図 4 5 (a)、4 5 (b) に示すように、所望の不純物をドーピングした p 型シリコン基板 1 の表面に、上述の実施形態で説明したアシストレベルのあるトンネル絶縁膜 2 2 を形成する。例えば、750℃で水素と酸素を用いた燃焼酸化で表面を酸化し、 $S i O_2$ 層を形成後、ホールのアシストレベルが形成された *h i g h - k* 膜、例えば $R u$ を添加した $H f O_2$ 層を形成し、アシストレベルのあるトンネル絶縁膜を C V D により形成する。続いて、浮遊ゲート電極となる厚さ 60 nm のリンドーブの結晶性シリコン層 2 3 を C V D (chemical vapor deposition) 法を用いて堆積する。この結晶性シリコン層 2 3 上に例えばシリコン窒化膜からなるマスク材 2 4 を形成する。その後、レジストマスク（図示せず）を用いた反応性イオンエッチング（R I E (reactive ion etching)）法により、マスク材 2 4、浮遊ゲート電極 2 3、トンネル絶縁膜 2 2 を順次エッチング加工し、シリコン基板 1 の表面を一部露出させる。更にシリコン基板 1 の露出した領域をエッチングして、深さ 100 nm の素子分離溝 2 5 を形成する。

【0082】

次に、図 4 5 (c)、4 5 (d) に示すように、全面に素子分離用のシリコン酸化膜 2

6を堆積して、素子分離溝25を完全に埋め込む。その後、表面部分のシリコン酸化膜26をCMP(chemical mechanical polishing)法で除去して、表面を平坦化する。このとき、マスク材であるシリコン窒化膜24の上面が露出する。

【0083】

次に、露出したマスク材22を選択的にエッチング除去した後、シリコン酸化膜26の露出表面を希フッ酸溶液等でエッチング除去し、浮遊ゲート電極23の側壁面を一部露出させる。続いて、電極間絶縁膜27となる高誘電体膜を形成する。例えば、浮遊ゲート電極(リンドープの結晶性シリコン層)23上に、例えば、 Al_2O_3 、 SiN 、 SiO_2 、 La_2O_3 、 HfO_2 、 TaO_2 、 TiO_2 のうちの一つ、あるいはそれらの多層膜や混合した膜からなる電極間絶縁膜27を形成する(図45(e)、45(f))。

10

【0084】

次に、図46(a)、46(b)に示すように、制御ゲート電極としてCVD法でリンドープの n^+ 型多結晶シリコン層28を620で堆積して形成し、その上にタングステンシリサイド(WSi)層29を形成することにより、WSi層/多結晶Si層からなる2層構造の厚さ100nmの導電層を形成する。ここで、WSi層29は、 $W(CO)_6$ を原料ガスとするCVD法を用いてWを堆積し、その後の熱工程で多結晶シリコン層をWSixに変換することにより形成する。なお、これらの膜の製造方法はここに示した方法に限らず、他の原料ガスを用いてもよい。また、CVD法以外の方法、例えば、ALD(Atomic Layer Deposition)法、スパッター法、蒸着法、レーザーアブレーション法、MBE法、またこれらの手法を組み合わせた成膜方法も可能である。多結晶Si層ではなく、

20

【0085】

その後、レジストマスク(図示せず)を用いたRIE法により、WSi層29、多結晶シリコン層28、電極間絶縁膜27、単結晶シリコンの浮遊ゲート電極23、トンネル絶縁膜22を順次エッチング加工して、ワード線方向のスリット部40を形成する。これにより、浮遊ゲート電極及び制御ゲート電極の形状が確定する。

【0086】

最後に、図46(c)、46(d)に示すように、露出面に電極側壁酸化膜と呼ばれるシリコン酸化膜30を熱酸化法で形成後、イオン注入法を用いて n^+ 型のソース/ドレイン拡散層31を形成する。更に、全面を覆うようにシリコン酸化膜などの層間絶縁膜32

30

【0087】

(第4実施形態)

次に、本発明の第4実施形態によるMONOS型不揮発性メモリの製造方法を、図47(a)乃至図48(d)を参照して説明する。図47(a)、図47(c)、図47(e)、図48(a)、図48(c)と、図47(b)、図47(d)、図47(f)、図48(b)、図48(d)とは、それぞれ直交する断面を表している。

【0088】

まず、図47(a)、47(b)に示すように、所望の不純物をドーピングしたp型シリコン基板1の表面に、上述の実施形態で説明したアシストレベルのあるトンネル絶縁膜33を形成する。例えば、750で水素と酸素を用いた燃焼酸化で表面を酸化し、 SiO_2 層を形成後、CVDによりホールのアシストレベルが形成されたhigh-k膜、例えばRuを添加した HfO_2 層を形成する。続いて、電荷蓄積層となる厚さ60nmのシリコン窒化膜34をCVD法で堆積する。このとき使用するガスは、例えばジクロルシラン(SiH_2Cl_2)とアンモニア(NH_3)、もしくはヘキサクロルジシラン(Si_2Cl_6)とアンモニア(NH_3)を用いて行い、成膜温度は約450から800である。その後、レジストマスク(図示せず)を用いたRIE法により、電荷蓄積層であるシリコン窒化膜34、トンネル絶縁膜33を順次エッチング加工し、シリコン基板1の一部を露出させる。さらにシリコン基板1の露出した領域をエッチングして、深さ100n

40

50

mの素子分離溝25を形成する。

【0089】

次に、図47(c)、47(d)に示すように、全面に素子分離用のシリコン酸化膜26を堆積して、素子分離溝25を完全に埋め込む。その後、表面部分のシリコン酸化膜26をCMP法で除去して、表面を平坦化する。このとき、シリコン窒化膜34の上面が露出する。

【0090】

次に、図47(e)、47(f)に示すように、シリコン酸化膜26の露出表面を希フッ酸溶液でエッチング除去し、シリコン窒化膜33の側壁面を露出させる。その後、全面にブロック絶縁膜35となる厚さ15nmのHfAlO膜を形成する。本実施形態では下地はシリコン基板であったが、SiN膜であってもよい。このSiN膜は成膜中に表面が酸化されるとSiON膜となり電荷保持特性が劣化するが、第1実施形態で説明した方法を用いれば、SiN膜の特性を維持しながらその上にHfAlO膜を形成できる。ここで、本実施形態では、素子分離用のシリコン酸化膜26の表面を少しエッチングして、ブロック絶縁膜35に段差を持たせるような構造を用いているが、これに限定されるものではなく、ブロック絶縁膜35を平坦になるように構成しても良く、これはトンネル絶縁膜および電荷蓄積層との所望の容量比に応じて選択が可能である。

【0091】

次に、図48(a)、48(b)に示すように、制御ゲート電極としてCVD法でリンドープのn⁺型多結晶シリコン層28を420で堆積して形成し、その上にWSi層29を形成することにより、WSi層29/シリコン層28からなる2層構造の厚さ100nmの電極層を形成する。ここで、WSi層29は、W(CO)₆を原料ガスとするCVD法を用いてWを堆積し、その後の熱工程で多結晶シリコン層をWSixに変換することにより形成する。なお、これらの膜の製造方法はここに示した方法に限らず、他の原料ガスを用いてもよい。また、CVD法以外の方法、例えば、ALD法、スパッター法、蒸着法、レーザーアブレーション法、MBE法、またこれらの手法を組み合わせた成膜方法も可能である。続いて、制御ゲート電極となるWSi層29上にマスク材となるシリコン窒化膜24を堆積する。その後、レジストマスク(図示せず)を用いたRIE法により、シリコン窒化膜24、WSi層29、多結晶シリコン層28、ブロック絶縁膜35であるHfAlO_x膜、電荷蓄積層34であるシリコン窒化膜、トンネル絶縁膜33であるSiON膜を順次エッチング加工して、図48(a)に示すように、ワード線方向のスリット部40を形成する。

【0092】

最後に、図48(c)、48(d)に示すように、露出面に電極側壁酸化膜と呼ばれるシリコン酸化膜30を熱酸化法で形成後、イオン注入法を用いてn⁺型のソース/ドレイン拡散層31を形成する。さらに、全面を覆うようにシリコン酸化膜などの層間絶縁膜32をCVD法で形成する。その後は、周知の方法で配線層等を形成してMONOS型不揮発性メモリセルが完成する。

【0093】

アシストレベルのあるlow-k層とhigh-k層の積層構造の実施形態を示したが、アシストレベルを形成した、low-k層、high-k層、low-k層の三層構造であっても良いし、それ以上の多層膜で良い。誘電率がなだらかに変化する場合でも、アシストレベルが形成されていれば効果がある。

【0094】

また、アシストレベルが層に様に分布している場合を示したが、膜の奥行き方向で、部分的であっても良いし、密度の分布を持っていても良い。アシストレベルを形成する元素は、半導体基板や電荷蓄積膜、電極間絶縁膜、制御ゲート電極に含まれていても構わない。

【0095】

さらに、トンネル絶縁膜に求められるスペックとして、電荷保持は、3MV/cmで1

10

20

30

40

50

$1.0 \times 10^{-16} \text{ A/cm}^2$ 以下、消去は、 13 MV/cm で $1.0 \times 10^{-5} \text{ A/cm}^2$ と定義したが、これに限られることなく、本発明に基づいて、所望のスペックを満たすトンネル絶縁膜が形成できる。

【0096】

また、シリコン基板の代わりに、例えば、Ge や GaAs などの半導体基板を用いてもよく、表面層だけがそれら半導体層である基板を用いてもよい。Ge の E_v のレベルは、Si の E_v のレベルよりも高くなるため、ホールのリーク電流は Ge の場合には流れにくくなるが、トンネル絶縁膜にホールのアシストレベルを形成すれば、Ge 基板を用いた場合でも十分にホールのリーク電流を高くすることができる。

【0097】

なお、第1乃至第4実施形態の不揮発性半導体記憶装置は、NAND型であったが、NOR型であってもよい。この場合、NOR型の不揮発性半導体記憶装置におけるメモリセルのトンネル絶縁膜として、上述の実施形態で説明したトンネル絶縁膜を用いることになる。

【0098】

各実施形態について説明したが、本発明はこれらの実施形態に限定されるものではなく、その趣旨を逸脱しない範囲において種々変形し実施することができる。

【図面の簡単な説明】

【0099】

【図1】本発明の第1実施形態による不揮発性半導体記憶装置のメモリセルを示す断面図。

【図2】第1実施形態にかかるトンネル絶縁膜の断面図。

【図3】第1実施形態にかかるトンネル絶縁膜の電界がかかっていない場合のエネルギーバンド図。

【図4】第1実施形態におけるトンネル絶縁膜の電界が印加されている場合のエネルギーバンド図。

【図5】D-Tと、F-Nトンネルとの違いを説明する図。

【図6】low-k層とhigh-k層が積層されたトンネル絶縁膜のトンネル確率を説明する図。

【図7】第1実施形態にかかるトンネル絶縁膜のエネルギーバンド図。

【図8A】消去時および電荷保持時に第1実施形態にかかるトンネル絶縁膜を流れるホールのリーク電流の電界依存性を示す図。

【図8B】書込および電荷保持時に第1実施形態にかかるトンネル絶縁膜を流れる電子のリーク電流の電界依存性を示す図。

【図9】第1実施形態にかかるトンネル絶縁膜を構成するSiO₂層とHfO₂層のEOTの範囲を示す図。

【図10】第1実施形態にかかるトンネル絶縁膜を構成するSiO₂層とHfO₂層の物理層厚の範囲を示す図。

【図11】第1実施形態にかかるトンネル絶縁膜に電界がかかっていない場合におけるエネルギーバンド図。

【図12】第1実施形態にかかるトンネル絶縁膜において低電界（電荷保持）と高電界（消去）の場合のエネルギーバンド図。

【図13】一実施形態にかかるトンネル絶縁膜において、SiO₂層とHfO₂層の各物理膜厚の範囲を示す図。

【図14】一実施形態にかかるトンネル絶縁膜のEOTのアシストレベル依存性を示す図。

【図15】様々な絶縁膜の誘電率とバンドオフセット ΔE_v を示す図。

【図16】様々な絶縁膜の誘電率とバンドオフセット ΔE_v を示すグラフ。

【図17】一実施形態にかかるトンネル絶縁膜において、SiO₂層とAl₂O₃層の各物理膜厚の範囲を示す図。

10

20

30

40

50

- 【図 18】一実施形態にかかるトンネル絶縁膜の EOT のアシストレベル依存性を示す図。
- 【図 19】一実施形態にかかるトンネル絶縁膜において、 SiO_2 層と La_2O_3 層の各物理膜厚の範囲を示す図。
- 【図 20】一実施形態にかかるトンネル絶縁膜の EOT のアシストレベル依存性を示す図。
- 【図 21】一実施形態にかかるトンネル絶縁膜において、 SiO_2 層と HfSiO_4 層の各物理膜厚の範囲を示す図。
- 【図 22】一実施形態にかかるトンネル絶縁膜の EOT のアシストレベル依存性を示す図。
- 【図 23】一実施形態にかかるトンネル絶縁膜において、 SiO_2 層と LaAlO_3 層の各物理膜厚の範囲を示す図。
- 【図 24】一実施形態にかかるトンネル絶縁膜の EOT のアシストレベル依存性を示す図。
- 【図 25】一実施形態にかかるトンネル絶縁膜において、 SiO_2 層と $\text{Hf}_2\text{Al}_2\text{O}_7$ 層の各物理膜厚の範囲を示す図。
- 【図 26】一実施形態にかかるトンネル絶縁膜の EOT のアシストレベル依存性を示す図。
- 【図 27】一実施形態にかかるトンネル絶縁膜において、 SiO_2 層と $\text{La}_2\text{Hf}_2\text{O}_7$ 層の各物理膜厚の範囲を示す図。
- 【図 28】一実施形態にかかるトンネル絶縁膜の EOT のアシストレベル依存性を示す図。
- 【図 29】一実施形態にかかるトンネル絶縁膜において、 SiO_2 層と SiN 層の各物理膜厚の範囲を示す図。
- 【図 30】一実施形態にかかるトンネル絶縁膜の EOT のアシストレベル依存性を示す図。
- 【図 31】一実施形態にかかるトンネル絶縁膜において、 SiO_2 層と Ta_2O_5 層の各物理膜厚の範囲を示す図。
- 【図 32】一実施形態にかかるトンネル絶縁膜の EOT のアシストレベル依存性を示す図。
- 【図 33】一実施形態に用いられるトンネル絶縁膜としてのスペックを満たすアシストレベルの範囲を示す図。
- 【図 34】トンネル絶縁膜にアシストレベルが有る場合と、無い場合の、EOT の最小値を比較した結果を示す図。
- 【図 35】一実施形態にかかるトンネル絶縁膜において、アシストレベルと、 $T_{1,1.0w}$ 、 $T_{1,high}$ 、 $T_{2,low}$ との関係を示す図。
- 【図 36】一実施形態にかかるトンネル絶縁膜において、アシストレベルと、 $T_{1,1.0w}$ 、 $T_{1,high}$ 、 $T_{2,low}$ との関係を示す図。
- 【図 37】一実施形態にかかるトンネル絶縁膜において、アシストレベルと、 $T_{1,1.0w}$ 、 $T_{1,high}$ 、 $T_{2,low}$ との関係を示す図。
- 【図 38】一実施形態にかかるトンネル絶縁膜において、アシストレベルと、 $T_{1,1.0w}$ 、 $T_{1,high}$ 、 $T_{2,low}$ との関係を示す図。
- 【図 39】一実施形態にかかるトンネル絶縁膜において、アシストレベルと、 $T_{1,1.0w}$ 、 $T_{1,high}$ 、 $T_{2,low}$ との関係を示す図。
- 【図 40】一実施形態にかかるトンネル絶縁膜において、アシストレベルと、 $T_{1,1.0w}$ 、 $T_{1,high}$ 、 $T_{2,low}$ との関係を示す図。
- 【図 41】一実施形態にかかるトンネル絶縁膜において、アシストレベルと、 $T_{1,1.0w}$ 、 $T_{1,high}$ 、 $T_{2,low}$ との関係を示す図。
- 【図 42】一実施形態にかかるトンネル絶縁膜において、アシストレベルと、 $T_{1,1.0w}$ 、 $T_{1,high}$ 、 $T_{2,low}$ との関係を示す図。

10

20

30

40

50

【図４３】一実施形態にかかるトンネル絶縁膜において、アシストレベルと、 $T_{1, low}$ 、 $T_{1, high}$ 、 $T_{2, low}$ との関係を示す図。

【図４４】トンネル絶縁膜においてアシストレベルが部分的にある場合を説明する図。

【図４５】本発明の第３実施形態によるフローティングゲート型フラッシュメモリの製造方法を示す断面図。

【図４６】本発明の第３実施形態によるフローティングゲート型フラッシュメモリの製造方法を示す断面図。

【図４７】本発明の第４実施形態によるMONOS型フラッシュメモリの製造方法を示す断面図。

【図４８】本発明の第４実施形態によるMONOS型フラッシュメモリの製造方法を示す断面図。

10

【図４９】トンネル絶縁膜に添加される元素によって形成されるホールのアシストレベルを示す図。

【符号の説明】

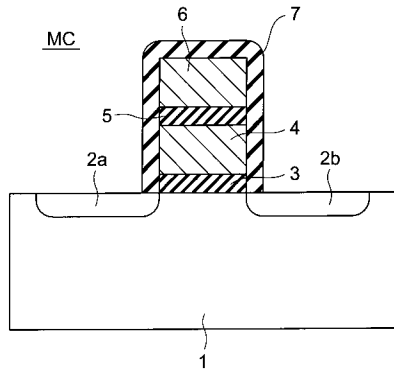
【０１００】

- １ シリコン基板
- ２ a n型ソース領域、
- ２ b n型ドレイン領域
- ３ トンネル絶縁膜
- ４ 電荷蓄積膜
- ５ 電極間絶縁膜
- ６ 制御ゲート電極
- ７ シリコン酸化膜
- ８ 低誘電率（low - k）層
- ９ 高誘電率（high - k）層
- ２２ トンネル絶縁膜
- ２３ 浮遊電極
- ２４ マスク材
- ２５ 素子分離溝
- ２６ シリコン酸化膜
- ２７ 電極間絶縁膜
- ２８ 制御電極（ n^+ 多結晶シリコン層）
- ２９ WSi層
- ３０ 電極側壁酸化膜（シリコン酸化膜）
- ３１ ソース／ドレイン拡散層
- ３２ 層間絶縁膜
- ３３ トンネル絶縁膜
- ３４ シリコン窒化膜
- ３５ ブロック絶縁膜（HfAlO膜）

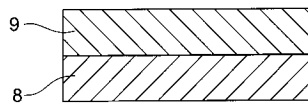
20

30

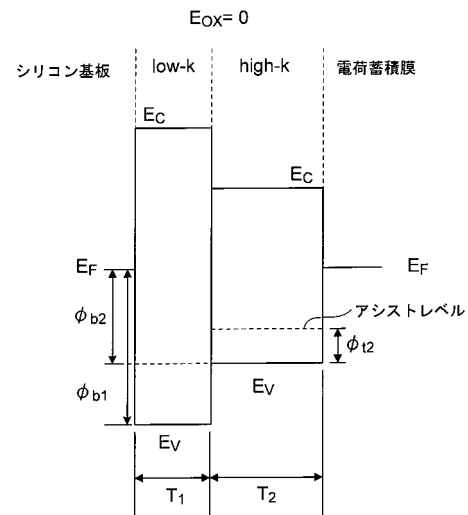
【図 1】



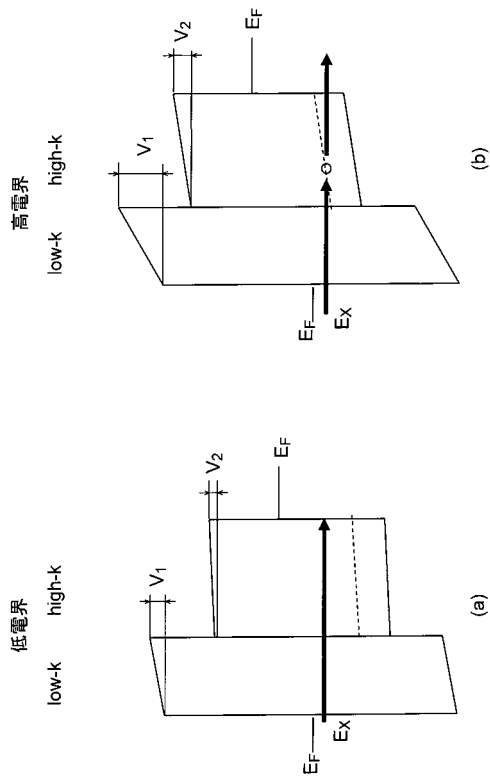
【図 2】



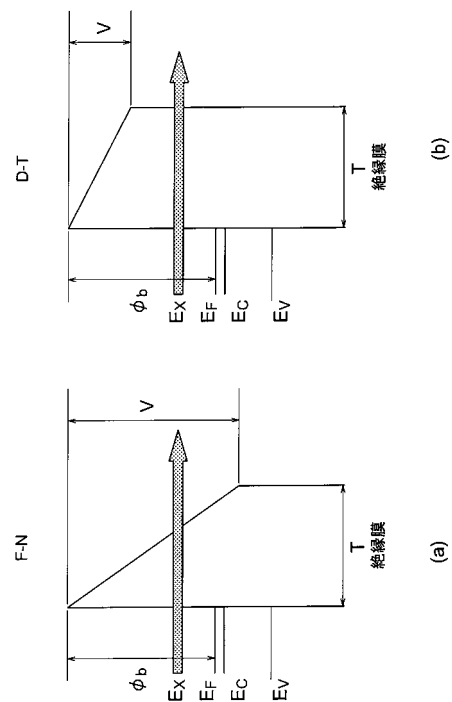
【図 3】



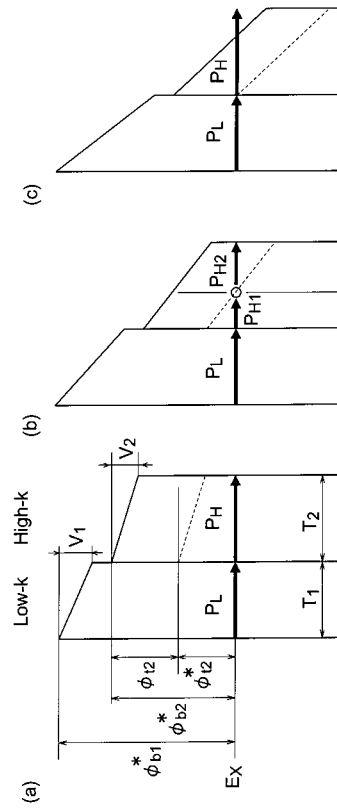
【図 4】



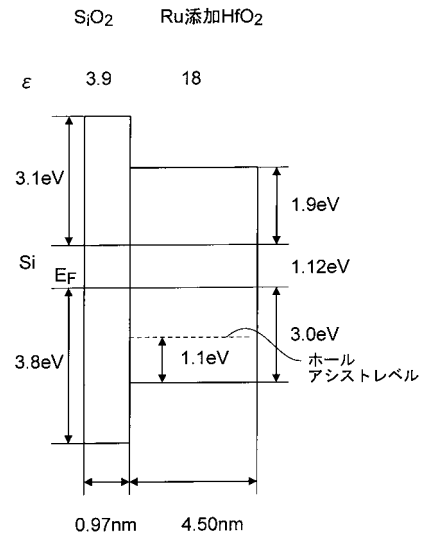
【図 5】



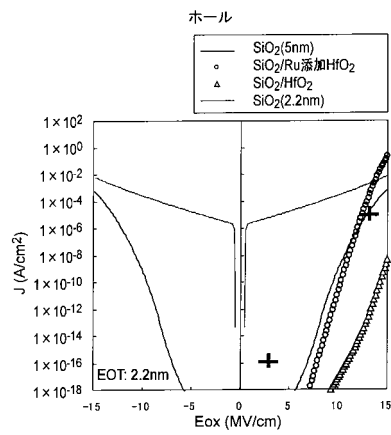
【図 6】



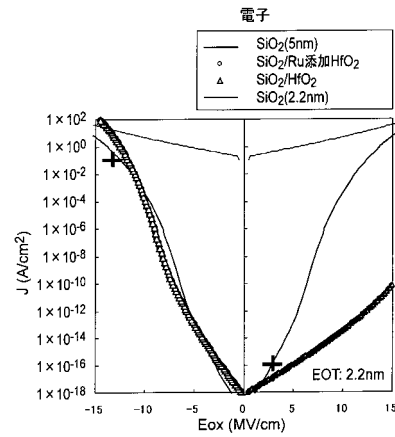
【図 7】



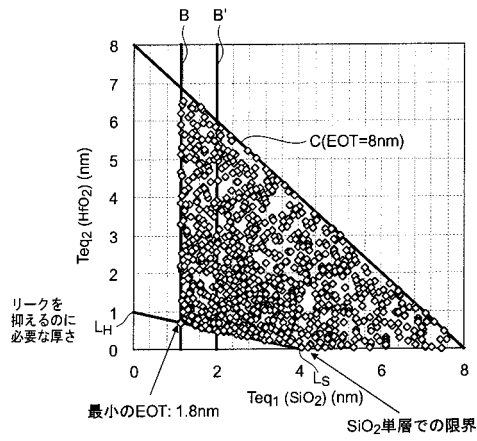
【図 8 A】



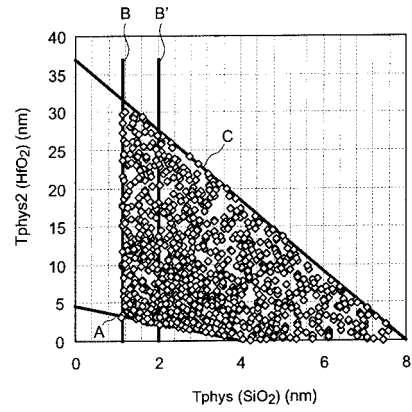
【図 8 B】



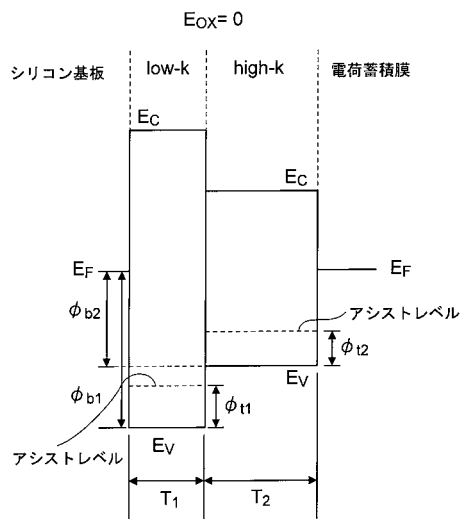
【図 9】



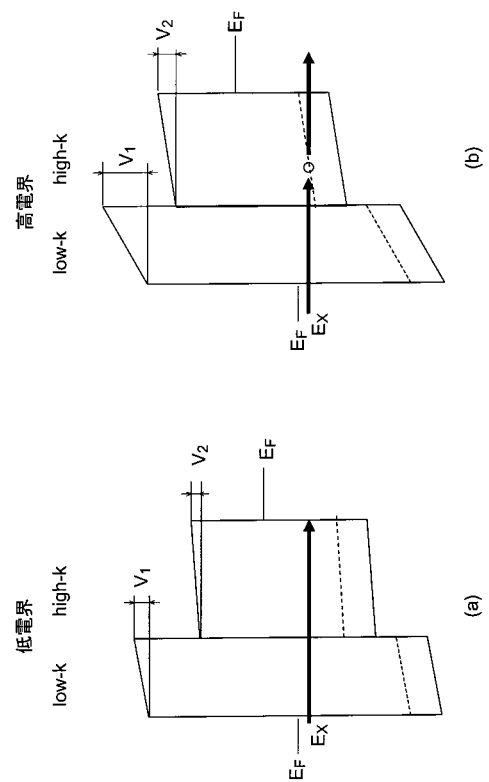
【図 10】



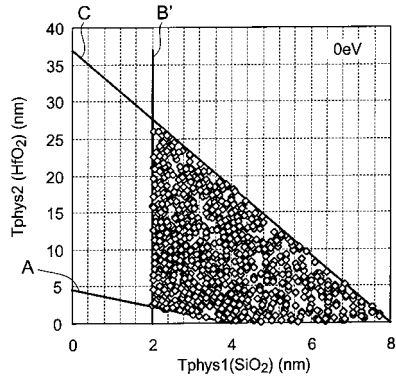
【図 11】



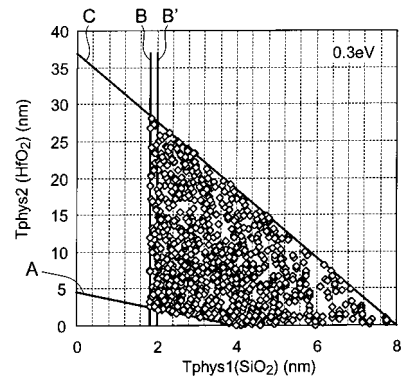
【図 12】



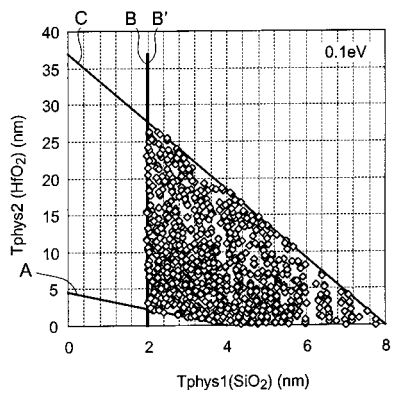
【図 1 3 A】



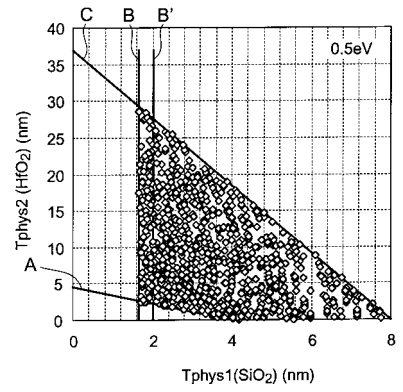
【図 1 3 C】



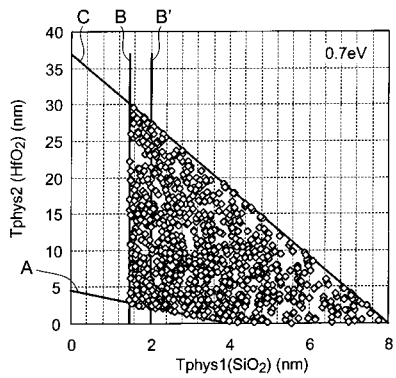
【図 1 3 B】



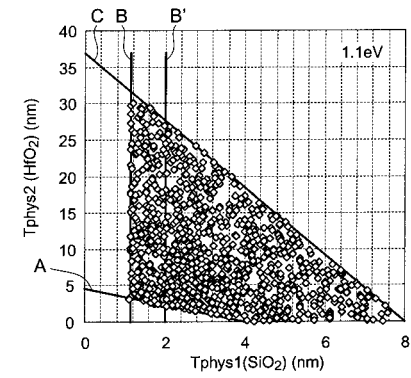
【図 1 3 D】



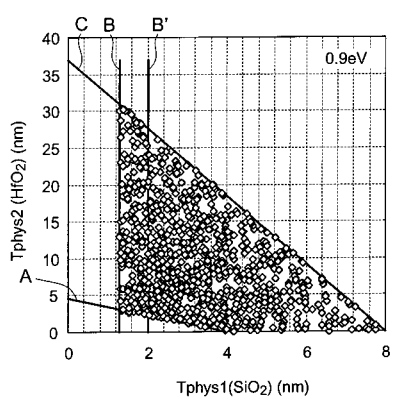
【図 1 3 E】



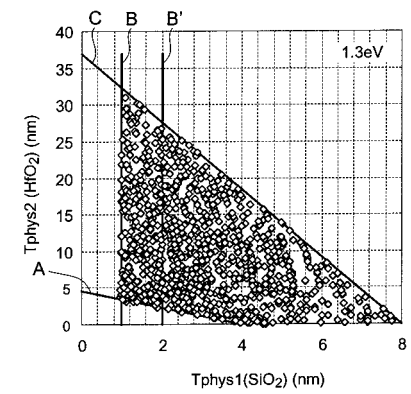
【図 1 3 G】



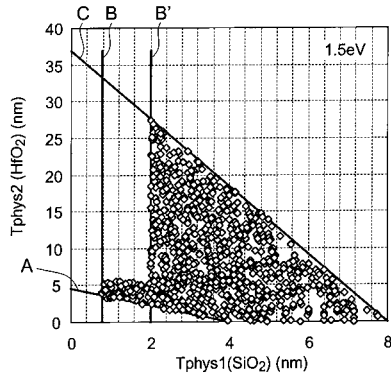
【図 1 3 F】



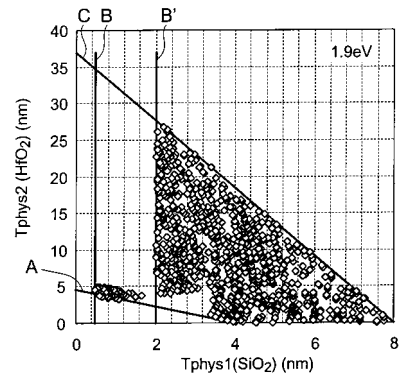
【図 1 3 H】



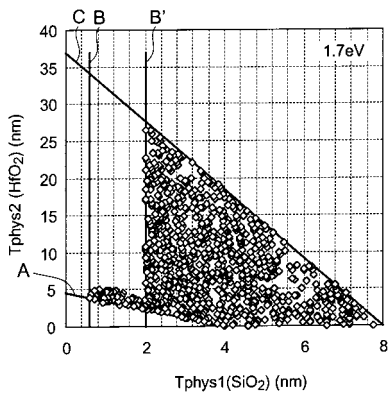
【図 1 3 I】



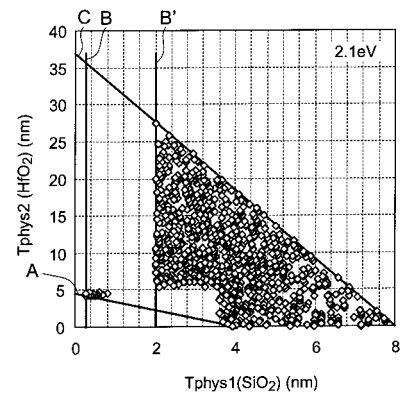
【図 1 3 K】



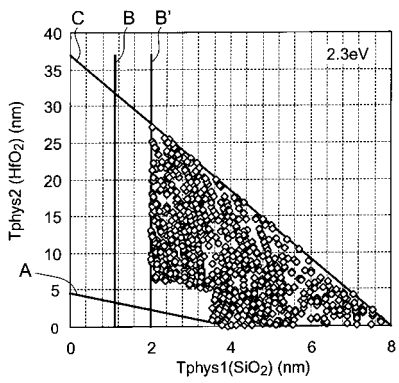
【図 1 3 J】



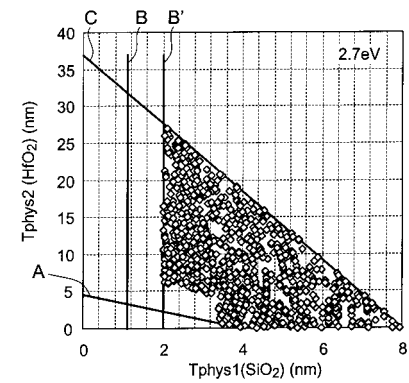
【図 1 3 L】



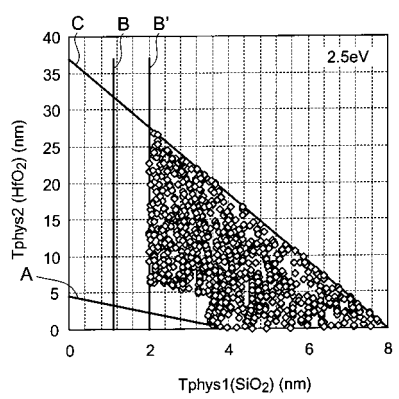
【図 1 3 M】



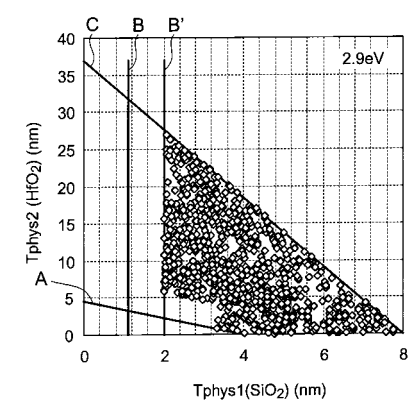
【図 1 3 O】



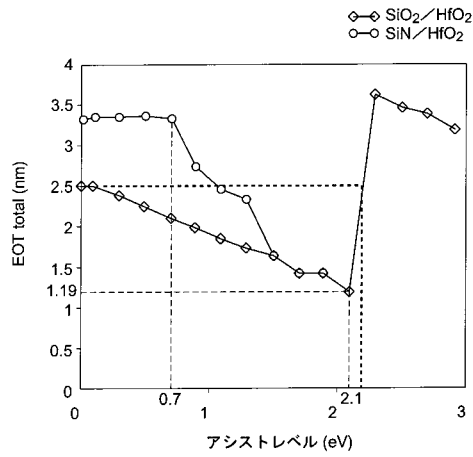
【図 1 3 N】



【図 1 3 P】



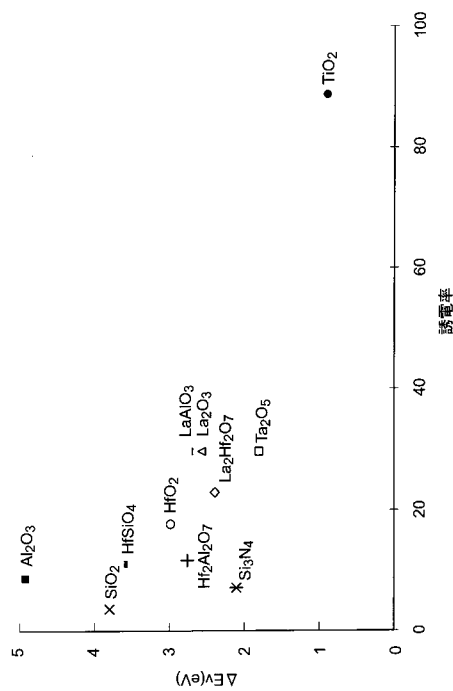
【図 14】



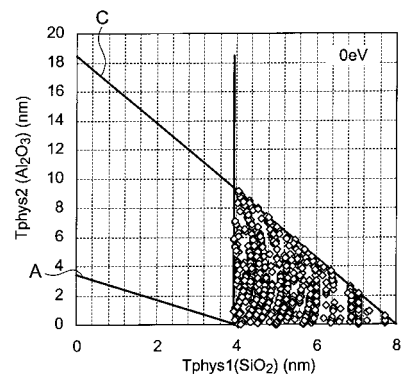
【図 15】

	誘電率	ΔE_v
HfO ₂	18	3.0
Al ₂ O ₃	9	4.9
La ₂ O ₃	30	2.6
SiO ₂	3.9	3.8
Si ₃ N ₄	7.4	2.1
TiO ₂	89	0.9
Hf ₂ Al ₂ O ₇	12	2.76
HfSiO ₄	11	3.6
LaAlO ₃	30	2.7
La ₂ Hf ₂ O ₇	23	2.4
Ta ₂ O ₅	30	1.8

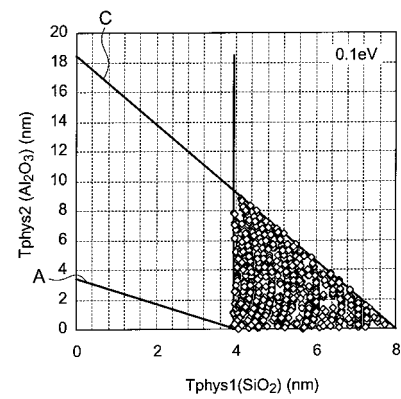
【図 16】



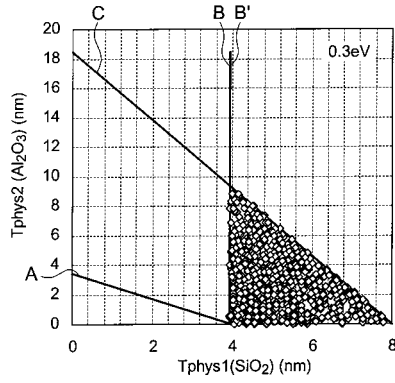
【図 17 A】



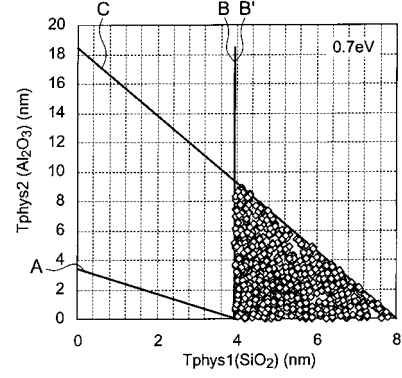
【図 17 B】



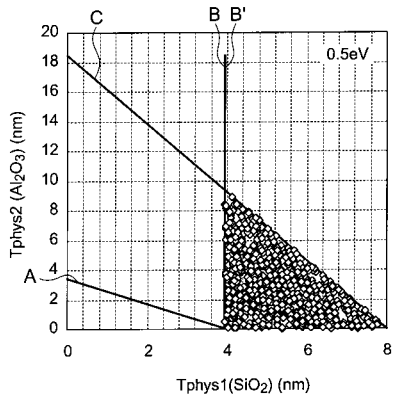
【図 17 C】



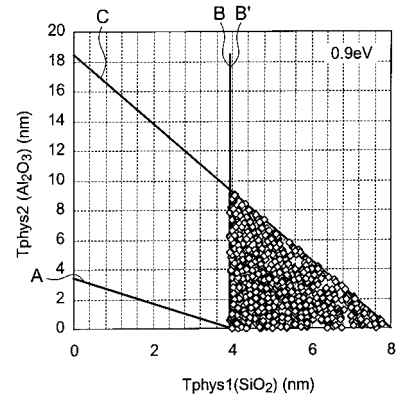
【図 17 E】



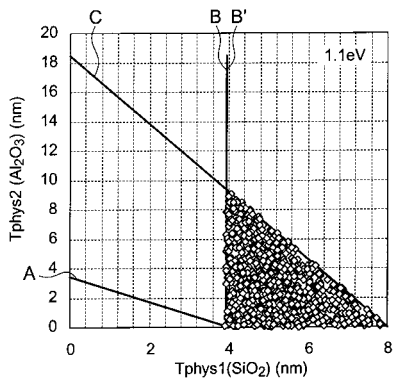
【図 17 D】



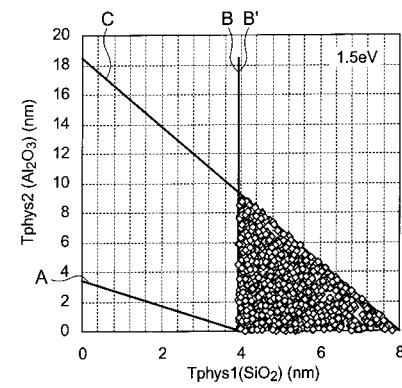
【図 17 F】



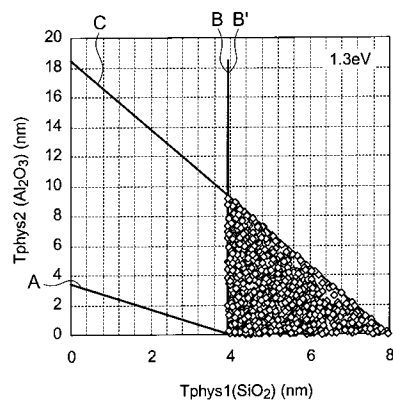
【図 17 G】



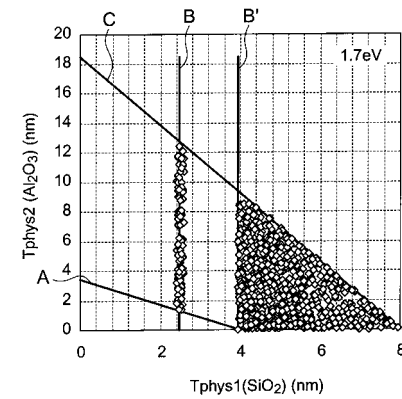
【図 17 I】



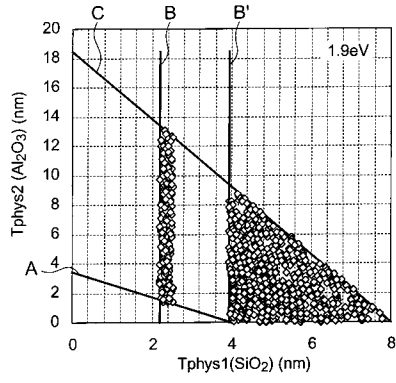
【図 17 H】



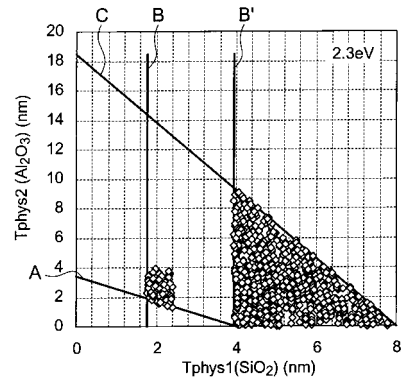
【図 17 J】



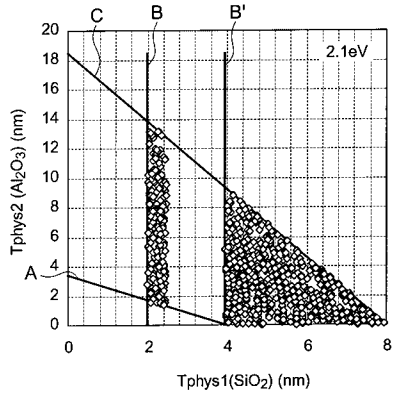
【図 17 K】



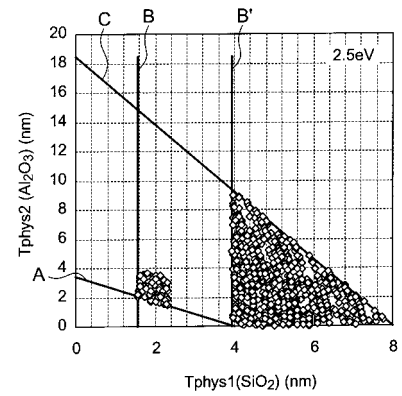
【図 17 M】



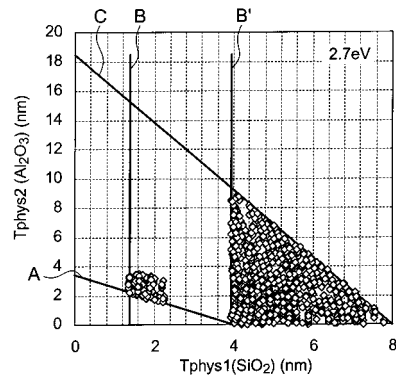
【図 17 L】



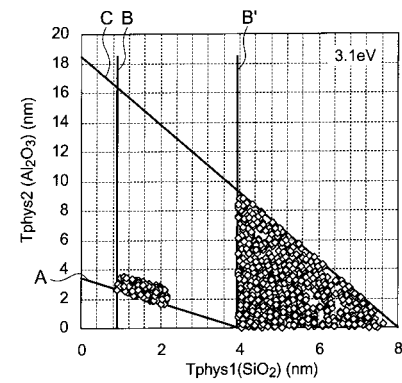
【図 17 N】



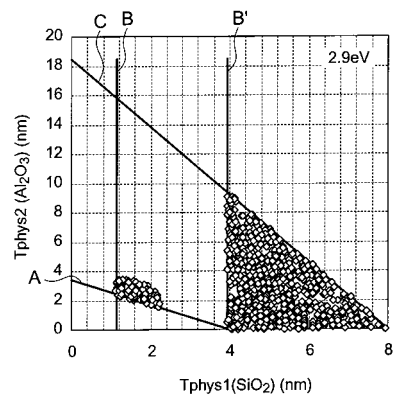
【図 17 O】



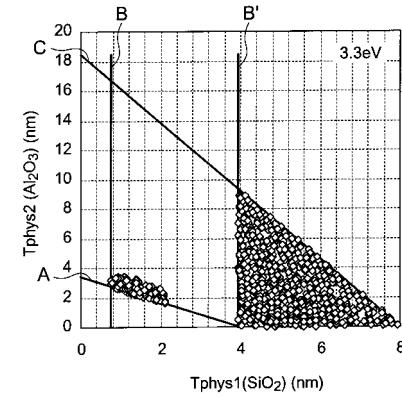
【図 17 Q】



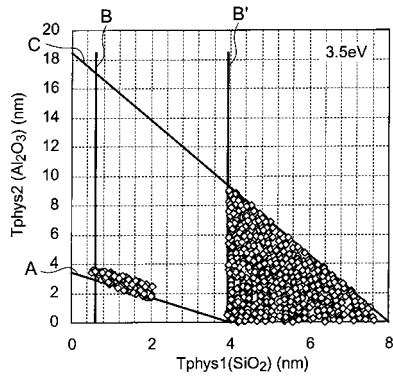
【図 17 P】



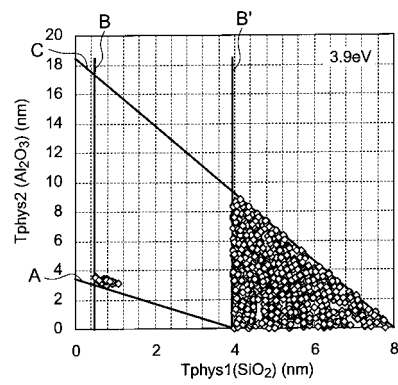
【図 17 R】



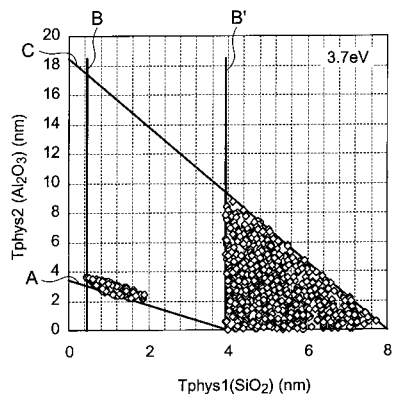
【図 17 S】



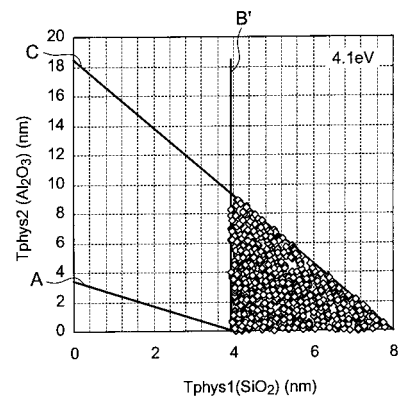
【図 17 U】



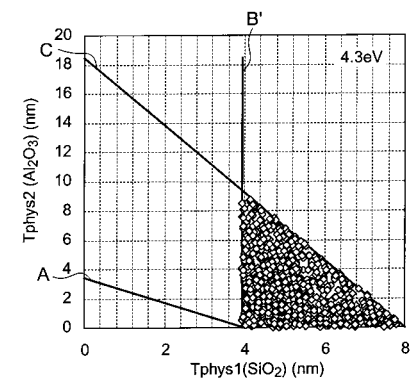
【図 17 T】



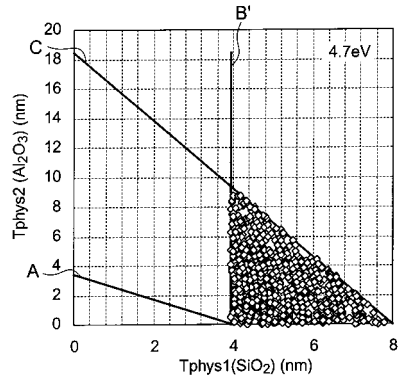
【図 17 V】



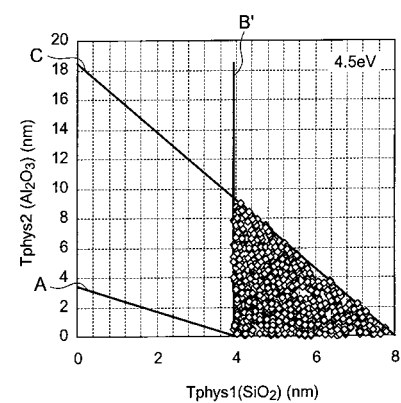
【図 17 W】



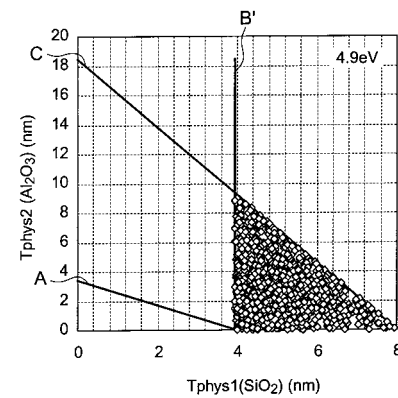
【図 17 Y】



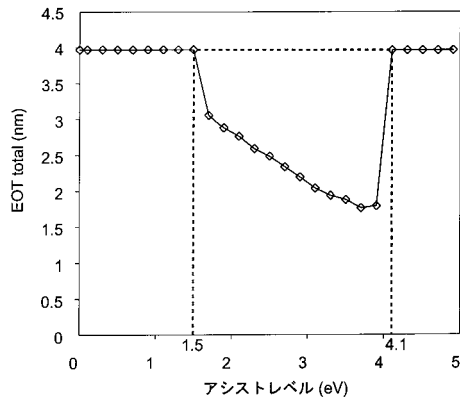
【図 17 X】



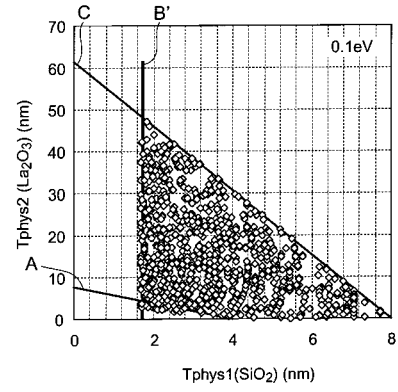
【図 17 Z】



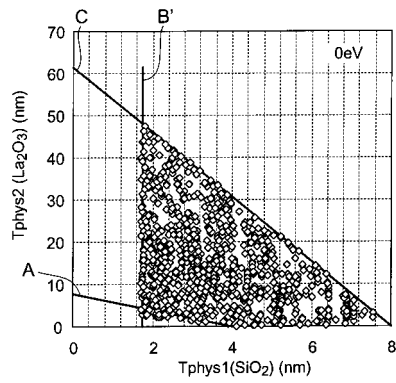
【図 18】



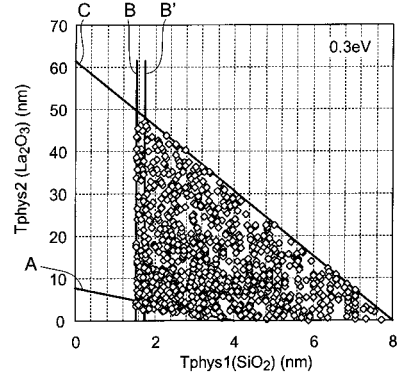
【図 19 B】



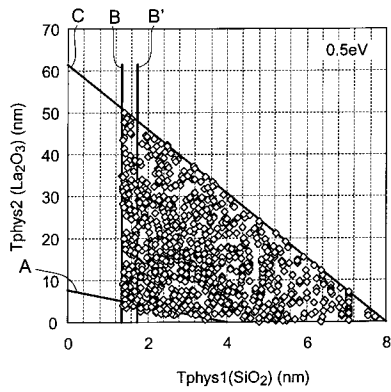
【図 19 A】



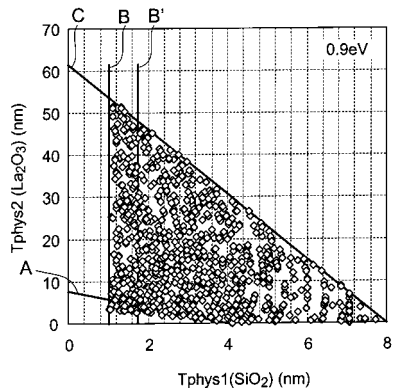
【図 19 C】



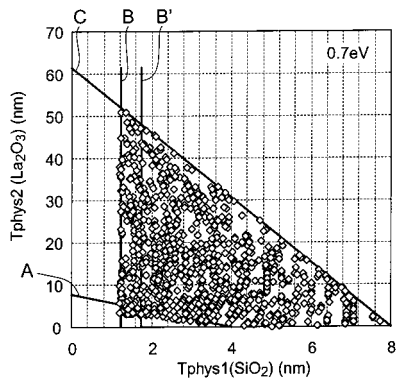
【図 19 D】



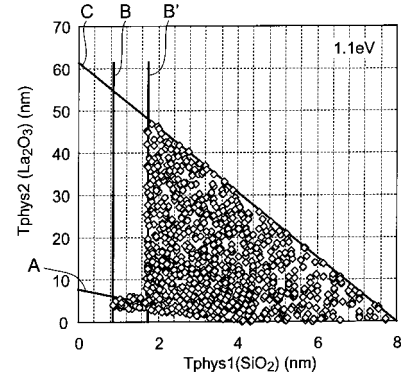
【図 19 F】



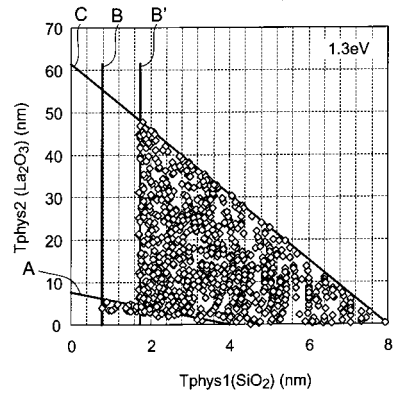
【図 19 E】



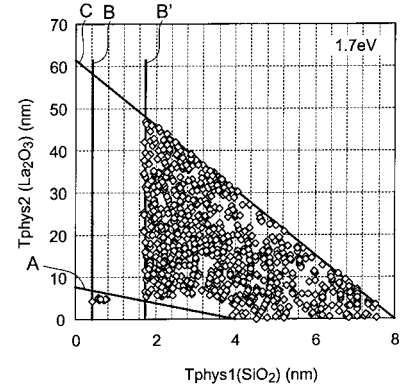
【図 19 G】



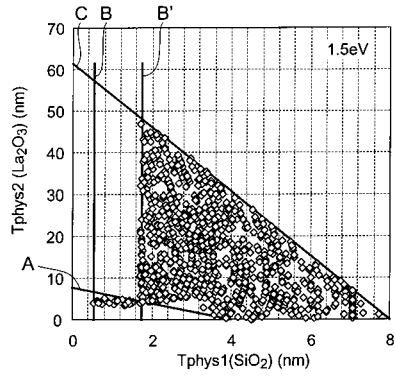
【図 19 H】



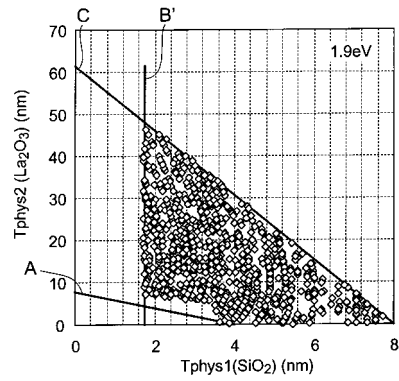
【図 19 J】



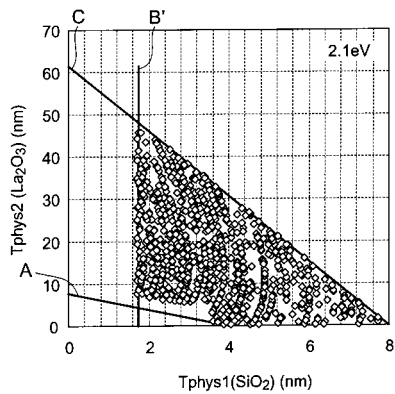
【図 19 I】



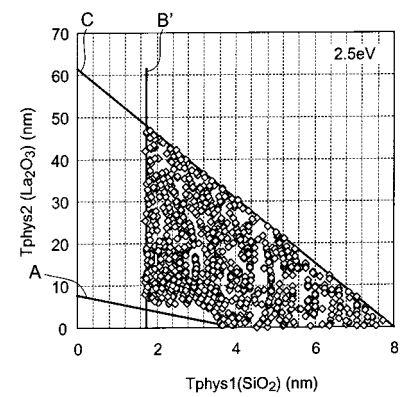
【図 19 K】



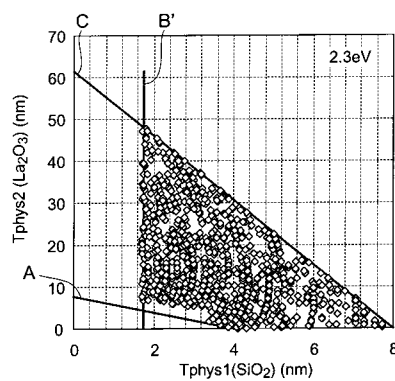
【図 19 L】



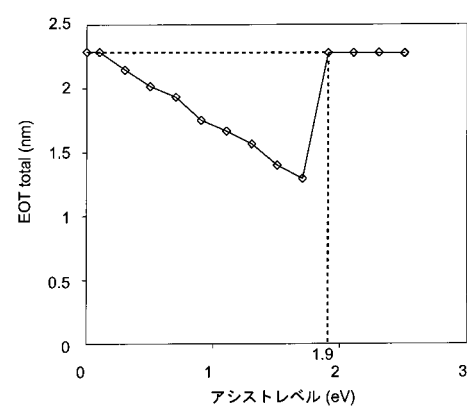
【図 19 N】



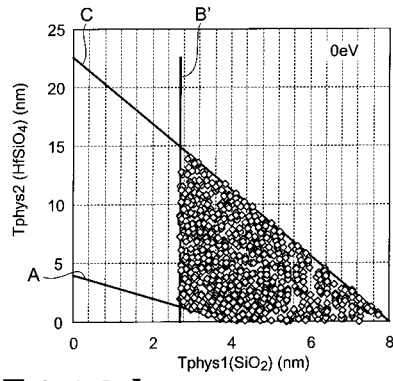
【図 19 M】



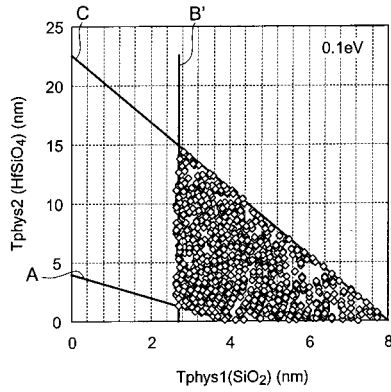
【図 20】



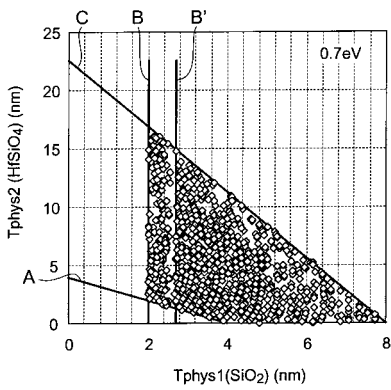
【図 2 1 A】



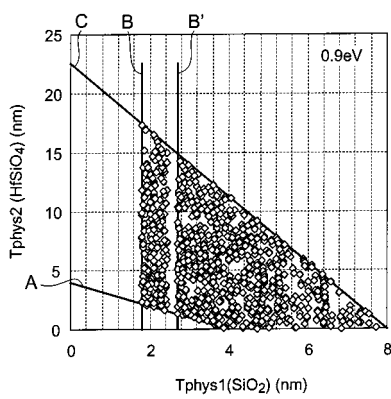
【図 2 1 B】



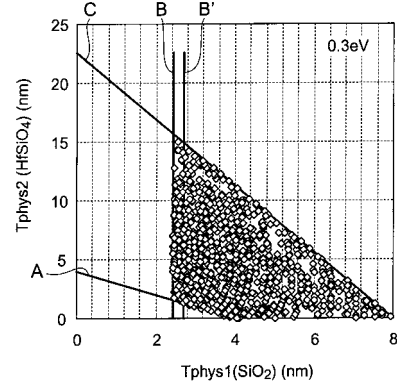
【図 2 1 E】



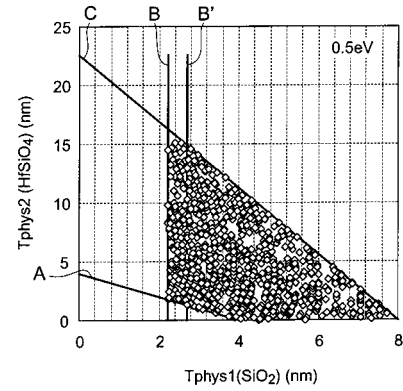
【図 2 1 F】



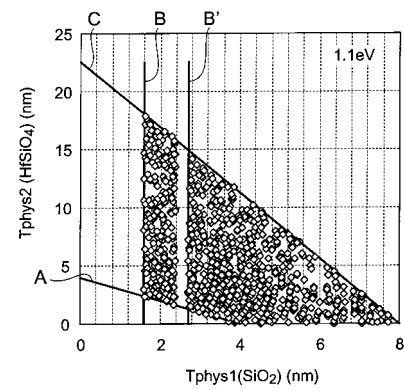
【図 2 1 C】



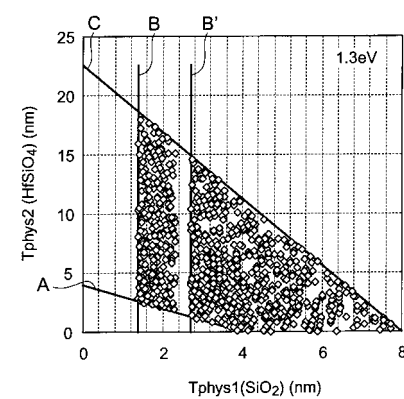
【図 2 1 D】



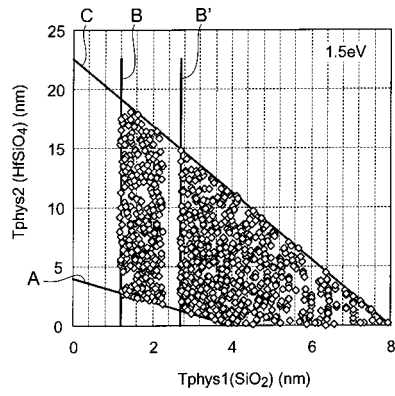
【図 2 1 G】



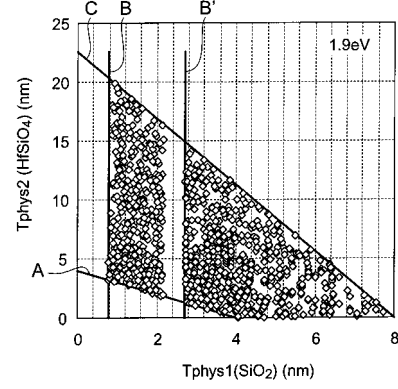
【図 2 1 H】



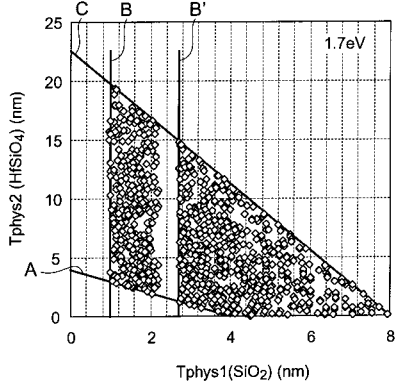
【図 2 1 I】



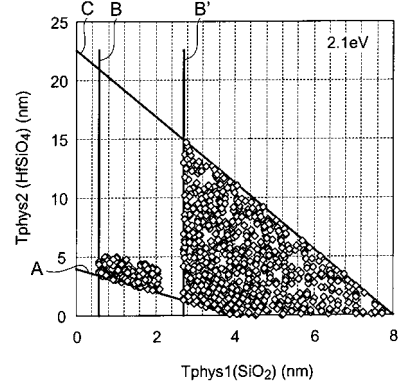
【図 2 1 K】



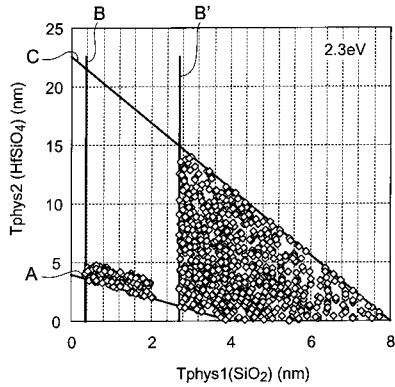
【図 2 1 J】



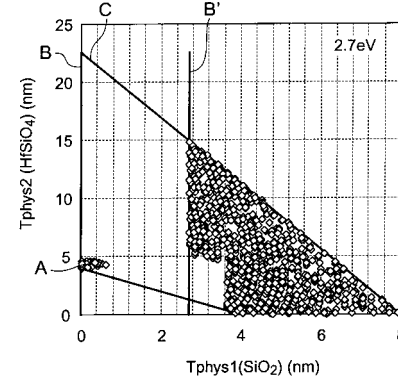
【図 2 1 L】



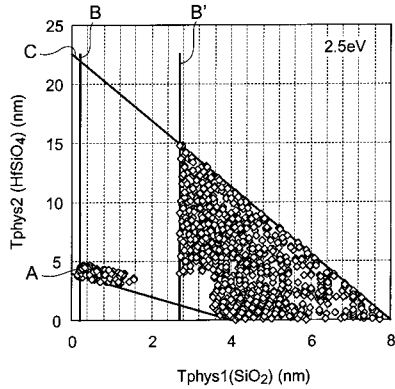
【図 2 1 M】



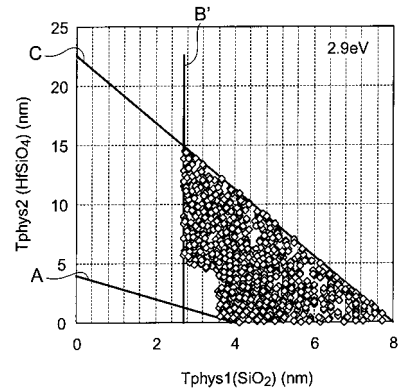
【図 2 1 O】



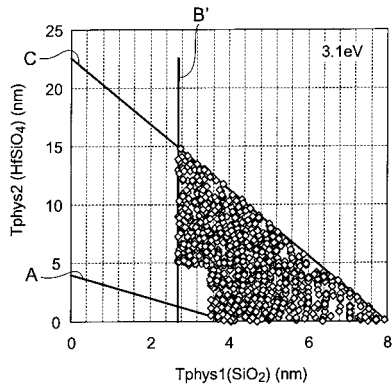
【図 2 1 N】



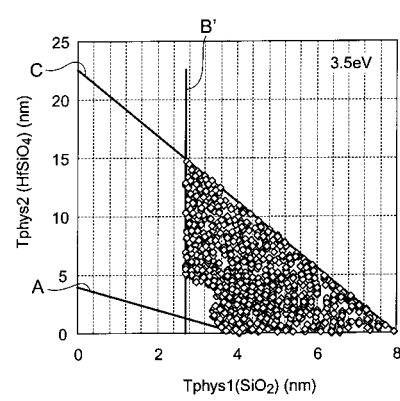
【図 2 1 P】



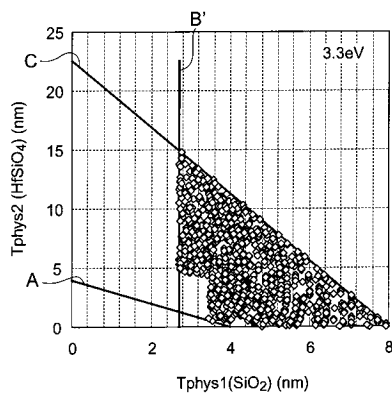
【図 2 1 Q】



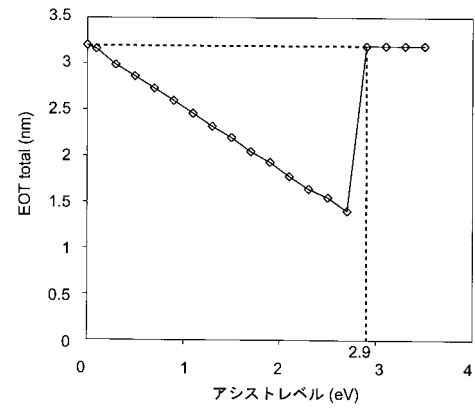
【図 2 1 S】



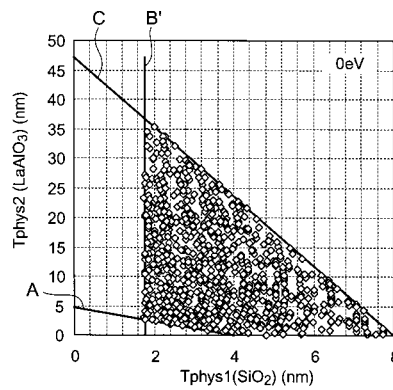
【図 2 1 R】



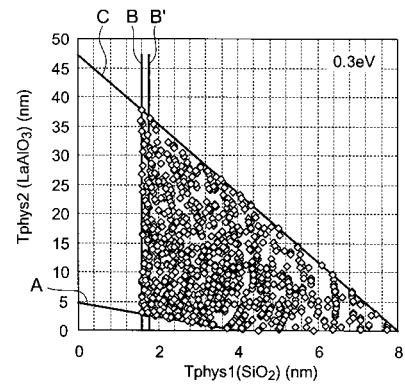
【図 2 2】



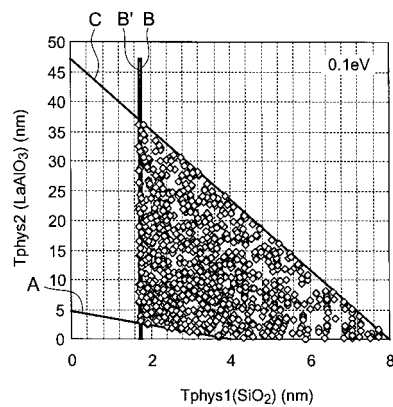
【図 2 3 A】



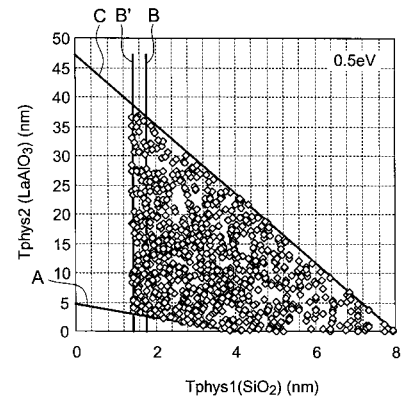
【図 2 3 C】



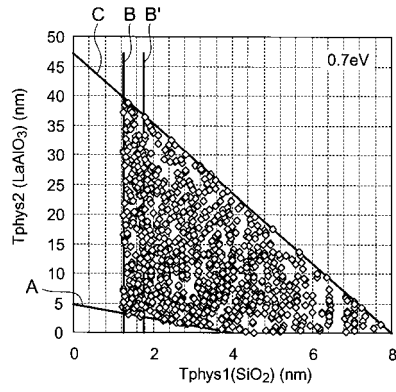
【図 2 3 B】



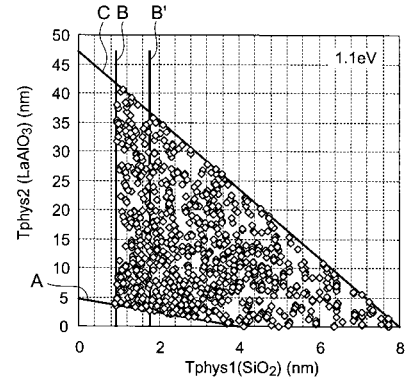
【図 2 3 D】



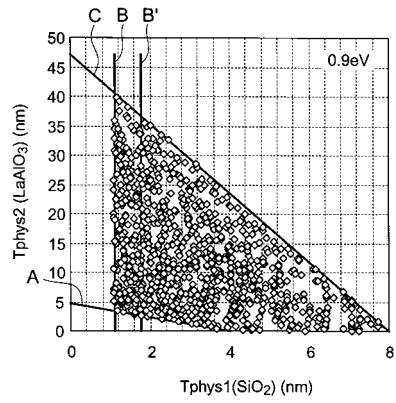
【図 2 3 E】



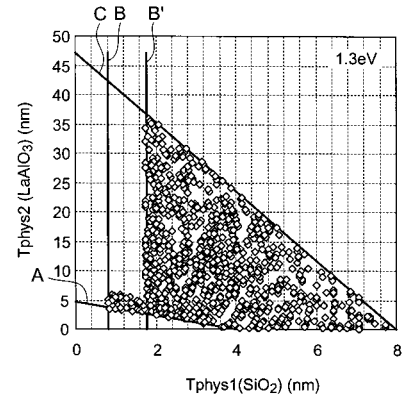
【図 2 3 G】



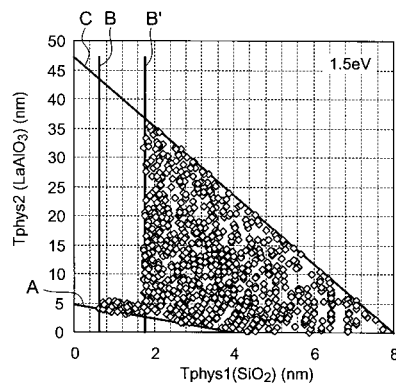
【図 2 3 F】



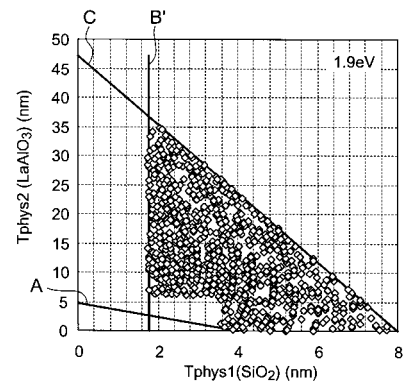
【図 2 3 H】



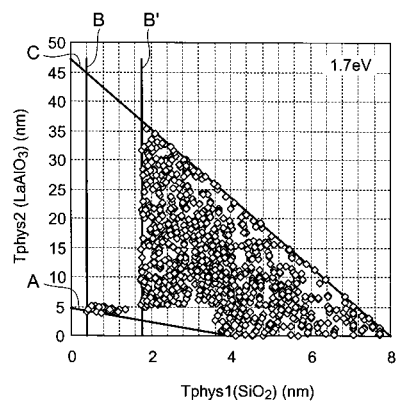
【図 2 3 I】



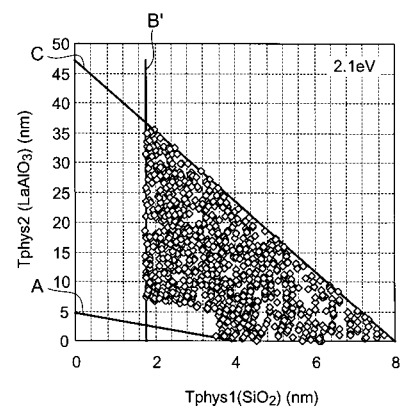
【図 2 3 K】



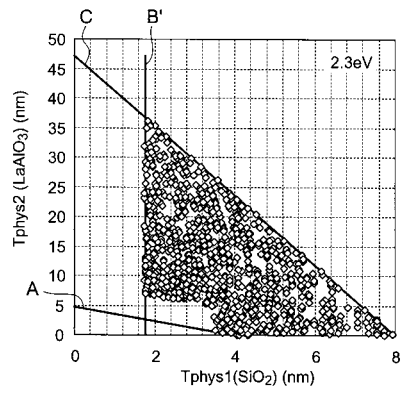
【図 2 3 J】



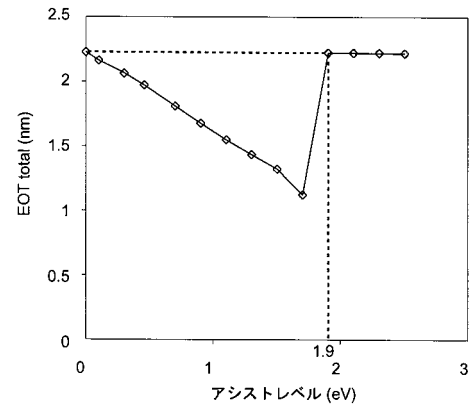
【図 2 3 L】



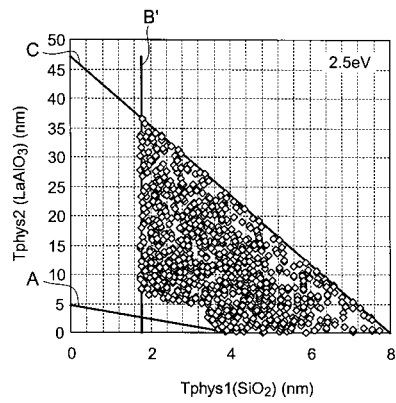
【図 2 3 M】



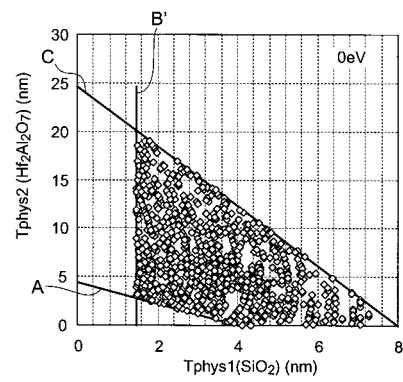
【図 2 4】



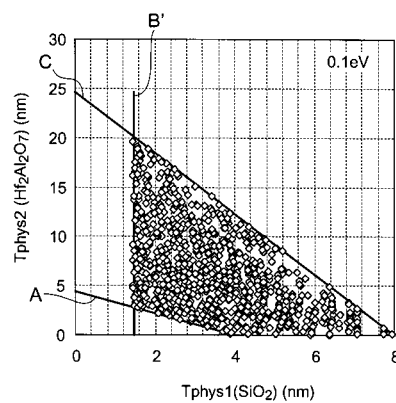
【図 2 3 N】



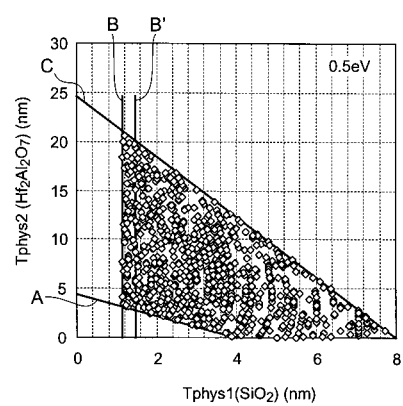
【図 2 5 A】



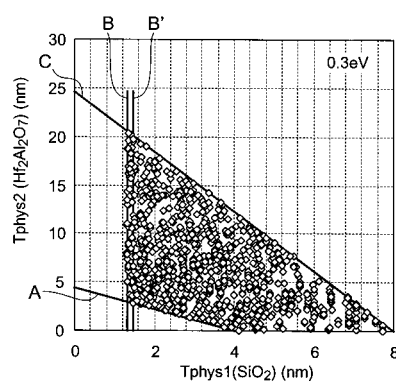
【図 2 5 B】



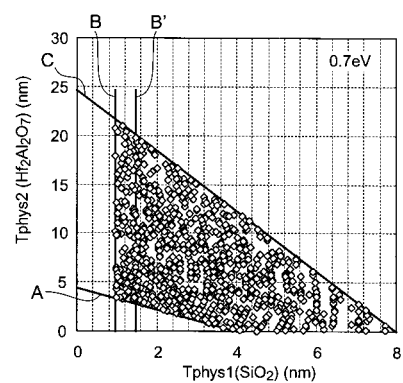
【図 2 5 D】



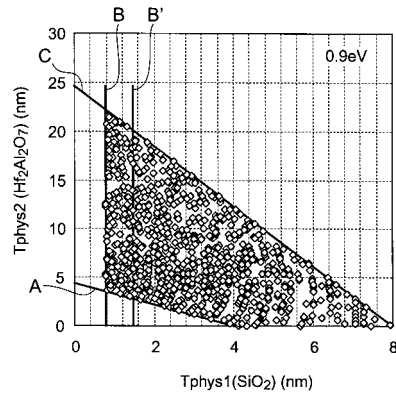
【図 2 5 C】



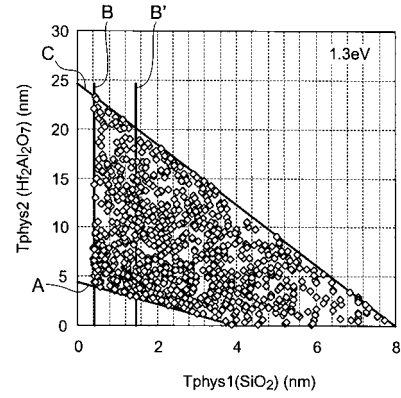
【図 2 5 E】



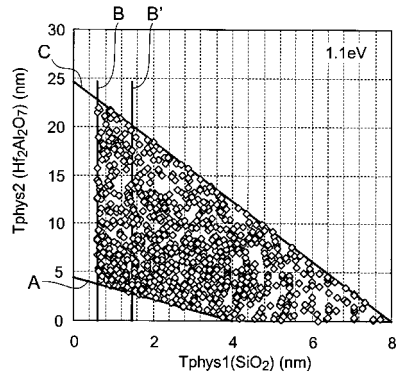
【 図 2 5 F 】



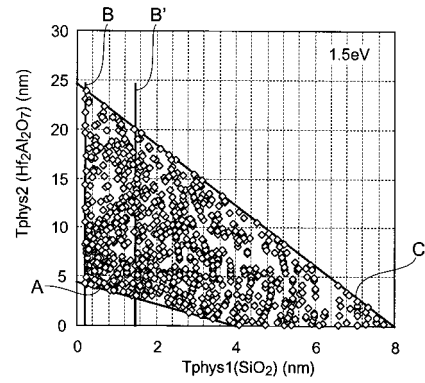
【 図 2 5 H 】



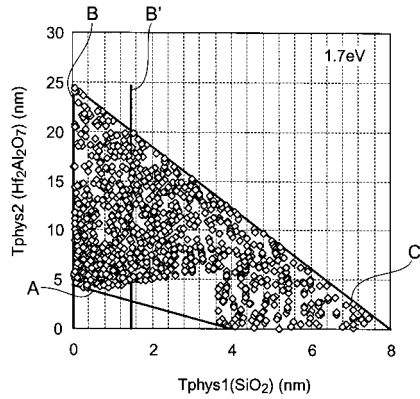
【 図 2 5 G 】



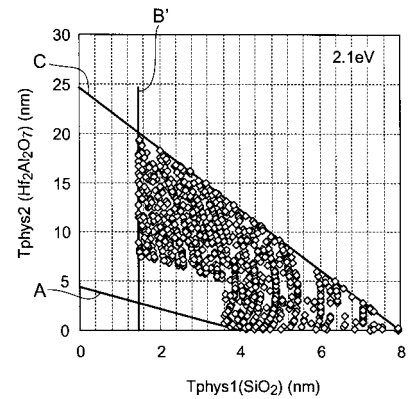
【 図 2 5 I 】



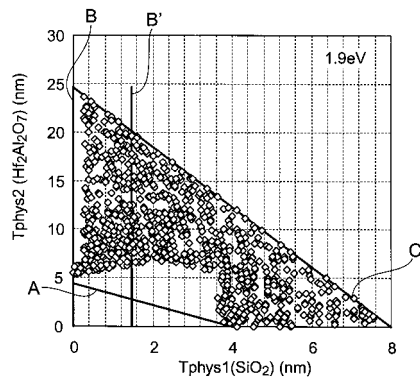
【 図 2 5 J 】



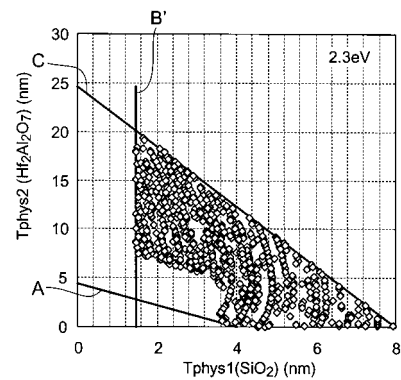
【 図 2 5 L 】



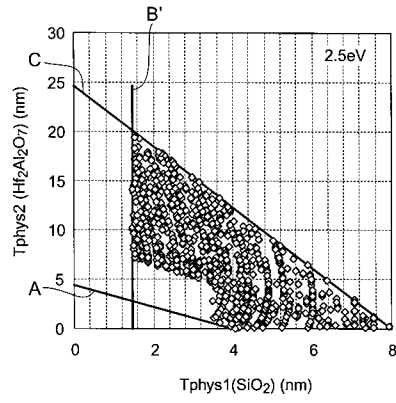
【 図 2 5 K 】



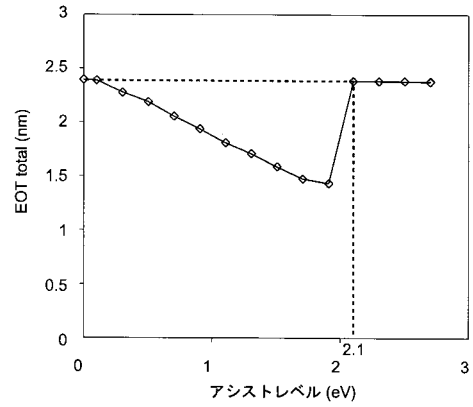
【 図 2 5 M 】



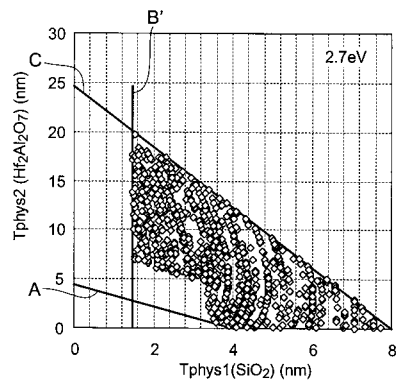
【図 25 N】



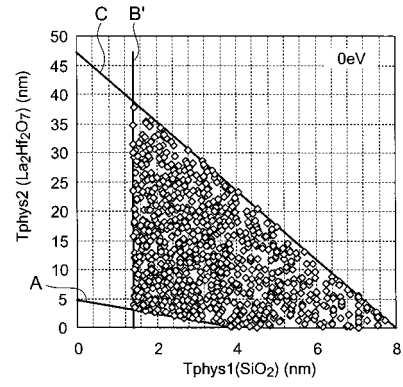
【図 26】



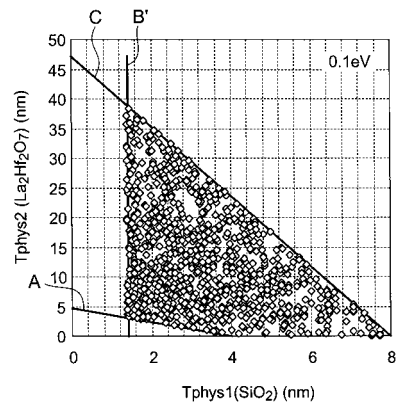
【図 25 O】



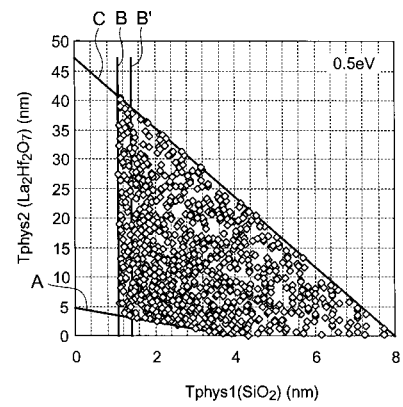
【図 27 A】



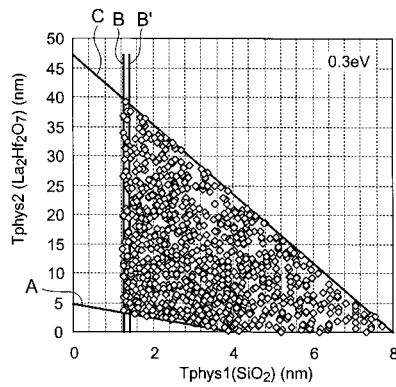
【図 27 B】



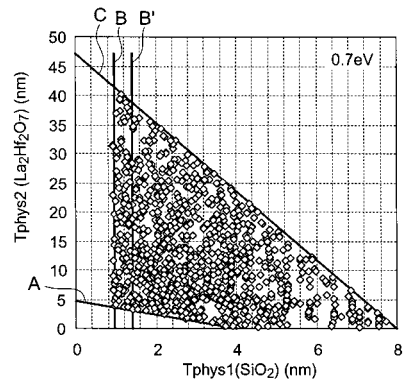
【図 27 D】



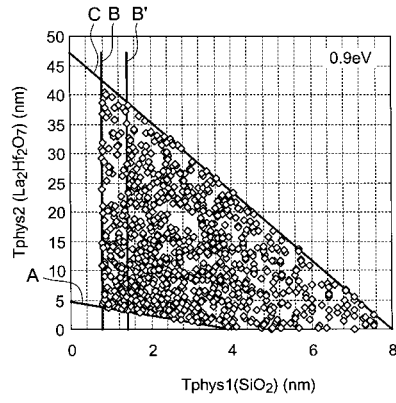
【図 27 C】



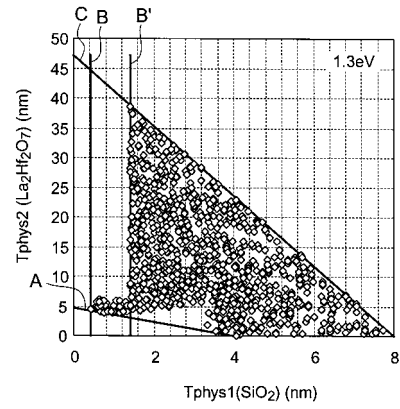
【図 27 E】



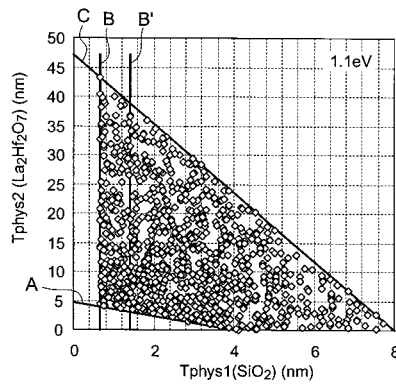
【図 27 F】



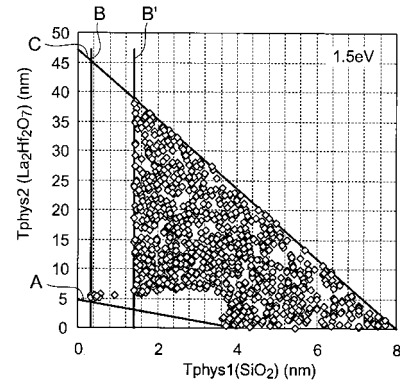
【図 27 H】



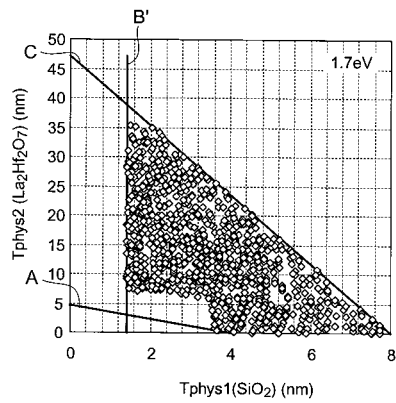
【図 27 G】



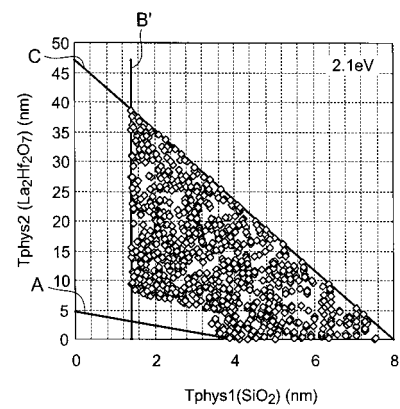
【図 27 I】



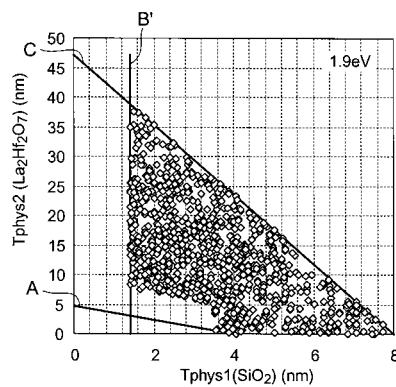
【図 27 J】



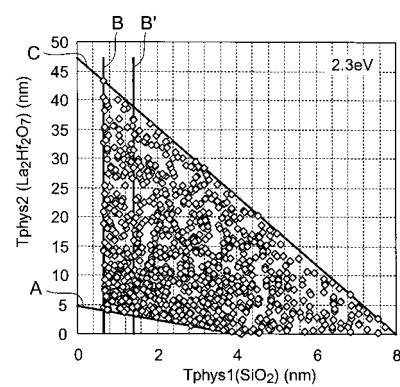
【図 27 L】



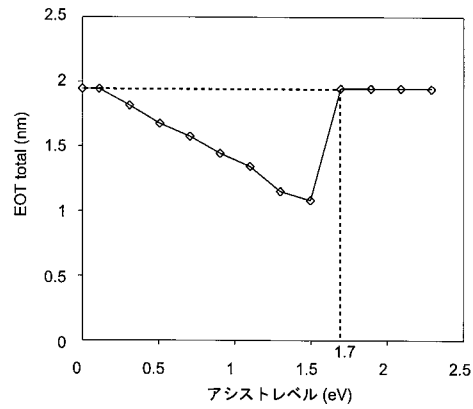
【図 27 K】



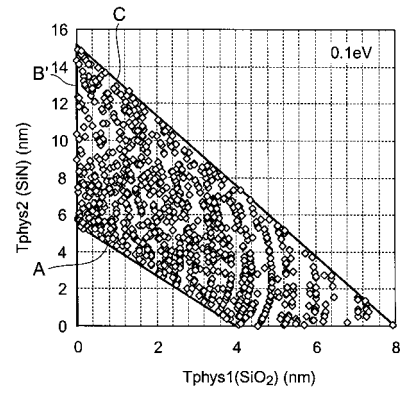
【図 27 M】



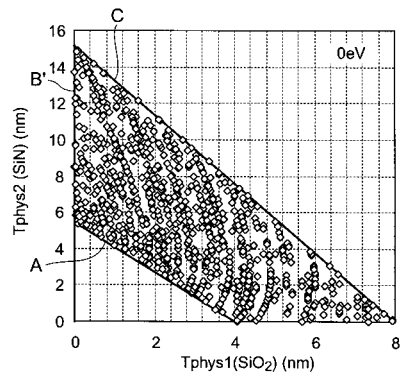
【図 28】



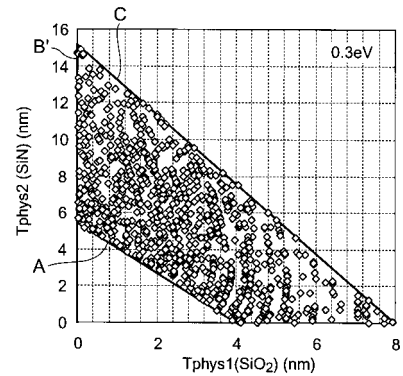
【図 29 B】



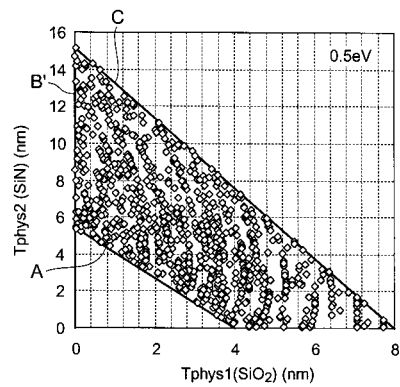
【図 29 A】



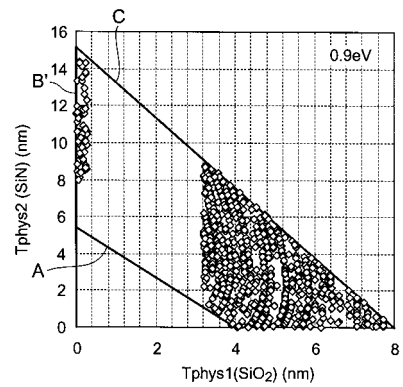
【図 29 C】



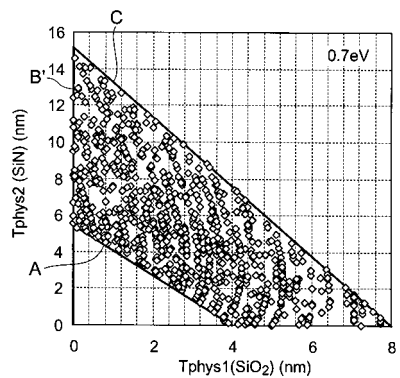
【図 29 D】



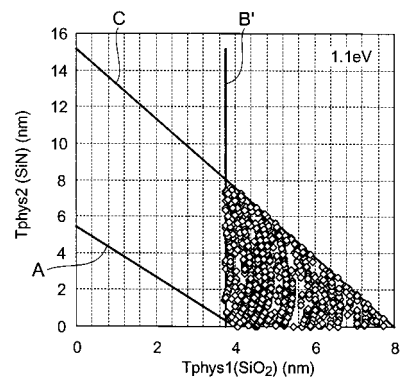
【図 29 F】



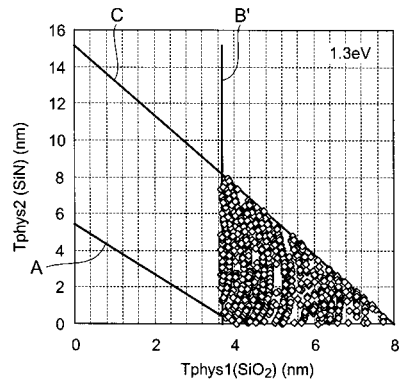
【図 29 E】



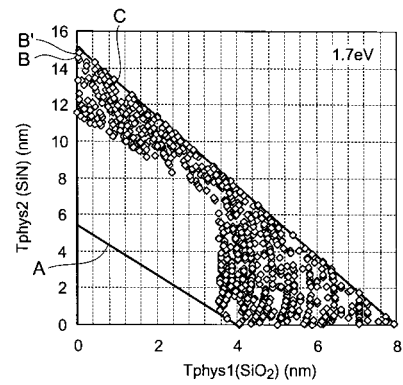
【図 29 G】



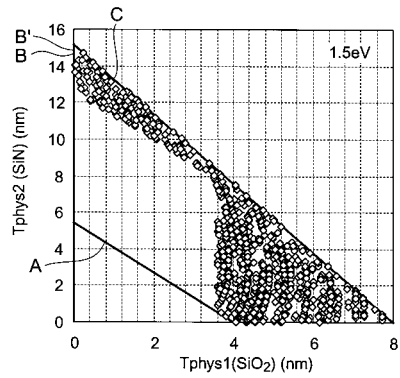
【図 29 H】



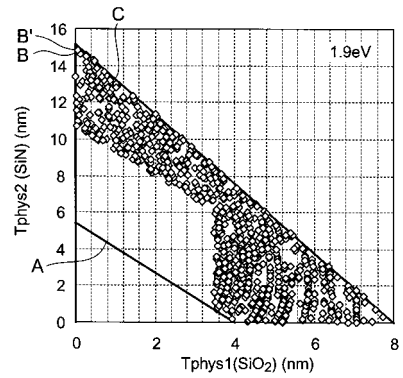
【図 29 J】



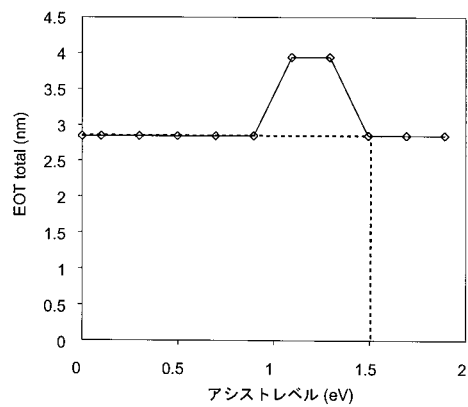
【図 29 I】



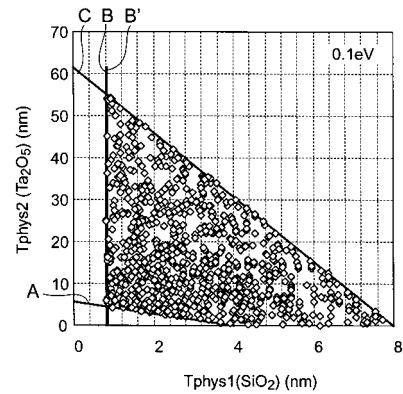
【図 29 K】



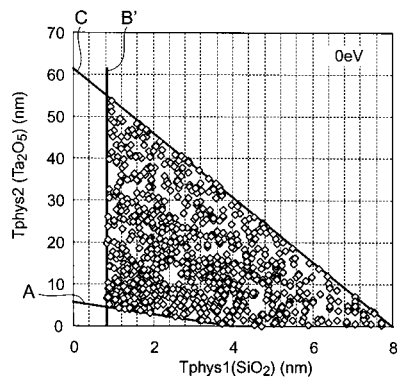
【図 30】



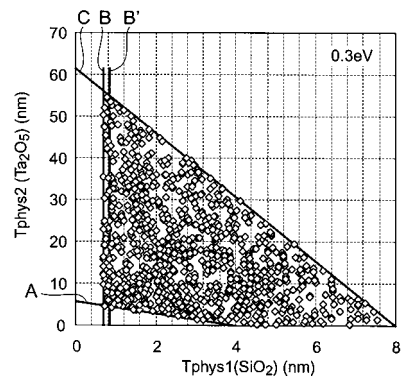
【図 31 B】



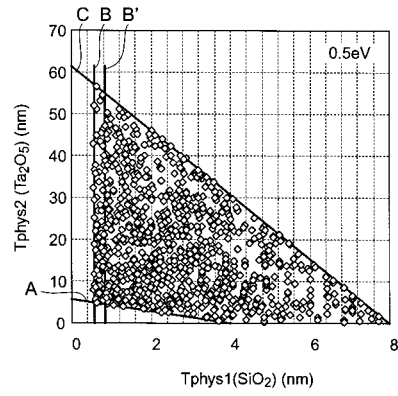
【図 31 A】



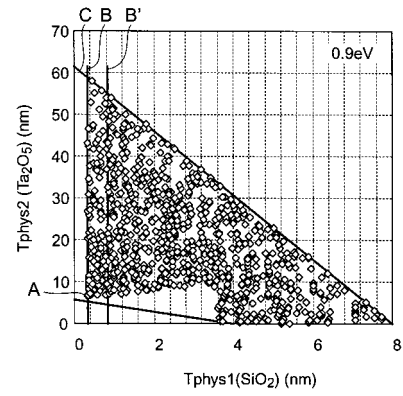
【図 31 C】



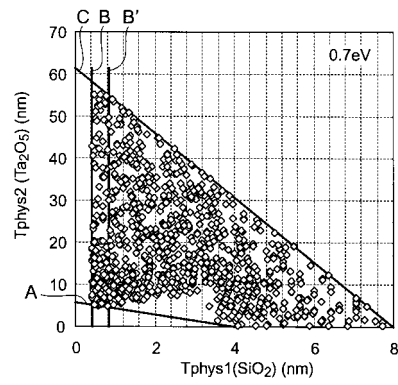
【図 3 1 D】



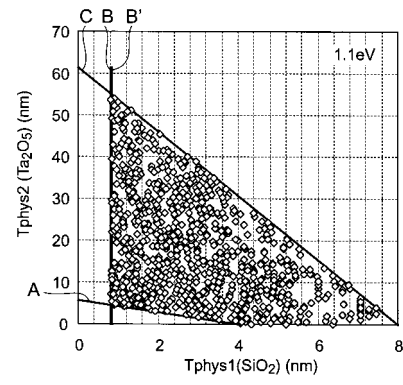
【図 3 1 F】



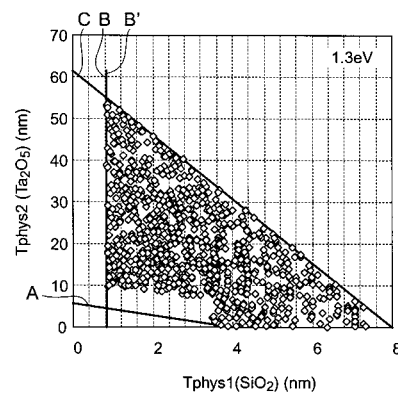
【図 3 1 E】



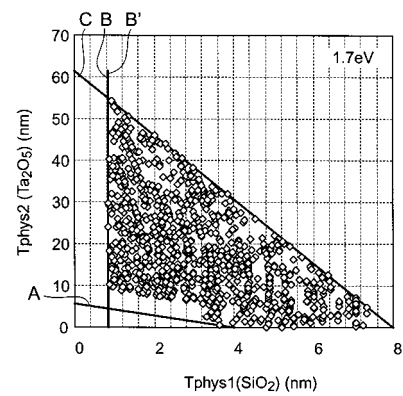
【図 3 1 G】



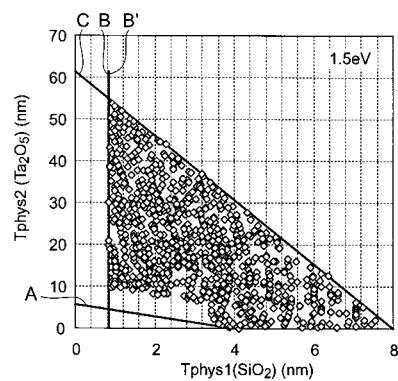
【図 3 1 H】



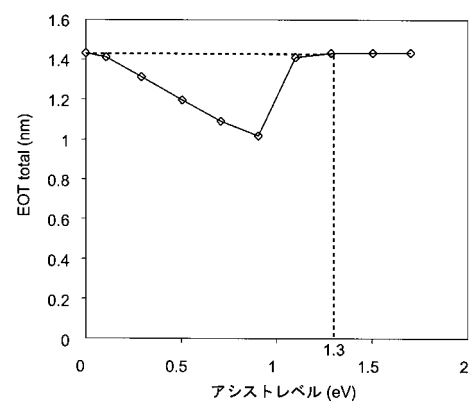
【図 3 1 J】



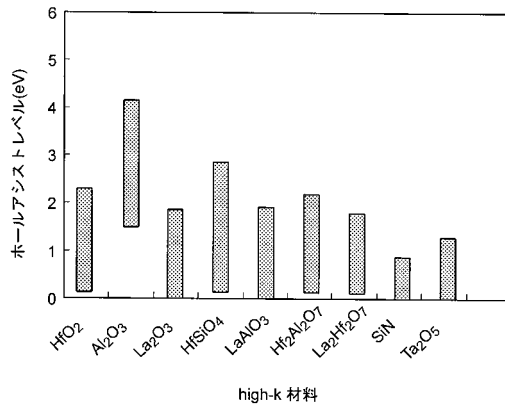
【図 3 1 I】



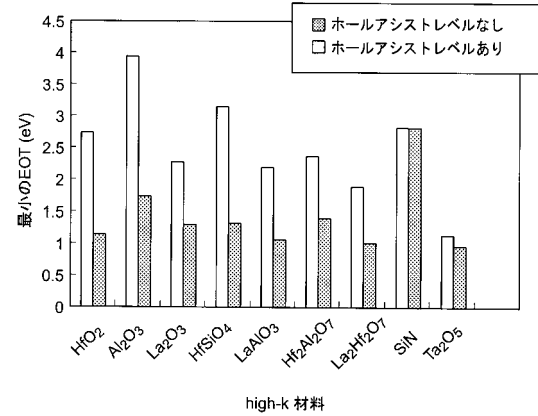
【図 3 2】



【図 3 3 A】



【図 3 4 A】



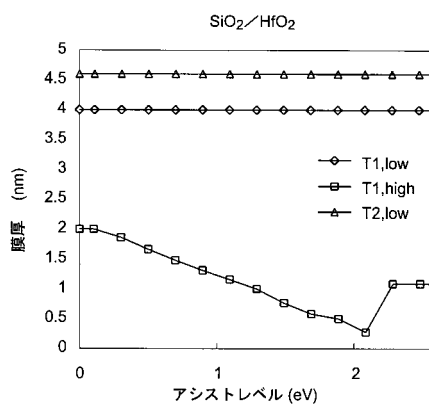
【図 3 3 B】

low-k	high-k	min(eV)	max(eV)	EOTmin(nm)
SiO ₂	HfO ₂	0.1	2.2	1.19
SiO ₂	Al ₂ O ₃	1.5	4.1	1.78
SiO ₂	La ₂ O ₃	0	1.9	1.32
SiO ₂	HfSiO ₄	0.1	2.9	1.40
SiO ₂	LaAlO ₃	0	1.9	1.12
SiO ₂	Hf ₂ Al ₂ O ₇	0.1	2.1	1.45
SiO ₂	La ₂ Hf ₂ O ₇	0.1	1.7	1.07
SiO ₂	SiN	0	0.9	2.85
SiO ₂	Ta ₂ O ₅	0	1.3	1.02
SiO ₂	TiO ₂	—	—	—

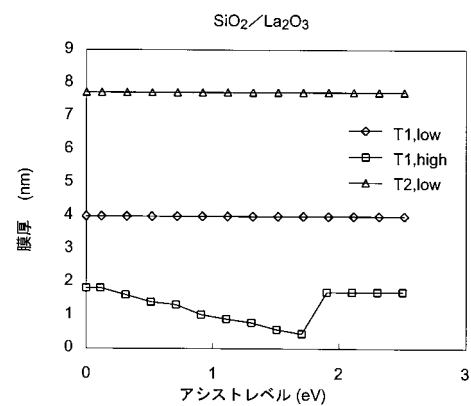
【図 3 4 B】

low-k	high-k	EOTmin(nm)	
		アシストレベルなし	アシストレベルあり
SiO ₂	HfO ₂	2.50	1.19
SiO ₂	Al ₂ O ₃	3.97	1.78
SiO ₂	La ₂ O ₃	2.30	1.32
SiO ₂	HfSiO ₄	3.16	1.40
SiO ₂	LaAlO ₃	2.22	1.12
SiO ₂	Hf ₂ Al ₂ O ₇	2.39	1.45
SiO ₂	La ₂ Hf ₂ O ₇	1.92	1.07
SiO ₂	SiN	2.85	2.85
SiO ₂	Ta ₂ O ₅	1.44	1.02
SiO ₂	TiO ₂	—	—

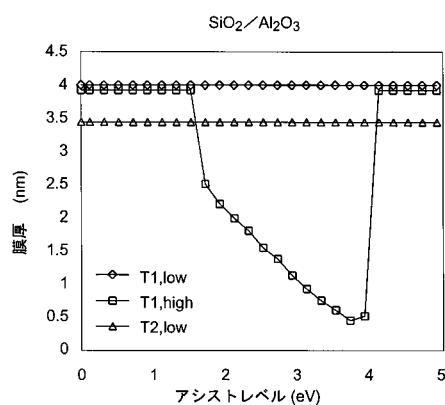
【図 3 5】



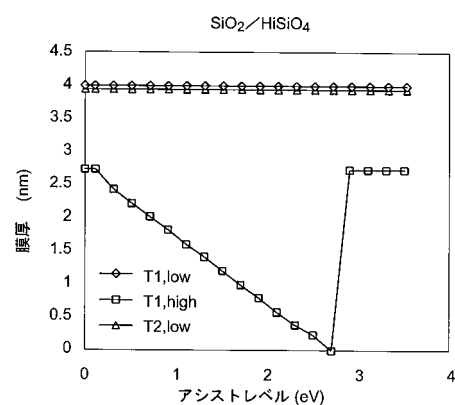
【図 3 7】



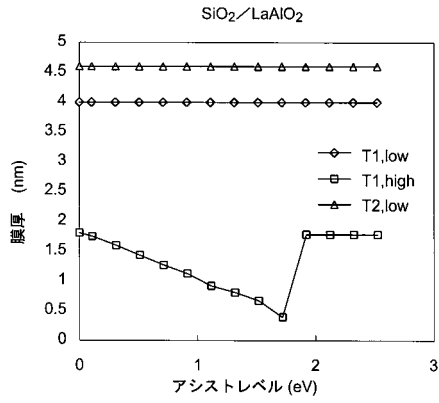
【図 3 6】



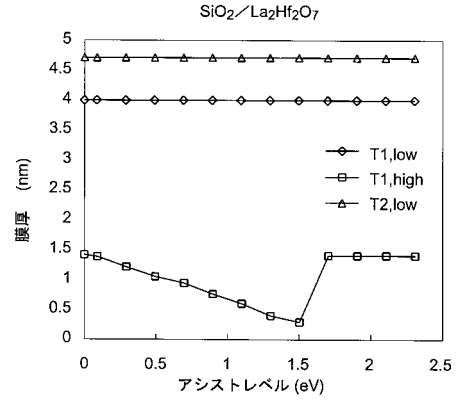
【図 3 8】



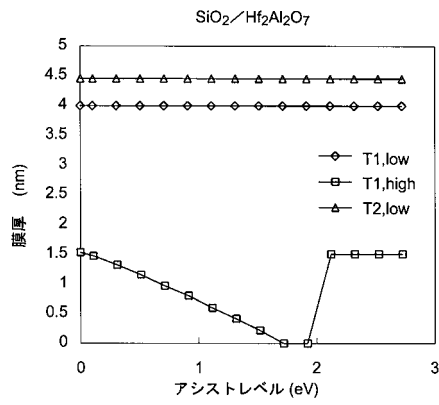
【図 39】



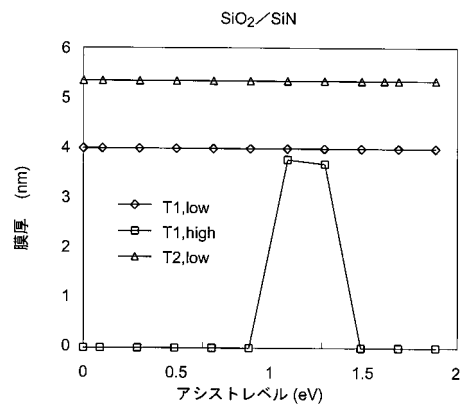
【図 41】



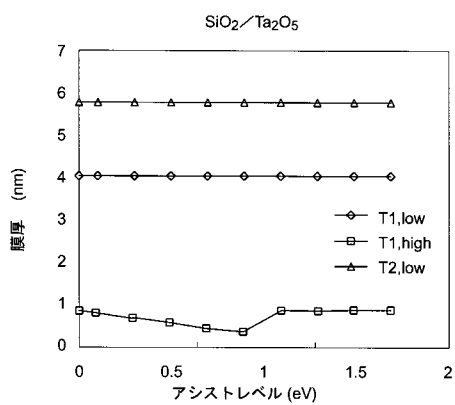
【図 40】



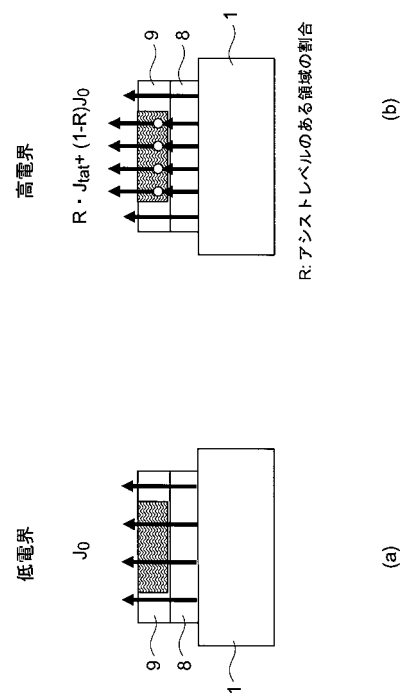
【図 42】



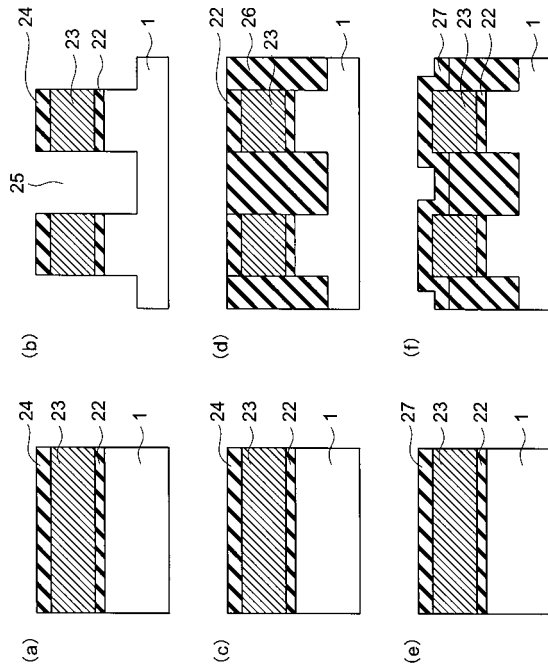
【図 43】



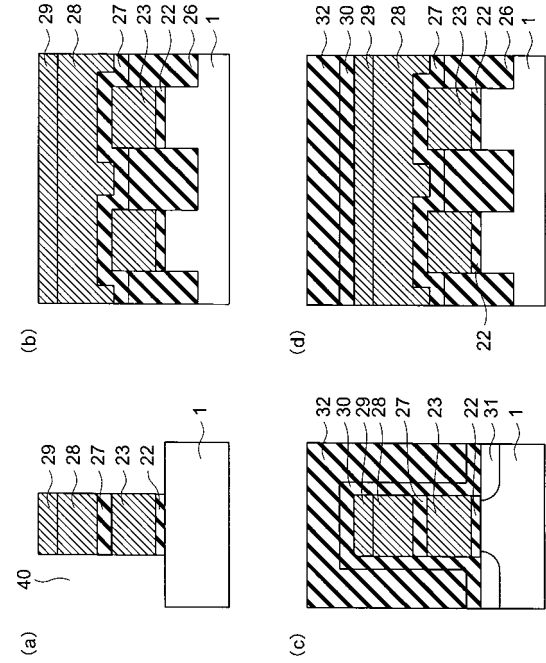
【図 44】



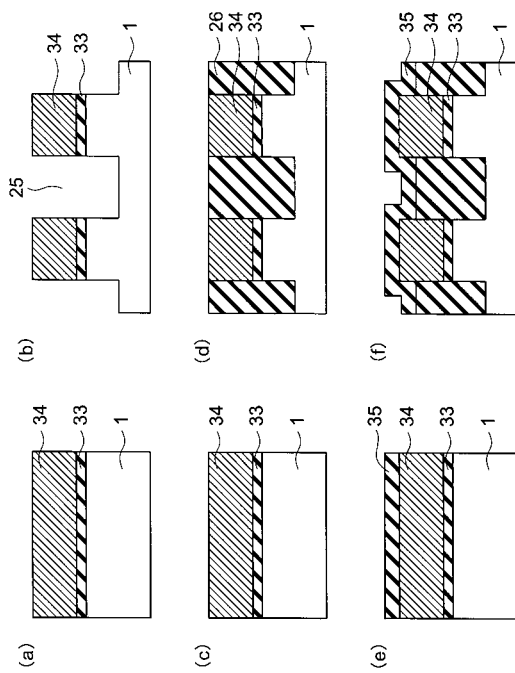
【図 4 5】



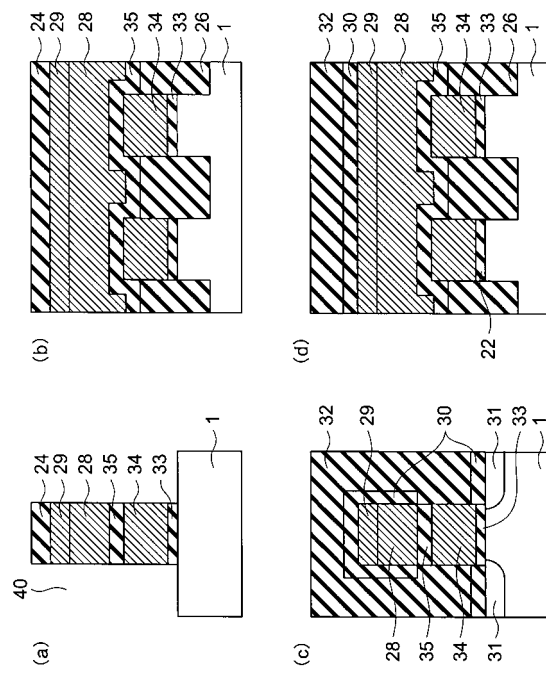
【図 4 6】



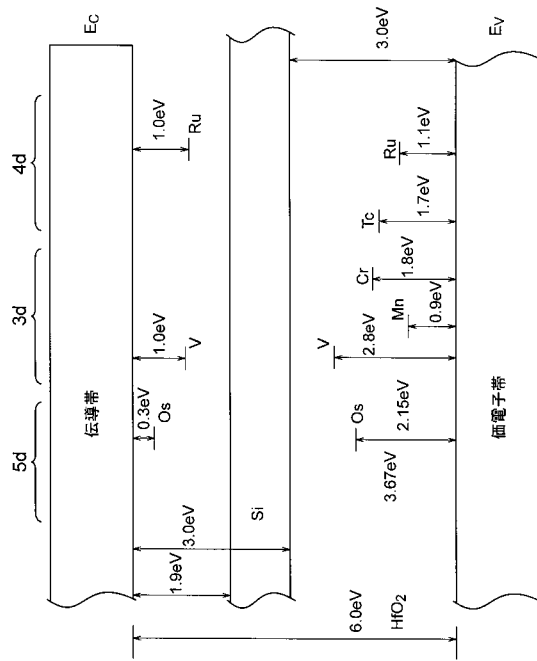
【図 4 7】



【図 4 8】



【図 49】



フロントページの続き

- (72)発明者 三 谷 祐一郎
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 清 水 達 雄
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 安 田 直 樹
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 中 崎 靖
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 西 山 彰
東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 5F083 EP02 EP18 EP22 EP43 EP76 GA06 JA02 JA06 JA19 JA35
NA01 NA06 PR12 PR21
5F101 BA01 BA26 BA35 BA45 BB02 BD02 BD34 BD35 BF09 BH02
BH03