

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成22年8月19日(2010.8.19)

【公開番号】特開2007-28597(P2007-28597A)

【公開日】平成19年2月1日(2007.2.1)

【年通号数】公開・登録公報2007-004

【出願番号】特願2006-164608(P2006-164608)

【国際特許分類】

H 0 4 L 27/12 (2006.01)

H 0 3 C 3/00 (2006.01)

【F I】

H 0 4 L 27/12 Z

H 0 3 C 3/00 A

【手続補正書】

【提出日】平成22年7月7日(2010.7.7)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

被変調信号(44)を生成する変調器(10)であって、前記変調器(10)は、
搬送周波数を設定する直接変調シンセサイザ回路(12)であって、前記直接変調シンセサイザ回路(12)は、前記搬送周波数を変調する変調信号(16)を受信することと
；

前記搬送周波数を或る安定した周波数にロックするために、入力基準信号(22)を前記直接変調シンセサイザ回路(12)に供給する基準周波数発振器(36)と；

データビット(40)を受信し、且つ所与データビットの前記変調信号(16)を生成するプリエンファシスユニット(42)であって、前記変調信号(16)は、前記所与データビットのビット値と、前記所与データビットに先行する少なくとも1つの先行データビットのビット値との関数である電圧レベルを有することと
を備えることを特徴とする、変調器(10)。

【請求項 2】

前記プリエンファシスユニット(42)は、デジタルアナログ変換器を備える、
請求項1記載の変調器(10)。

【請求項 3】

前記プリエンファシスユニット(42)は、
前記所与データビットが前記先行データビットと同一である場合、前記所与データビットに対応する前記電圧レベルによって前記変調信号(16)を生成し、
前記所与データビットが前記先行データビットとは異なる場合に、前記電圧レベルを変えるように構成される、
請求項1記載の変調器(10)。

【請求項 4】

前記電圧レベルは、前記先行データビットが「0」であり、且つ前記所与データビットが「0」である場合、V0であり、

前記電圧レベルは、前記先行データビットが「1」であり、且つ前記所与データビットが「0」である場合、V0-δVであり、

前記電圧レベルは、前記先行データビットが「1」であり、且つ前記所与データビットが「1」である場合、 V_1 であり、

前記電圧レベルは、前記先行データビットが「0」であり、且つ前記所与データビットが「1」である場合、 $V_1 + \delta V$ であり、

V_1 と V_0 は、それぞれ基準ビット電圧レベルであり、

V_1 は、 V_0 よりも大きく、

δV は、正の電圧強化値であり、前記基準ビット電圧レベルは、前記プリアンファシスユニット（42）によって前記 δV だけ変化させられる、

請求項1記載の変調器（10）。

【請求項5】

前記変調器（10）は、連続位相周波数シフトキーイング変調器である、

請求項1記載の変調器（10）。

【請求項6】

前記直接変調シンセサイザ回路（12）は、

前記変調信号（16）を受信する電圧制御発振器（14）と；

前記入力基準信号（22）を、前記電圧制御発振器（14）に接続されたフィードバック分周器（26）が出力するローカル周波数信号（24）と比較することによって、位相検出器出力信号（20）を生成する位相検出器（18）と；

前記位相検出器出力信号（20）を受信するチャージポンプ（28）であって、前記チャージポンプ（28）は、ループフィルタ（32）に入力される信号（30）を生成し、前記ループフィルタ（32）は、前記変調信号（16）と一緒に前記電圧制御発振器（14）に入力されるフィルタリングされた信号（34）を生成することとを備える、

請求項1記載の変調器（10）。

【請求項7】

被変調信号（44）を生成するための被変調信号生成方法であって、前記被変調信号生成方法は、

直接変調シンセサイザ回路（12）によって、搬送周波数を設定するステップと；

プリアンファシスユニット（42）によって、データビット（40）を受信するステップと；

前記変調信号（16）の電圧レベルは、前記所与データビットの前記ビット値と、前記所与データビットに先行する少なくとも1つのデータビットの前記ビット値との関数であるように、前記プリアンファシスユニット（42）によって、所与のデータビットを示す所与データビットを生成するステップと；

前記変調信号（16）を前記直接変調シンセサイザ回路（12）に入力することによって、前記搬送周波数を変調するステップと；

前記直接変調シンセサイザ回路（12）から、変調された前記搬送周波数（44）を出力するステップと

を有することを特徴とする、

被変調信号を生成するための被変調信号生成方法。

【請求項8】

前記被変調信号生成方法は、

前記所与データビットが前記先行データビットと同一である場合、前記所与データビットに対応する前記電圧レベルによって前記変調信号（16）を生成し、

前記所与データビットが前記先行データビットとは異なる場合、前記電圧レベルを変えるステップを有する、

請求項7記載の被変調信号生成方法。

【請求項9】

前記電圧レベルは、前記先行データビットが「0」であり、且つ前記所与データビットが「0」である場合、 V_0 であり、

前記電圧レベルは、前記先行データビットが「1」であり、且つ前記所与データビットが「0」である場合、 $V_0 - \delta V$ であり、

前記電圧レベルは、前記先行データビットが「1」であり、且つ前記所与データビットが「1」である場合、 V_1 であり、

前記電圧レベルは、前記先行データビットが「0」であり、且つ前記所与データビットが「1」である場合、 $V_1 + \delta V$ であり、

V_1 と V_0 は、それぞれ基準ビット電圧レベルであり、

V_1 は、 V_0 よりも大きく、

δV は、正の電圧強化値であり、前記基準ビット電圧レベルは、前記プリエンファシスユニット（42）によって前記 δV だけ変化させられる、

請求項7記載の被変調信号生成方法。