

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6125068号
(P6125068)

(45) 発行日 平成29年5月10日 (2017.5.10)

(24) 登録日 平成29年4月14日 (2017.4.14)

(51) Int. Cl.

F I

G06F 3/041 (2006.01)

G06F 3/041 470

G06F 3/042 (2006.01)

G06F 3/041 412

H04N 5/369 (2011.01)

G06F 3/042 472

G09F 9/30 (2006.01)

H04N 5/335 690

H01L 27/146 (2006.01)

G09F 9/30 338

請求項の数 2 (全 15 頁) 最終頁に続く

(21) 出願番号 特願2016-63137 (P2016-63137)
 (22) 出願日 平成28年3月28日 (2016.3.28)
 (62) 分割の表示 特願2015-93938 (P2015-93938)
 の分割
 原出願日 平成23年9月2日 (2011.9.2)
 (65) 公開番号 特開2016-167276 (P2016-167276A)
 (43) 公開日 平成28年9月15日 (2016.9.15)
 審査請求日 平成28年3月29日 (2016.3.29)
 (31) 優先権主張番号 特願2010-198928 (P2010-198928)
 (32) 優先日 平成22年9月6日 (2010.9.6)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 青木 健
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 黒川 義元
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 池田 隆之
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 田村 輝
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 最終頁に続く

(54) 【発明の名称】 電子機器

(57) 【特許請求の範囲】

【請求項 1】

フォトダイオードと、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第1の配線と、第2の配線と、第3の配線と、第4の配線と、第5の配線と、第6の配線と、を有し、

前記フォトダイオードの電極の一方は、前記第1の配線と電気的に接続され、

前記フォトダイオードの電極の他方は、前記第1のトランジスタのソース又はドレインの一方と電気的に接続され、

前記第1のトランジスタのソース又はドレインの他方と、前記第2のトランジスタのゲートとの間に、前記フォトダイオードで生成された光電流による電荷を蓄積する機能を有し、

前記第2のトランジスタのソース又はドレインの一方は、前記第2の配線と電気的に接続され、

前記第2のトランジスタのソース又はドレインの他方は、前記第3のトランジスタのソース又はドレインの一方と電気的に接続され、

前記第3のトランジスタのソース又はドレインの他方は、前記第3の配線と電気的に接続され、

前記第1のトランジスタのゲートは、前記第4の配線と電気的に接続され、

前記第4の配線は、前記第1のトランジスタのオン又はオフを選択する信号を伝達する機能を有し、

10

20

前記第 3 のトランジスタのゲートは、前記第 5 の配線と電氣的に接続され、
 前記第 5 の配線は、前記第 3 のトランジスタのオン又はオフを選択する信号を伝達する機能を有し、

前記第 1 の配線は、前記第 6 の配線と交差し、

前記第 1 の配線は、前記第 6 の配線と電氣的に接続され、

前記第 6 の配線は、前記第 4 の配線と交差し、

前記第 1 のトランジスタのソース又はドレインの他方は、第 1 の導電層に電氣的に接続され、

前記第 1 の導電層と、前記第 1 の配線としての機能を有する第 2 の導電層との間、又は、前記第 1 の導電層と、前記第 4 の配線としての機能を有する第 3 の導電層との間、又は、前記第 1 の導電層と、前記第 5 の配線としての機能を有する第 4 の導電層との間、又は、前記第 1 の導電層と、前記第 6 の配線としての機能を有する第 5 の導電層との間には、
一定の電位が供給される配線としての機能を有する第 6 の導電層が設けられ、

前記第 1 のトランジスタと前記第 2 のトランジスタと前記第 3 のトランジスタとは、酸化物半導体にチャネルが形成されるトランジスタであり、

前記酸化物半導体は、I n と、Z n と、G a 又は A l 又は M n 又は C o と、を有することを特徴とする電子機器。

【請求項 2】

フォトダイオードと、第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 1 の配線と、第 2 の配線と、第 3 の配線と、第 4 の配線と、第 5 の配線と、第 6 の配線と、を有し、

前記フォトダイオードの電極の一方は、前記第 1 の配線と電氣的に接続され、

前記フォトダイオードの電極の他方は、前記第 1 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 1 のトランジスタのソース又はドレインの他方は、前記第 2 のトランジスタのゲートと電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの一方は、前記第 2 の配線と電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの他方は、前記第 3 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの他方は、前記第 3 の配線と電氣的に接続され、

前記第 1 のトランジスタのゲートは、前記第 4 の配線と電氣的に接続され、

前記第 4 の配線は、前記第 1 のトランジスタのオン又はオフを選択する信号を伝達する機能を有し、

前記第 3 のトランジスタのゲートは、前記第 5 の配線と電氣的に接続され、

前記第 5 の配線は、前記第 3 のトランジスタのオン又はオフを選択する信号を伝達する機能を有し、

前記第 1 の配線は、前記第 6 の配線と交差し、

前記第 1 の配線は、前記第 6 の配線と電氣的に接続され、

前記第 6 の配線は、前記第 4 の配線と交差し、

前記第 1 のトランジスタのソース又はドレインの他方は、第 1 の導電層に電氣的に接続され、

前記第 1 の導電層と、前記第 1 の配線としての機能を有する第 2 の導電層との間、又は、前記第 1 の導電層と、前記第 4 の配線としての機能を有する第 3 の導電層との間、又は、前記第 1 の導電層と、前記第 5 の配線としての機能を有する第 4 の導電層との間、又は、前記第 1 の導電層と、前記第 6 の配線としての機能を有する第 5 の導電層との間には、
一定の電位が供給される配線としての機能を有する第 6 の導電層が設けられ、

前記第 1 のトランジスタと前記第 2 のトランジスタと前記第 3 のトランジスタとは、酸化物半導体にチャネルが形成されるトランジスタであり、

前記酸化物半導体は、Inと、Znと、Ga又はAl又はMn又はCoと、を有することを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

フォトセンサとトランジスタで構成された回路を有する電子機器に関する。例えば、タッチパネルを利用した液晶表示パネルに代表される電気光学装置を部品として搭載した電子機器に関する。

【背景技術】

【0002】

CMOSセンサは、デジタルカメラや携帯電話を中心に搭載されており、重要な撮像機能を持つ。CMOSセンサは、MOSトランジスタの増幅機能を用いたフォトセンサであり、汎用のCMOSプロセスを用いて製造できる。また、CCDセンサに比べて駆動電圧が低いため、固体撮像装置の消費電力を低く抑えることができる。

【0003】

また、タッチセンサを搭載した表示装置が注目されている。タッチセンサを搭載した表示装置は、タッチパネル又はタッチスクリーンなどと呼ばれている（以下、これを単に「タッチパネル」とも呼ぶ）。タッチパネルは、パーソナルコンピュータや携帯電話を中心に搭載されており、表示と操作を同一パネル上で行うことができる機能を持つ。また、光方式のタッチセンサを搭載した表示装置が、特許文献1に開示されている。

【0004】

CMOSセンサは、フォトダイオードによる電荷の蓄積動作と、上記電荷の読み出し動作と上記電荷のリセット動作の3つを行う。上記3つの動作の際、フォトダイオードで生成した光電流により電荷を蓄積するノード（以下、FDと記す）と制御信号を供給する配線を用いる。この電荷の蓄積を行うFDの電位が信号線の電位の変動の影響を受けにくいレイアウトにする固体撮像装置の構成が特許文献2に開示されている。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2001-292276号公報

【特許文献2】特開2006-148513号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

上記3つの動作の際、フォトダイオードで生成した光電流により電荷を蓄積するFDと制御信号を供給する配線や、その他の信号線との間に寄生容量が存在する場合、上記信号の変化により、FDの電位が変化する。その結果、フォトセンサの出力が変化し、撮像品質が低下する。

【0007】

また、CMOSセンサを用いた表示装置では、各画素内にFDが配置されている。そのため、撮像素子の配線同様に、表示素子の信号線と、FDとの間に寄生容量が存在する場合、上記信号の変化により、FDの電位が変化する。その結果、フォトセンサの出力が変化し、撮像品質が低下する。

【0008】

フォトセンサの出力が変化し、撮像品質が低下することを防ぐ画素構成とすることを課題の一つとする。

【課題を解決するための手段】

【0009】

FDの電位の変化を抑えるため、FDと信号線との寄生容量が小さくなる、或いは、寄生容量がなくなるように、FDと撮像用信号線（PR配線や、TX配線や、SE配線）との

10

20

30

40

50

間、またはF Dと表示用信号線との間にシールド配線を配置する画素レイアウト構成とする。シールド配線としては、撮像用電源線、表示用電源線、G N D配線、またはコモン電位配線などの電位が固定された共通配線を用いる。

【 0 0 1 0 】

本明細書で開示する本発明の一態様は、隣り合う画素の2本の容量線を第1のシールド配線及び第2のシールド配線として用い、F D（ノード）と表示用信号線との間にそれぞれ配置することでF Dの電位の変化を抑える。具体的には、第1の画素電極及び第1の信号線に電氣的に接続された第1のトランジスタと、フォトダイオードに電氣的に接続された第2のトランジスタと、第2の画素電極及び第2の信号線に電氣的に接続された第3のトランジスタとを有し、第2のトランジスタは、電荷を蓄積するノードと電氣的に接続し、ノードは、第1のトランジスタと電氣的に接続された第1の信号線との間に第1のシールド配線を有し、ノードは、第3のトランジスタと電氣的に接続された第2の信号線との間に第2のシールド配線を有する画素構成を有することを特徴の一つとする電子機器である。ただし、ノードは、第1のトランジスタと電氣的に接続された信号線との間にシールド配線を有するとは、画素平面図においてノードと信号線との間にシールド配線が配置された画素レイアウトを指している。

10

【 0 0 1 1 】

上記構成は、上記課題の少なくとも一つを解決する。

【 0 0 1 2 】

また、本発明の他の一態様は、画素の容量線をシールド配線として用い、F D（ノード）と表示用信号線との間に配置し、且つ、F D（ノード）とT X配線との間に同じシールド配線を配置することでF Dの電位の変化を抑える。具体的には、画素電極及び第1の信号線に電氣的に接続された第1のトランジスタと、フォトダイオードに電氣的に接続された第2のトランジスタと、第2のトランジスタは、電荷を蓄積するノードと電氣的に接続し、ノードは、第1のトランジスタと電氣的に接続された第1の信号線との間にシールド配線を有し、ノードは、第2のトランジスタのゲートと電氣的に接続された第2の信号線との間にシールド配線を有することを特徴の一つとする電子機器である。

20

【 0 0 1 3 】

上記構成は、上記課題の少なくとも一つを解決する。

【 0 0 1 4 】

また、本発明の他の一態様は、画素の容量線をシールド配線として用い、F D（ノード）と表示用信号線との間に配置し、且つ、F D（ノード）とP R配線との間に同じシールド配線を配置することでF Dの電位の変化を抑える。具体的には、画素電極及び第1の信号線に電氣的に接続された第1のトランジスタと、フォトダイオードに電氣的に接続された第2のトランジスタと、第2のトランジスタは、電荷を蓄積するノードと電氣的に接続し、ノードは、第1のトランジスタと電氣的に接続された第1の信号線との間にシールド配線を有し、ノードは、フォトダイオードと電氣的に接続された第2の信号線との間に前記シールド配線を有することを特徴の一つとする電子機器である。

30

【 0 0 1 5 】

上記構成は、上記課題の少なくとも一つを解決する。

【 0 0 1 6 】

また、本発明の他の一態様は、画素の容量線をシールド配線として用い、F D（ノード）と表示用信号線との間に配置し、且つ、F D（ノード）とS E配線との間に同じシールド配線を配置することでF Dの電位の変化を抑える。具体的には、画素電極及び第1の信号線に電氣的に接続された第1のトランジスタと、フォトダイオードに電氣的に接続された第2のトランジスタと、電荷を蓄積するノードをゲートとする第3のトランジスタと、第3のトランジスタと電氣的に接続された第4のトランジスタとを有し、第2のトランジスタは、前記ノードと電氣的に接続し、ノードは、第1のトランジスタと電氣的に接続された前記第1の信号線との間にシールド配線を有し、ノードは、第4のトランジスタのゲートと電氣的に接続された第2の信号線との間に前記シールド配線を有することを特徴の一

40

50

つとする電子機器である。

【 0 0 1 7 】

上記構成は、上記課題の少なくとも一つを解決する。

【 発明の効果 】

【 0 0 1 8 】

ノードの電位に影響を与える恐れのある信号線との寄生容量を低減することで、フォトセンサの出力の変動を抑え、撮像品質が低下することを防止することができる。

【 図面の簡単な説明 】

【 0 0 1 9 】

【 図 1 】 本発明の一態様を示す外観図である。

10

【 図 2 】 本発明の一態様を示すブロック図である。

【 図 3 】 本発明の一態様を示す画素の等価回路図である。

【 図 4 】 本発明の一態様を示すフォトセンサの駆動回路の概略図である。

【 図 5 】 本発明の一態様を示す画素の等価回路図である。

【 図 6 】 本発明の一態様を示すタイミングチャートを示す図である。

【 図 7 】 本発明の一態様を示す画素のレイアウト図である。

【 図 8 】 本発明の一態様を示すフォトセンサに接続するトランジスタ周辺の上面図および断面図である。

【 図 9 】 本発明の一態様を示す電子機器を示す図及びブロック図である。

20

【 発明を実施するための形態 】

【 0 0 2 0 】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【 0 0 2 1 】

(実施の形態 1)

本実施の形態では、画像表示を行う表示部 1 0 3 2 を有する電子機器 1 0 3 0 の一例を図 1 (A) 及び図 1 (B) に示す。

【 0 0 2 2 】

30

電子機器 1 0 3 0 の表示部 1 0 3 2 はフォトセンサを用いるタッチ入力機能を有し、図 1 (A) に示すように表示部の領域 1 0 3 3 にキーボードのボタン 1 0 3 1 が複数表示される。表示部 1 0 3 2 は表示領域全体を指しており、表示部の領域 1 0 3 3 を含む。そして、使用者が所望のキーボードのボタンをタッチして情報を入力し、表示部 1 0 3 2 に入力された情報の表示を行う。

【 0 0 2 3 】

電子機器 1 0 3 0 を使用している様子の一例を示す。例えば、表示部の領域 1 0 3 3 に表示されているキーボードボタンを使用者の指を用いて順次触れる、または非接触で文字入力を行い、その結果表示される文章を表示部の領域 1 0 3 3 以外の領域に表示する。使用者が画面のキーボードから指をはずし、フォトセンサの出力信号の検出されない期間が一定時間経つと自動的に表示部の領域 1 0 3 3 に表示されていたキーボード表示が消され、表示部の領域 1 0 3 3 にも入力された文章の表示が行われ、画面全体で入力された文章を使用者は確認することができる。再度入力する場合には、表示部 1 0 3 2 に使用者の指を用いて順次触れる、または非接触でフォトセンサの出力信号を検出させることで再び表示部の領域 1 0 3 3 にキーボードボタンを表示し、文字入力を行うこともできる。

40

【 0 0 2 4 】

また、自動的にではなく、使用者が切り換えスイッチ 1 0 3 4 を押すことによって、図 1 (B) に示すように表示部 1 0 3 2 にキーボード表示をなくした画像表示することもできる。また、キーボード表示スイッチ 1 0 3 6 を押すことによってキーボードを表示し、タッチ入力可能な状態とすることもできる。

50

【0025】

また、切り換えスイッチ1034、電源スイッチ1035、及びキーボード表示スイッチ1036は、表示部1032にそれぞれスイッチボタンとして表示し、表示されたスイッチボタンに触れることで、各操作を行ってもよい。

【0026】

また、電子機器1030は少なくともバッテリーを有し、データ情報を保存するためのメモリ（Flash Memory回路、SRAM回路、DRAM回路など）、CPU（中央演算処理回路）やLogic回路を備えた構成とすることが好ましい。CPUやメモリを備えることにより、様々なソフトウェアのインストールが行え、パーソナルコンピュータの機能の一部または全部の機能を持たせることができる。

10

【0027】

また、電子機器1030に対して、ジャイロ스코プ、または3軸加速度センサなどの傾き検出部を設け、傾き検出部からの信号に応じて、電子機器1030で使用する機能、特に表示面での表示及び入力に係る機能を、演算回路により切り替えることができる。そのため、備え付けの操作キーのように入力キーの種類、大きさ、または配置が予め定まったものとは異なり、使用者の利便性を向上させることができる。

【0028】

次に表示部1032を構成する表示パネルの一例について、図2を参照して説明する。表示パネル100は、画素回路101、表示素子制御回路、及びフォトセンサ制御回路を有する。画素回路101は、行列方向にマトリクス状に配置された複数の画素103、104、113、114、及びフォトセンサ106を有する。画素103、104、113、114は、1つの表示素子をそれぞれ有する。本実施の形態では、画素103と画素104の間、且つ、画素113と画素114の間に1つのフォトセンサ106を配置する。即ち、4つの画素に一つのフォトセンサを配置する画素レイアウト構造とする。

20

【0029】

画素103、104、113、114は、トランジスタ、保持容量、及び液晶層を有する液晶素子などを有する。トランジスタは、画素電極105、115、125、135と電気的に接続する。トランジスタは、保持容量への電荷の注入もしくは保持容量からの電荷の排出を制御する機能を有する。保持容量は、液晶層に印加する電圧に相当する電荷を保持する機能を有する。液晶層に電圧を印加することで偏光方向が変化することを利用して、液晶層を透過する光の明暗（階調）を作ることによって、画像表示が実現される。液晶層を透過する光には、外光（太陽光または照明光）を利用して液晶表示装置の外から照射される光を用いる。液晶層としては、特に限定されず、公知の液晶材料（代表的には、ネマチック液晶材料やコレステリック液晶材料）を用いれば良い。例えば、高分子分散型液晶（PDLC（Polymer Dispersed Liquid Crystal）、高分子分散液晶、ポリマー分散型液晶ともいう）又は高分子ネットワーク型液晶（PNLC（Polymer Network Liquid Crystal））を液晶層に用いて、液晶による光の散乱光を利用して白表示（明表示）を行ってもよい。

30

【0030】

また、表示素子制御回路は、画素103、104、113、114を制御するための回路であり、ビデオデータ信号線などの信号線（「ソース信号線」ともいう。）からトランジスタを介して画素電極105、115、125、135に信号を入力する表示素子駆動回路107と、走査線（「ゲート信号線」ともいう。）を介して各画素に配置されたトランジスタのゲート電極に信号を入力する表示素子駆動回路108を有する。

40

【0031】

例えば、走査線に接続された表示素子駆動回路108は、特定の行に配置された画素が有する表示素子を選択する機能を有する。また、信号線に接続された表示素子駆動回路107は、選択された行の画素が有する表示素子に任意の電位を与える機能を有する。なお、走査線に接続された表示素子駆動回路108により高電位を印加された表示素子では、トランジスタが導通状態となり、信号線に接続された表示素子駆動回路107により与えら

50

れる電荷が供給される。

【 0 0 3 2 】

また、フォトセンサ 1 0 6 は、フォトダイオードなど、受光することで電気信号を発する機能を有する受光素子と、トランジスタとを有する。

【 0 0 3 3 】

フォトセンサ制御回路は、フォトセンサ 1 0 6 を制御するための回路であり、フォトセンサ出力信号線、フォトセンサ基準信号線等の信号線に接続されたフォトセンサ読み出し回路 1 0 9 と、走査線に接続されたフォトセンサ駆動回路 1 1 0 を有する。走査線に接続されたフォトセンサ駆動回路 1 1 0 は、特定の行に配置された画素が有するフォトセンサ 1 0 6 に対して、後述するリセット動作と選択動作とを行う機能を有する。また、信号線に接続されたフォトセンサ読み出し回路 1 0 9 は、選択された行の画素が有するフォトセンサ 1 0 6 の出力信号を取り出す機能を有する。

10

【 0 0 3 4 】

本実施の形態では、画素 1 0 3 と、フォトセンサ 1 0 6 の回路図について、図 3 を用いて説明する。

【 0 0 3 5 】

画素 3 0 1 は、トランジスタ 3 3 0、保持容量 3 3 1 及び液晶素子 3 3 2 を有する。また、フォトセンサ 3 0 2 は、フォトダイオード 3 5 1、トランジスタ 3 5 2、トランジスタ 3 5 3、及びトランジスタ 3 5 4 を有する。

【 0 0 3 6 】

トランジスタ 3 3 0 は、ゲートがゲート信号線 3 1 0 に、ソース又はドレインの一方がビデオデータ信号線 3 1 1 に、ソース又はドレインの他方が保持容量 3 3 1 の一方の電極と液晶素子 3 3 2 の一方の電極に電氣的に接続されている。保持容量 3 3 1 の他方の電極は、容量配線 3 1 2 に電氣的に接続され、一定の電位に保たれている。また、液晶素子 3 3 2 の他方の電極は一定の電位に保たれている。液晶素子 3 3 2 は、一对の電極と、該一对の電極の間の液晶層を含む素子である。

20

【 0 0 3 7 】

トランジスタ 3 3 0 は、ゲート信号線 3 1 0 に " H " が印加されると、ビデオデータ信号線 3 1 1 の電位を保持容量 3 3 1 と液晶素子 3 3 2 に印加する。保持容量 3 3 1 は、印加された電位を保持する。液晶素子 3 3 2 は、印加された電位により、光の透過率を変更する。

30

【 0 0 3 8 】

フォトダイオード 3 5 1 は、一方の電極がフォトダイオードリセット信号線 3 4 1 (P R 配線とも呼ぶ) に、他方の電極がトランジスタ 3 5 2 のソース又はドレインの一方に電氣的に接続されている。また、トランジスタ 3 5 2 のソース又はドレインの他方が F D (ノード) である。

【 0 0 3 9 】

トランジスタ 3 5 2 は、F D (ノード) の電圧の制御及び、電圧を保持する役割を持ち、ゲートはフォトセンサ電荷転送用信号線 3 4 2 (T X 配線とも呼ぶ) に接続される。上記信号線 3 4 2 は、上記トランジスタ 3 5 2 のスイッチングを制御する役割を担う。

40

【 0 0 4 0 】

また、トランジスタ 3 5 4 は、ゲートが F D (ノード) であり、ソース又はドレインの一方に電源配線 3 4 4 が電氣的に接続されている。また、トランジスタ 3 5 4 のソース又はドレインの一方にトランジスタ 3 5 3 のソース又はドレインの一方が電氣的に接続されている。

【 0 0 4 1 】

トランジスタ 3 5 3 のゲートはフォトセンサ基準信号線 3 4 5 (S E 配線) に電氣的に接続されている。また、トランジスタ 3 5 3 のソース又はドレインの他方は、フォトセンサ出力信号線 3 4 3 (O U T 配線とも呼ぶ) に電氣的に接続されている。

【 0 0 4 2 】

50

次に、フォトセンサ読み出し回路 109 の構成の一例について、図 4 を用いて説明する。一例として、表示部は、1024 行 768 列の画素で構成され、表示素子は各行各列の画素に 1 個、フォトセンサは 2 行 2 列の画素に 1 個、を有する構成とする。すなわち、表示素子は 1024 行 768 列、フォトセンサは 512 行 384 列で構成される。また、フォトセンサ出力信号線は 2 列を 1 組として表示装置外部に出力する例を示す。すなわち、2 行 4 列の画素 8 個に挟まれるフォトセンサ計 2 個から出力を 1 個取得する。

【0043】

図 3 は、画素の回路構成で、2 行 2 列分の 4 つの画素と、1 つのフォトセンサを示している。表示素子を 1 画素に 1 個、フォトセンサを 4 画素に 1 個、有する。図 4 は、フォトセンサ読み出し回路 109 の回路構成で、説明のため、一部のフォトセンサも示している。なお、図 3 に示すトランジスタにはチャネル形成領域に酸化物半導体を含むトランジスタを用いることができる。

10

【0044】

図 4 に示すように、フォトセンサの走査線駆動回路は、同時に画素 4 行分（すなわちフォトセンサ 2 行分）を駆動し、選択行を画素 2 行分に相当するフォトセンサ 1 行分ずつシフトさせていく駆動方法を行う例を考える。ここで、各行のフォトセンサは、走査線駆動回路が選択行のシフトを 2 回行う期間、連続して選択されることになる。このような駆動方法を用いることで、フォトセンサによる撮像のフレーム周波数を向上させることが容易になる。特に、大型の表示装置の場合に有利である。なお、フォトセンサの出力信号線 343 には、同時に 2 行分のフォトセンサの出力が重畳されることになる。また、選択行のシフトを 512 回繰り返すことで、全フォトセンサを駆動することができる。

20

【0045】

フォトセンサ読み出し回路 109 は、図 4 に示すように、画素 24 列に 1 個ずつセレクタを有する。セレクタは、表示部におけるフォトセンサの出力信号線 343 について 2 列分を 1 組とする 12 組から 1 組を選択して出力を取得する。すなわち、フォトセンサ読み出し回路 109 全体で、セレクタを 32 個有し、同時に 32 個の出力を取得する。各々のセレクタによる選択を 12 組全てに対して行うことで、フォトセンサ 1 行分に相当する合計 384 個の出力を取得することができる。セレクタによる 12 組の選択を、フォトセンサの走査線駆動回路が選択行をシフトさせる都度行うことで、全フォトセンサの出力を得ることができる。

30

【0046】

本実施の形態では、図 4 に示すように、信号線に接続されたフォトセンサ読み出し回路 109 は、アナログ信号であるフォトセンサの出力を表示装置外部に取り出し、表示装置外部に設けたアンプを用いて増幅した後に A/D 変換器を用いてデジタル信号に変換する構成を考える。勿論、表示装置と同一基板上に A/D 変換器を搭載し、フォトセンサの出力をデジタル信号に変換した後、表示装置外部に取り出す構成とすることも可能である。

【0047】

図 6 のタイミングチャートを用いて、図 3 のフォトセンサ回路の駆動方法について説明する。

【0048】

40

図 6 では簡易に説明するため、TX910、PR911、SE912 は、二値変化する信号として与え、以下、TX910 は、高電位を "High-TX"、低電位側を "Low-TX"、PR911 は、高電位を "High-PR"、低電位側を "Low-PR"、SE912 は、高電位を "High-SE"、低電位側を "Low-SE"、と表現する。ただし、各電位は実際にはアナログ信号であるため、各電位は状況に応じて二値に限らず種々の値を取り得る。

【0049】

まず時刻 901 に TX910 を "High-TX" にする。次に時刻 902 に PR911 を "High-PR" にすると、FD の電位 913 は PR911 と同じ "High-PR" になる。以上をリセット動作と呼ぶ。

50

【 0 0 5 0 】

時刻 9 0 3 に P R 9 1 1 を " L o w - P R " にすると、F D の電位 9 1 3 は " H i g h - P R " を保持し、p i n フォトダイオードに逆バイアスがかかる状態になる（蓄積動作開始）。このとき、p i n フォトダイオードの i 層に光が入射することで逆電流が流れるため、光の量に応じて F D に蓄積される電荷量が変化する。

【 0 0 5 1 】

時刻 9 0 4 に T X 9 1 0 を " L o w - T X " にすると、F D から p i n フォトダイオードへの電荷の移動が止まり、F D に蓄積される電荷量が決定する（蓄積動作終了）。

【 0 0 5 2 】

時刻 9 0 5 に S E 9 1 2 を " H i g h - S E " にすると、F D の電位 9 1 3 に応じて電源配線から O U T 配線へと電荷が供給される（読出動作開始）。

10

【 0 0 5 3 】

時刻 9 0 6 に S E 9 1 2 を " L o w - S E " にすると、電源配線から O U T 配線への電荷供給が停止され、O U T 9 1 4 が決定する（読出動作終了）。O U T 9 1 4 を用いることで撮像画像を生成することができる。

【 0 0 5 4 】

以降は、時刻 9 0 1 の動作に戻り、同じ動作を繰り返す。

【 0 0 5 5 】

本実施の形態においては、全フォトセンサのリセット動作、蓄積動作、及び読み出し動作を実行することで、外光の局所的陰影を検出することができる。また、検出した陰影について適宜画像処理など行うことにより、指やペンなどが表示装置に接触した位置を知ることができる。あらかじめ、接触した位置に対応する操作、例えば文字入力であれば文字の種類を規定しておくことで、所望の文字の入力を行うことができる。

20

【 0 0 5 6 】

なお、本実施の形態における表示装置では、フォトセンサにより外光の局所的陰影を検出する。そのため、指やペンなどが表示装置に物理的に接触しなくても、非接触で近接することにより陰影が形成されれば検出が可能である。以下、指やペンなどが表示装置に接触するとは、非接触で近接することも含むものとする。

【 0 0 5 7 】

上記構成により、表示部 1 0 3 2 にタッチ入力機能を持たせることができる。

30

【 0 0 5 8 】

（実施の形態 2 ）

本実施の形態では、図 3 と一部異なる回路配置を図 5 とし、画素レイアウトの一例を図 7 に示す。

【 0 0 5 9 】

画素回路は表示回路 3 5 0 1 及びセンサ回路 3 5 0 2 で構成されている。

【 0 0 6 0 】

表示回路は、トランジスタ 3 5 3 0、液晶素子 3 5 3 2 および容量 3 5 3 1 で構成される。トランジスタ 3 5 3 0 のゲートは、信号線 3 5 1 0 に接続され、ソースまたは、ドレインの一方が信号線 3 5 1 1 に接続され、他方は、容量 3 5 3 1 の一方の電極及び、液晶素子 3 5 3 2 の一方の電極に接続される。容量 3 5 3 1 の他方の電極は、信号線 3 5 1 2 に接続される。液晶素子 3 5 3 2 の他方の電極は、共通電極に対応する。

40

【 0 0 6 1 】

また、センサ回路は、p i n フォトダイオード 3 5 5 1、F E T - T 3 5 5 2、F E T - A M P 3 5 5 4、F E T - S 3 5 5 3 で構成される。F E T - T 3 5 5 2 のゲートは T X 配線 3 5 4 2、及び 3 5 4 7 の 2 本に接続され、ソースまたは、ドレインの一方が p i n フォトダイオード 3 5 5 1 のカソードに接続され、他方が F E T - A M P 3 5 5 4 のゲートに接続される。

【 0 0 6 2 】

F E T - A M P 3 5 5 4 のソースは電源配線 3 5 4 4 に接続され、ドレインは F E T - S

50

3553のソースに接続される。FET-S3553のゲートはSE配線3545に接続され、ソースはOUT配線3543に接続される。pinフォトダイオード3551のアノードはPR配線3541及び3546に接続される。なお、図5に示すトランジスタにはチャンネル形成領域に酸化物半導体を含むトランジスタを用いることができる。

【0063】

図7は、図5の回路図に対応する画素レイアウトの平面図の一例である。

【0064】

画素レイアウトには、4つの表示回路のレイアウト3610a、3610b、3610c、3610dとセンサ回路のレイアウト3620が1つから構成される。表示回路のレイアウト3610a、3610b、3610c、3610dは、それぞれ選択FET3603、Cs線3601、ビデオデータ配線3602、選択配線3600、COM配線3604から構成される。

10

【0065】

また、センサ回路のレイアウト3620は、pinフォトダイオード3630、半導体層3637を有するFET-T、半導体層3638を有するFET-AMP、半導体層3636を有するFET-T、FD3641、垂直TX配線3632、水平TX配線3640、垂直PR配線3631、水平PR配線3639、SE配線3635、OUT配線3633、VDD配線3634で構成される。半導体層3636、3637、3638の材料は特に限定されないが、多結晶半導体膜（ポリシリコン膜など）や、微結晶半導体膜や、化学式 $InMO_3$ (ZnO)_m ($m>0$) で表記される酸化物半導体膜を用いることができる。ここで、Mは、Ga、Al、MnおよびCoから選ばれた一または複数の金属元素を示す。例えばMとして、Ga、Ga及びAl、Ga及びMn、またはGa及びCoなどがある。また、上記酸化物半導体膜にSiO₂を含んでもよい。

20

【0066】

画素レイアウトの各層は、半導体層3636、3637、3638、ゲート配線層3651、SD配線層3652、Si層3653、ITO電極層3654から形成される。また、垂直TX配線3632、垂直PR配線3631はSD配線層3652を、水平TX配線3640、水平PR配線3639はゲート配線層3651を利用して形成している。また、水平配線と垂直配線はコンタクトを取ることで、メッシュ状のレイアウトを形成している。

30

【0067】

画素レイアウトは、FD3641と、ビデオデータ線3602や隣接画素の信号線との間に、シールド配線として機能するCs線3601が存在する。そのため、FD3641と上記複数の信号線との間に形成する寄生容量が低減し、または、上記信号線の電圧変化に伴った周辺電位の変化をブロックし、FDの電位変化を抑える。

【0068】

また、画素レイアウトの特徴の一つは、FD3641が、FD3641が設けられている画素及び隣接画素に配置されているPR配線、SE配線及び、OUT配線とは十分な距離を設けて配置されていることである。したがって、FD3641の電位変化を抑制し、フォトセンサの出力信号にノイズが少ない撮像機能を有する表示装置を提供することができる。

40

【0069】

また、図7の一部拡大図を図8(A)に示し、その断面構造の一例を図8(B)に示す。

【0070】

なお、図8(A)及び図8(B)において、図7と共通の部分には同じ符号を用いる。

【0071】

図8(B)において、基板500上にフォトダイオードと電氣的に接続するトランジスタのゲート配線層3651と、水平PR配線3639が同一材料、同一工程で形成される。また、ゲート配線層3651と、水平PR配線3639を覆うゲート絶縁層502が形成され、ゲート絶縁層502上に、ゲート配線層3651と重なる位置に半導体層3637

50

が形成される。

【0072】

また、半導体層3637に一部重なるSD配線3652が形成され、SD配線3652を覆う第1の層間絶縁層505が形成されている。また、pinフォトダイオード3630は、p型の不純物元素を含有するシリコン層3653pと、i型のアモルファスシリコン層3653iと、n型の不純物元素を含有するシリコン層3653nとを積層して光電変換層を形成する。

【0073】

また、pinフォトダイオード3630及び第1の層間絶縁層505を覆う第2の層間絶縁層509が形成され、第2の層間絶縁層509上に透明導電膜からなるITO電極3654が形成される。ITO電極3654は、半導体層3637を有するトランジスタのSD配線3652と、pinフォトダイオード3630とを接続する接続電極として機能する。なお、表示領域において、画素電極は、ITO電極3654と同一材料、同一工程で形成される。

10

【0074】

なお、図8(B)において、pinフォトダイオード3630と電氣的に接続するトランジスタは、ボトムゲート型のトランジスタの例を示したが特に限定されず、他のボトムゲート構造や、トップゲート構造であってもよい。

【0075】

(実施の形態3)

20

本実施の形態においては、上記実施の形態で説明したタッチ入力機能を有する表示部(タッチパネル)を具備する電子機器の例について説明する。

【0076】

図9(A)は情報端末であり、筐体9630、表示部9631、操作キー9632、太陽電池9633、充放電制御回路9634を有することができる。太陽電池9633と、タッチパネルとを開閉自在に装着しており、太陽電池からの電力をタッチパネル、または映像信号処理部に供給する情報端末である。図9(A)に示した情報端末は、様々な情報(静止画、動画、テキスト画像など)を表示する機能、カレンダー、日付又は時刻などを表示部に表示する機能、表示部に表示した情報をタッチ入力操作又は編集するタッチ入力機能、様々なソフトウェア(プログラム)によって処理を制御する機能、等を有することができる。なお、図9(A)では充放電制御回路9634の一例としてバッテリー9635、DCDCコンバータ(以下、コンバータ9636と略記)を有する情報端末の構成について示している。

30

【0077】

なお太陽電池9633は、筐体9630の表面及び裏面に効率的なバッテリー9635の充電を行う構成とすることができるため好適である。なおバッテリー9635としては、リチウムイオン電池を用いると、小型化を図れる等の利点がある。

【0078】

また図9(A)に示す充放電制御回路9634の構成、及び動作について図9(B)にブロック図を示し説明する。図9(B)には、太陽電池9633、バッテリー9635、コンバータ9636、コンバータ9637、スイッチSW1乃至SW3、表示部9631について示しており、バッテリー9635、コンバータ9636、コンバータ9637、スイッチSW1乃至SW3が充放電制御回路9634に対応する箇所となる。

40

【0079】

まず外光により太陽電池9633により発電がされる場合の動作の例について説明する。太陽電池で発電した電力は、バッテリー9635を充電するための電圧となるようコンバータ9636で昇圧または降圧がなされる。そして、表示部9631の動作に太陽電池9633からの電力が用いられる際にはスイッチSW1をオンにし、コンバータ9637で表示部9631に必要な電圧に昇圧または降圧をすることとなる。また、表示部9631での表示を行わない際には、SW1をオフにし、SW2をオンにしてバッテリー9635

50

の充電を行う構成とすればよい。

【 0 0 8 0 】

なお太陽電池 9 6 3 3 については、充電手段の一例として示したが、他の手段によるバッテリー 9 6 3 5 の充電を行う構成であってもよい。また他の充電手段を組み合わせる構成としてもよい。

【 0 0 8 1 】

また、上記実施の形態で説明したタッチ入力機能を有する表示部（タッチパネル）を具備していれば、図 9 に示した電子機器に特に限定されないことは言うまでもない。

【 0 0 8 2 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせる実施することが可能である。 10

【符号の説明】

【 0 0 8 3 】

1 0 0 : 表示パネル

1 0 1 : 画素回路

1 0 3 : 画素

1 0 4 : 画素

1 0 5 : 画素電極

1 0 6 : フォトセンサ

1 0 7 : 信号線に接続された表示素子駆動回路 20

1 0 8 : 走査線に接続された表示素子駆動回路

1 0 9 : フォトセンサ読み出し回路

1 1 0 : フォトセンサ駆動回路

1 1 3 : 画素

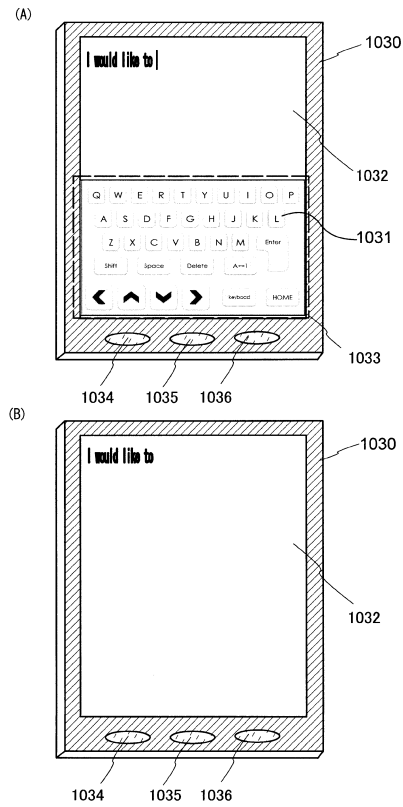
1 1 4 : 画素

1 1 5 : 画素電極

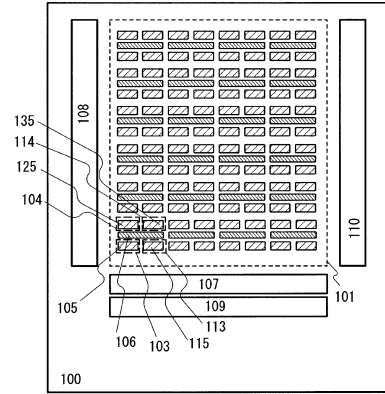
1 2 5 : 画素電極

1 3 5 : 画素電極

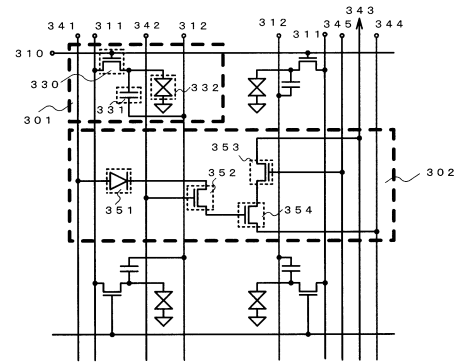
【図 1】



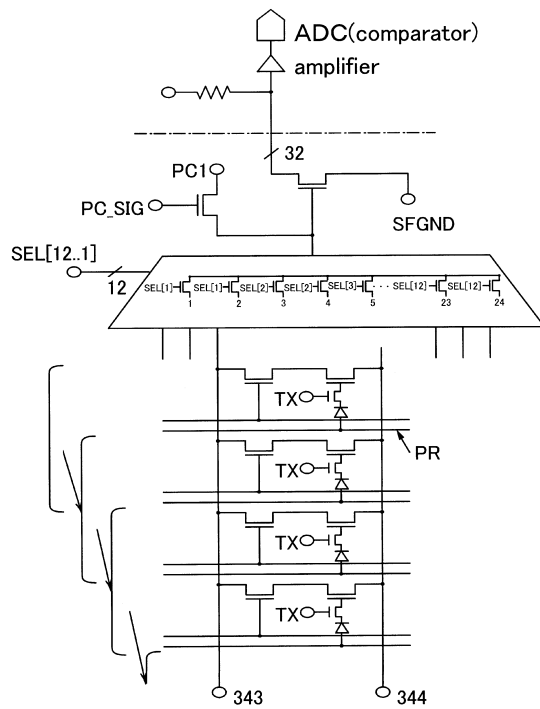
【図 2】



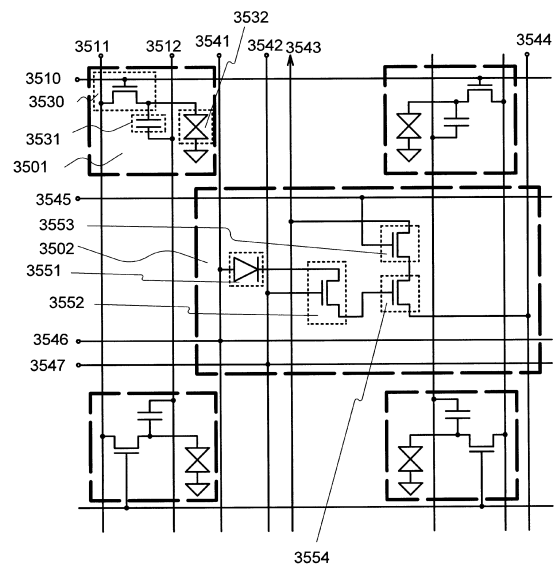
【図 3】



【図 4】



【図 5】



フロントページの続き

(51)Int.Cl. F I
G 0 9 F 9/30 3 4 9 Z
H 0 1 L 27/14 C

審査官 若林 治男

(56)参考文献 特開 2 0 0 5 - 2 2 8 9 5 6 (J P , A)
特開 2 0 0 6 - 1 4 8 5 1 3 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 6 F 3 / 0 4 1
G 0 6 F 3 / 0 4 2
G 0 9 F 9 / 3 0
H 0 1 L 2 7 / 1 4 6
H 0 4 N 5 / 3 6 9