

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-111401  
(P2009-111401A)

(43) 公開日 平成21年5月21日(2009.5.21)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 23/50 (2006.01)	HO 1 L 23/50 W	5 F 0 6 7
HO 1 L 25/065 (2006.01)	HO 1 L 25/08 Z	
HO 1 L 25/07 (2006.01)		
HO 1 L 25/18 (2006.01)		

審査請求 有 請求項の数 10 O L (全 11 頁)

(21) 出願番号 特願2008-309881 (P2008-309881)  
 (22) 出願日 平成20年12月4日 (2008.12.4)  
 (62) 分割の表示 特願2002-375599 (P2002-375599) の分割  
 原出願日 平成14年12月25日 (2002.12.25)  
 (31) 優先権主張番号 2001-085924  
 (32) 優先日 平成13年12月27日 (2001.12.27)  
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839  
 三星電子株式会社  
 SAMSUNG ELECTRONICS CO., LTD.  
 大韓民国京畿道水原市靈通区梅灘洞416  
 416, Maetan-dong, Yeongtong-gu, Suwon-si, Gyeonggi-do 442-742 (KR)  
 (74) 代理人 100064908  
 弁理士 志賀 正武  
 (74) 代理人 100089037  
 弁理士 渡邊 隆  
 (74) 代理人 100108453  
 弁理士 村山 靖彦

最終頁に続く

(54) 【発明の名称】 積層半導体チップパッケージ

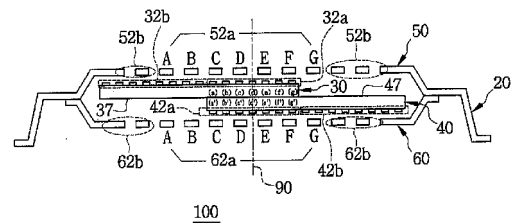
(57) 【要約】 (修正有)

【課題】 PCBやテープを使用せずリードフレームのみを使用することにより、多ビットメモリの容量を増やす手段を提供する。

【解決手段】 積層パッケージ100は、リードフレーム、第1積層チップ30、及び第2積層チップ40を有する。リードフレームは、第1、第2チップ30、40にそれぞれ対応する第1、第2リード群50、60を有し、第1、第2チップ30、40を外部素子と電氣的に連結するための複数の外部接続端子20を有する。第1、第2チップ30、40は、それぞれの共通電極パッド32a、42a及び独立電極パッド32b、42bを有し、第1、第2リード群50、60は、それぞれの共通リード及び独立リードを有する。

【選択図】 図3

FIG. 3



**【特許請求の範囲】****【請求項 1】**

第 1 半導体チップと、  
前記第 1 半導体チップの裏面と対向する裏面を有する第 2 半導体チップと、  
前記第 1 半導体チップ及び前記第 2 半導体チップを外部と連結するために、外部接続端子と電氣的に接続するリードフレームとを備える積層半導体チップパッケージであって、  
前記リードフレームは、前記第 1 半導体チップに対応する第 1 リード群及び前記第 2 半導体チップに対応する第 2 リード群を有し、  
前記第 1 半導体チップと前記第 2 半導体チップは、それぞれの共通電極パッド及び独立電極パッドを有し、  
前記第 1 リード群と前記第 2 リード群は、それぞれの共通リード及び独立リードを有し、

10

前記共通リードと前記共通電極パッドは、アドレス信号及び制御信号を伝達し、  
前記独立リードと前記独立電極パッドは、データ信号を伝達し、  
前記第 1 リード群のうち少なくとも 1 つの共通リードと前記第 2 リード群のうち少なくとも 1 つの共通リードは、複数の外部接続端子の共通端子を介して共有信号を伝達するために連結され、  
前記第 1 リード群の独立リードと前記第 2 リード群の独立リードは、前記外部接続端子のそれぞれの端子を介して個別信号を伝達し、  
前記第 1 半導体チップと前記第 2 半導体チップは、それぞれの前記共通電極パッドが重畳されて位置するように互いにずらして配置されていることを特徴とする積層半導体チップパッケージ。

20

**【請求項 2】**

前記第 1 半導体チップの裏面は、前記第 2 半導体チップの裏面に貼付けられ、前記第 1、2 半導体チップは、電極パッドが外側に向く活性面を有することを特徴とする請求項 1 に記載の積層半導体チップパッケージ。

**【請求項 3】**

前記第 1 リード群は、前記第 1 半導体チップの活性面上に位置されて貼付けられ、前記第 2 リード群は、前記第 2 半導体チップの活性面上に位置されて貼付けられることを特徴とする請求項 1 に記載の積層半導体チップパッケージ。

30

**【請求項 4】**

前記第 1 半導体チップと前記第 2 半導体チップはそれぞれの活性面を有し、電極パッドは前記活性面の中央部に配置されていることを特徴とする請求項 1 または 3 に記載の積層半導体チップパッケージ。

**【請求項 5】**

前記第 1、第 2 リード群とそれぞれの前記第 1、第 2 半導体チップとを電氣的に連結する金属ワイヤーを有することを特徴とする請求項 1 に記載の積層半導体チップパッケージ。

**【請求項 6】**

前記第 1、第 2 リード群とそれぞれの前記第 1、第 2 半導体チップとを電氣的に連結する金属バンプを有することを特徴とする請求項 1 に記載の積層半導体チップパッケージ。

40

**【請求項 7】**

前記第 1 リード群は、前記第 2 リード群の独立リードに対応する構造のダミーリードを有し、前記ダミーリードは、前記第 2 リード群の独立リードに対応する位置に配置されることを特徴とする請求項 1 に記載の積層半導体チップパッケージ。

**【請求項 8】**

前記第 2 リード群は、前記第 1 リード群の独立リードに対応する構造のダミーリードを有し、前記ダミーリードは、前記第 1 リード群の独立リードに対応する位置に配置されることを特徴とする請求項 1 または 7 に記載の積層半導体チップパッケージ。

**【請求項 9】**

50

前記第 1、第 2 半導体チップは、X 1 6 メモリ素子を有し、前記パッケージは、X 3 2 素子を形成することを特徴とする請求項 1 に記載の積層半導体チップパッケージ。

【請求項 1 0】

前記第 1、第 2 リード群の少なくとも一部の共通リードは、前記第 1、第 2 半導体チップに電源信号を伝達することを特徴とする請求項 1 に記載の積層半導体チップパッケージ。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、半導体チップパッケージ技術に関するもので、より詳しくは複数の I/O ピンを有する積層チップパッケージ及びこれに適したリードフレームに関するものである。

10

【背景技術】

【0 0 0 2】

半導体集積回路 (IC) チップは、回路基板上に実装するためにパッケージ素子として組み立てられる。従来、パッケージ素子は、回路基板にチップを電氣的に接続し、物理的に接合するために媒介体を用いた。このために、一般に、媒介体としてリードフレームが用いられた。

【0 0 0 3】

半導体パッケージ素子のチップ実装密度を高めるために、リードフレームの両面に半導体 IC チップを実装しても良い。従来の半導体パッケージは、ダイパッド及び多数の導電性リードを有するリードフレームを使用した。半導体 IC チップは、接着剤によってダイパッドに物理的に接合され、金属ボンディングワイヤーによって導電性リードに電氣的に連結される。IC チップとボンディングワイヤーは、エポキシ樹脂で封止されて成形されることにより、パッケージ本体を形成し、チップを外部から保護する。リードの外側、すなわちパッケージ成形体から突出した外部リードは、折曲されて回路基板に実装されるようになっている。

20

【0 0 0 4】

チップ積層技術の発展は、DRAM のようなメモリ製品の実装密度を高めるために、2 つの中央パッド型 LOC (Lead-On-Chip) リードフレームを使用するのに至った。この技術を適用したパッケージは、DDP (Dual Die Package) の一種で、リードフレームを使用するため多層配線構造を使用することができない。従って、テープや PCB (Printed Circuit Board) を使用するパッケージより、多くの入出力端を必要とする。また、多ビット (high bit) 構造を具現するのに設計上多くの制約がある。

30

【0 0 0 5】

このような問題点を解決するために、一部のメーカは、従来のパッケージ構造を修正し、PCB やテープ型の導電性配線パターンをリードフレームに貼付けることもある。しかしながら、かかる修正された構造は、リードフレーム製作の難しさ、コスト上昇及び他の技術的な制約のため、産業上広く受け入れられることができなかった。

【0 0 0 6】

例えば、メモリ容量が 2 M X 3 2、4 M X 3 2 SRAMs のような X 3 2 ビット構成の製品は、X 3 2 チップを設計することにより、TSOP (8 6 ピン I/O) または FBGA 技術に適用して生産している。一部の半導体メーカは、PCB やテープに、2 つの X 1 6 ビットチップ及び基板ルーティング技術を用いることにより、X 3 2 MCP パッケージを生産している。しかしながら、2 つの X 1 6 チップをリードフレームに適用して多ビット構成 (例えば、X 3 2) を生産したメーカはまだいないのが実情である。

40

【発明の開示】

【発明が解決しようとする課題】

【0 0 0 7】

本発明の好ましい実施形態は、別度の PCB やテープを使用せずリードフレームのみを使用することにより、多ビットメモリの容量を増やすことができる。

50

また、好ましい実施形態は、従来の手段を利用して高容量及び多ビット構造の積層パッケージの形成方法を提供することができ、新たな設備投資の要求を避けることができる。

【課題を解決するための手段】

【0008】

本発明の一実施形態によれば、積層半導体チップパッケージは、第1、第2積層チップと連結されたリードフレームを有する。リードフレームは、第1、第2半導体チップをそれぞれ外部接続端子に連結するために、第1、第2リード群を有する。第1、第2チップは、各々の共通電極パッド及び独立電極パッドを有する。同様に、第1、第2リード群は、各々の共通リード及び独立リードを有する。共通リードと共通電極パッドは、アドレス信号及び制御信号と結合される。一方、独立リードと独立電極パッドは、データ信号と結合される。第1リード群の共通リードは、上記のように結合されたアドレス信号及び制御信号の伝播のために、それぞれ第2リード群の共通リードと連結される。連結されたリードは、アドレス信号及び制御信号を伝達するために、それぞれ外部接続端子のいずれかを介して結合される。第1リード群の独立リードと第2リード群の独立リードは、複数の外部接続端子のうち異なる端子に、独立的に連結される。第1、第2半導体チップは、背中合わせになって共通リードに対称構造に配置されている。

10

【0009】

本発明の特に好ましい実施形態において、2つのメモリ素子は、2つのLOC型リードフレームにより具体化される。この積層パッケージは、メモリ容量及びビット構成を増やすことができる。例えば、2つのX16メモリチップを積層し、X32パッケージ素子を提供することができる。各々の半導体チップは、互いにミラー型構造の共通電極パッドを有する。パッケージ素子に含まれる上、下部半導体チップの一部の電極パッドは、パッケージ内で同じ順序に配列される。一実施形態において、電極パッドのミラー型配列は、上部チップに対して下部チップの電極パッドの製造時、金属オプション(metal option)を用いることにより行なう。他の実施形態において、ワイヤーボンディングオプションは、上、下部チップに適用する電極パッドの配列を形成するのに用いられる。さらに他の実施形態によれば、積層体内の複数の半導体チップは、同一機能を有する。他の実施形態において、チップは異なる機能を有しても良い。

20

【0010】

本発明の他の実施形態によれば、積層半導体チップパッケージは、複数の積層された半導体チップ及びリードフレームを有する。リードフレームは、複数のチップにそれぞれ対応する複数のリード群を有する。複数の外部接続端子は、半導体チップを外部と電気的に連結する。特に実施形態において、半導体チップは、チップの活性面の中央部に電極パッドが配置された中央パッド型チップである。電極パッドは、共通電極パッド及び独立電極パッドを有する。リード群は、それぞれの半導体チップの活性面上に配置され、活性面に貼付けられる。各々のリード群は、共通リード及び独立リードを有する。共通リードと共通電極パッドは、第1、第2半導体チップに対してアドレス信号及び制御信号を伝達するためのものである。独立リードと独立電極パッドは、第1、第2半導体チップに対して入出力データを伝達するためのものである。複数のリード群のそれぞれの共通リードは、互いに連結され、複数の外部接続端子のうち同一外部接続端子に結合される。第1、第2半導体チップは、背中合わせになって、共通リードに対して対称構造に配置されている。

30

40

【0011】

本発明の好ましい実施形態によれば、従来リードフレーム技術を用いて多ビットICを形成することができる。

【発明を実施するための最良の形態】

【0012】

以下、図面を参照して本発明の実施形態について説明する。

図1は、本発明の一実施形態による積層半導体チップパッケージの平面図で、図2及び図3は、それぞれ図1の線2-2、線3-3に沿って切断した断面図である。この実施形態において、積層パッケージ100は、パッケージ本体10から突出した86個の外部リー

50

ド 20 を有する 86 - ピンパッケージを有する。外部リード 20 は、パッケージ本体 10 内の半導体 IC チップを外部回路 (図示せず) と電氣的に連結するためのものである。パッケージ本体 10 は、例えば、EMC (Epoxy Molding Compound) のプラスチック成形体から構成される。外部リード 20 は、例えば、鉄-合金または銅-合金から成る。このリードは、積層パッケージ 100 を外部素子、例えば回路基板に実装するのに適した形状 (gull-wing shape) に折曲されている。

#### 【0013】

図 2 に示したように、積層パッケージ 100 は、第 1 半導体チップ 30 及び第 2 半導体チップ 40 を有する。第 1 半導体チップ 30 は、積層体の上側に配置されているので「上部半導体チップ」という。一方、第 2 半導体チップ 40 は、積層体の下側に配置されているので「下部半導体チップ」という。一実施形態において、上、下部半導体チップは、同一機能及び構造を有しても良い。他の実施形態において、上、下部半導体チップは、異なる機能を有しても良い。上、下部半導体チップが互いに異なる機能を有する場合であっても、本発明による積層パッケージの具現が可能なピン構成対応性は、存在するべきである。上、下部半導体チップが同一タイプの場合、積層パッケージ 100 を DDP (Dual Die Pad) パッケージという。また、上、下部半導体チップが異なる機能を有する場合、積層パッケージ 100 を MCP (Multi-Chip Package) という。

10

#### 【0014】

上、下部半導体チップの活性面には、それぞれ複数の電極パッド 32、42 が形成されている。上、下部半導体チップ 30、40 は、鉄-合金または銅-合金のリードフレームにより機械的に支持され、電氣的に連結される。リードフレームは、外部リード 20、第 1 リード群 50、及び第 2 リード群 60 を有する。第 1、第 2 リード群 50、60 は、パッケージ本体 10 内に封止されるので「内部リード」という。

20

#### 【0015】

第 1 リード群 50 は、金属ワイヤー 70 により上部半導体チップ 30 の電極パッド 32 と電氣的に連結される。一方、第 2 リード群 60 は、金属ワイヤー 80 により下部半導体チップ 40 の電極パッド 42 と電氣的に連結される。この実施形態において、金属ワイヤー 70、80 は、半導体チップ 30、40 とリード群 50、60 とを電氣的に連結する。他の実施形態において、金属バンプは、半導体チップ 30、40 とリード群 50、60 とを電氣的に連結する。金属バンプ (図示せず) は、各々の電極パッド 32、42 上に形成することができる。この実施形態では、リード群 50、60 の先端を金属バンプ上に位置させて、熱圧着することができる。

30

#### 【0016】

図 3 を参照すれば、上部半導体チップ 30 は第 1 リード群 50 に対応し、下部半導体チップ 40 は第 2 リード群 60 に対応する。第 1、第 2 リード群 50、60 は、対応する半導体チップの活性面上に配置され、各々の半導体チップの電極パッド 32、42 と電氣的に連結される LOC (Lead On Chip) 構造である。この実施形態において、このリードフレームと半導体チップとの対応関係を LOC 構造という。

#### 【0017】

ところが、本発明の範囲は、LOC 構造に限定されるものではない。例えば、他の実施形態において、上、下部チップ 30、40 は、リードフレームのダイパッドの両面に貼付けられ、第 1、第 2 リード群は、従来のリードフレームのダイパッドから離れて配置されるということは、当業者が容易に理解することができる。従って、詳細な説明及び図面は省略する。

40

#### 【0018】

図 2 及び図 3 に示したように、活性面の中央部に近いリード群 50、60 の部分は、LOC テープ 75、85 により活性面に貼付けられる。図面に示したように、第 1 リード群 50 は、パッケージ本体 10 内で形成され、外部リード 20 と一体化されている。第 2 リード群 60 は、パッケージ本体 10 の外壁と近い部分に第 1 リード群 50 と電氣的に連結されている。第 1 リード群 50 と第 2 リード群 60 との電氣的連結は、例えば、はんだ付

50

け、圧着ボンディング、リフロ－等の従来の方法によりなされる。

【0019】

図4を参照すれば、上、下部半導体チップ30、40は、電極パッド32、42がそれぞれの半導体チップの活性面35、45の中央部に配置されている中央パッド型チップであることが好ましい。しかしながら、他の実施形態では、電極パッド32、42が活性面35、45の周辺に沿って配置された周辺パッド型チップであっても良い。周辺パッド型タイプのパッケージの構造は、ここでは説明しない。

【0020】

上、下部半導体チップ30、40は、それぞれ共通電極パッド32a、42a及び独立電極パッド32b、42bを有する。上部半導体チップ30の共通電極パッド32aは、第1リード群50の共通リード52aに対応し、独立電極パッド32bは、第1リード群50の独立リード52bに対応する。同様に、下部半導体チップ40の共通電極パッド42aは、第2リード群60の共通リード62aに対応し、独立電極パッド42bは、第2リード群60の独立リード62bに対応する。

10

【0021】

共通電極パッド32a、42aと共通リード52a、62aは、各々の上、下部半導体チップ30、40に対してアドレス信号及び制御信号を伝達するのに使用される。独立電極パッド32b、42bと独立リード52b、62bは、各々の上、下部半導体チップ30、40に対してデータ信号を伝達するのに使用される。半導体チップ30、40の電源信号は、共通リードにより伝達される。ここで「共通」とは、外部リード20との共通連結によって伝達されたそれぞれの同一信号を共有するために、上、下部半導体チップ30、40に電極パッド及びリードが、共通に連結されていることを意味する。これに対して、「独立」とは、それぞれの上、下部半導体チップ30、40に対して電極パッド及びリードが独立的に、個別的に連結され、外部リード20の各端子を分離することを意味する。

20

【0022】

図3に示したように、共通電極パッド32a、42aは、上、下部半導体チップ30、40のそれぞれの活性面35、45に形成される。各々の上、下部半導体チップの共通電極パッドは、図3に示したようにパッケージ内において同一順序に配列されている。例えば、上、下部半導体チップ30、40が、互いにミラー型構造の電極パッドに形成されていると、ミラー型パッド配列のチップが裏面を介して貼り付けられる場合、上、下部半導体チップの共通電極パッド32a、42aは、パッケージ内において同一順序に配列されている。パッケージ内において同一順序の共通電極パッドを有する実施形態は、以下の3つの方法のうち少なくともいずれか1つの方法により得ることができる。

30

【0023】

第一に、図4に示したように、下部半導体チップ40の共通電極パッド42aが、上部半導体チップとパッド構造が同一である。例えば、上部半導体チップ30の共通電極パッド32aが、(a)(b)(c)(d)(e)(f)(g)順に配列されている時、これと同じ電極パッド構造の下部半導体チップを使用すると、下部半導体チップ40の共通電極パッド42aは、(g')(f')(e')(d')(c')(b')(a')の順に配列される。しかしながら、本発明の実施形態において、下部半導体チップ40の共通電極パッド42aの配列は、例えば、製造時、金属オプシオン処理により変更することができる。このような下部半導体チップ40の製造時、共通電極パッド42aは、上部半導体チップの共通電極パッド32aに対してミラー型構造の信号配列となるように配線することができる。特に、本実施形態において、下部半導体チップの共通電極パッド42aは、(a')(b')(c')(d')(e')(f')(g')の順に形成することができる。共通電極パッドの順序を変更することにより、共通電極パッドに連結される共通リード52a、62a(図3参照)を、同一の外部リードに共通に容易に接続することができる。

40

【0024】

50

第二に、図 5 に示したように他の実施形態によれば、半導体チップの活性面に、上部半導体チップ 30 のため形成された電極パッド配列 32 a、32 b と、下部半導体チップ 40 のために形成された電極パッド配列 42 a、42 b とを、配置することも可能である。このようなチップが上部半導体チップ 30 として使われる場合、電極パッド 32 a、32 b と対応するリードを金属ワイヤーにより電氣的に連結することができる。チップが下部半導体チップ 40 として使われる場合、電極パッド 42 a、42 b とリードを金属ワイヤーにより電氣的に連結することができる。この実施形態は、以前の実施形態の金属オプションに比べて、上、下部半導体チップのミラーパッド配列のために、ワイヤーボンディングオプションを用いて実現される。

#### 【0025】

第三に、図 6 に示したように、下部半導体チップ 40 に適した電極パッド配列を有するチップを専用で生産することによって、上、下部半導体チップの共通電極パッドをパッケージ本体内で同一順序に配列することができる。この実施形態において、下部半導体チップ 40 の電極パッド 42 a は、上部半導体チップ 30 の電極パッド 32 a とミラー型構成にすることができ、パッド配列を変更することなく、組立工程に使用することができる。

#### 【0026】

本実施形態の積層半導体チップパッケージにおいて、上、下部半導体チップ 30、40 は、それぞれの活性面が外側に向くように、背中合わせに貼付けることができる。例えば、図 2 及び図 3 において、上部半導体チップ 30 の活性面 35 は、上向きになるのに対して、下部半導体チップ 40 の活性面 45 は、下向きになるように配置されている。図 3 の中心線 90 を基準にして、上部半導体チップ 30 の大部分は中心線の左側に配置され、下部半導体チップ 40 の大部分は中心線の右側に配置されている。上、下部半導体チップ 30、40 のオフセットは、共通電極パッド 32 a、42 a がパッケージ本体の垂直方向に対して略同じ位置に配置されるようにする。

#### 【0027】

図 7 は、例えば、TSOP (400 mil x 875 mil) 構造及び 0.05 のピンピッチを有する 86 ピンの同期 DRAM 装置の形成のために、本発明の実施形態によって製造された装置 700 の平面図である。

#### 【0028】

図 7 に示したように、リード 17 ~ 27 及び 60 ~ 70 は、「共通リード」であり、他のリードは「独立リード」である。共通リードは、例えば、WE / (write enable)、CAS / (column address strobe)、RAS / (row address strobe)、CS / (chip select)、BA0 - 1 (bank select address)、A0 - 9 (address)、CKE (clock enable)、及び CLK (system clock) のようなアドレス信号と制御信号の伝達のために使用される。独立リードは、例えば、DQM0 - 3 (data input/output mask)、DQ0 - 31 (data input/output)、V<sub>DD</sub> / V<sub>SS</sub> (power supply/ground)、及び V<sub>DDQ</sub> / V<sub>SSQ</sub> (data output power/ground) のような電源信号と入出力データの伝達のために使用される。独立リードは、共通リードの両側に配置されている。本実施形態において、データ信号 DQ0 - 15 のためのリードは、共通リードの一侧のチップの一端面に配置され、データ信号 DQ16 - 31 のためのリードは、チップの他端面に配置されている。これは、データ信号 DQ0 - 15 のための独立リードは、上部半導体チップ 30 にのみ独立的に連結され、データ信号 DQ16 - 31 のためのリードは、下部半導体チップ 40 にのみ独立的に連結されていることを意味する。従って、X16SDRAM のような半導体チップ 2 個を本実施形態によって積層することにより、X32SDRAM 積層パッケージ素子を製造する。本実施形態において、電源信号は独立リードに沿って伝達される。他の実施形態において、共通リードは少なくとも幾つかの電源信号を伝達するのに使用される。

#### 【0029】

図 8 及び図 9 は、本発明の好ましい実施形態による上、下部半導体チップ 30、40 を電氣的に連結するために使用された上、下部リードフレームを示す平面図である。

#### 【0030】

10

20

30

40

50

図 8 及び図 9 に示したように、上、下部リードフレーム 800、900 は、それぞれ共通リード 52a、62a を有する。上部リードフレーム 800 の独立リード 52b と下部リードフレーム 900 の独立リード 62b は、共通リード 52a、62a に対して対称構造に配列されている。他の実施形態において、ダミーリード 140 は、下部リードフレームの独立リード 62b と同じ構造で、上部リードフレームに形成することができる。また、上部リードフレームは、図 8 で破線により示したようにダミーリードを省略することができる。同様に、ダミーリード 150 は、上部リードフレームの独立リード 52b と同じ構造で、下部リードフレームに形成することができる。また、ダミーリードは、図 9 で破線により示したように省略される。ダミーリードの形成は、樹脂パッケージ本体 110 (二点鎖線) の形成に使用される成形工程に応じて決まる。

10

#### 【0031】

本発明の一実施形態による複数のピン積層パッケージ素子は、パッケージ本体の中心を基準にして、上部半導体チップと下部半導体チップが左右対称にずれて配置されている。従って、成形本体を形成する時、不完全成形やボイド等が発生しないように注意を払うべきである。また、ダイボンディング工程時、上、下部半導体チップの裏面を貼付ける場合、上、下部半導体チップを正確に整列する。特別の実施形態において、チップは、上、下部リードフレームの所定位置に整列キー 120、130 により配置することもできる。

#### 【0032】

##### 発明の効果

本発明の実施形態によれば、高容量の多ビットメモリは、PCB またはテープを使用することなく、リードフレームを使用して得ることができる。また、リードフレームの多ビット積層パッケージ素子は、PCB やテープのような別度の製造工程または設備投資の要求なく実現することができる。

20

#### 【図面の簡単な説明】

#### 【0033】

【図 1】本発明の一実施形態による積層半導体チップパッケージの平面図。

【図 2】図 1 の線 2-2 に沿って切断した積層半導体チップパッケージの断面図。

【図 3】図 1 の線 3-3 に沿って切断した積層半導体チップパッケージの断面図。

【図 4】本発明の実施形態による積層パッケージに使用するのに適した電極パッド構造を有する半導体チップの平面図。

30

【図 5】本発明の実施形態による積層パッケージに使用するのに適した他の電極パッド構造を有する半導体チップの平面図。

【図 6】本発明の他の実施形態による積層パッケージに使用するのに適した電極パッド構造を有する半導体チップの平面図。

【図 7】本発明の特定実施形態による複数のピンを示す積層パッケージの断面図。

【図 8】本発明の実施形態による積層パッケージにおいて、上部リードフレームの構造を示す部分平面概略図。

【図 9】本発明の実施形態による積層パッケージにおいて、下部リードフレームの構造を示す部分平面概略図。

#### 【符号の説明】

40

#### 【0034】

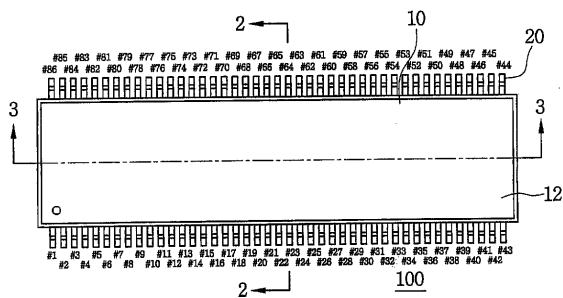
- 10 パッケージ本体
- 20 外部リード
- 30 上部半導体チップ
- 32、42 電極パッド
- 32a、42a 共通電極パッド
- 32b、42b 独立電極パッド
- 40 下部半導体チップ
- 50 第 1 リード群
- 60 第 2 リード群

50

- 5 2 a、6 2 a 共通リード
- 5 2 b、6 2 b 独立リード
- 7 0、8 0 金属ワイヤー
- 7 5、8 5 L O Cテープ
- 9 0 中心線
- 1 0 0 積層半導体チップパッケージ

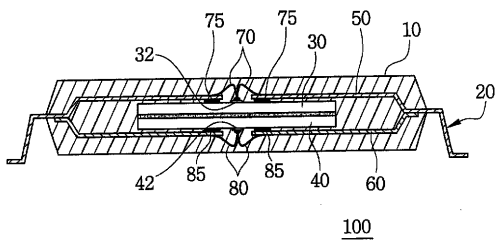
【 図 1 】

FIG. 1



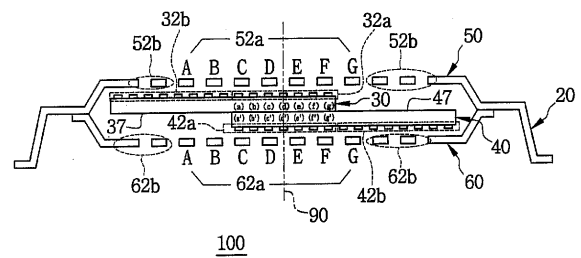
【 図 2 】

FIG. 2



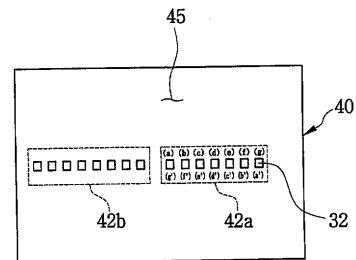
【 図 3 】

FIG. 3



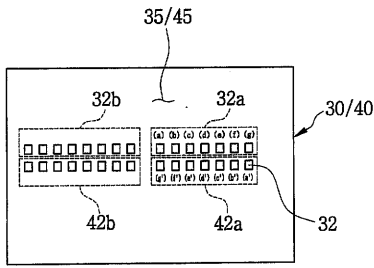
【 図 4 】

FIG. 4



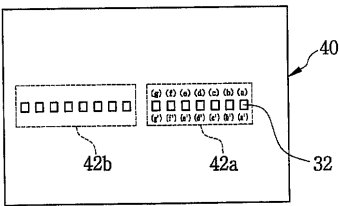
【 図 5 】

FIG. 5



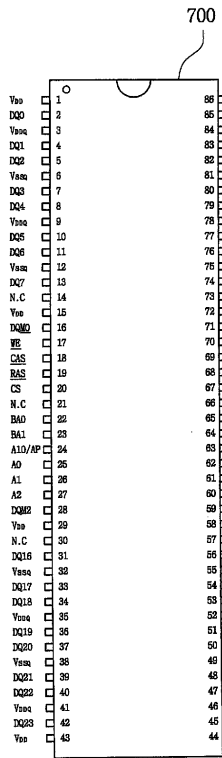
【 図 6 】

FIG. 6



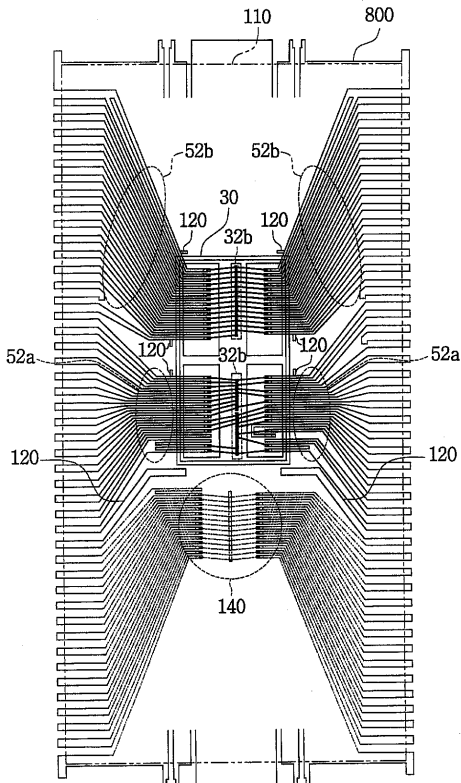
【 図 7 】

FIG. 7



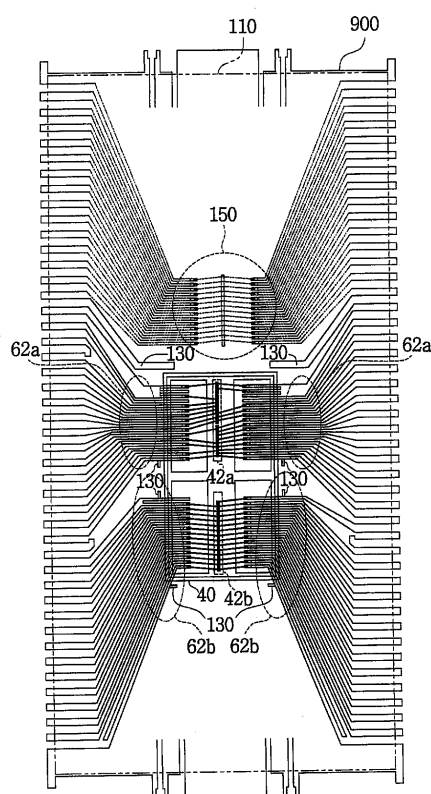
【 図 8 】

FIG. 8



【 図 9 】

FIG. 9



---

フロントページの続き

(74)代理人 100110364

弁理士 実広 信哉

(72)発明者 宋 永信

大韓民国京畿道城南市盆唐區盆唐洞(番地なし) ドンソンアパート206棟202號

(72)発明者 孫 海鼎

大韓民国京畿道水原市八達區靈通洞(番地なし) シンナムシルシンウォンアパート645棟1702號

(72)発明者 崔 一興

大韓民国忠清南道天安市雙龍洞1923番地 ドンガビュクサンアパート101棟801號

(72)発明者 洪 性皓

大韓民国京畿道水原市勸善區塔洞(番地なし) 友邦アパート104棟403號

Fターム(参考) 5F067 AA02 AB02 CB02 CD01