

(19)대한민국특허청(KR) (12) 등록특허공보(B1)

(51) 。 Int. Cl.⁷
H01L 23/36

(45) 공고일자 2005년03월25일
(11) 등록번호 10-0478883
(24) 등록일자 2005년03월16일

(21) 출원번호 10-2002-0032775
(22) 출원일자 2002년06월12일

(65) 공개번호 10-2003-0032816
(43) 공개일자 2003년04월26일

(30) 우선권주장 JP-P-2001-00321590 2001년10월19일 일본(JP)

(73) 특허권자 미쓰비시덴키 가부시기가이샤
일본국 도쿄도 지요다쿠 마루노우치 2초메 2반 3고

(72) 발명자
요시하라히로유키
일본국도쿄도지요다쿠마루노우치2초메2반3고미쓰비시덴키가부시
기가이샤나이

하야시켄이치
일본국도쿄도지요다쿠마루노우치2초메2반3고미쓰비시덴키가부시
기가이샤나이

카와후지히사시
일본후쿠오카켄후쿠오카시니시쿠이마주쿠-히가시1초메1-1후쿠료
세미컨덕터엔지니어링(주)나이

타지리미쓰구
일본후쿠오카켄후쿠오카시니시쿠이마주쿠-히가시1초메1-1후쿠료
세미컨덕터엔지니어링(주)나이

(74) 대리인 권태복
이화익

심사관 : 유환철

(54) 반도체장치

요약

본 발명에서 전력용 칩용의 각 리드프레임(2a)은, 한쪽 주표면 상에 전력용 칩(41)을 탑재함과 동시에, 리드단자(2b) 이외에도, 몰드수지 형성 예정영역(55)으로부터 돌출하여 설치되는 현수리드부(2e)를 가짐으로써, 몰드 가공시에 복수의 현수리드부(2b, 2e)로 지탱할 수 있다. 리드프레임(2a)의 다른 쪽 주표면 상에 전력용 칩(41)과 대향하게 금속블록이 설치되어 있다. 이에 따라서, 본 발명은, 방열 특성과 절연 내압 모두가 양호한 구조의 반도체장치를 얻을 수 있다.

대표도

도 6

색인어

반도체장치, 전력용 칩, 금속블록, 리드프레임, 현수 리드, 수지

명세서

도면의 간단한 설명

도 1은 본 발명의 전제 기술이 되는 반도체장치의 구조를 모식적으로 나타낸 단면도,
 도 2는 종래기술에서의 전력용 반도체장치의 열전도 모양을 나타낸 설명도,
 도 3은 도 1의 전제 기술에 관한 반도체장치의 열전도 모양을 나타낸 설명도,
 도 4는 복수 종류의 칩으로 이루어진 전력용 반도체장치의 단면구조를 나타낸 단면도,
 도 5는 리드프레임에 탑재되는 전력용 칩의 상태를 평면도로서 간략화하여 나타낸 설명도,
 도 6은 본 발명의 실시예 1인 전력용 반도체장치의 수지봉지전의 평면구조를 모식적으로 나타낸 평면도,
 도 7은 실시예 1의 전력용 반도체장치의 수지봉지후의 평면구조를 모식적으로 나타낸 평면도,
 도 8은 실시예 1의 전력용 반도체장치의 수지봉지전의 단면구조를 모식적으로 나타낸 단면도,
 도 9는 실시예 1의 전력용 반도체장치의 수지봉지후의 측면구조를 나타낸 단면도,
 도 10은 본 발명의 실시예 2인 전력용 반도체장치의 수지봉지전의 평면구조를 모식적으로 나타낸 평면도,
 도 11은 실시예 2의 전력용 반도체장치의 수지봉지후의 단면구조를 모식적으로 나타낸 단면도,
 도 12는 인접하는 부분 금속블록간의 상태를 모식적으로 나타낸 설명도,
 도 13은 본 발명의 실시예 3인 전력용 반도체장치의 현수리드부의 주변구조를 모식적으로 나타낸 평면도,
 도 14는 본 발명의 실시예 4인 전력용 반도체장치의 현수리드부의 주변구조를 모식적으로 나타낸 평면도,
 도 15는 종래기술에 있어서의 전력용 반도체장치의 구조를 모식적으로 나타낸 단면도.

도면의 주요 부분에 대한 부호의 설명

1 : 파워소자 2a, 2c, 20, 20a, 20b : 리드프레임

2b, 2d : 리드단자 2e : 현수리드부

5, 47 : 금속블록 6, 45 : 몰드 수지

7, 17, 45a : 절연층 10, 46, 48 : 집합재

41 : 전력용 칩 42 : 집적회로 칩

56 : 오목부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 반도체장치의 구조, 특히 전력제어용에 사용되는 전력용 반도체장치의 구조에 관한 것이다.

도 15는 종래기술에 있어서의 전력용 반도체장치의 구조를 모식적으로 나타낸 단면도이다. 도 15와 같이, 종래기술에 있어서의 전력용 반도체장치는, 파워소자를 갖는 전력용 칩(1), 금속 박판으로 형성된 리드프레임(20), 방열용 히트싱크로서 기능하는 금속블록(5) 및 몰드 수지(6)를 구비한다.

리드프레임(20)은, 다이패드부(3)와 내부 리드부(4)를 갖고 있고, 전력용 칩(1)은 다이패드부(3)에 집합재인 땀납(9)으로 접합되어 있다. 또한, 전력용 칩(1)에 형성되어 있는 전극(도시하지 않음)은, 리드프레임(20)의 내부 리드부(4)에 알루미늄선(8)에 의해서 접속되어 있다. 금속블록(5)은, 그 대략 중앙부에 볼록부를 갖고 있고, 그 볼록부가

리드프레임(20)의 전력용 칩(1)과는 반대측의 면과 소정거리를 이루고, 전력용 칩(1)과 대향하도록 배치된다. 그리고, 몰드 수지(6)는, 금속블록(5)의 리드프레임(20)과는 반대측면을 노출시키면서, 전력용 칩(1), 리드프레임(20) 및 금속블록(5)을 밀봉하고 있다.

그리고, 금속블록(5)의 노출부분에 외부 방열기(11)가 부착되어 있다. 여기서, 금속블록(5)의 블록부와 리드프레임(20)의 사이에 형성되어 있는 몰드 수지(6)를 수지 절연층(27)이라고 부른다.

발명이 이루고자 하는 기술적 과제

종래기술에 있어서의 전력반도체장치에서는, 전력용 칩(1)에서 발생한 열은, 리드프레임(20), 수지 절연층(27), 금속블록(5)을 통하여 외부 방열기(11)로부터 외부로 방출된다. 금속블록(5) 및 외부 방열기(11)는, 알루미늄 또는 구리 재료로 이루어지고, 그 열전도율은 각각 약 230W/mK 및 약 390W/mK이다. 리드프레임(20)도 구리 재료 등의 금속으로 형성되기 때문에, 금속블록(5) 및 외부 방열기(11)와 같은 열전도율을 갖는다. 그리고, 수지 절연층(27)을 형성하는 수지의 열전도율은 1~3W/mK이다. 이와 같이, 수지 절연층(27)은, 그 열전도율이 그 밖의 재료의 약 1/100에 있어서, 열전도의 주된 저해요인이 된다.

반도체장치의 방열 특성은, 열이 통과하는 재료의 두께나 열전도성 및 열이 재료를 통과하는 면적 등으로 결정된다. 종래기술에 있어서의 전력 반도체장치에 있어서, 수지 절연층(27)의 두께를 얇게 하여, 열이 통과하는 열전도가 나쁜 부분을 억제함으로써 방열 특성을 개선할 수 있다. 그러나, 수지 절연층(27)에는 수천 V의 절연 내압이 필요하기 때문에, 그 두께는 0.5mm 전후가 한계이고, 방열 특성의 개선에도 한계가 생긴다.

또한, 수지 절연층(27)을 형성하는 수지의 충전재인 고열전도율을 갖는 세라믹 분말, 예를 들면 질화알루미늄, 질화규소 등의 분말을 사용하여, 충전율을 높게 함으로써, 수지 절연층(27)의 열전도율을 약 5W/mK까지 향상시킬 수 있다. 그러나, 수지 절연층(27)은 몰드 수지(6)의 일부이기 때문에, 수지 절연층(27) 이외의 부분, 요컨대 고열전도율을 필요로 하지 않은 부분에까지, 세라믹분말을 충전한 수지를 사용하게 되기 때문에, 가격이 비싼 수지를 쓸데없이 사용하게 된다. 그 결과, 반도체장치의 재료비용이 증가한다.

전력용 칩(1)에서 발생한 열은, 우선 리드프레임(20)을 통과하여, 수지 절연층(27)을 통과한다. 일반적으로, 리드프레임(20)은, 가공 문제 등으로 금속블록(5)등과 같이 그 두께를 두껍게 할 수 없으므로, 금속블록(5) 등과 비교하여 열확산 효과가 작다. 그 때문에, 수지 절연층(27)을 열이 통과하는 면적을 충분히 확대하는 것이 곤란하고, 이것이 방열 특성의 개선을 제한하는 원인의 하나로도 되었다.

본 발명은 상기 문제점을 해결하기 위해서 주어진 것으로, 방열 특성과 절연 내압 모두가 양호한 구조의 반도체장치를 얻는 것을 목적으로 한다.

발명의 구성 및 작용

본 발명에 따른 제 1 국면의 반도체장치는, 제 1 및 제 2의 반도체 칩과, 상기 제 1 및 제 2의 반도체 칩을 한쪽 주표면 상에 각각 탑재하는 제 1 및 제 2의 리드프레임과, 상기 제 1 리드프레임의 다른 쪽 주표면 상에 설치되는 금속블록과, 상기 제 1 및 제 2의 반도체 칩, 상기 제 1 및 제 2의 리드프레임, 상기 금속블록을 덮어 형성되는 수지를 구비하고, 상기 제 1의 리드프레임은 상기 수지로부터 돌출한 복수의 현수리드부를 갖는다.

또한, 본 발명의 제 2 국면은, 상기 제 1 국면에 기재된 반도체장치에 있어서, 상기 금속블록은 상기 제 1의 반도체 칩과 대향하여 배치된다.

또한, 본 발명의 제 3 국면은, 상기 제 1 국면에 기재된 반도체장치에 있어서, 상기 제 1의 반도체 칩은 복수의 제 1의 반도체 칩을 포함하고, 상기 제 1의 리드프레임은 복수의 제 1의 부분 리드프레임을 포함하고, 상기 금속블록은 복수의 부분 금속블록을 포함하고, 상기 복수의 제 1의 부분 리드프레임은 각각 한쪽 주표면 상에 적어도 하나의 상기 제 1의 반도체 칩을 탑재하고, 다른 쪽 주표면 상에 적어도 하나의 상기 부분 금속블록이 설치되고, 상기 수지로부터 돌출한 복수의 현수리드부를 갖는다.

또한, 본 발명의 제 4 국면은, 상기 제 3 국면에 기재된 반도체장치에 있어서, 상기 복수의 금속블록은 상기 복수의 제 1의 반도체 칩과 1 대 1로 대응하고, 또한 대응하는 상기 제 1의 반도체 칩과 대향하여 배치된다.

또한, 본 발명의 제 5 국면은, 상기 제 1 내지 제 4 국면 중 어느 하나에 기재된 반도체장치에 있어서, 상기 금속블록은 접합재에 의해 상기 제 1의 리드프레임의 다른 쪽 주표면 상에 접합됨과 동시에, 상기 접합재에 접하는 면보다도 넓은 면을 상기 접합재와 반대측에 갖는다.

또한, 본 발명의 제 6 국면은, 상기 제 1 내지 제 5 국면 중 어느 하나에 기재된 반도체장치에 있어서, 상기 수지는 주변영역에 오목부를 갖고, 상기 복수의 현수리드부의 적어도 하나는 상기 오목부에 위치하도록 설치된다.

또한, 본 발명의 제 7 국면은, 상기 제 6 국면에 기재된 반도체장치에 있어서, 상기 복수의 현수리드부의 상기 적어도 하나는 상기 오목부 내에 수납되도록 설치된다.

또한, 본 발명의 제 8 국면은, 상기 제 1 내지 제 7 국면 중 어느 하나에 기재된 반도체장치에 있어서, 상기 제 1의 반도체 칩은 전력용 칩을 포함한다.

[발명의 실시예]

<전제 기술>

(금속블록을 갖는 전력용 반도체장치)

도 1은 본 발명의 전제 기술이 되는 반도체장치의 구조를 모식적으로 나타낸 단면도이다. 도 1과 같이 전제 기술에 따른 반도체장치는, 전력용 칩(1), 리드프레임(20a, 20b), 금속블록(5) 및 몰드 수지(6)를 구비한다.

리드프레임(20a, 20b)은, 열전도성의 양호한 금속, 예를 들면 구리 합금의 박판으로 형성되어 있다. 리드프레임 20a는 다이패드부(3)와 내부 리드부(4)를 갖고, 리드프레임 20b는 내부 리드부(4)를 갖는다. 전력용 칩(1)은 양면에 전극(도시하지 않음)을 갖고, 그 한쪽면의 전극이 리드프레임 20a와 접하도록, 리드프레임(20a)의 다이패드부(3) 상에 탑재되고, 땀납(9)으로 다이패드부(3)와 접합되어 있다. 전력용 칩(1)의 다른쪽면의 전극은, 리드프레임 20b의 내부 리드부(4)와 알루미늄선(8)에 의해서 접속된다. 리드프레임(20a, 20b)은 분리되어 있고, 전력용 칩(1)의 양면에 형성되어 있는 전극 사이는 절연되어 있다.

금속블록(5)은, 예를 들면 알루미늄이나 구리 등의 재료로 형성되고, 전력용 칩(1)과는 반대측면에서 리드프레임(20a)과 접합재(10)로 접합되어 있다. 구체적으로는, 금속블록(5)의 한쪽의 주표면에는, 접합면(50)과 비접합면(51)을 갖고 있고, 접합면(50) 및 비접합면(51)이 리드프레임(20a, 20b)과 대향하도록 배치되어 있다. 접합면(50)은, 비접합면(51)보다도 전력용 칩(1)측으로 돌출하여 형성되어 있고, 전력용 칩(1)과 대향하도록 리드프레임(20a)에 접합재(10)로 접합되어 있다.

다시 말하면, 금속블록(5)은 그 표면에 블록부를 갖고 있고, 그 블록부가 전력용 칩(1)과 대향하도록 리드프레임(20a)에 접합되어 있고, 금속블록(5)의 리드프레임 20a와 반대측의 면은, 리드프레임 20a와의 전력용 칩(1)의 접합면보다도 넓게 되어 있다. 또한, 비접합면(51)은, 리드프레임(20b)과의 사이에서 절연공간(60)을 형성한다.

몰드 수지(6)는, 예를 들면 에폭시계 수지가 사용되어 있고, 리드프레임(20a, 20b)과 반대측의 면에서 금속블록(5)에 절연층(7)을 형성하면서, 전력용 칩(1), 리드프레임(20a, 20b) 및 금속블록(5)을 덮어 밀봉하고 있다. 그리고, 외부 방열기(11)가, 금속블록(5)과는 반대측의 면에서 절연층(7)에 부착된다.

상술한 구조를 구비한 전제 기술에 따른 반도체장치에 있어서, 전력용 칩(1)에서 발생한 열은, 땀납(9), 리드프레임(20a), 접합재(10), 금속블록(5), 절연층(7)을 통해서, 외부 방열기(11)로부터 외부로 방출된다. 접합재(10)는, 리드프레임(20a)과 금속블록(5)의 전기적 절연성을 확보할 필요가 없기 때문에, 절연 내압을 고려하지 않고, 그 재료를 선택할 수 있다. 구체적으로는, 외부 방열기(11)에 별도의 반도체장치가 부착된 경우, 반도체장치간의 절연은, 절연층(7)에 의해서 유지되기 때문에, 접합재(10)는 절연 내압을 고려할 필요는 없다. 그 때문에, 접합재(10)는, 절연층(7)보다도 열전도가 양호한 재료, 예를 들면 땀납 등을 사용할 수 있다. 그 결과, 전력용 칩(1)에서 발생한 열은, 리드프레임(20a)으로부터 금속블록(5)으로 양호하게 전도된다.

또한, 접합재(10)로서 수지 접착제를 사용한 경우이더라도, 접합재(10)의 두께를, 상술한 종래기술에 있어서의 수지 절연층(27)보다도 얇게 할 수 있다. 구체적으로는, 접합재(10)의 두께를 10~40 μ m로 설정할 수 있고, 종래의 수지 절연층(27)의 두께의 약 1/10배로 감소할 수 있다. 또한, 예를 들면 금속가루를 충전제로서 혼합한 접착제, 요컨대 고열전도율의 접착제를 사용할 수 있다. 이들의 결과, 수지 접착제로 구성된 접합재(10)는, 종래의 수지 절연층(27)보다도, 그 열전도율을 5~10배(5~20W/mK)로 향상할 수 있다. 요컨대, 접합재(10)로서 수지 접착제를 사용한 경우이더라도, 전력용 칩(1)에서 발생한 열을 양호하게 금속블록(5)까지 전도할 수 있다.

다음에, 열전도의 주된 저해요인이 되는 절연층(7)을 통과하는 열에 관해서 상세히 설명한다. 도 2 및 도 3은 전력용 칩(1)에서 발생한 열이 전도하는 모양을 나타낸 도면에 있어서, 도 2는 상술한 종래기술에 있어서의 전력용 반도체장치의 열전도의 모양을 나타내고 있고, 도 3은 전제 기술에 따른 반도체장치의 열전도의 모양을 나타내고 있다. 도 2의 열확산 방향(33)으로 나타낸 것처럼, 종래기술에서는, 전력용 칩(1)에서 발생된 열은 리드프레임(20)에서 약간 수평방향으로 확산되지만, 리드프레임(20)의 두께가 얇기 때문에, 충분한 확산이 행하여지지 않는다. 그 때문에, 종래기술에 있어서 열전도의 주된 저해요인이던 수지 절연층(27)을 열이 통과하는 면적(32)은, 거의 전력용 칩(1)의 면적과 동일하다. 한편, 도 3의 열의 확산방향(31)에서 나타낸 것처럼, 전제 기술에서는, 전력용 칩(1)에서 발생한 열은 리드프레임(20a)에서 약간 수평방향으로 확산되고, 더 충분한 두께를 갖는 금속블록(5)에서 확산된다. 그 때문에, 절연층(7)을 열이 통과하는 면적(33)은, 전력용 칩(1)의 면적보다도 충분히 크다. 요컨대, 전제기술에 있어서의 열의 주된 저해요인은, 종래기술에 있어서의 그것보다도 작다.

이와 같이, 전제기술에 따른 반도체장치에 의하면, 방열 특성이 개선된다.

또한, 금속블록(5)은, 리드프레임(20b)과의 사이에 절연공간(60)을 형성하고 있기 때문에, 전력용 칩(1)의 각각의 면의 전극끼리를 절연하면서 금속블록(5)의 치수를 반도체장치의 외형 가까이까지 확대하는 것이 가능해지고, 그 결과, 방열 특성을 향상할 수 있다.

또한, 전제기술에서는, 리드프레임(20a)과 금속블록(5)의 접합을 몰드 수지(6)의 형성공정 직전에 함으로써, 알루미늄선(8) 배선까지는 종래와 동일 공정 및 장치로 제조가 가능하므로, 신규 설비투자 등을 억제할 수 있다.

(복수의 종류의 칩으로 이루어진 전력용 반도체장치)

일반적인 전력용 반도체장치는, 대전류를 스위칭하기 위한 절연 게이트형 바이폴라 트랜지스터(Insulated Gate Bipolar Transistor, 이하 「IGBT」라고 기재함)나 플라이 휠 다이오드(Fly Wheel Diode, 이하 「FWD」라고 기

재함)이라고 한 소자를 갖는 전력용 칩과, 그 전력용 칩을 제어하기 위한 저전압 집적회로(Low Voltage Integrated Circuit, 이하, 「LVIC」라고 기재함)나 고전압 집적회로(High Voltage Integrated Circuit, 이하, 「HVIC」라고 기재함)라고 한 집적회로 칩을 탑재한다.

즉, 상술한 금속블록이 형성되는 전력용 칩과 집적회로 칩을 각각 다른 리드프레임 상에 탑재하고, 칩과 프레임상의 소정의 부위간을 와이어 본딩 기술 등으로 전기적으로 접속한 후, 수지 몰드 공정을 거침에 따라서 복수의 종류의 반도체 칩으로 이루어진 전력용 반도체장치가 형성된다.

도 4는 이러한 전력 반도체장치의 구조를 나타낸 단면도이다. 동일 도면에 전력용 칩(41) 및 집적회로 칩(42)은 각각 다이본딩 기술에 의해 리드프레임 2a 및 2c의 한쪽 주표면 상에 접합재(46)에 의해서 각각 접합된다. 그리고, 와이어 본딩 기술에 의해서 전력용 칩(41)과 리드프레임내의 소정의 내부 리드(2a, 2c)의 일부가 알루미늄선(44)에 의해 전기적으로 접속된다. 또한, 집적회로 칩(42)과 리드프레임내의 소정의 내부 리드(2c)는 금선(43)에 의해 전기적으로 접속된다. 이때, 알루미늄선(44)을 적용하는 것은 전력용 칩에서는 대전류를 취급하기 때문이다.

한편, 리드프레임(2a)의 다른 쪽 주표면 상에 전력용 칩(41)에 대응하는 영역에 볼록부를 갖는 금속블록(47)이 접합재(48)에 의해서 접합된다.

또한, 에폭시 수지 등의 몰드 수지(45)에 의해서 트랜스퍼 몰딩을 하여, 전력용 칩(41), 집적회로 칩(42), 리드프레임(2a, 2c) 및 금속블록(47)을 덮도록 밀봉된다.

또한, 리드프레임(2a, 2c)의 선단부가 구부러져 리드단자(2b, 2d)로서 사용된다.

이러한 복수의 종류의 반도체 칩을 포함하는 전력 반도체장치에서는, 리드단자(2b)측에 전력용 칩(41)이, 리드단자(2d)측에 집적회로 칩(42)이 형성되는 구조를 채용하므로, 전력용 칩(41)의 리드프레임(2a)은 몰드 공정시에 리드단자(2b)측만으로 지탱하는 캔틸레버(cantilever) 상태로 되어 있다.

몰드 공정에서, 수지 유동에 의한 점성력이, 전력용 칩(41)의 리드프레임(2a)에 더해진다. 상술한 것처럼, 리드프레임(2a)은 캔틸레버 상태로 되어 있기 때문에, 강성이 낮고, 리드프레임(2a)은 변형, 변위하기 쉬워져, 보다 구체적으로는, 몰드 수지(45)의 유동방향으로 기울어지기 쉬워지는 문제가 있었다. 그 결과, 리드프레임(2a)이 기울음으로써 전력용 칩(41) 아래의 몰드 수지(45)의 몰드 두께가 불균일해진다.

이 때문에, 몰드 수지(45)가 얇은 부위와 두꺼운 부위가 발생하게 된다. 금속블록(47) 아래의 몰드 수지(45)가 얇은 부위(45a)에서는 절연불량이 걱정된다. 그 때문에, 몰드 수지의 두께를 충분히 두껍게 하여 몰드 가공해야 하지만, 그 경우에는, 몰드 두께가 두꺼운 부위에서는 필요 이상으로 두껍게 되어 버려, 열저항이 증대함으로써 방열성이 방해되어 버린다고 하는 문제점이 있었다.

도 5는 리드프레임(2a)에 탑재되는 전력용 칩(41)의 상태를 평면도로서 간략하게 나타낸 설명도이다. 동일 도면에 나타난 것처럼, 서로 근접하여 형성되는 복수의(부분) 리드프레임(2a) 상에 복수의 전력용 칩(41)이 형성되는 것이 일반적이다.

도 5에 나타난 전력용 칩(41)의 리드프레임(2a)에 있어서, 몰드 수지의 주입방향 D1에 대하여 비스듬히 연장되어 있는 영역(2r)이 존재하는 경우, 몰드 수지가 흐르는 방향에 대하여 수직으로 구부러지도록 변형하고, 인접하는 리드프레임 2a, 2a 사이에 접촉불량이 걱정된다. 이것을 방지하기 위해서는, 리드프레임(2a)의 형성 폭을 넓게 하여 강성을 상승시킬 필요가 있었다. 그러나, 리드프레임(2a)의 형성 폭을 넓게 하면 인접하는 리드프레임 2a, 2a와의 절연거리 d2가 짧게 되어, 절연성 열화의 문제가 생긴다. 절연성을 유지하기 위해서는, 리드프레임 2a와 2a 사이의 피치를 넓힐 필요가 있고, 장치를 대형화하지 않으면 안 되는 문제점이 있었다.

또한, 금속블록(47)은 몰드 수지의 흐름에 대하여 접촉 면적이 증가하고, 그에 따르는 점성력이 증가함으로써, 상기한 문제는 보다 현저해진다는 문제점이 있었다.

<실시예 1>

도 6은 본 발명의 실시예 1인 전력용 반도체장치의 수지봉지전의 평면구조를 모식적으로 나타낸 평면도이다. 또한, 도 7은 실시예 1의 전력용 반도체장치의 수지봉지후의 평면구조를 모식적으로 나타낸 평면도이다. 이때, 도 6에서는 몰드 수지 형성 예정영역(55)을 점선으로 나타내고 있다.

전력용 반도체장치는, 전술한 대전류를 스위칭하기 위한 IGBT이나 FWD라고 한 전력용 칩(1)을 갖는 전력용 칩(41), 및 그 전력용 칩(41)을 제어하기 위한 LVIC나 HVIC라고 한 집적회로 칩(42)이 리드프레임(2a 및 2c) 상에 각각 탑재되어 있다.

도 6에 나타난 것처럼, 전력용 칩(41)의 각(부분)리드프레임(2a)은 리드단자(2b) 이외에도, 몰드 수지 형성 예정영역(55)으로부터 돌출하여 설치되는 현수리드부(2e)를 가짐으로써, 몰드 가공시에 복수의 현수리드부(2b, 2e)로 지탱할 수 있다.

도 8은 실시예 1의 전력용 반도체장치의 수지봉지후의 단면구조를 모식적으로 나타낸 단면도이다. 또한, 도 9는 실시예 1의 전력용 반도체장치의 수지봉지후의 측면구조를 나타낸 단면도이다. 이때, 도 8은 도 7의 A-A 단면에 해당하고, 도 9는 도 7을 리드단자(2d)측에서 본 측면에 해당한다.

이하, 도 6~도 9를 참조하여, 실시예 1의 전력용 반도체장치의 제조방법을 설명한다.

전력용 칩(41) 및 집적회로 칩(42)을 각각 접합재(46)를 사용하여 다이본딩기술에 의해 리드프레임 2a 및 2c의 한쪽 주표면 상에 탑재한다.

다음에, 와이어 본딩기술에 의해서 전력용 칩(41)과 리드프레임 2a에서의 소정의 내부 리드의 일부를 알루미늄선(44)에 의해 전기적으로 접속한다. 동시에, 집적회로 칩(42)과 리드프레임 2c내의 소정의 내부 리드를 금선(43)에 의해 전기적으로 접속한다.

그리고, 리드프레임 2a의 한쪽 주표면과는 반대의 면인 다른 쪽 주표면 상에 전력용 칩(41)과 대향하여 금속블록(47)을 배치시켜 접합재(48)로 접합한다. 그 결과, 리드프레임 2a의 다른 쪽 주표면 상에 금속블록(47)을 설치할 수 있다.

그 후, 에폭시 수지 등을 사용하여 트랜스퍼 몰드에 의해 전력용 칩(41), 집적회로 칩(42) 및 금속블록(47)을 덮도록 몰드 수지(45)로 밀봉한다.

최후에, 불필요한 리드부분을 커트하여 리드단자(2b, 2d)를 구부리는 것에 의해 반도체장치가 완성된다.

금속블록(47)은, 예를 들면 알루미늄이나 구리 등의 재료로 형성되고, 전력용 칩(41)에서 발생한 열은, 접합재(46), 리드프레임(2a), 접합재(48), 금속블록(47), 절연층(45a)(몰드 수지(45)의 일부)을 통하여 외부로 방출된다.

금속블록(47)은 전체를 몰드 수지(45)로 덮여져 절연되어 있고, 접합재(48)는, 리드프레임(2a)과 금속블록(47)의 전기적 절연성을 확보할 필요가 없으므로, 절연 내압을 고려하지 않고서 그 재료를 선택할 수 있다. 그 때문에, 접합재(48)는, 절연층보다도 열전도가 양호한 재료, 예를 들면 땀납 등을 사용할 수 있다. 그 결과, 전력용 칩(41)에서 발생한 열은, 리드프레임(2a)으로부터 금속블록(47)으로 양호하게 전도된다.

또한, 금속블록(47)은, 전력용 칩(41)의 각각의 면의 전극끼리를 절연하면서, 금속블록(47)의 치수를 반도체장치의 몰드 수지(45)의 외형 치수정도까지 확대하는 것이 가능해져, 그 결과, 방열성은 향상한다.

즉, 금속블록(47)은, 접합재(48)의 반대측에 접합재(48)에 접하는 면보다도 넓은 면을 갖는다. 이에 따라, 전력용 칩(41)과 거의 마찬가지로 최소한의 면적에서 금속블록(47)과 접합하여 열을 전하고, 칩의 주변부분에서는 리드프레임(2a)으로 전기회로를 형성할 수 있기 때문에, 소형화를 피하면서, 전력용 칩(41)의 열을 접합재(48)로부터 금속블록(47)에 걸쳐서 반도체장치의 외형 치수정도까지 넓힐 수가 있고, 그 결과, 절연층(45a)에 의해 넓은 면적의 열을 통과시킬 수 있어, 방열성이 향상한다.

또한, 금속블록(47)은, 전력용 칩(41)과는 반대측의 다른 쪽 주표면 상에서 리드프레임(2a)에 접합되어 있기 때문에, 알루미늄선(44)의 배선으로의 영향을 주지 않고 그 치수를 결정할 수 있다.

또한, 리드프레임(2a)과 금속블록(47)의 접합을 몰드 공정 직전에 함으로써, 알루미늄선(44)의 배선까지는 종래와 같은 공정 및 장치로 제조가 가능하기 때문에, 신규 설비투자 등을 억제할 수 있다.

한편, 리드프레임(2a)의 다른 쪽 주표면 상에 금속블록(47)을 설치함으로써, 몰드 공정시에 몰드 수지 흐름의 접촉면적이 증가하고, 또한 그에 따른 점성력도 증가한다.

그러나, 실시예 1의 전력용 반도체장치는, 한쪽 주표면 상에 전력용 칩(41)이 탑재됨과 동시에 다른 쪽 주표면 상에 금속블록(47)이 탑재되는 리드프레임(2a)이 복수의 현수리드부(2b, 2e)를 갖기 때문에, 몰드 수지(45)로 봉지하는 몰드 공정시에 2개 이상의 위치에서 지지된 빔의 상태가 되어, 리드프레임(2a)의 강성을 향상시킬 수 있다.

그 결과, 몰드 수지(45)의 몰드 두께를 균일하게 유지할 수 있고, 금속블록(47) 아래의 몰드 수지(45)인 절연층(45a)의 두께를 얇게 할 수 있으므로, 절연성을 확보하면서, 방열성을 향상시킬 수 있다.

<실시예 2>

도 10은 본 발명의 실시예 2인 전력용 반도체장치의 수지봉지전의 평면구조를 모식적으로 나타낸 평면도이다. 도 11은 실시예 2의 전력용 반도체장치의 수지봉지후의 단면구조를 모식적으로 나타낸 단면도이다. 이때, 도 11은 도 10의 수지봉지후의 B-B 단면에 해당한다.

이하, 도 10 및 도 11을 참조하여, 실시예 2의 전력용 반도체장치의 제조방법을 설명한다.

실시예 1과 마찬가지로 접합재(46)를 이용하여 다이본딩 기술에 의해 복수의 전력용 칩(41) 및 집적회로 칩(42)이 리드프레임 2a 및 2c의 한쪽 주표면 상에 탑재한다. 이때, 도 11에 나타난 것처럼, 복수로 분리된 (부분)리드프레임(2ap)은 각각 적어도 하나의 전력용 칩(41)을 탑재한다.

그 후, 와이어 본딩 기술에 의해서 전력용 칩(41)과 리드프레임(2a) 내의 소정의 내부 리드 및 내부 리드프레임(2c)의 일부의 내부 리드를 알루미늄선(44)에 의하여 전기적으로 접속한다. 동시에, 집적회로 칩(42)과 리드프레임(2c)의 소정의 내부 리드를 금선(43)에 의해 전기적으로 접속한다.

다음에, 복수의 부분 리드프레임(2ap)의 다른 쪽 주표면 상에 복수의 부분금속블록(47p)을 탑재한다. 즉, 복수의 전력용 칩(41)과 1 대 1로 대응하고, 또한 대응하는 전력용 칩(41)과 대향하도록 복수의 부분 금속블록(47p)을 각 부분 리드프레임(2ap)의 다른 쪽 주표면측에 배치시켜 접합재(48)로 각각 접합한다.

그 후, 트랜스퍼 몰드에 의해 전체를 밀봉한다. 부분 금속블록(47p)의 간격은 몰드 수지(45)로 충전되어 있고, 금속블록 47p와 47p 사이는 절연되어 있다. 이에 따라 부분 금속블록 47p와 47p 사이의 절연상태를 유지하면서, 복수의 전력용 칩(41)을 하나의 전력용 반도체장치 내에 구비할 수 있다.

상기 실시예 1과 마찬가지로 복수의 부분 금속블록 47p는, 각각 예를 들면 알루미늄이나 구리 등의 재료로 형성되고, 각 전력용 칩(41)에서 발생된 열은, 접합재 46, 리드프레임(2a), 접합재 48, 금속블록(47), 절연층(45a)을 통해서 외부로 방출된다.

접합재(48)는, 실시예 1과 마찬가지로 리드프레임(2a)과 금속블록(47)의 전기적 절연성을 확보할 필요가 없기 때문에, 절연 내압을 고려하지 않고, 그 재료를 선택할 수 있다. 그 때문에, 접합재(48)는, 절연층(45a)보다도 열전도가 양호한 재료, 예를 들면 땀납 등을 사용할 수 있다. 그 결과, 전력용 칩(41)에서 발생된 열은, 리드프레임(2a)으로부터 금속블록(47)으로 양호하게 전도된다.

이러한 구조의 실시예 2의 전력용 반도체장치는, 실시예 1과 마찬가지로의 효과를 가짐과 동시에, 또한 아래의 효과를 갖는다.

복수의 부분 금속블록(47p)을 사용함으로써, 흐름의 점성력 증대나 흐름의 복잡 등이 원인이 되어, 전력용 칩(41)의 리드프레임(2ap) 아래의 수지 두께에 변동이 생기는 것이 걱정된다.

그러나, 실시예 2의 반도체장치는, 실시예 1과 마찬가지로, 전력용 칩용의 각 (부분) 리드프레임(2ap)에는, 실시예 1과 마찬가지로 현수리드부(2e)가 설치됨으로써, 몰드 가공시에는 복수의 현수리드부(2b, 2e)에 의해 지탱할 수 있다.

그 결과, 리드프레임(2ap)의 변형을 감소시킴으로써, 금속블록(47p) 아래의 몰드 두께를 균일하게 할 수 있는 만큼, 절연성을 유지하면서 고방열성을 실현할 수 있다.

도 12는 인접한 부분 금속블록(47p)간의 상태를 모식적으로 나타낸 설명도이다. 동일 도면에 도시한 것처럼, 전력용 칩(41)의 리드프레임(2ap)은 가늘고 길고, 몰드 수지의 주입방향에 대하여 비스듬하게 연장되어 있다. 그 때문에, 수지의 흐름 방향에 대해서 수직방향으로 구부러지도록 변형하여, 인접한 리드프레임 2ap와 2ap간에 접촉 불량 이 발생한다.

그러나, 상술한 것처럼, 현수리드부(2e)를 설치한 구조에 의해 몰드 가공시에 리드프레임(2a)의 변형은 대폭적으로 감소되어, 인접한 부분 금속블록 47p와 47p간의 리드프레임(2ap) 등의 접촉을 확실하게 막을 수 있다. 따라서, 금속블록 47p와 47p간의 몰드 수지(45)의 형성 폭도 얇게 할 수 있으므로, 보다 높은 방열성을 실현할 수 있어, 전력용 반도체장치의 소형화를 꾀할 수 있다.

또한, 복수의 부분 금속블록(47p)은, 복수의 전력용 칩(41)에 대해서 1 대 1로 대응하고, 또한 대응한 전력용 칩(41)에 대향하도록 배치되어 있으므로, 각 전력용 칩(41)에 대응하여 각 금속블록을 채용할 수 있고, 그 결과, 각각의 전력용 칩(41)의 온도를 균일하게 할 수 있기 때문에, 전력용 반도체장치의 동작 보증을 설정하기 쉬워져, 전력용 칩(41)의 수명도 길게 할 수 있다.

<실시예 3>

도 13은 본 발명의 실시예 3인 전력용 반도체장치의 현수리드부의 주변구조를 모식적으로 나타낸 평면도이다. 동일 도면에 나타낸 것처럼, 현수리드부(2e)의 선단부는, 몰드 수지(45)의 주변영역에 형성된 오목부(56)에 배치된다. 이 구조에 의해, 현수리드부(2e)의 몰드 수지 형성 예정영역(55)(도 6, 도 10 참조) 내의 형성 길이를 몰드 수지(45)가 오목부를 갖지 않은 경우보다 짧게 할 수 있는 만큼, 몰드 가공시에 전력용 칩(41)의 리드프레임(2a)의 강성을 상승시킬 수 있다. 그 결과, 리드프레임(2a)이 변형하기 어려워지므로, 몰드 두께를 더욱 얇게 할 수 있어, 열저항이 감소하고, 방열성이 뛰어난 전력용 반도체장치를 얻을 수 있다.

또한, 몰드 수지(45)에 오목부(56)를 설치하는 만큼, 몰드 수지(45)로부터 노출된 현수리드부(2e)로부터 몰드 수지(45)의 외주상의 절연거리인 연면 절연거리를 길게 할 수 있기 때문에, 장치를 대형화하지 않고 절연성도 향상할 수 있다.

<실시예 4>

도 14는 본 발명의 실시예 4인 전력용 반도체장치의 현수리드부의 주변구조를 모식적으로 나타낸 평면도이다. 동일 도면에 나타낸 것처럼, 상기 실시예 3과 마찬가지로, 현수리드부(2e)의 선단부는, 몰드 수지(45)의 오목부(56)에 배치되고, 또한 몰드 수지(45)의 오목부(56) 내에 수납되도록 절단된다.

즉, 실시예 4에서는, 리드프레임의 절단시, 현수리드부(2e)의 선단부는 몰드 수지(45)의 최외면보다 내측으로 절단된다. 그 결과, 현수리드부(2e)의 선단은 오목부(56)내에 수납된다.

이와 같이 현수리드부(2e)가 몰드 수지(45)의 오목부(56)내에 수납되는 구조의 실시예 4의 전력용 반도체장치는, 실시예 3의 효과와 아울러, 패키징 및 핸들링시에 걸리는 적합치 않음을 방지하여, 취급을 용이하게 할 수 있는 효과를 나타낸다.

발명의 효과

이상 설명한 것처럼, 본 발명에 따른 제 1 국면에 기재된 반도체장치는, 제 1의 리드프레임의 다른 쪽 주표면측에 설치된 금속블록에 의한 방열에 의해서, 제 1의 반도체 칩으로부터 발생하는 열을 양호하게 방열할 수 있다. 이 때, 금속블록은 수지에 의해서 덮여져 있으므로, 외부와는 절연관계를 유지할 수 있다.

또한, 제 1의 리드프레임은, 복수의 현수리드부를 가짐으로써 수지의 몰드가공시에 적어도 2개 이상의 위치에서 지지된 법의 상태로 되어, 제 1의 리드프레임의 강성을 향상시킬 수 있으므로, 금속 프레임에 덮는 수지의 막 두께를 균일하게 형성할 수 있고, 그 결과, 절연성을 확보하면서 방열성을 향상시킬 수 있다.

본 발명의 제 2 국면에 기재된 반도체장치는, 금속블록을 제 1의 반도체 칩과 대향하여 배치함으로써, 제 1의 반도체 칩으로부터 발생하는 열을 효율적으로 방열할 수 있다.

본 발명의 제 3 국면에 기재된 반도체장치는, 복수의 제 1의 부분 리드프레임 각각의 한쪽 주표면 상에 탑재한 적어도 하나의 반도체 칩으로부터 발생하는 열을 각각의 다른 쪽 주표면 상에 탑재한 적어도 하나의 금속블록으로부터 효율적으로 방열할 수 있다.

또한, 본 발명의 제 4 국면에 기재된 반도체장치는, 복수의 부분 금속블록을 복수의 제 1의 반도체 칩과 1 대 1로 대응시키고, 또한 대향하여 배치함으로써, 복수의 제 1의 반도체 칩 각각에 발생하는 열을 대응하는 복수의 부분 금속블록으로부터 효율적으로 방열할 수 있다.

본 발명의 제 5 국면에 기재된 반도체장치는, 금속블록이 접합재에 접하는 면보다도 넓은 면을 접합재와 반대측으로 갖고 있기 때문에, 반도체소자로부터의 열을 확산할 수 있다. 그 때문에, 열전도의 주된 저해요인인 금속블록을 덮는 수지에 보다 넓은 면적의 열을 통과시킬 수 있다. 그 결과, 방열 특성이 개선된다.

또한, 본 발명의 제 6 국면에 기재된 반도체장치는, 복수의 현수리드부의 적어도 하나는 오목부에 위치하도록 설치되므로, 수지의 몰드가공시에 상기 복수의 현수리드부의 적어도 하나의 강성을 향상시켜, 금속 프레임을 덮는 수지의 막 두께를 보다 균일하게 형성할 수 있다.

또한, 수지에 오목부를 설치하는 만큼, 수지로부터 노출된 제 1의 리드프레임 단부로부터의 절연거리인 연면 절연거리를 길게 할 수 있고, 절연성을 향상시킬 수 있다.

또한, 본 발명의 제 7 국면에 기재된 반도체장치는, 복수의 현수리드부의 적어도 하나를 오목부내에 수납되도록 설치함으로써, 반도체장치의 패키징, 핸들링시 등의 취급을 용이하게 할 수 있다.

또한, 본 발명의 제 8 국면에 기재된 반도체장치는, 방열량이 비교적 큰 전력용 칩의 방열을 효과적으로 할 수 있다.

(57) 청구의 범위

청구항 1.

제1,2반도체칩과,

상기 제1,2반도체칩을 한쪽 주표면 상에 각각 탑재하는 제1,2리드프레임과,

상기 제1리드프레임의 다른 쪽 주표면 상에 설치되는 금속블록과,

상기 제1,2반도체칩, 상기 제1,2리드프레임, 상기 금속블록을 덮어 형성되는 수지를 구비하고,

상기 복수의 제1리드프레임은, 각각 한쪽 주표면 상에 적어도 하나의 상기 제1반도체칩을 탑재하며, 다른 쪽 주표면 상에 적어도 하나의 상기 부분 금속블록이 설치되고, 상기 수지로부터 돌출한 복수의 현수리드부를 갖는 것을 특징으로 하는 반도체장치.

청구항 2.

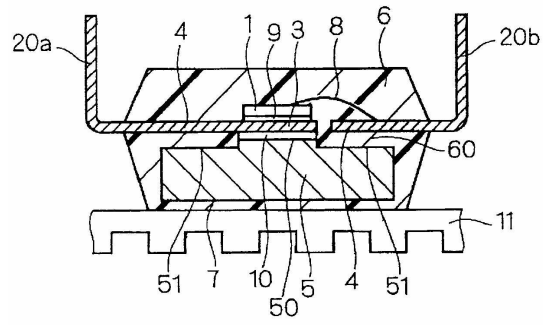
제 1 항에 있어서,

상기 금속블록은, 상기 제1반도체칩과 대향하여 배치된 것을 특징으로 하는 반도체장치.

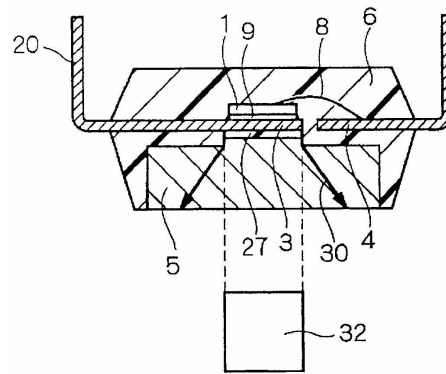
청구항 3.
삭제

도면

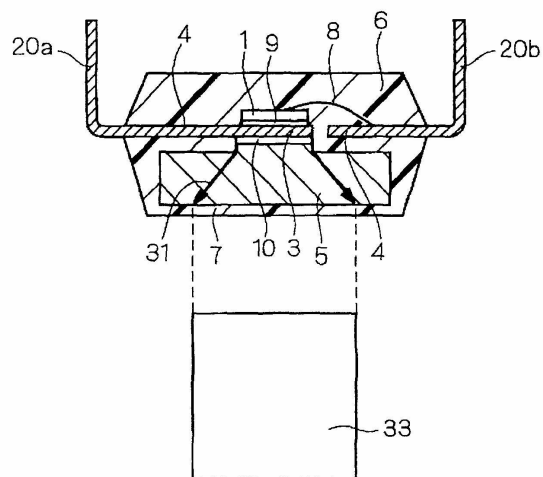
도면1



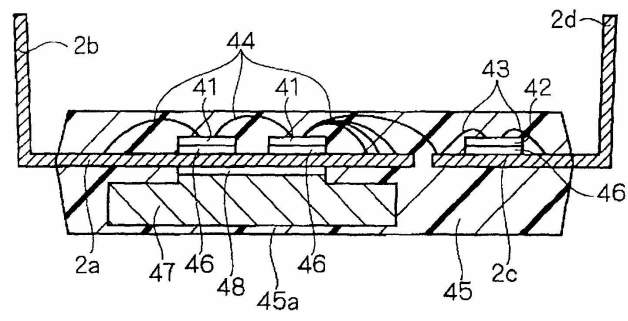
도면2



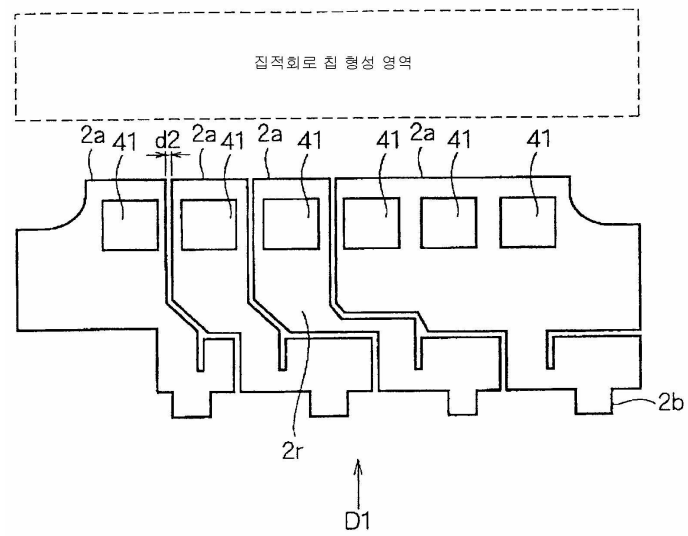
도면3



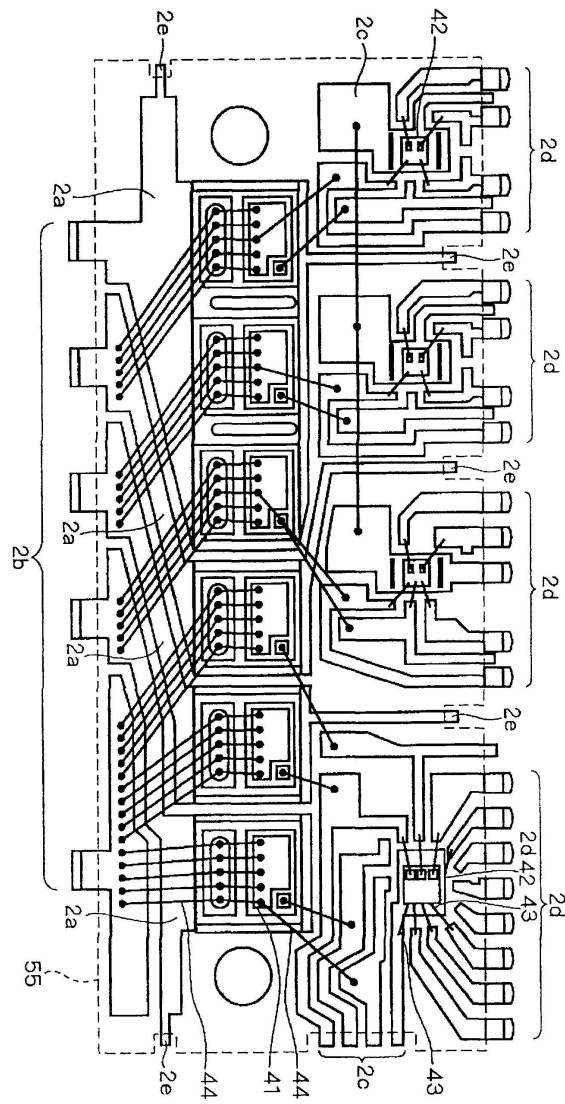
도면4



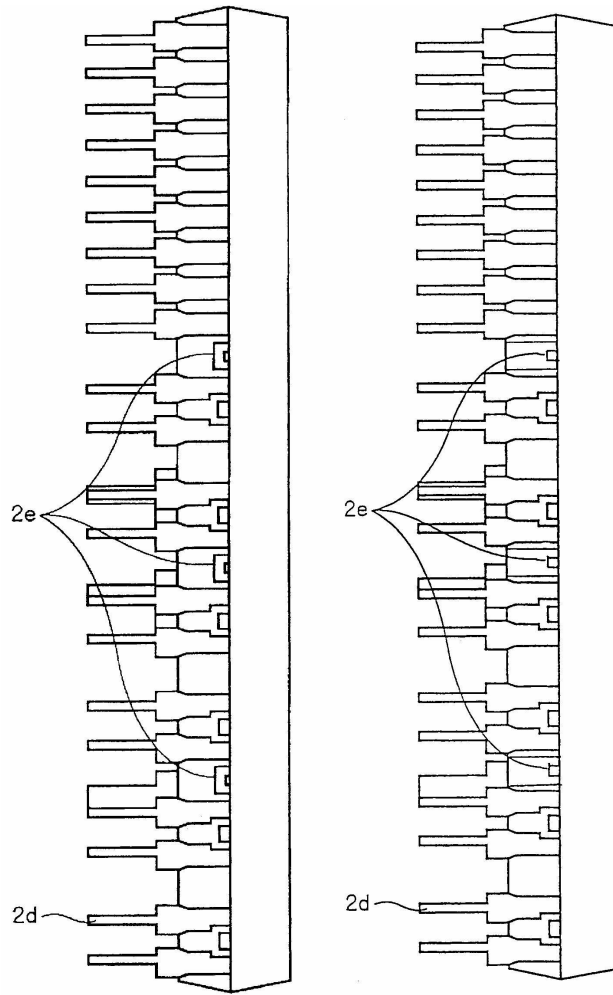
도면5



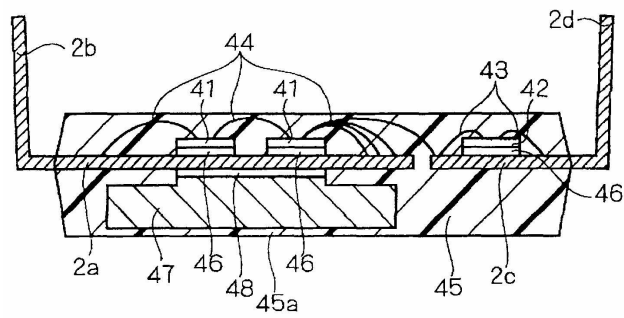
도면6



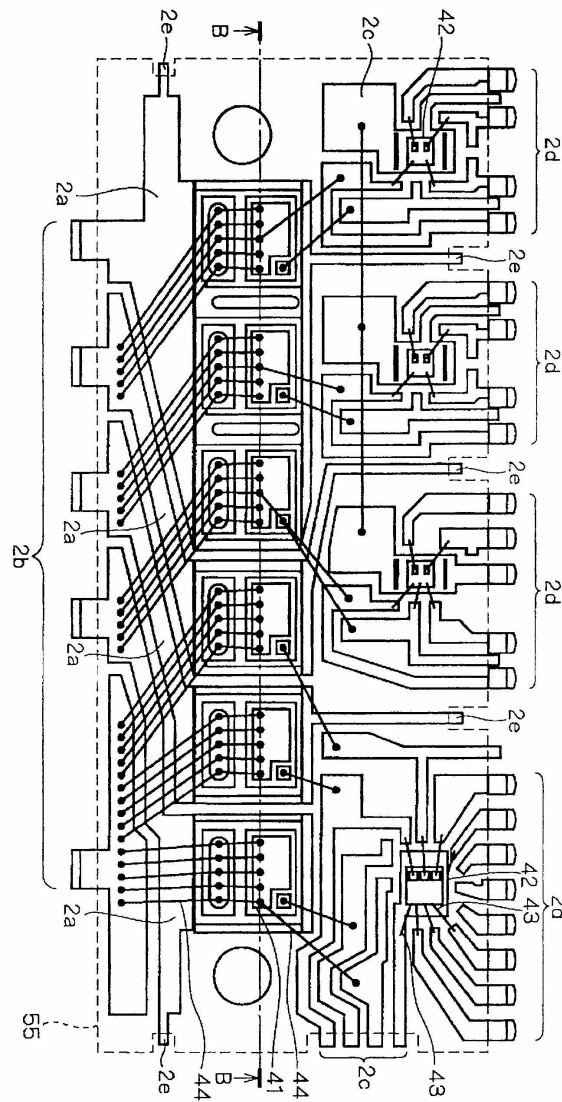
도면8



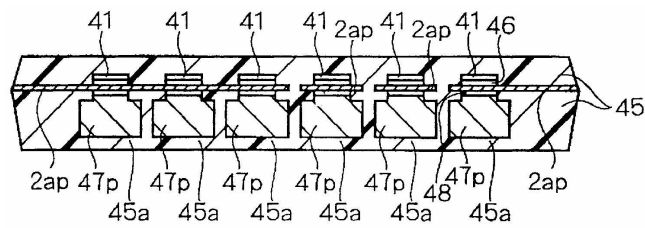
도면9



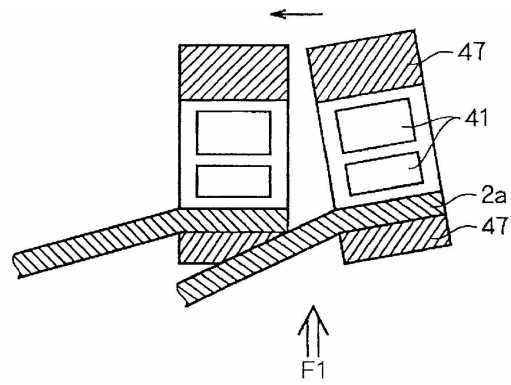
도면10



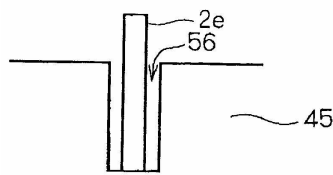
도면11



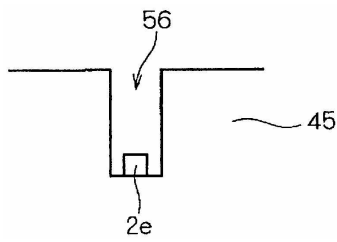
도면12



도면13



도면14



도면15

