

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2008年9月4日 (04.09.2008)

PCT

(10) 国際公開番号
WO 2008/105100 A1

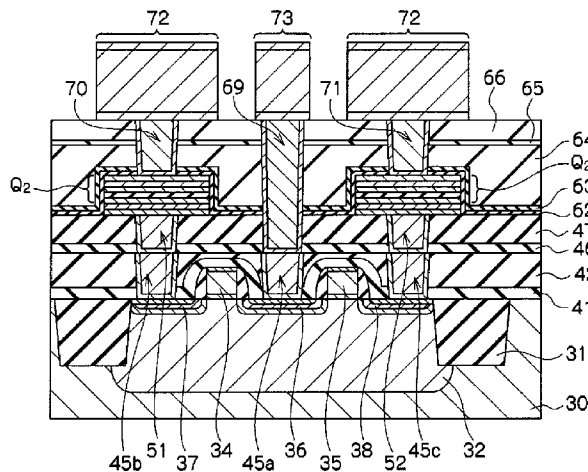
- (51) 国際特許分類:
H01L 21/8246 (2006.01) H01L 27/105 (2006.01)
- (21) 国際出願番号: PCT/JP2007/053836
- (22) 国際出願日: 2007年2月28日 (28.02.2007)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 王文生 (WANG, Wensheng) [CN/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP).
- (74) 代理人: 川上 光治, 外 (KAWAKAMI, Koji et al.); 〒6500034 兵庫県神戸市中央区京町7番地2入江ビル9階 欧和特許事務所 Hyogo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND PROCESS FOR MANUFACTURING THE SAME

(54) 発明の名称: 半導体装置及びその製造方法

[図21]



(57) Abstract: Superior electrode of capacitor (Q_2) comprises first layer (57) consisting of a first oxide of the chemical formula AO_{x1} (A: metal element) wherein $x1$ is a composition parameter, of which the actual composition is represented by the chemical formula AO_{x2} wherein $x2$ is a composition parameter; superimposed on the first layer (57), second layer (58) consisting of a second oxide of the chemical formula BO_{y1} (B: metal element) wherein $y1$ is a composition parameter, of which the actual composition is represented by the chemical formula BO_{y2} wherein $y2$ is a composition parameter, the second oxide composed of crystals joined into stone wall or columnar configuration, the second layer (58) exhibiting an oxidation ratio higher than that of the first layer (57), the composition parameters $x1$, $x2$, $y1$ and $y2$ satisfying the relationship $y2/y1 > x2/x1$; and, superimposed on the second layer (58), third layer (59) consisting of a noble metal film or noble-metal-containing alloy.

(57) 要約: キャパシタ上部電極 Q_2 は、組成パラメータ $x1$ を使って化学式 AO_{x1} (A: 金属元素) で表され実際の組成が組成パラメータ $x2$ を使って化学式 AO_{x2} で表される第1酸化物よりなる第1の層57と、第1の層57上に形成され、組成パラメータ $y1$ を使って化学式 BO_{y1} で表さ

[続葉有]



WO 2008/105100 A1



KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

れ実際の組成が組成パラメータ y_2 を使って化学式 BO_{y_2} (B: 金属元素) で表される第2酸化物であって、石垣状或いは柱状に接合される結晶からなり、第1の層57より酸化の割合が高く構成され、組成パラメータ x_1 、 x_2 、 y_1 および y_2 の間には、関係 $y_2 / y_1 > x_1 / x_2$ が成立する第2の層58と、第2の層58上形成され、貴金属膜或いは貴金属を含む合金よりなる第3の層59とを有する。

明 細 書

半導体装置及びその製造方法

技術分野

[0001] 本発明は、半導体装置及びその製造方法に関し、特に、半導体基板上に形成されて記憶を保持するための強誘電体キャパシタを備えた強誘電体メモリ及びその製造方法に関するものである。

背景技術

[0002] 近年、デジタル技術の進展に伴い、大容量のデータを高速に処理又は保存する傾向が高まっている。このため、電子機器に使用される半導体装置の高集積化及び高性能化が要求されている。

[0003] 半導体記憶装置に関しては、例えばDRAM(Dynamic Random Access Memory)の高集積化を実現するため、DRAMを構成する容量素子の容量絶縁膜として、従来のシリコン(珪素)酸化物又はシリコン窒化物に代えて、強誘電体材料又は高誘電率材料を用いる技術が広く研究開発され始めている。

[0004] また、より低電圧で且つ高速での書き込み動作及び読み出し動作が可能な不揮発性RAMを実現するため、容量絶縁膜として、自発分極特性を有する強誘電体膜を用いる技術も盛んに研究開発されている。このような強誘電体容量絶縁膜を有する半導体記憶装置は、強誘電体メモリ(FeRAM)とよばれる。

[0005] 強誘電体メモリは、強誘電体のヒステリシス特性を利用して情報を記憶する。強誘電体メモリには強誘電体キャパシタが備えられており、強誘電体キャパシタは、強誘電体膜が1対の電極間に容量誘電体膜として挟み込まれて構成されている。強誘電体膜は電極間の印加電圧に応じて分極を生じ、印加電圧が取り去されても自発分極を有する。また、印加電圧の極性を反転すれば、自発分極の極性も反転する。従って、この自発分極を検出すれば、情報を読み出すことができる。強誘電体メモリは、フラッシュメモリに比べて低電圧で動作し、省電力で高速の書き込みが可能である。

[0006] FeRAMのキャパシタを構成する強誘電体膜は、チタン酸ジルコン酸鉛(PZT)、若しくはPZTにLaがドーピングされたPLZT、若しくはCa、Sr若しくはSiを微量ドーピングしたP

ZT系材料、又は、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ (SBT、Y1) 若しくは $\text{SrBi}_2(\text{Ta}, \text{Nb})_2\text{O}_9$ (SBTN、Y Z) 等のBi層状構造化合物等から構成されている。そのような強誘電体膜は、ゾルゲル法、スパッタ法又はMOCVD (Metal Organic Chemical Vapor Deposition : 有機金属気相成長) 法等によって成膜される。

[0007] 通常、これらの成膜法により、下部電極上にアモルファス又は微結晶の状態の強誘電体膜を形成し、その後の熱処理によって結晶構造をペロブスカイト構造やビスマス層状構造へと変化させている。

[0008] キャパシタの電極材料としては、酸化しにくい材料又は酸化しても導電性を維持できる材料を用いることが必要であり、一般的にPt (プラチナ)、Ir (イリジウム) 及び IrO_x (酸化イリジウム) 等の白金族系金属又はその酸化物が広く用いられている。また、配線材料としては、通常の半導体デバイスと同様に、Al (アルミニウム) を用いるのが一般的である。

[0009] FeRAMも、他の半導体デバイスと同様により一層の高集積化及び高性能化が要求されており、今後セル面積の低減が必要となってくる。セル面積の低減には、従来のプレーナ構造に替えて、スタック構造を採用することが有効であることが知られている。

[0010] ここで、スタック構造とは、メモリセルを構成するトランジスタのドレイン上に形成されたプラグ (コンタクトプラグ) の直上にキャパシタを形成した構造をいう。

[0011] 従来のスタック構造のFeRAMにおいて、キャパシタは、W (タングステン) から構成されるプラグの直上にバリアメタル、下部電極、強誘電体膜及び上部電極をこの順で積層した構成を有している。

[0012] バリアメタルは、Wプラグの酸化を防止する役割を有し、バリアメタルの効果と下部電極の効果とを兼ねる材料を選択することが多い。従って、バリアメタルと下部電極材料とを明確に分離することはできないが、バリアメタル及び下部電極は、通常、窒化チタン (TiN) 膜、窒化チタンアルミニウム (TiAlN) 膜、イリジウム (Ir) 膜、酸化イリジウム (IrO_2) 膜、プラチナ (Pt) 膜及びストロンチウム・ルテニウム酸素 (SRO: SrRuO_3) 膜のうちから選択された2以上の膜の組み合わせにより形成される。

[0013] 強誘電体キャパシタを構成する強誘電体膜は、酸化物から構成されているが、非

酸化雰囲気中における処理により容易に酸素欠損を生じ、これに伴い反転電荷量やリーク電流値などの強誘電体膜としての特性が劣化してしまう。強誘電体キャパシタを製造する際には、強誘電体膜に生じた損傷を回復させるために、酸素雰囲気中での熱処理を複数回行う必要がある。このため、上部電極の材料としては、プラチナ等のように酸素雰囲気中でも酸化しにくい金属又は酸化イリジウム若しくは酸化ルテニウム等の導電性酸化物が用いられている。

[0014] ところで、近年ではFeRAMにおいても微細化に対する厳しい要求が課せられており、これに伴い強誘電体キャパシタの微細化および多層配線構造の採用が要求されている。さらに携帯型情報処理装置への適用に関連して、低電圧動作が要求されている。

[0015] FeRAMが低電圧で動作可能なためには、強誘電体キャパシタを構成する強誘電体膜が大きな反転電荷量 Q_{sw} を有することが要求される。しかし、強誘電体キャパシタの上方に多層配線構造を形成する工程において、還元雰囲気での処理あるいは非酸化雰囲気での処理において強誘電体キャパシタの特性が劣化する。

[0016] より具体的に説明すると、強誘電体キャパシタの上の上部電極をPt膜あるいはIr膜などにより形成した場合、その上で多層配線構造を形成する際に使われる還元雰囲気中の水素がPt膜やIr膜中に侵入してこれらの金属の触媒作用により活性化され、活性化された水素により強誘電体キャパシタ中の酸化物強誘電体膜が還元されてしまう問題が生じる。

[0017] 強誘電体膜が還元されると強誘電体キャパシタの動作特性は大きく劣化してしまう。かかる強誘電体膜の特性劣化の問題は、強誘電体キャパシタが微細化され、キャパシタ絶縁膜が微細化されにつれて特に顕著に現れる。

[0018] 特開2004-273787号公報(特許文献1)には、結晶中の酸素欠損と結晶成長中の過剰酸素による結晶性の低下とを同時に解決するために、下部電極 IrO_2 形成に40容量%～97容量%の酸化ガスを用いる方法が記載されている。

[0019] 特許第3661850号公報(特許文献2)には、強誘電体膜上に形成される上部電極を第1の導電性酸化膜と第2の導電性酸化膜とにより構成し、さらに第2の導電性酸化膜を第1の導電性酸化膜よりもより化学量論組成に近い組成に形成することにより

、強誘電体キャパシタの電気特性が多層配線構造工程に劣化させることなく微細化できることが記載されている。

[0020] 特開2006-128274(特許文献3)には、強誘電体キャパシタの3層の上部電極が、白金、酸化イリジウム、イリジウムからなることが提案されている。

[0021] 特開2000-91270号公報(特許文献4)には、下部電極又は上部電極としてIr膜及び IrO_2 を連続して形成する方法が開示されている。更に、強誘電体膜中の空孔を低減させるために、 IrO_2 膜を形成した後にRTA(Rapid Thermal Annealing)を行い、更に、Ir膜を形成する方法も開示されている。

[0022] 特許第3299909号公報(特許文献5)には、膜厚36nm～82nmの IrO_2 を上層、膜厚22nm～66nmのIrを下層とする積層構造からなる電極が記載されている。

[0023] 特開2001-127262号公報(特許文献6)には、低パワーで IrO_2 膜を形成した後に高パワーで IrO_2 膜を更に形成するという2段階スパッタ法が開示されている。

[0024] 特開2002-246564号公報(特許文献7)、特開2005-183842号公報(特許文献8)などには、(i)貴金属の導電性下部電極を成膜し、(ii)下部電極を強誘電体材料層で覆い、(iii)強誘電体層に1回目の急速加熱アニーリング(RTA)を施し、(iv)貴金属酸化物の上部電極層を成膜し、その後に、(v)強誘電体層と上部電極層に2回目のアニールを施す工程が記載されている。このような工程によって、より高いスイッチング電荷量を得ることができ、好ましくは良好な疲労特性を得ることができると記載されている。

[0025] 特許文献8には、強誘電体膜上に導電性酸化物膜を形成後にRTAを施し、更に、酸素雰囲気中炉アニールを施す方法も開示されている。

[0026] 特開2006-73648号公報(特許文献9)には、強誘電体膜上に上部電極膜を形成する際に、結晶化した微結晶を含む IrO_x 膜を成膜した後に、柱状晶を含む IrO_x 膜を形成する工程が開示されている。これにより、薄膜化しても強誘電体膜の特性を十分に引き出すことができると記載されている。

特許文献1:特開2004-273787号公報

特許文献2:特許第3661850号公報

特許文献3:特開2006-128274号公報

特許文献4:特開2000－91270号公報

特許文献5:特許第3299909号公報

特許文献6:特開2001－127262号公報

特許文献7:特開2002－246564号公報

特許文献8:特開2005－183842号公報

特許文献9:特開2006－73648号公報

発明の開示

発明が解決しようとする課題

- [0027] 以上のように強誘電体キャパシタの特性を向上するための種々の技術が開発されているが、それらのうち、特許文献2に記載の技術を用いる場合には、形成条件によってキャパシタ特性が劣化することがある。

即ち、強誘電体膜上のキャパシタ上部電極において、上側の第2の導電性酸化膜を下側の第1の導電性酸化膜よりもより化学量論組成に近い組成に形成している。しかし、第2導電性酸化膜を厚くすると、それ自体に異常成長が生じてその下の強誘電体膜の膜質を劣化させることがあった。

- [0028] 本発明の目的は、酸素組成量、即ち酸化度が異なる複数の導電性酸化膜を備えたキャパシタ上部電極の結晶性を改善することができる半導体装置及びその製造方法を提供することにある。

課題を解決するための手段

- [0029] 本願によれば、強誘電体キャパシタを構成する上部電極は、化学量論組成が組成パラメータ x_1 を使って化学式 AO_{x_1} (Aは金属元素)で表されて実際の組成が組成パラメータ x_2 を使って化学式 AO_{x_2} で表される導電性酸化物よりなる第1の層と、その第1の層上に形成され、化学量論組成が組成パラメータ y_1 を使って化学式 BO_{y_1} で表され実際の組成が組成パラメータ y_2 を使って化学式 BO_{y_2} (Bは金属元素)で表される酸化物よりなる第2の層と、前記第2の層上に形成され、貴金属膜或いは貴金属を含む合金よりなる第3の層とから構成される。さらに、第2の層は石垣状或いは柱状に存在する多数の結晶粒から構成され、第1の層より酸化の割合が高く構成され、組成パラメータ x_1 , x_2 , y_1 及び y_2 の間には、関係 $(y_2/y_1) > (x_2/x_1)$ が成立することを特

微とする半導体装置及びその製造方法が提供される。

発明の効果

[0030] 本願は、第2導電性酸化膜が成膜する時、成膜条件をうまくコントロールし、成膜後第2導電性酸化膜が石垣状或いは柱状に集合した微結晶から構成される。その後の熱処理工程でも、 IrO_y が微結晶化からさらに結晶化するが、結晶のシュリンクの発生が抑えられ、きれいな第2導電酸化膜が得られる。そのような構造の第2導電性酸化膜は、水素を含む雰囲気中に曝された場合でも、膜中の金属成分の触媒作用が低減して、水素を活性化しにくくなり、ひいては強誘電体膜の特性を従来よりも向上できる。

[0031] そのような上部電極を有する強誘電体キャパシタは、多層配線工程に水素などの浸入を防ぎ、工程劣化をなくさせるので、デバイスのスイッチング特性、初期特性及びリテンション特性の向上を期待できる。

[0032] 第2導電性酸化膜の成膜条件のコントロールとして、例えば成膜温度を50～75℃に制御すれば、密度の均一な微結晶 IrO_y 膜が得られ、その後、熱処理しても、膜中空位の発生を抑えられる。これにより、強誘電体キャパシタ形成後の多層配線工程において、強誘電体膜への水素などの浸入を防ぎ、工程による劣化をなくさせるので、デバイスのスイッチング特性、初期特性及びリテンション特性の向上を期待できる。

図面の簡単な説明

[0033] [図1]図1(a)～(c)は、本発明の第1実施形態に係る半導体装置の形成工程を示す断面図(その1)である。

[図2]図2(a)～(c)は、本発明の第1実施形態に係る半導体装置の形成工程を示す断面図(その2)である。

[図3]図3(a)～(c)は、本発明の第1実施形態に係る半導体装置の形成工程を示す断面図(その3)である。

[図4]図4(a)、(b)は、本発明の第1実施形態に係る半導体装置の形成工程を示す断面図(その4)である。

[図5]図5(a)、(b)は、本発明の第1実施形態に係る半導体装置の形成工程を示す断面図(その1)である。

[図6]図6(a)、(b)は、本発明の第1実施形態に係る半導体装置の形成工程を示す断面図(その6)である。

[図7]図7(a)、(b)は、本発明の第1実施形態に係る半導体装置の形成工程を示す断面図(その7)である。

[図8]図8(a)～(f)は、本発明の実施形態に係る半導体装置を構成するIrO_y膜の成膜条件を変えた場合のRTA前の膜表面の金属顕微鏡写真(その1)である。

[図9]図9(a)～(f)は、本発明の実施形態に係る半導体装置を構成するIrO_y膜の成膜条件を変えた場合のRTA前の膜表面の金属顕微鏡写真(その2)である。

[図10]図10(a)～(f)は、本発明の実施形態に係る半導体装置を構成するIrO_y膜の成膜条件を変えた場合のRTA後の膜表面の金属顕微鏡写真(その1)である。

[図11]図11(a)～(f)は、本発明の実施形態に係る半導体装置を構成するIrO_y膜の成膜条件を変えた場合のRTA後の膜表面の金属顕微鏡写真(その2)である。

[図12]図12(a)～(c)は、本発明の第2実施形態に係る半導体装置の形成工程を示す断面図(その1)である。

[図13]図13(a)～(c)は、本発明の第2実施形態に係る半導体装置の形成工程を示す断面図(その2)である。

[図14]図14(a)～(c)は、本発明の第2実施形態に係る半導体装置の形成工程を示す断面図(その3)である。

[図15]図15(a)、(b)は、本発明の第2実施形態に係る半導体装置の形成工程を示す断面図(その4)である。

[図16]図16(a)、(b)は、本発明の第2実施形態に係る半導体装置の形成工程を示す断面図(その5)である。

[図17]図17(a)、(b)は、本発明の第2実施形態に係る半導体装置の形成工程を示す断面図(その6)である。

[図18]図18(a)、(b)は、本発明の第2実施形態に係る半導体装置の形成工程を示す断面図(その7)である。

[図19]図19(a)、(b)は、本発明の第2実施形態に係る半導体装置の形成工程を示す断面図(その8)である。

[図20]図20(a)、(b)は、本発明の第2実施形態に係る半導体装置の形成工程を示す断面図(その9)である。

[図21]図21(a)、(b)は、本発明の第2実施形態に係る半導体装置の形成工程を示す断面図(その10)である。

[図22]図22は、本発明の第2実施形態に係る半導体装置を構成するキャパシタの上部電極の形成条件を変えて形成された試料のそれぞれのスイッチング電荷量を示すグラフである。

[図23]図23は、リファレンスに係る半導体装置を構成するキャパシタを示す断面図である。

[図24]図24は、リファレンスに係る半導体装置を構成するキャパシタの断面を示すTEM写真である。

[図25]図25(a)、(b)は、本発明の第2実施形態に係る半導体装置を構成するキャパシタにおける第2導電性酸化膜の結晶状態の一例を示す断面図である。

[図26]図26は、本発明の第2実施形態に係る半導体装置を構成するキャパシタの上部電極の形成条件を変えて形成された試料のそれぞれのアシンメトリを示すグラフである。

[図27]図27は、強誘電体キャパシタの電圧－電荷のヒステリシス特性を示す図である。

[図28]図28(a)、(b)は、本発明の第2実施形態に係る半導体装置の形成条件を変えた場合の強誘電体キャパシタの供給電圧－スイッチング電荷量の特性を示す図である。

[図29]図29(a)、(b)は、本発明の第3実施形態に係る半導体装置の形成工程を示す断面図(その1)である。

[図30]図30(a)、(b)は、本発明の第3実施形態に係る半導体装置の形成工程を示す断面図(その2)である。

[図31]図31(a)、(b)は、本発明の第4実施形態に係る半導体装置の形成工程を示す断面図(その1)である。

[図32]図32(a)、(b)は、本発明の第4実施形態に係る半導体装置の形成工程を示

す断面図(その2)である。

[図33]図33(a)、(b)は、本発明の第5実施形態に係る半導体装置の形成工程を示す断面図(その1)である。

[図34]図34(a)、(b)は、本発明の第5実施形態に係る半導体装置の形成工程を示す断面図(その2)である。

符号の説明

- [0034] 1 半導体基板、
22 ソース／ドレイン領域、
8 層間絶縁膜、
9 下部電極膜、
10 強誘電体膜、
11a 第1導電性酸化膜(第1の層)、
11b 第2導電性専科膜(第2の層)、
11c 金属膜(第3の層)、
9q キャパシタ下部電極、
10a キャパシタ誘電体膜、
11q キャパシタ上部電極、
Q₁ 強誘電体キャパシタ、
30 シリコン基板(半導体基板)、
37～38 ソース／ドレイン領域、
42、47 層間絶縁膜、
45a、45b、45c、51、52 プラグ、
53 下地絶縁膜、
54 酸素核酸バリア膜、
55 下部電極膜、
56 強誘電体膜、
57 第1導電性酸化膜(第1の層)、
58 第2導電背酸化膜(第2の層)、

59 金属膜(第3の層)、

M マスク、

Q_2 強誘電体キャパシタ。

発明を実施するための最良の形態

[0035] 以下に本発明の実施の形態を図面に基づいて詳細に説明する。

(第1の実施の形態)

図1～図6は、本発明の第1実施形態に係る半導体装置の形成工程を示す断面図である。なお、本実施形態における半導体装置は、強誘電体メモリであって、便宜上、その構造については、製造方法と共に説明する。

[0036] 先ず、図1(a)に示す構造を形成するまでの工程を説明する。

シリコン等の半導体基板1の表面に、素子活性領域を区画する素子分離絶縁膜2を、例えばロコス(LOCOS:Local Oxidation of Silicon)法により形成する。なお、素子分離絶縁膜2は、半導体基板1に凹部を形成し、その中に酸化シリコンを埋め込んだシャロートレンチアイソレーション(STI)構造を採用してもよい。

[0037] 次に、素子分離絶縁膜2により区画された素子活性領域内に、ゲート絶縁膜3を介してゲート電極4を形成する。ゲート絶縁膜3としては、例えば、熱酸化により、厚さが100nm程度の SiO_2 膜を形成する。また、ゲート電極4は、例えばパターニングされたポリシリコン膜からなり、その上にはシリサイド層5が形成されている。なお、ポリシリコン膜にはドーパントがドーブされる。

[0038] ゲート電極4の両側の半導体基板1内にはドーパントが複数回に分けてドーブされ、エクステンション領域21を有するソース/ドレイン拡散領域22が形成される。例えば、ゲート電極4をマスクにして半導体基板1にドーパントを導入してエクステンション領域21を形成した後に、ゲート電極4の側面に絶縁性のサイドウォール6を形成し、さらにサイドウォール6及びゲート電極4をマスクにして半導体基板1にドーパントを導入してソース/ドレイン領域22を形成する。

[0039] それらゲート絶縁膜3、ゲート電極4、シリサイド層5、サイドウォール6、エクステンション領域層21及びソース/ドレイン拡散領域22等によりトランジスタ(MOSFET)trが構成される。

- [0040] 次いで、MOSFETtrを覆うようにして半導体基板1の全面に酸化シリコン膜(SiON膜)7を形成し、更に全面にシリコン酸化膜8aを形成する。SiON膜7は、シリコン酸化膜8aを形成する際の水素によるゲート絶縁膜3等の劣化を防止するために形成されている。
- [0041] シリコン酸化膜8aは、例えば、気相成長(CVD)法により、テトラエトキシシラン(Tetraethoxysilane (TEOS))を反応ガスに用いて700nm程度の厚さに形成される。続いて、CMP(化学機械的研磨)法により、シリコン酸化膜8aの上面を平坦化する。
- [0042] その後、窒素(N_2)雰囲気中で、650°C、30分間のアニール処理を行うことにより、シリコン酸化膜8aの脱ガスを行う。次に、シリコン酸化膜8a上に、密着膜8bとしてアルミナ(Al_2O_3)膜を例えばスパッタ法により20nm程度の厚さに形成する。
- [0043] 密着膜8bとして、アルミナ膜の他に、厚さが20nm程度のTi膜又は TiO_x 膜等を採用してもよい。又は、密着膜8bは、厚さが20nmのTi膜と厚さが180nmのPt膜からなる積層構造を採用してもよい。例えば、Ti膜は150°Cで形成することができ、Pt膜は100°C又は350°Cで形成することができる。密着膜8b及びシリコン酸化膜8aを第1の層間絶縁膜8とする。
- [0044] 以上により図1(a)に示す構造が形成される。
- 次に、図1(b)に示すように、密着膜8bの上に下部電極膜9を形成する。下部電極膜9として、例えば、Pt膜をスパッタ法により150nm程度の厚さに形成する。
- [0045] 続いて、図1(c)に示すように、下部電極膜9上に強誘電体膜10をアモルファス状態で形成する。強誘電体膜10としては、例えばRFスパッタ法によって、PLZT膜を100nm～200nm程度の厚さに形成する。スパッタ用のターゲットとして、例えば $PLZT((Pb, La)(Zr, Ti)O_3)$ を用いる。
- [0046] 続いて、Ar及び O_2 を含有する雰囲気中で強誘電体膜10及び下部電極膜9に650°C以下の高速熱処理(RTA: Rapid Thermal Annealing)を施し、更に、酸素雰囲気中において温度750°Cで強誘電体膜10及び下部電極膜9に2回目のRTAを施す。この結果、強誘電体膜10が結晶化すると共に、下部電極膜9を構成するPt膜が緻密化し、下部電極膜9と強誘電体膜10との界面近傍におけるPtとOとの相互拡散が抑制される。

[0047] その後、図2(a)～(c)に示すように、強誘電体膜10上に上部電極膜11を形成する。

[0048] 上部電極膜11の形成に当たっては、先ず、図2(a)に示すように、強誘電体膜10上に第1導電性酸化膜11aを形成する。第1導電性酸化膜11aとして、成膜の時点で結晶化した IrO_x 膜をスパッタ法により10～50nmの厚さに形成する。 IrO_x 膜の成長条件として、例えば、成膜温度を300℃とし、成膜雰囲気に導入するガスとしてAr及び O_2 を用い、スパッタパワーを0.5～3.0kW、例えば1.0kW程度とする。この場合、例えば、Arの流量を140sccm、 O_2 の流量を60sccmとする。

[0049] 次に、図2(b)に示すように、 IrO_x の第1導電性酸化膜11a上に、 IrO_y からなる第2導電性酸化膜11bをスパッタ法で30nm～200nmの厚さに形成する。この場合、 IrO_y の成膜温度を30℃以上100℃以下の範囲、好ましくは30℃以上、75℃以下の範囲に設定して成膜の時点で IrO_y が粒径5～60nmに微結晶化していることを望ましい。

[0050] IrO_y の成膜雰囲気に導入するガスとしてAr及び O_2 を用い、 O_2 の流量 f_1 とArの流量 f_2 の割合(f_1/f_2)は、 IrO_x の第1導電性酸化膜11a成長時のその割合よりも高く設定することを前提とする。そして、 IrO_y 成膜時に、例えば、Arの流量を100sccmとし、 O_2 の流量を100sccmとする。この場合、スパッタパワーを0.5～3.0kW、例えば1.0kW程度とする。

[0051] 第2導電性酸化膜11bをほぼ同じ膜質に形成するためには、スパッタパワーと酸素ガス比率は相関関係がある。例えば、スパッタパワーを低くする場合には酸素ガス比率を下げると、ほぼ同じ膜質が得られる。また、スパッタパワーを高くする場合には酸素ガス比率を上げると、ほぼ同じ膜質が得られる。

このような条件で形成された IrO_y の第2導電性酸化膜11bは、異常酸化を発生させずにきれいな IrO_y 微結晶膜となる。

[0052] IrO_y 成長時の基板温度を30℃以上100℃以下の範囲で設定する理由は、以下のような事前調査の結果から導き出された。事前調査は、ウェハ上に成長温度を異ならせて複数の IrO_y 膜を成長したRTA前の試料と、1容量%の酸素を含む雰囲気中でRTAにより各 IrO_y 膜を700℃で60秒間加熱したRTA後の試料とを用意した。

- [0053] 調査に使用される IrO_y 膜は、通常の酸化膜で覆われた複数のシリコンのウェハの上にそれぞれ100nmの厚さに成膜された。成膜時の各ウェハの温度は、50℃、75℃、100℃、150℃、200℃、250℃にそれぞれコントロールされた。成長された IrO_y 膜はさらに1容量%の酸素を含む雰囲気中でRTAにより700℃で60秒間熱処理された。
- [0054] RTAにより熱処理される前の各 IrO_y 膜の表面を金属顕微鏡により1000倍で拡大した画像の写真を図8、図9に示す。さらに、RTAにより熱処理された各 IrO_y 膜の表面を金属顕微鏡により1000倍に拡大した画像の写真を図10、図11に示す。
- [0055] なお、図8、図9に示す画像は、それぞれシリコンウェハの中心部の IrO_y 膜の表面像であり、図10、図11に示す画像は、それぞれシリコンウェハの右の領域での IrO_y 膜の表面像である。
- [0056] まず、図8(d)～(f)、図9(d)～(f)に示すように、 IrO_z の成膜温度が150℃以上になると、 IrO_z が完全に結晶化するが、 IrO_z 膜に異常成長が生じて平滑な表面モフォロジが得られない。 IrO_z の成膜温度が100℃では、微結晶と大きな結晶が混在しているが、表面モフォロジは図8(c)、図9(c)に示すようにやや平滑になる。また、 IrO_z の成膜温度が75℃以下では、微結晶な IrO_z になるので、図8(a)、(b)、図9(a)、(b)に示すように、非常に平滑な表面モフォロジを有する。
- [0057] 図10(a)～(f)、図11(a)～(f)によれば、RTAにより処理された後の IrO_y 膜の表面状態は、RTA処理前の状態がそのまま反映されている。従って、RTA後の表面状態は IrO_y からなる第2導電性酸化膜11bの成長温度に依存することがわかり、平滑な表面モフォロジを得るためには IrO_y 膜を100℃以下、好ましくは75℃以下で成長する。
- [0058] 以上のような温度条件で第2の導電性酸化膜11bを形成した後に、図2(c)に示すように、第2の導電性酸化膜11b上にIr、Ru等の貴金属或いはその貴金属を含む合金よりなる金属膜11cをスパッタにより形成する。
- [0059] 上記のような条件で形成された IrO_x の第1導電性酸化膜11aと IrO_y の第2導電性酸化膜11bと金属膜11cは併せて上部電極膜11となる。なお、金属膜11cを形成せずに、第1導電性酸化膜11aと第2導電性酸化膜11bにより上部電極11を構成して

もよい。

- [0060] 上記の強誘電体膜10及び上部電極膜11の形成方法は第1の例であり、次のような第2例～第5例の工程を含む方法を採用してもよいし、その他の方法を採用してもよい。
- [0061] 第2例は、強誘電体膜10形成後、Ar及びO₂を含有する雰囲気中において、650℃以下の基板温度で例えば560℃のRTA処理を行い、その後に、第1導電性酸化膜11aとしてIrO_xを室温或いはそれより高い温度で20nm～75nmの厚さに形成する工程を含む方法である。
- [0062] 室温で成膜する場合には、例えば、Arを100sccm、O₂を56sccmに設定し、成膜パワーを2kWとする。また、室温より高い温度、例えば300℃で成膜する場合、Arの流量を140sccm、O₂の流量を60sccmとし、成膜パワーを1kWとする。その後、第1、第2導電性酸化膜11a, 11bをRTAで650℃～750℃(例えば、725℃)で熱処理を行う。この熱処理は、強誘電体膜10を完全に結晶化すると同時に、強誘電体膜10と第1導電性酸化膜11aの界面をフラットにする。この方法は、強誘電体キャパシタの低電圧動作とそのスイッチング特性の向上に非常に有利である。
- [0063] 第3例は、強誘電体膜10の形成後に、1番目の方法と同じ方法で熱処理を行い、更に薄いアモルファス強誘電体膜を形成し、その後、1つ目の方法と同じ条件で第1導電性酸化膜11aをアモルファス強誘電体膜上に形成し、熱処理を行う工程を含む方法である。この方法で形成されたキャパシタの特徴は、第1例の方法で説明した特徴の他に、キャパシタのリーク電流を低減できるという利点がある。
- [0064] 第4例は、強誘電体膜10が結晶化してある場合に、その上にアモルファス強誘電体(不図示)膜を形成し、その後に第1導電性酸化膜11aを形成する工程を含む方法である。
- [0065] 第5例は、第2導電性酸化膜11bを形成した後に、再度RTAで650～750℃の温度範囲、例えば700℃の熱処理を行う工程を含む方法である。この方法は、上部電極膜11と強誘電体膜10の密着性を向上する上に、上部電極膜12の結晶を更に良くする。
- [0066] 以上のような方法により上部電極膜11を形成した後に、半導体基板1の背面洗浄

を行う。続いて、上部電極用マスクパターン(不図示)を使用して上部電極膜11をパターンニングすることにより、図3(a)に示すようなキャパシタ上部電極11qを形成する。そのキャパシタ上部電極11qは、例えば素子分離絶縁膜2の上方に位置させる。

[0067] 次に、 O_2 雰囲気中において温度650℃で60分間の条件で、強誘電体膜10の膜質回復アニール処理を行う。この熱処理は、キャパシタ上部電極11qを形成する際に強誘電体膜10が受けた物理的なダメージ等を回復させるためのものである。

[0068] その後、図3(b)に示すように、マスク(不図示)を用いて強誘電体膜10のパターニングを行うことにより、キャパシタ誘電体膜10qを形成する。キャパシタ誘電体膜10qは、キャパシタ上部電極11qに重なる領域とこれからはみ出した領域に形成される。

[0069] 続いて、後に形成する第1の保護膜12の剥がれ防止用の酸素アニールを行う。

[0070] 次に、図3(c)に示すように、第1の保護膜12として Al_2O_3 膜をスパッタリング法にてキャパシタ上部電極11q、キャパシタ絶縁膜10q、密着膜8b上の全面に形成する。第1の保護膜12は、外部からキャパシタ誘電体膜10qに水素が侵入することを防止する。続いて、スパッタリングにより生じたキャパシタ絶縁膜10qの損傷を緩和するために、酸素アニールを行う。

[0071] その後、図4(a)に示すように、マスク(不図示)を使用して第1の保護膜12及び下部電極膜9を連続してパターンニングすることにより、下部電極膜9からなるキャパシタ下部電極9qを形成する。キャパシタ下部電極9qは、キャパシタ誘電体膜10q及びキャパシタ上部電極11qに重なる領域とこれからはみ出す領域を含む大きさを有している。

[0072] 以上のようなパターンニングにより形成されたキャパシタ下部電極9q、キャパシタ誘電体膜10q及びキャパシタ上部電極11qにより強誘電体キャパシタ Q_1 が構成される。

[0073] 続いて、図4(b)に示すように、次に形成される第2の保護膜13の剥がれを防止するための酸素アニールを行う。

[0074] 第2の保護膜13として Al_2O_3 膜がスパッタリング法により第1の保護膜13及び密着膜8bの上に形成される。続いて、強誘電体キャパシタ Q_1 のリークを低減させるために、酸素アニールを行う。

[0075] その後、図5(a)に示すように、第2の層間絶縁膜14を高密度プラズマ法により全面

に形成する。第2の層間絶縁膜14は、TEOSを用いて形成されるシリコン酸化膜であり、その厚さを例えば1.5 μm 程度とする。

[0076] 続いて、CMP法により、第2の層間絶縁膜14の上面を平坦化する。次に、 N_2O ガスを用いたプラズマ処理を第2の層間絶縁膜14に施す。これにより、第2の層間絶縁膜14の表層が若干窒化され、その内部に水分が浸入しにくくなる。なお、このプラズマ処理は、N又はOの少なくとも一方が含まれたガスを用いていれば有効的である。

[0077] 次いで、図5(b)に示すように、MOSFETtrのソース/ドレイン拡散領域22まで到達する深さのコンタクトホール14aを、第2の層間絶縁膜14、第2の保護膜13、密着膜8b、シリコン酸化膜8a及びSION膜7に形成する。

[0078] その後、コンタクトホール14a内にバリア金属膜15aとしてTi膜及びTiN膜を連続してスパッタリング法により形成する。続いて、六フッ化タングステンを含むガスを使用してCVD法にてタングステン(W)膜15bをコンタクトホール14a内に埋め込む。その後、CMP法により第2の層間絶縁膜14の上面上からW膜15b及びバリア金属膜15aを除去することにより、コンタクトホール14a内に残されたW膜15b及びバリア金属膜15aを導電性のプラグ15とする。

[0079] 次に、図6(a)に示すように、プラグ15の酸化防止膜16としてSiON膜を、例えばプラズマエンハンスドCVD法により形成する。

[0080] 続いて、図6(b)に示すように、SiON膜16、層間絶縁膜14及び第1、第2の保護膜12、13の所定領域をエッチングすることにより、上部電極11aまで到達するコンタクトホール14bと、下部電極9aのコンタクト領域まで到達するコンタクトホール14cをそれぞれ形成する。

[0081] その後、キャパシタ誘電体膜10qの損傷を回復させるために、酸素アニールを行う。

[0082] 続いて、図7(a)に示すように、酸化防止膜16をエッチバックにより全面にわたって除去することにより、Wプラグ15の表面を露出させる。

[0083] 次に、図7(b)に示すように、キャパシタ上部電極11qの表面の一部、キャパシタ下部電極9qの表面の一部、及びプラグ15の表面が露出した状態で、第2の層間絶縁膜14の上にAl膜を形成し、このAl膜のパターニングを行うことにより、Al配線17a～

17cを形成する。この場合、第1のAl配線17aはWプラグ15に接続され、第2のAl配線17bはコンタクトホール14bを通してキャパシタ上部電極11qに接続され、また、第3のAl配線17cはコンタクトホール14cを通してキャパシタ下部電極17cに接続される。

[0084] その後、特に図示しないが、層間絶縁膜の形成、コンタクトプラグの形成及び下から第2層目以降の配線の形成等を行う。そして、例えばTEOS酸化膜及びSiN膜からなるカバー膜を形成して強誘電体キャパシタを有する強誘電体メモリを完成させる。

[0085] 表1は、前記上部電極の第1、2層導電性酸化膜11a、11bを構成する IrO_x 、 IrO_y について、化学量論組成 IrO_2 を基準とした酸化の程度を高分解能RBS (ラザフォード後方散乱、Rutherford Back-scattering Spectrometry) 分析装置HRBSV500により調べた結果を示す。 IrO_2 は、 IrO_y の組成パラメータyが2となる場合に相当する。

[表1]

導電性酸化膜	成膜温度	成膜ガス流量(sccm) Ar : O_2	HRBS結果x (IrO_x)
IrO_x	20°C	100 : 52	1. 20
IrO_x	20°C	100 : 59	1. 50
IrO_x	300°C	140 : 60	1. 92
IrO_y	20°C	100 : 100	2. 10
IrO_y	60°C	100 : 100	2. 10
IrO_y	300°C	120 : 80	2. 02

[0086] 表1よりわかるように、このようにして形成された強誘電体キャパシタ Q_1 では、キャパシタ上部電極11qの第1層導電性酸化膜11aを構成する IrO_x 膜よりも第2層導電性酸化膜11bを構成する IrO_y 膜の方が酸化の割合が高く($x < y$)、第2層導電性酸化膜の IrO_y 膜16はほぼ理想的な化学量論組成を有していることがわかる。組成yは、2又はそれ以上であることが好ましい。

[0087] 本実施形態では、上述のように、第1導電性酸化膜11aの上に、それよりも酸化度が高い IrO_y の第2導電性酸化膜11bを形成し、更にその上に貴金属又は貴金属を含む金属膜11cを形成している。これらの膜11a～11cにより構成されるキャパシタ上部電極11qは、異常な IrO_x 結晶成長を避けることができる。さらなる詳細については

、第2実施形態で説明される。

- [0088] また、以上の方法により形成されたキャパシタ Q_1 は、強誘電体膜10の上層と上部電極膜11と反応しにくく、それらの界面で層の生成が抑制される上に、第2の導電性酸化膜11bでの巨大結晶の成長が抑制されるため、後の還元雰囲気中での熱処理においても水素の拡散が生じにくく、強誘電体膜が還元されにくい。従って、良好なキャパシタ特性を得ることができる。
- [0089] 一般的に、金属状態のIrやPtは水素触媒として作用することが周知である。すなわち、金属状態のIrやPtと接触すると水素は活性化される。単膜のIrやPtからキャパシタ上部電極を構成すると、半導体装置の製造工程で強誘電体キャパシタが劣化しやすくなるので、使用できない。
- [0090] また、第1層導電性酸化膜11aの上に直接に金属状態のIrやPtの金属膜11cを形成して上部電極膜11を構成しても同じく工程劣化しやすくなる。
- [0091] 即ち、強誘電体キャパシタのスイッチング電荷量は、第2の層間絶縁膜14の上方に配線を三層構造に形成した後では、形成する前に比べて50%以下になる。これは、第1導電性酸化膜11aを構成する IrO_x 膜($x=1.3\sim 1.9$)中では、組成パラメータ x の値が化学量論組成 $x=2.0$ よりも小さいため酸素欠損が生じており、酸化物成分と金属成分が混在している。
- [0092] 酸化されていない金属成分は、強誘電体キャパシタ形成後の層間絶縁膜形成工程や配線パターン形成工程で生じる水素を活性化する。かかる活性化された水素はキャパシタ特性を劣化する。
- [0093] 一方、化学量論組成に近い第2導電性酸化膜11bを構成する IrO_y 膜($y=2$)中には、酸素欠損が少なく金属Ir成分がほとんど含まれていないため水素が活性化されにくい。しかも、上部電極膜11を構成する第2導電性酸化膜11bを 100°C 以下、好ましくは 30°C 以上、 75°C 以下の範囲の温度で成長しているので第2導電酸化膜11bを構成する粒径 $5\text{nm}\sim 60\text{nm}$ の IrO_y は石垣状又は柱状の微結晶となる。これにより第2導電性酸化膜11bは従来よりも緻密の膜になり、その中での大きな空孔(ボソボソ)の発生を無くし水素の通過を抑制する。従って、強誘電体キャパシタ Q_1 上に多層配線構造を形成した後でも、そのキャパシタ特性が劣化せずに維持されと考えられ

る。

[0094] つまり、上述の実施形態によれば、キャパシタ上部電極11qと強誘電体膜10qとの界面を改善し、また、工程劣化を改善することができる。この結果、反転電荷量を向上させ、抗電圧を低減し、疲労耐性及びインプリント耐性を向上させることができる。そして、このような強誘電体キャパシタは、次世代の低電圧で動作する強誘電体メモリに極めて好適である。

[0095] ところで、上部電極膜11を構成する第1、第2導電性酸化膜11a、11bのそれぞれの構成金属をA、Bとすれば、第1導電性酸化膜11aは、成膜当初には組成パラメータ x_1 を使って化学式 AO_{x_1} で表され、その後のプロセスを経た実際の状態で組成パラメータ x_2 を使って化学式 AO_{x_2} で表される。なお、AとBは、同一であっても異なってもよい。異なる例としては、AとBの一方がIrであり他方がRuである層である。

[0096] また、第1導電性酸化膜11a上に形成される第2導電性酸化膜11bは、成膜当初には組成パラメータ y_1 を使って化学式 BO_{y_1} で表され、その後のプロセスを経た実際の状態で組成パラメータ y_2 を使って化学式 BO_{y_2} で表される。そして、第2導電性酸化膜11bは、石垣状又は柱状に接合した多数の微結晶からなり、第1導電性酸化膜11aより酸化の割合が高く、さらに、組成パラメータ x_1 、 x_2 、 y_1 及び y_2 の間には、 $(y_2/y_1) > (x_2/x_1)$ の関係が成立する。つまり、半導体装置の形成工程において、キャパシタ上部電極11q内の酸素量が初期状態から変化しても、第2導電性酸化膜11bの酸化の組成は、第1導電性酸化膜11aの酸化の組成よりも大きい。また、組成 y_1 は、2又はそれ以上が好ましい。 x_1 、 x_2 、 y_1 及び y_2 の関係については、以下の第2～第5実施形態でも同様である。

[0097] (第2の実施の形態)

以下、本発明の実施形態について説明する。但し、ここでは、便宜上、強誘電体メモリの各メモリセルの断面構造については、その製造方法と共に説明する。

[0098] 図12～図21は、本発明の実施形態に係る強誘電体メモリ(半導体装置)の製造方法を工程順に示す断面図である。

まず、図12(a)に示す構造を形成するまでの工程を説明する。

[0099] n型又はp型のシリコン(半導体)基板30表面に、トランジスタの活性領域を画定す

るSTI(Shallow Trench Isolation)用の溝を形成し、その中に酸化シリコン等の絶縁膜を埋め込んで素子分離絶縁膜31とする。なお、素子分離絶縁膜31の構造はSTIに限られず、LOCOS法で形成されてもよい。

[0100] 次いで、シリコン基板30の活性領域にp型不純物を導入してpウェル32を形成した後、その活性領域の表面を熱酸化することにより、ゲート絶縁膜33となる熱酸化膜を形成する。

[0101] 続いて、シリコン基板31の上側全面に非晶質又は多結晶のシリコン膜を形成し、これらの膜をフォトリソグラフィ法によりパターニングして二つのゲート電極34, 35を形成する。

[0102] pウェル32上には、上記の2つのゲート電極34, 35が間隔をおいて平行に配置され、それらのゲート電極34, 35はワード線の一部を構成する。

[0103] 次いで、ゲート電極34, 35をマスクにするイオン注入により、ゲート電極34, 35の横のシリコン基板30にn型不純物を導入し、第1、第2ソース／ドレインエクステンション領域36a、37a、38aを形成する。

[0104] その後に、シリコン基板30の上側全面に絶縁膜を形成し、その絶縁膜をエッチバックしてゲート電極34, 35の側面に絶縁性サイドウォール39として残存させる。その絶縁膜として、例えばCVD法により酸化シリコン膜を形成する。

[0105] 続いて、絶縁性サイドウォール39とゲート電極34, 35をマスクにしながら、シリコン基板30にn型不純物を再びイオン注入することにより、2つのゲート電極34, 35両側方のシリコン基板30の表層にソース／ドレイン領域(不純物拡散領域)36, 37, 38を形成する。

[0106] シリコン基板30の活性領域に形成されたゲート絶縁膜、ゲート電極34, 35及びソース／ドレイン領域36, 37, 38によって第1、第2MOSトランジスタ T_1 、 T_2 が構成される。

[0107] 次に、シリコン基板30の上側全面に、スパッタ法によりコバルト層等の高融点金属層を形成した後、この高融点金属層を加熱してシリコンと反応させ、ソース／ドレイン領域36, 37, 38表層に高融点金属シリサイド層39を形成する。この工程では、ゲート電極34, 35の表層部分にも高融点金属シリサイド層40が形成され、それによりゲ

ート電極34, 35が低抵抗化されることになる。素子分離絶縁膜31の上等で未反応となっている高融点金属層は、エツトエツチングにより除去される。

[0108] 続いて、カバー絶縁膜41としてSiON膜をプラズマCVD法により約200nmの厚さに形成する。続いて、カバー絶縁膜41の上に第1層間絶縁膜42として酸化シリコン膜を厚さ約1000nmに形成する。酸化シリコン膜は、TEOSガスを使用するプラズマCVD法により形成される。

[0109] その後に、第1層間絶縁膜42の上面をCMP法により研磨して平坦化する。このCMPの結果、第1層間絶縁膜42の厚さは、シリコン基板30の平坦面上で約700nmとなる。

[0110] 次に、図12(b)に示すように、フォトリソグラフィ法によりカバー絶縁膜41と第1層間絶縁膜42をパターンニングして、 $0.25\mu\text{m}$ の径で第1～第3のソース/ドレイン拡散領域36～38のそれぞれを露出する第1～第3のコンタクトホール42a～42cを形成し、それらの中に導電性プラグ43～45を形成する。

[0111] 導電性プラグ43～45を形成する工程は、第1～第3のコンタクトホール中42a～42c内に厚さ30nmのTi膜と厚さ20nmのTiN膜を順に積層し、これらにより第1の密着膜(グルー膜)43を構成する。さらに、第1密着膜43上に第1のW膜44をCVD法により成長することにより、第1のW膜44を第1～第3のコンタクトホール42a～42c内に充填する。第1のW膜44は、第1層間絶縁膜42上の平坦面上で約300nmの厚さに成長される。

[0112] この後に、第1層間絶縁膜42の表面上の余分な第1の密着膜43と第1のW膜44をCMP法により除去する。これにより、第1～第3のコンタクトホール42a～42c内にそれぞれ残された第1の密着膜43と第1のW膜44をそれぞれ第1～第3の導電性プラグ45a～45cとする。

[0113] 次に、図12(c)に示すように、第1～第3の導電性プラグ45a～45c及び第1層間絶縁膜42の上に、SiONよりなる酸化防止膜46をプラズマCVD法により例えば130nmの膜厚に形成する。さらに、酸化防止膜46上に、第2層間絶縁膜47としてシリコン酸化膜を例えば300nmの厚さに形成する。シリコン酸化膜は、TEOSを原料としたプラズマCVD法により例えば300nmの膜厚に形成される。

[0114] なお、酸化防止膜46として、SiON膜の代わりに、SiN膜や酸化アルミニウム(Al_2O_3)膜を形成してもよい。

[0115] さらに、図13(a)に示すように、第2層間絶縁膜47及び酸化防止膜46をパターンニングすることにより、pウェル32の両側寄りの第2、第3の導電プラグ45b、45c上に第4、第5のコンタクトホール48b、48cを形成する。

[0116] 次に、第4、第5のコンタクトホール48b、48c内に、第1の密着膜43、第1のW膜44と同じ条件で、第2の密着膜49と第2のW膜50を順に形成する。その後に、CMPにより第2のW膜50と第2の密着膜49を第2層間絶縁膜43の上面上から除去する。

[0117] このCMPでは、研磨対象である第2の密着膜49と第2のW膜50の研磨速度が、下地の第2層間絶縁膜47の研磨速度よりも速くなるようなスラリー、例えばCabot Microelectronics Corporation製の商品SSW2000を使用する。そして、第2層間絶縁膜47上に研磨残を残さないために、このCMPによる研磨量は第2の密着膜49及び第2のW膜50の合計膜厚よりも厚く設定される。即ち、そのCMPはオーバー研磨となる。

[0118] これにより、第4、第5のコンタクトホール48b、48c内に残された第2のW膜50と第2の密着膜49を第4、第5の導電性プラグ51、52とする。第4、第5の導電性プラグ51、52はそれぞれ、それらの下の導電性プラグ45b、45cを介して第2、第3のソース／ドレイン拡散領域37、38に接続される。

[0119] 次に、アンモニア(NH_3)プラズマにより発生させたNH基を第2層間絶縁膜47表面の酸素原子に結合させる。

[0120] これにより、その後に発生させるTi原子が第2層間絶縁膜47上にさらに堆積されても、堆積したTi原子は酸素原子に捕獲されてしまうことがない。これにより、Ti原子は第2層間絶縁膜47表面を自在に移動でき、その結果、第2層間絶縁膜47上には、(002)配向に自己組織化されたTi膜(不図示)が形成される。

[0121] そのアンモニアプラズマ処理は、例えば半導体基板30に対して約9mm(350mils)離間した位置に対向電極を有する平行平板型のプラズマ処理装置を使う。その処理条件として、例えば、266Pa(2Torr)の圧力下、400℃の基板温度で保持された処理容器中にアンモニアガスを350sccmの流量で供給し、被処理基板側に13.56MHzの高周波を100Wのパワーで、また前記対向電極に350kHzの高周波を55W

のパワーで、60秒間供給する。

[0122] 次に、例えば半導体基板30とターゲット(不図示)の間の距離を60mmに設定したスパッタ装置のチャンバ内を0.15PaのAr雰囲気とし、20℃の基板温度で2.6kWのスパッタDCパワーを35秒間供給する。これにより、強い(002)配向のTi膜が例えば100nmの厚さに形成される。

[0123] その後、RTAで窒素の雰囲気中でTi膜を650℃、60秒の熱処理を行い、図13(b)に示すように、Ti膜を(111)配向のTiNの導電性密着膜53に変える。この導電性密着膜53の厚さとして100nm～300nmが好ましい。本実施例は約100nmとされる。

[0124] なお、導電性密着膜3は、窒化チタン膜に限定されず、タングステン膜、シリコン膜、及び銅膜のいずれかを形成してもよい。

[0125] 次に、図13(c)に示すように、導電性密着膜53の上に、酸素拡散バリア膜54としてTiAlN膜を反応性スパッタにより例えば100nmの厚さに形成する。導電性密着膜53を形成するスパッタ条件として、TiとAlを合金化したターゲットを使用し、スパッタ雰囲気中にArを40sccm、窒素を10sccmで導入し、スパッタ雰囲気内を253.3Paの圧力下に設定し、400℃の基板温度に設定し、スパッタパワーを1.0kWに設定する。

[0126] 次に、図14(a)に示すように、酸素拡散バリア膜54上に、下部電極膜55と強誘電体膜55を順に形成する。

[0127] 下部電極膜55として、スパッタにより100nmの厚さのIr膜が形成される。下部電極膜55のスパッタ条件として、Ar雰囲気中にIrターゲットを設置し、その内部を0.11Paの圧力下に設定し、基板温度を500℃、スパッタパワーを0.5kWに設定する。

[0128] 下部電極膜55の形成後に、シリコン基板30をRTAでAr雰囲気中、650℃以上、60秒の熱処理を行う。この熱処理は、下部電極膜55を形成する温度より高く、シリコン基板30全面の温度を均一させるので、シリコン基板30の中央から周辺に至るまで下部電極膜55の結晶性を向上できる。これにより、下部電極膜55の結晶性はシリコン基板30の面内分布がかなり改善できる。熱処理の雰囲気は、Arに限らない、不活性ガス例えばN₂、Heなどでも良い。

- [0129] なお、下部電極膜55としてIr膜の代わりにPtなどの白金族の金属、あるいは PtO_x , IrO_x , SrRuO_3 などの導電性酸化物を用いてもよい。さらに下部電極膜55は、上記の金属あるいは金属酸化物の積層膜としてもよい。この場合、下部電極膜55と酸素拡散バリア膜54の合金として PtAl_x 又は RuAl_x が形成される。
- [0130] 上記の強誘電体膜56として、例えばPZT膜が下部電極膜55上にMOCVD法により形成される。PZT膜は、より具体的には以下のような工程で形成される。
- [0131] まず、 $\text{Pb}(\text{DPM})_2$ と $\text{Zr}(\text{DMHD})_4$ と $\text{Ti}(\text{O}-i\text{Or})_2$ ($\text{DPM})_2$ をそれぞれテトラヒドロフラン(THF)溶媒中にいずれも0.3mol/l(モル/リットル)の濃度で溶解し、Pb、Zr及びTiの各液体原料を形成する。さらに、これら3つの液体原料を、MOCVD装置の気化器に、流量が0.474ml(ミリリットル)/分のTHF溶媒とともに、それぞれ0.326ml/分、0.200ml/分、および0.200ml/分の流量で供給し、気化させることにより、Pb、ZrおよびTiの原料ガスを生成する。
- [0132] さらに、MOCVD装置のチャンバ内を665Pa(5Torr)の圧力下に設定し、基板温度を620°Cに保持する。そして、上記のPb、ZrおよびTiの各原料ガスを、MOCVD装置のチャンバ中に対し620秒間導入する。これにより、下部電極膜55上には、所望のPZT膜が約100nmの厚さに形成される。
- [0133] なお、酸素を含む雰囲気中において600°C~620°Cの温度で60秒間の熱処理をPZT膜に施すことが望ましい。この熱処理はPZT膜表面に吸着した不純物を飛ばせ、キャパシタの特性を向上させる。
- [0134] 続いて、PZT膜の全面に、例えばスパッタ法により、アモルファス強誘電体膜を形成する。アモルファス強誘電体膜としては、例えば膜厚が1nm~30nm(例えば20nm)の強誘電体膜を形成する。MOCVDで成膜する場合は、例えば鉛(Pb)供給用の有機ソースとして、 $\text{Pb}(\text{DPM})_2$ ($\text{Pb}(\text{C}_{11}\text{H}_{19}\text{O}_2)_2$) をTHF液に溶かした材料が用いられる。また、ジルコニウム(Zr)供給用の有機ソースとして、 $\text{Zr}(\text{DMHD})_4$ ($\text{Zr}(\text{C}_9\text{H}_{15}\text{O}_2)_4$) をTHF液に溶かした材料が用いられる。チタン(Ti)供給用の有機ソースとして、 $\text{Ti}(\text{O}-i\text{Pr})_2$ ($\text{DPM})_2$ ($\text{Ti}(\text{C}_3\text{H}_7\text{O})_2$ ($\text{C}_{11}\text{H}_{19}\text{O}_2$)) をTHF液に溶かした材料が用いられる。
- [0135] 次に、図14(b)に示すように、強誘電体膜56上に第1導電性酸化膜57を形成する

。第1導電性酸化膜57の形成に当たっては、先ず、強誘電体膜56上に、厚さが20nm～70nm(たとえば、25nm)で成膜の時点で結晶化した IrO_x 膜をスパッタ法により形成する。成膜条件について、例えば、成膜温度を300℃とし、成膜ガスとしてAr及び O_2 を用い、Arの流量を140sccm、 O_2 の流量を60sccmに設定し、スパッタパワーを例えば1kW程度とする。

[0136] ついで、シリコン基板30をRTA法で熱処理する。この熱処理は強誘電体膜56を完全に結晶化させ、強誘電体膜56を構成するPZT膜中の酸素欠損を補償すると同時に、プラズマダメージを受けた第1導電性酸化膜56の膜質も回復できる。RTA法の条件については、加熱雰囲気内に置かれる基板温度を25℃に設定し、加熱雰囲気内に酸素を流量200sccm、Arを流量1800sccmで導入し、さらに熱処理時間を60秒間とする。

[0137] 次に、図14(c)に示すように、 IrO_x の第1導電性酸化膜57の上に IrO_y の第2導電性酸化膜58をスパッタ法により50nm～200nmの厚さに形成する。この時、成膜温度を30℃以上、100℃以下の温度範囲、好ましくは50℃以上、75℃以下の範囲内に設定する。第2導電性酸化膜58は、成膜の時点で IrO_y が微結晶化して石垣状或いは柱状に多数結合していることが望ましい。温度範囲については、第1実施形態において既に説明したので、ここでは省略する。

[0138] 第2導電性酸化膜58の成膜時には、IrターゲットとAr及び O_2 のガスを用いる。その際のArに対する O_2 の割合は、 IrO_x の第1導電性酸化膜57の成長時のその割合よりも高くすることを前提とする。 IrO_y 成膜のガスの流量は、例えば、Arの流量を100sccm、 O_2 の流量を100Sccmとする。また、スパッタパワーは、例えば1kW程度に設定される。

[0139] 以上の条件で形成された IrO_y からなる第2導電性酸化膜58は、異常酸化がなく、きれいな結晶膜が得られた。この際、工程劣化を抑えるために、第1実施形態と同様に、 IrO_y 膜は IrO_2 の化学量論組成に近い組成を有しているので、水素に対して触媒作用を生じることがなく、強誘電体膜が水素ラジカルにより還元されてしまう問題が抑制され、キャパシタの水素耐性が向上する。

[0140] なお、第1、第2導電性酸化膜57、58を構成する材料として、 IrO_x 、 IrO_y 又は IrO_2

の代わりにプラチナ(Pt)、イリジウム(Ir)、ルテニウム(Ru)、ロジウム(Rh)、レニウム(Re)、オスmium(Os)、パラジウム(Pd)かその酸化物、及び SrRuO_3 などの導電性酸化物やこれらのいずれかを選択した積層構造としても良い。

[0141] 次に、RTA法によりシリコン基板30を熱処理する。その条件として、例えば基板温度を 700°C に設定し、酸素を流量 20sccm 、Arを流量 2000sccm で導入する雰囲気中で基板の熱処理時間を60秒間とする。この熱処理によれば、強誘電体膜56及び第1、2導電性酸化膜57、58の密着性向上する上に、第2導電性酸化膜58の結晶性より安定させ、酸素欠損などの欠陥をなくす。

[0142] 続いて、図15(a)に示すように、 IrO_y からなる第2導電性酸化膜58の上に、厚さが $50\text{nm} \sim 150\text{nm}$ のIrあるいはRuからなる金属膜59を形成する。Irの場合、例えば、基板温度を 400°C に設定し、成膜雰囲気中にArを流量 199sccm で導入するスパッタ法により形成する。

[0143] 上記のような IrO_x からなる第1導電性酸化膜57と、 IrO_y からなる第2導電性酸化膜58と、Ir又はRuからなる金属膜59は、合わせてキャパシタの上部電極膜になる。

[0144] シリコン基板30の背面を洗浄した後に、図15(b)に示すように、上部電極を構成する金属膜59の上にスパッタ法でアルミナ膜、窒化チタン膜を形成し、これらを第1マスク材料層60aとする。更に、第1マスク材料層60a上に、TEOSガスを使用するCVD法により酸化シリコン膜を形成し、その酸化シリコン膜を第2マスク材料層60bとする。

[0145] 次いで、第2マスク材料層60b上にフォトリソを塗布し、これを露光、現像して、第4、第5の導電性プラグ51、52の上にキャパシタ平面形状を有する島状のレジストパターンRを形成する。そして、レジストパターンRをマスクにして第2マスク材料層60bをパターニングする。さらに、パターニングされた第2マスク材料層60bをマスクにして第1マスク材料層60aをエッチングする。

[0146] パターニングされた第1、第2マスク材料層60a、60bは、図16(a)に示すように、ハードマスクMとして使用される。レジストパターンRは、第1マスク材料層60aをエッチングした後に除去される。

[0147] 次に、図16(b)に示すように、 HBr 、 O_2 、Ar及び C_4F_8 の混合ガスをエッチングガスとするプラズマエッチングにより、ハードマスクMに覆われていない部分の上部電極

膜57～59、PZT膜56及び下部電極膜55を連続してドライエッチングする。

[0148] これにより、パターニングされた上部電極膜57～59はキャパシタ上部電極61となり、パターニングされた強誘電体膜56はキャパシタ誘電体膜56qとなり、さらに、パターニングされた下部電極膜55はキャパシタ下部電極55qとなり。キャパシタ上部電極61、キャパシタ誘電体膜56q及びキャパシタ下部電極55qにより強誘電体キャパシタ Q_2 が構成される。

[0149] 続いて、図17(a)に示すように、ドライエッチング或いはウェットエッチにより第2マスク材料層60bを除去する。例えば、ウェットエッチングとしてフッ酸が使用される。

[0150] 次に、図17(b)に示すように、強誘電体キャパシタ Q_2 に覆われていない部分の酸素バリアメタル膜54、導電性密着膜53及び第1マスク材料層60aをドライエッチングして除去する。

[0151] さらに、図18(a)に示すように、強誘電体キャパシタ Q_2 を覆う Al_2O_3 よりなる第1の保護絶縁膜62をスパッタ法により20nmの厚さに形成する。なお、第1の保護絶縁膜62として、ALD(atomic layer deposition)法で膜厚2nmのアルミナ膜を形成してもよいし、また、スパッタ法によりPZT膜又は TiO_x 膜を形成してもよい。

[0152] 続いて、図18(b)に示すように、ダメージを受けたキャパシタ誘電体膜56qの膜質を回復させる目的で、酸素含有雰囲気中でキャパシタ誘電体膜56qに対して回復アニールを施す。この回復アニールの条件は特に限定されないが、本実施形態では、加熱炉内において基板温度550℃～700℃として行われる。また、キャパシタ誘電体膜56qがPZTの場合には、酸素の雰囲気中において基板温度600℃で60分間のアニールを行うことが望ましい。

[0153] さらに、図19(a)に示すように、第1の保護絶縁膜62及び強誘電体キャパシタ Q_2 を覆う第2の保護絶縁膜63を形成する。第2の保護絶縁膜63は、水素バリア膜として機能する。なお、第2の保護絶縁膜63として、 Al_2O_3 をCVD法により約40nmの厚さに形成してもよい。

[0154] 次に、図19(b)に示すように、第2の保護絶縁膜63上に、例えば膜厚が1500nmのシリコン酸化物から構成される第3層間絶縁膜64を形成する。シリコン酸化物は、基板全面に、例えばプラズマCVD法により形成される。その原料ガスとして、例えば

、TEOSガスと酸素ガスとヘリウムガスとの混合ガスを用いる。なお、第3層間絶縁膜64として、例えば、絶縁性を有する無機膜等を形成してもよい。

[0155] 続いて、例えばCMP法により、第3層間絶縁膜64の表面を平坦化する。さらに、 N_2O ガス又は N_2 ガス等を用いて発生させたプラズマ雰囲気にて、第3層間絶縁膜64に対して熱処理を行う。熱処理の結果、第3層間絶縁膜64中の水分が除去されると共に、第3層間絶縁膜64の膜質が変化し、その中に水分が入りにくくなる。

[0156] その後、第3層間絶縁膜64の全面に、例えばスパッタ法又はCVD法により、バリア膜(第3の保護絶縁膜)65を形成する。バリア膜65として、例えば、膜厚が20nm～100nmの酸化アルミニウム膜を形成する。平坦化された第3層間絶縁膜64上に形成されたバリア膜65は平坦となる。

[0157] 次に、図20(a)に示すように、バリア膜65の全面に第4層間絶縁膜66を形成する。第4層間絶縁膜66として、例えば、TEOSガスを用いてプラズマCVD法により膜厚が800nm～1000nmのシリコン酸化膜を形成する。なお、第4層間絶縁膜66として、 SiON 膜又はシリコン窒化膜等を形成してもよい。この後に、例えばCMP法により、第4層間絶縁膜66の表面を平坦化する。

[0158] さらに、図20(b)に示すように、強誘電体キャパシタ Q_2 上に第6～第8の導電性プラグ69～70を形成する。第6～第8の導電性プラグ69～70は以下の工程により形成される。

[0159] まず、強誘電体キャパシタ Q_2 の上方に開口部を有するレジストパターン(不図示)を第4層間絶縁膜66上に形成する。その後に、そのレジストパターンをマスクを使用して第4層間絶縁膜66から第3層間絶縁膜64までをエッチングすることにより、強誘電体キャパシタ Q_2 のキャパシタ上部電極60の上にビアホール66aを形成する。これにより、ビアホール66aから第2の保護絶縁膜63が露出する。

[0160] レジストパターンを除去した後に、シリコン基板30を酸素雰囲気中に置いて450℃で熱処理する。これにより、第1ビアホール66aの形成に伴ってキャパシタ誘電体膜56qに生じた酸素欠損を回復させる。

[0161] この後に、ビアホール66aの形成と同様な方法によって、第4層間絶縁膜66から第3層間絶縁膜42までをエッチングして、pウェル32の中央領域の上にある第1の導電

性プラグ45aの上方にコンタクトホール66bを形成する。これにより、コンタクトホール66bからは酸化防止膜46が露出する。

[0162] 次に、ビアホール66aを通して酸化防止膜46をウェットエッチングすることにより、キャパシタ上部電極60の上面を露出させる。また、コンタクトホール66bを通し第1、第2の保護絶縁膜62、63を部分的にエッチングすることにより、第1の導電性プラグ45aの上面を露出させる。

[0163] その後、ビアホール66aとコンタクトホール66bの表面にTiN膜を単層で密着膜67として形成する。密着膜67は、Ti膜をスパッタにより形成し、その上にTiN膜をMO CVD法により形成することにより、二層構造から構成することも可能である。

[0164] この場合、TiN膜から炭素除去を行うため、窒素と水素の混合ガスプラズマ中での処理が必要になる。しかし、本実施形態では、キャパシタ上部電極60の最上層である金属膜59が水素バリア機能を有するIr膜から構成しているため、キャパシタ上部電極60が還元される問題は生じない。

[0165] この後に、密着膜67上にW膜68をCVD法により成長し、これによりビアホール66aとコンタクトホール66bの中をW膜68で埋め込む。続いて、第4層間絶縁膜66上のW膜68及び密着膜67をCMPにより除去する。

[0166] これにより、コンタクトホール66b内に残されたW膜68を第6の導電性プラグ69とし、さらに、ビアホール66a内に残されたW膜68をビアプラグ70とする。

[0167] 次に、第4層間絶縁膜66上には、例えばスパッタ法により、膜厚が60nmのTi膜、膜厚が30nmのTiN膜、膜厚が360nmのAlCu合金膜、膜厚が5nmのTi膜、及び、膜厚が70nmのTiN膜を順次形成する。この結果、Ti膜、TiN膜、AlCu合金膜、Ti膜及びTiN膜からなる積層膜が形成される。

[0168] 次に、図21に示すように、フォトリソグラフィ技術を用いて積層膜をパターニングする。これにより、積層膜からなる配線(第1金属配線層)が形成される。即ち、ビアプラグ70に接続される配線73と、第6の導電性プラグ69に接続される導電性パッド73などが形成される。

[0169] その後、更に、層間絶縁膜の形成、コンタクトプラグの形成及び下から第2～5層目以降の配線の形成等を行う。そして、例えばTEOS酸化膜及びSiN膜からなるカバ

一膜を形成して強誘電体キャパシタを有する強誘電体メモリを完成させる。その詳細の説明は省略する。

[0170] 以上のような構成を有する本実施形態に係る強誘電体キャパシタ Q_2 の電気特性を以下に説明する。

[0171] ここで、 IrO_y の組成 $y=2$ として、第2導電性酸化膜58を IrO_2 から構成する。成膜温度を次の2つの条件I、IIに設定して、 IrO_2 膜を作製した。

[0172] I. ウェハ(シリコン基板)温度をコントロールせずに初期状態では室温で IrO_2 膜を成膜する。つまり、静電チャックの温度コントロールをOFFする。この場合、 IrO_2 膜の成長過程で、ウェハの温度が徐々に上昇する。(W/OES)。

[0173] II. IrO_2 膜を成長する際の複数のウェハの各温度を25、50、60、75及び100℃にそれぞれ設定して複数の試料を作成した。

これらの条件により形成された複数の強誘電体キャパシタ Q_2 について、図21に示した一層目の配線72を形成した後の状態で、電気特性をそれぞれ測定し、さらに、5層目の配線(不図示)を形成した後のプロセスアウトの状態の電気特性を測定した。

[0174] 図22は、キャパシタ上部電極61を構成する第2導電性酸化膜58、即ち IrO_2 膜の成長温度条件を異ならせた複数の強誘電体キャパシタ Q_2 のそれぞれについて測定したスイッチング電荷量(反転電荷量) Q_{sw} を示す。図中W/OESは、上記(I)の条件で第2導電性酸化膜58を形成した場合を示す。なお、反転電荷量の測定の印加電圧を±1.8Vとした。

[0175] 強誘電体キャパシタ Q_2 の試料として大きさの異なる2種類を作成した。第1の種類の、平面形状が $50\mu\text{m} \times 50\mu\text{m}$ の正方形の同一のキャパシタをシリコン基板1に互いに孤立するように56個作成したでディスクリート(Discrete)であり、そのスイッチング電荷量は Q_{sw} (SQ)として示される。

[0176] 第2の種類の、平面形状が $0.7\mu\text{m} \times 0.7\mu\text{m}$ の同一のキャパシタを5152個密集して形成してなるセル領域を56箇所作成したセルアレイ(Cell Array)であり、そのスイッチング電荷量は Q_{sw} (CA)として示される。

[0177] 図22によれば、第2導電性酸化膜58を構成する IrO_2 膜の成膜温度をコントロールしない、あるいは25℃成膜した場合には、 Q_{sw} (CA)のスイッチング電荷量が小さく

なる。スイッチング電荷量が小さくなるのは、第2導電性酸化膜58を構成する IrO_2 膜の成膜温度をコントロールしない、あるいは25℃成膜した場合、 IrO_2 膜はアモルファス状となり、その後の熱処理により膜中空孔が発生しやすくなるからである。

[0178] 例えば、図23のリファレンスの強誘電体キャパシタに示すように、第2導電性酸化膜58aの成長の際に、温度コントロールをせずに、成膜パワーを変化させて、下層部58bにアモルファス膜、上層部58cに柱状構造の結晶膜58cを形成する。上層部が結晶化される理由は、パワーの変化による成膜中の基板温度の上昇によるものである。この場合、第2導電性酸化膜58aには異常成長が見られない。

[0179] そのような層構造を有する第2導電性酸化膜58aの上にIr金属膜59を形成し、さらにIr金属膜59の上に、TiNと酸化シリコンTEOS膜の積層構造のハードマスクを形成すると、ハードマスク成長時の熱処理により第2層導電性酸化膜58aのアモルファスの下層部58bが結晶化される。即ち、下層部58bである IrO_2 のアモルファス部分の結晶が徐々に成長すると同時に、結晶間に酸素欠損などの空位58vが生じる。これらの空位58vは水素や水侵入経路となるので、強誘電体キャパシタの上方に多層配線を形成する工程で、第2導電性酸化膜58a及び第1導電性酸化膜に水素などが浸入し、これが強誘電体膜57を劣化して、ついには電気特性を劣化させてしまう。しかも、多層配線工程において、強誘電体キャパシタに膜剥がれが発生しやすくなる。

[0180] さらに、図20(b)に示したように、上部電極61の上にWプラグ70を形成する際には、高温、還元雰囲気中でW膜を成膜する必要がある。その成膜時に発生する水素は、Wプラグのグルー膜であるTiNにより大部分はブロックされるのであるが、過剰に水素が供給されるとTiNのブロックを乗り越えて、水素がキャパシタ上部電極61に進入してきて、キャパシタ上部電極の IrO_x を還元して体積収縮(シュリンク)をおこし、Wプラグ70のグルー膜67とキャパシタ上部電極61の間に空隙ができる。このため、キャパシタ上部電極61のコンタクト抵抗が不安定になる。

[0181] 5層目の配線を形成した後のリファレンスの強誘電体キャパシタのTEM写真を図24に示す。上部電極の二層目 IrO_2 に大量の空孔が見られる。これらの空孔は耐水素や水の能力が低く、その後の工程で強誘電体膜に劣化を発生させる。

[0182] これに対して、本発明の実施形態では、図25(a)に示すように、第2導電性酸化膜

58は、成膜温度を50℃～75℃にコントロールされて安定な微結晶 IrO_2 となる。微結晶 IrO_2 は、粒径20nm～50nm程度の小さな結晶粒が石垣状又は柱状に一様に接合して存在し、酸素欠損の空位58vは少ない。このため、第2導電性酸化膜58内の水素や水の浸入経路は極めて細いか或いは殆ど存在しない。

[0183] 従って、金属膜59を透過して水素が第2の導電性酸化膜58に入っても、第1の導電性酸化膜57において水素や水をスムーズに透過させず、強誘電体膜56の劣化が抑制される。第2の導電性酸化膜58内の微結晶は、その後の熱処理により結晶化して図25(b)に示すようにほぼ柱状になる。

[0184] 本実施形態に係る第2の導電性酸化膜58を構成する IrO_2 は、第1実施形態において図8～図11に示したように、成膜温度が100℃以上になると、 IrO_2 は成長時に結晶または結晶と微結晶が混在するので、異常成長しやすくなる。 IrO_2 膜中に空孔或いは異常成長が存在する場合、キャパシタの耐工程劣化能力は弱くなる。

[0185] 一方、 IrO_2 の成膜温度が60℃付近の場合に、 IrO_2 は粒径が35nm～45nmの均一な微結晶であり、その後に熱処理しても、均一な石垣状或いは柱状の結晶になるので、耐工程劣化能力が強くなる。

[0186] 以上の理由により、図22において、60℃付近の温度で成膜した第2導電性酸化膜58のキャパシタスイッチング電荷量が一番大きくなる。また、同じ条件で成膜したキャパシタの電気特性はプロセスアウトでも変わらない結果が得られた。

[0187] また、そのスイッチング電荷量のアシンメトリを図26に示す。図26により、50℃以上成膜したキャパシタのアシンメトリが小さくなる。つまり、ヒステリシスのシフトが少なく、キャパシタの耐インプリント(Imprint)特性を向上できる。

[0188] スwitching電荷量 Q_{sw} は、図27を参照して、 $Q_{sw} = ((N-U) + (P-D)) / 2$ で表され、アシンメトリ A_{ssy} は $A_{ssy} = ((N-U) - (P-D)) / 2$ で表される。

[0189] 強誘電体メモリにおける強誘電体キャパシタの印加電圧と反転電荷量 Q_{sw} との関係を測定したところ、図26に示す特性結果となった。図28(a)は、上記のディスクリート構造の強誘電体キャパシタの特性図、図28(b)は、上記のセルアレイ構造の強誘電体キャパシタの特性図である。

[0190] 図28(a)、(b)により、50℃～75℃成膜した第2導電性酸化膜のキャパシタでは、

印加電圧の低電圧から飽和電圧にわたって、高い反転電荷量 Q_{sw} が得られるとともに、その勾配が大きくなっていることがわかる。このことは、 $50^{\circ}\text{C}\sim 75^{\circ}\text{C}$ 成膜した第2導電性酸化膜の強誘電体キャパシタが工程劣化に強く、低電圧動作の強誘電体メモリに極めて好適であることを示している。

[0191] 以上の結果より、本実施形態では、強誘電体膜55上に IrO_x からなる第1の導電性酸化膜56は、上部電極61と強誘電体膜55との界面を改善する。また、第1の導電性酸化膜58上に酸化度が高い微結晶の IrO_y からなる第2の導電性酸化膜58内では空孔が発生しにくく、上部電極61内の IrO_y のボソボソ(空孔)現象の発生を防ぐ。これによりその後の工程による第2の導電性酸化膜58の膜質劣化が抑えられ、酸化イリジウム of 異常成長をなくせ、きれいな結晶化上部電極が得られた。そして、このような強誘電体キャパシタは、次世代の低電圧で動作する強誘電体メモリに極めて好適である。

[0192] (第3の実施の形態)

図29、図30は、本発明の第2実施形態に係る強誘電体メモリ(半導体装置)及びその製造方法を示す断面図である。なお、図29、図30において、図12～図21と同じ符号は同じ要素を示している。

[0193] まず、図13(a)に示したように、第2層間絶縁膜47上に導電性プラグ51、52を形成するまでは、第2実施形態と同様なプロセスとする。導電性プラグ51、52を形成するためのCMPによれば、一般的に、導電性プラグ51、52の上面の高さが第2層間絶縁膜47の上面よりも低くなり、導電性プラグ51、52の周囲の第2層間絶縁膜47にリセスが形成されやすい。リセスの深さは $20\text{nm}\sim 50\text{nm}$ であり、典型的には約 50nm 程度である。

[0194] リセスは、第2層間絶縁膜47上に順に形成される下地導電膜53から強誘電体膜56までの複数の膜のそれぞれの面配向に影響を与えるが、その影響は以下のような工程により低減される。

[0195] そこで次に、図29(a)に示すように、第2層間絶縁膜47の表面をアンモニア(NH_3)プラズマで処理し、第2層間絶縁膜47の表面の酸素原子にNH基を結合させる。

[0196] NH基が結合された第2層間絶縁膜47表面では、その上に下地導電膜53を構成

するTi原子を堆積する際に、Ti原子は第2層間絶縁膜47の酸素原子に捕獲されにくくなり、第2層間絶縁膜47の表面を自在に移動できる。その結果、図29(b)に示すように、(002)配向に自己組織化されたTi膜53aが第2層間絶縁膜47上に形成される。

[0197] 上記のアンモニアプラズマ処理は、例えばシリコン基板30に対して約9mm(350mils)離間した位置に対向電極(不図示)を有する平行平板型のプラズマ処理装置を使う。そして、266Pa(2Torr)の圧力に調整され、400℃の基板温度で保持された処理容器中にアンモニアガスを350sccmの流量で供給し、シリコン基板30側に13.56MHzの高周波を100Wのパワーで、また対向電極に350kHzの高周波を55Wのパワーで、60秒間供給することにより実行することができる。

[0198] また、Ti膜の形成条件は、例えば、シリコン基板30とTiターゲットの間の距離を60mmに設定したスパッタ装置中で、0.15PaのAr雰囲気、20℃の基板温度に設定し、さらに2.6kWのスパッタDCパワーをターゲット・基板間に35秒間供給する。これにより、強い(002)配向のTi膜53aが第2層間絶縁膜47上に形成される。Ti膜53aは、例えば100nmの厚さに形成される。

[0199] 次に、窒素雰囲気にシリコン基板30を置いて、基板温度650℃、60秒の条件で、RTAによる熱処理を行うことにより、Ti膜53aを窒化する。これにより、図30(a)に示すように、第2層間絶縁膜47上には、(111)配向のTiNからなる下地導電膜53が形成される。下地導電膜53の厚さは100～300nmが好ましい。本実施形態では、その厚さは約100nmとされる。

[0200] なお、下地導電膜53は窒化チタン膜に限定されず、タンゲステン膜、シリコン膜、及び銅膜のいずれかを下地導電膜53として形成してもよい。

[0201] ところで、リセス47rの深さやTi膜53aの形成条件によっては、TiNからなる下地導電膜53の上面には凹部が形成される。図30(a)ではその凹部が表されている。このような凹部は、下地導電膜53の上方に形成される強誘電体膜56の結晶性を劣化させる恐れがある。

[0202] そこで、本実施形態では、図30(b)に示すように、CMP法により下地導電膜53の上面を研磨して平坦化し、上記した凹部を除去する。このCMPで使用されるスラリは

特に限定されないが、本実施形態ではCabot Microelectronics Corporation製のSSW 2000(商品名)を使用する。

[0203] CMPにより処理され下地導電膜53の厚さは、研磨誤差に起因して、シリコン基板の30面内や、シリコン基板30毎にばらつく。そのばらつきを考慮して、本実施形態では、研磨時間を制御することにより、CMP後の下地導電膜53の厚さの目標値を50nm～100nm、より好ましくは50nmとする。

[0204] 研磨されたままの状態にある下地導電膜53の上面は研磨によって歪んだ状態となりやすい。そして、結晶に歪が発生している下地導電膜53の上方にキャパシタの下部電極55を形成すると、その歪みを下部電極55が拾ってしまってその結晶性が劣化し、ひいてはその上の強誘電体膜56の強誘電体特性が劣化することになる。

[0205] そこで、図30(b)に示すように、下地導電膜53の研磨面を NH_3 プラズマに曝すことにより、下地導電膜56の結晶の歪みが下地導電膜53の上方に形成される膜に伝わらないようにする。

[0206] これにより、下地導電膜53の上面では、その後に形成される酸素拡散バリア膜54を構成する元素が移動しやすくなり、酸素拡散バリア膜54の結晶方位が良好になる。従って、酸素拡散バリア膜54の上の下部電極55、強誘電体膜56の強誘電体特性が良好になる。

[0207] 以上のように、下地導電膜53の研磨面を NH_3 プラズマに曝した後のプロセスは、第2実施形態と同じ工程となる。

[0208] 従って、本実施形態によれば、下地電極55、強誘電体膜56の結晶方位を改善する他、第2実施形態と同じ効果が得られる。

[0209] (第4の実施の形態)

図31、図32は、本発明の第4実施形態に係る半導体装置の形成工程を示す断面図である。なお、図31、図32において、図12～図21と同じ符号は同じ要素を示している。

[0210] まず、図30(a)に示したように、第2層間絶縁膜47上に下地導電膜53を形成するまでの工程は、第3実施形態と同様である。

[0211] この後に、図31(a)に示すように、下地導電膜35をCMP法により研磨し、その研磨

をプラグ51、52の上とその周辺のリセス47rにのみ残す。

[0212] この後に、図31(b)に示すように、アンモニアプラズマを導電性プラグ51、52上の下地導電膜35と第2層間絶縁膜47に施す。

[0213] これにより、図32(a)に示すように、下地導電膜53及び第2層間絶縁膜47上に形成される酸素拡散バリア層54の結晶方位は良好になり、第3実施形態と同様に、下部電極膜55、強誘電体膜56の結晶方位も良好になる。

[0214] 以上のように、下地導電膜53及び第2層間絶縁膜47の研磨面をNH₃プラズマに曝した後のプロセスは、第3実施形態と同じ工程を経て、図32(b)に示すような構造の半導体装置が形成される。

[0215] (第5の実施の形態)

図33、図34は、本発明の第4実施形態に係る半導体装置の形成工程を示す断面図である。なお、図33、図34において、図12～図21と同じ符号は同じ要素を示している。

[0216] まず、図12(a)に示したように、シリコン基板30上にSTI31、pウェル32を形成した後に、第1層間絶縁膜42を形成するまでの工程は、第1実施形態と同様である。

[0217] その後に、図33(a)に示すように、フォトリソグラフィ法によりカバー絶縁膜41と第1層間絶縁膜42をパターンニングして、pウェル32の両側寄りの第2、第3のソース/ドレイン拡散領域37、38のそれぞれを露出する第2、第3のコンタクトホール42b、42cを形成し、それらの中に導電性プラグ45b、45cを形成する。導電性プラグ45b、45cの形成方法は第1実施形態と同様である。続いて、第1層間絶縁膜42上に直接に下地導電膜53を形成し、その上に酸素拡散バリア膜54を形成する。下地導電膜53の形成については、第3、第4実施形態と同じ方法を採用してもよい。

[0218] その後に、図33(b)に示すように、第2実施形態と同じプロセスにより下地導電膜53の形成から第1層間絶縁膜64までの構造を形成する。

[0219] 次に、図34(a)に示すように、pウェル32の中央寄りにあるソース/ドレイン領域36の上のフォトリソグラフィ法により第3層間絶縁膜64からカバー絶縁膜41を部分的にエッチングしてコンタクトホール64aを形成する。その後に、コンタクトホール64aの中に導電性プラグ79を埋め込む。導電性プラグ79は、第2実施形態の第4導電性プ

ラグ69と同じ方法によって形成される。

[0220] さらに、第2実施形態と同様な方法によりビアホール64bを強誘電体キャパシタ Q_2 上に形成する。

[0221] この後に、図34(b)に示すように、ビアホール64a内を通してキャパシタ上部電極61に接続される配線72を第3層間絶縁膜64上に形成する。

[0222] 以上の実施形態によれば、第3層間絶縁膜64には1回の導電性プラグの形成工程で済むことになり、第2実施形態に比べて工程が短くなる。

[0223] なお、上記の実施形態では、強誘電体膜としては、PZTを使用したか、例えば、熱処理により結晶構造がBi層状構造又はペロブスカイト構造となる膜を形成してもよい。このような膜としては、PZT膜の他、La、Ca、Sr及び／又はSi等を微量ドーピングしたPZT、SBT、BLT並びにBi系層状化合物などの一般式 XYO_3 (X、Yは元素)で表される膜が挙げられる。また、強誘電体膜は、ゾルーゲル法、有機金属分解法、CSD (Chemical Solution Deposition) 法、化学気相蒸着法、エピタキシャル成長法、スパッタ法又はMOCVD法のいずれかの方法で形成される。

[0224] 以上説明した実施形態は典型例として挙げたに過ぎず、その各実施形態の構成要素を組み合わせること、その変形およびバリエーションは当業者にとって明らかであり、当業者であれば本発明の原理および請求の範囲に記載した発明の範囲を逸脱することなく上述の実施形態の種々の変形を行えることは明らかである。

請求の範囲

- [1] 半導体基板と、前記半導体基板上に形成された強誘電体キャパシタとよりなる半導体装置において、前記強誘電体キャパシタは、下部電極と、前記下部電極上に形成された強誘電体膜と、前記強誘電体膜上に形成された上部電極とよりなり、
前記上部電極は、
組成パラメータ x_1 を使って化学式 AO_{x_1} (A: 金属元素) で表され実際の組成が組成パラメータ x_2 を使って化学式 AO_{x_2} で表される第1酸化物よりなる第1の層と、
前記第1の層上に形成され、組成パラメータ y_1 を使って化学式 BO_{y_1} で表され実際の組成が組成パラメータ y_2 を使って化学式 BO_{y_2} (B: 金属元素) で表される第2酸化物であって、石垣状或いは柱状の結晶からなり、前記第1の層より酸化の割合が高く構成され、前記組成パラメータ x_1 、 x_2 、 y_1 および y_2 の間には、関係 $y_2/y_1 > x_2/x_1$ が成立する第2の層と、
を有することを特徴とする半導体装置。
- [2] 前記第1の層を構成する前記金属元素Aは、前記第2の層を構成する前記金属元素Bと同じ金属元素により構成されることを特徴とする請求項1に記載の半導体装置。
- [3] 前記第1の層を構成する前記金属元素Aと前記第2の層を構成する前記金属元素Bとは異なっていることを特徴とする請求項1に記載の半導体装置。
- [4] 前記第1の層を構成する前記金属元素と前記第3の層を構成する金属元素とは同一であることを特徴とする請求項1乃至請求項3のいずれか1項に記載の半導体装置。
- [5] 前記第1の層を構成する前記金属元素と前記第3の層を構成する金属元素とは異なっていることを特徴とする請求項1乃至請求項3のいずれか1項に記載の半導体装置。
- [6] 前記第2の層の上に形成され、且つ貴金属膜或いは貴金属を含む合金よりなる第3の層を有することを特徴とする請求項1乃至請求項5のいずれか1項に記載の半導体装置。
- [7] 前記半導体基板の上方には、前記強誘電体キャパシタを覆うように多層配線構造が

設けられ、前記第2の層が前記多層配線構造中の配線パターンと、コンタクトホールを介して接続されることを特徴とする請求項1乃至請求項6のいずれか1項に記載の半導体装置。

[8] 前記第1の層の膜厚さは、前記第2の層の膜厚さより薄いことを特徴とする請求項1乃至請求項7のいずれか1項に記載の半導体装置。

[9] 半導体基板の上に下部電極を形成する工程と、
前記下部電極上に強誘電体膜を堆積する工程と、
前記強誘電体膜上に第1の導電性酸化膜を堆積する工程と、
前記第1の導電性酸化膜上に第2の導電性酸化膜を堆積する工程と
を有し、

さらに、前記第1の導電性酸化膜を堆積する工程では、前記第2の導電性酸化膜の堆積工程におけるよりも不活性ガス流量に対する酸素流量の割合が小さい条件下において実行し、

前記第2の導電性酸化膜を堆積する工程では、酸化物が石垣状又は柱状に微結晶化される範囲内で前記半導体基板の温度を制御する

ことを特徴とする半導体装置の製造方法。

[10] 前記第2の導電性酸化膜の上に、貴金属膜或いは貴金属を含む合金よりなる第3の層を堆積する工程を有することを特徴とする請求項9に記載の半導体装置の製造方法。

[11] 前記強誘電体膜を堆積する工程の後であって、前記第1の導電性酸化膜を堆積する工程の前に、不活性ガスと酸化性ガスの混合雰囲気中、第1の温度で前記強誘電体膜を熱処理する工程を含み、さらに酸素を含む雰囲気中、前記第1の温度よりも高い第2の温度で熱処理して前記強誘電体膜を結晶化する工程を含むことを特徴とする請求項9に記載の半導体装置の製造方法。

[12] 前記強誘電体膜を堆積する工程の後であって、前記第1の導電性酸化膜を堆積する工程の前に、不活性ガスと酸化性ガスの混合雰囲気中、第1の温度で前記強誘電体膜を熱処理する工程を含み、さらに前記第1の導電性酸化膜を堆積する工程の後に、酸素を含む雰囲気中で、前記第1の温度よりも高い第2の温度で前記強誘電体

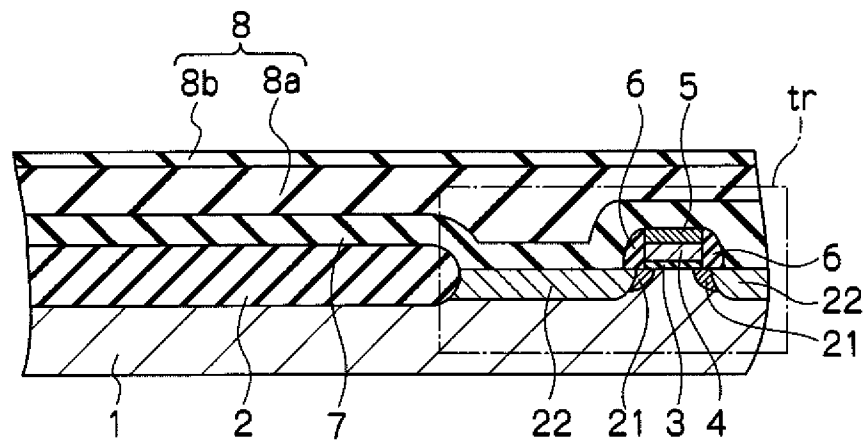
膜を熱処理して前記強誘電体膜を結晶化する工程を含むことを特徴とする請求項9に記載の半導体装置の製造方法。

- [13] 前記強誘電体膜を堆積する工程の後であって、前記第1の導電性酸化膜を堆積する工程の前に、不活性ガスと酸化性ガスの混合雰囲気中で、第1の温度で前記強誘電体膜を熱処理する工程と、さらに前記強誘電体膜の上に前記強誘電体膜より薄いアモルファス強誘電体膜を堆積する工程を含み、前記第1の導電性酸化膜を堆積する工程の後、酸素を含む雰囲気中で前記第1の温度よりも高い第2の温度で前記強誘電体膜を熱処理し、前記強誘電体膜を結晶化する工程を含むことを特徴とする請求項9に記載の半導体装置の製造方法。
- [14] 前記強誘電体膜を堆積する工程の後であって、前記第1の導電性酸化膜を堆積する工程の前に、酸化性ガスを含む雰囲気中で、第1の温度で前記強誘電体膜を熱処理する工程と、さらに前記強誘電体膜より薄いアモルファス強誘電体膜を堆積する工程を含み、前記第1の導電性酸化膜を堆積する工程の後、酸素を含む雰囲気中で、前記第1の温度よりも高い第2の温度で前記強誘電体膜を熱処理し、前記強誘電体膜を結晶化する工程を含むことを特徴とする請求項9に記載の半導体装置の製造方法。
- [15] 前記第2の導電性酸化膜を堆積する工程の後、酸素を含む雰囲気中で、前記強誘電体膜と第1、2の導電性酸化膜の密着性を向上する第3の温度で前記第2の導電性酸化膜を、熱処理する工程を含むことを特徴とする請求項9乃至請求項14のいずれか1項に記載の半導体装置の製造方法。
- [16] 前記第2導電性酸化物膜を形成する工程は、プラチナ、イリジウム、ルテニウム、ロジウム、レニウム、オスミウム及びパラジウムからなる群から選択された少なくとも1種の貴金属元素を含むターゲットを用いたスパッタリングを、前記貴金属元素の酸化が生じる条件下で行う工程を有することを特徴とする請求項9乃至請求項15のいずれに記載の半導体装置の製造方法。
- [17] 前記第2導電性酸化物膜を形成する工程において、成膜温度を制御することにより、前記導電性酸化物膜を微結晶化することを特徴とする請求項9乃至請求項16のいずれか1項に記載の半導体装置の製造方法。

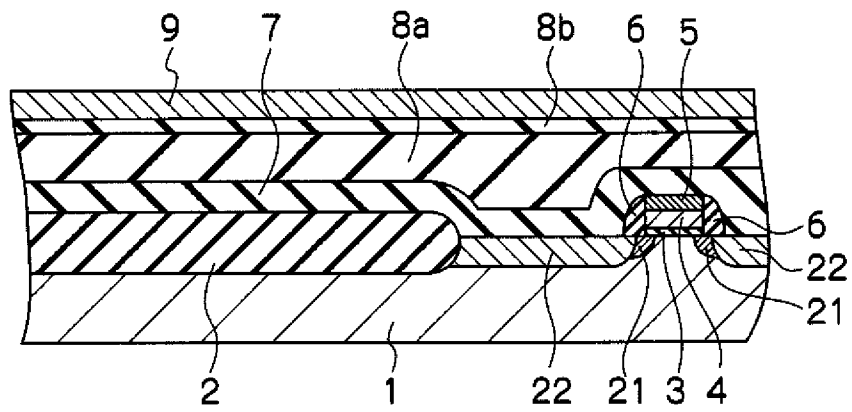
- [18] 前記第2導電性酸化物膜を形成する工程において、成膜温度を30℃以上、100℃以下であることを特徴とする請求項9乃至17のいずれか1項に記載の半導体装置の製造方法。
- [19] 前記第2導電性酸化物膜を形成する工程において、成膜温度を50℃以上、75℃以下であることを特徴とする請求項9乃至請求項18のいずれか1項に記載の半導体装置の製造方法。
- [20] 前記第2導電性酸化物膜を形成する工程において、成膜温度が60℃であることを特徴とする請求項9乃至請求項19のいずれか1項に記載の半導体装置の製造方法。
- 。

[図1]

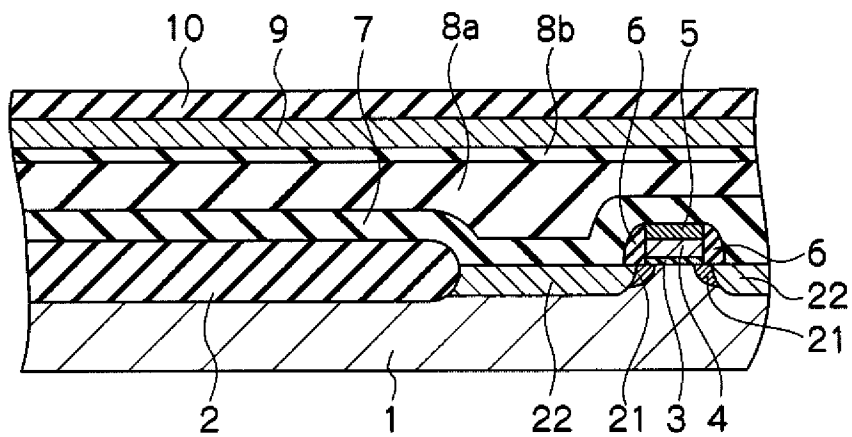
(a)



(b)

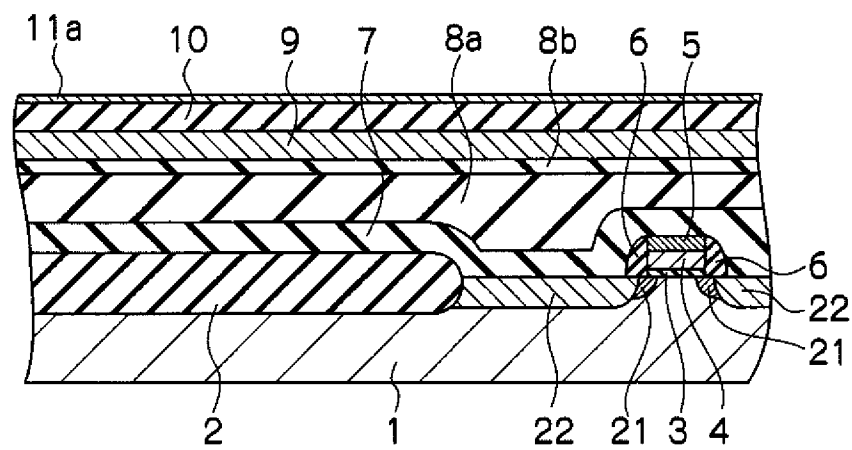


(c)

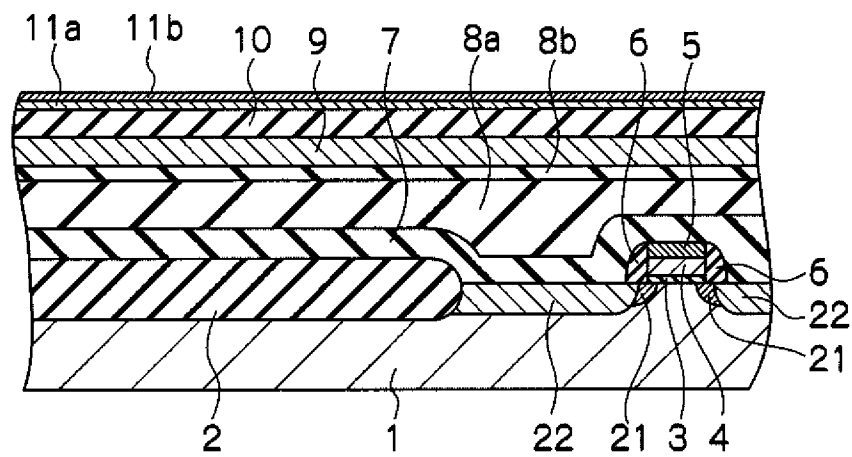


[図2]

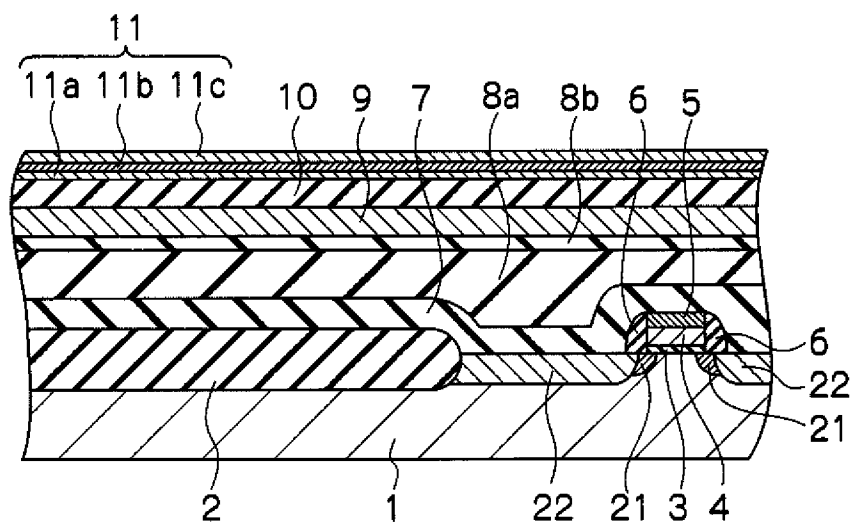
(a)



(b)

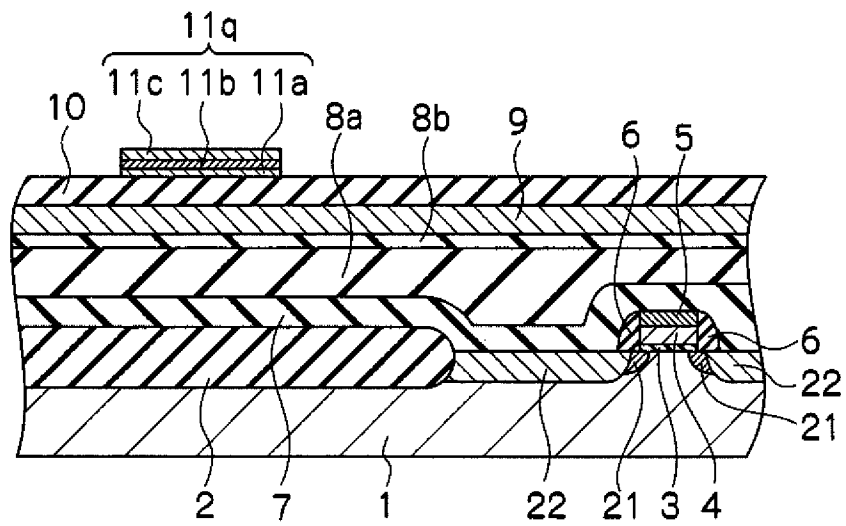


(c)

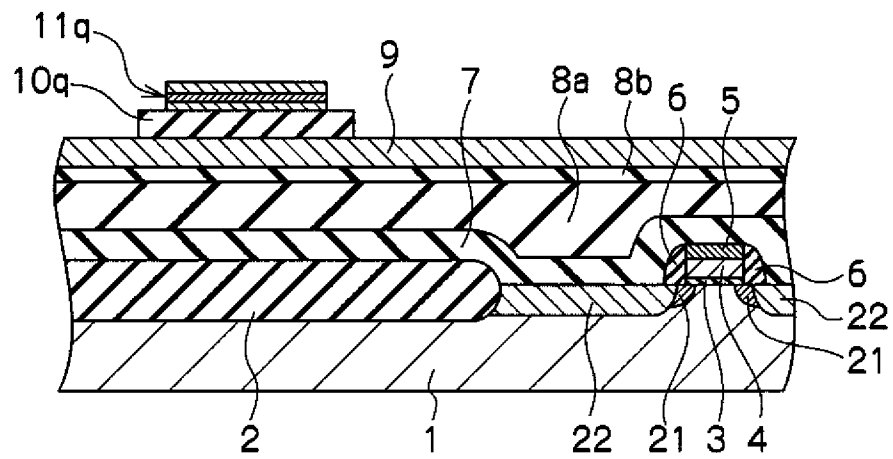


[図3]

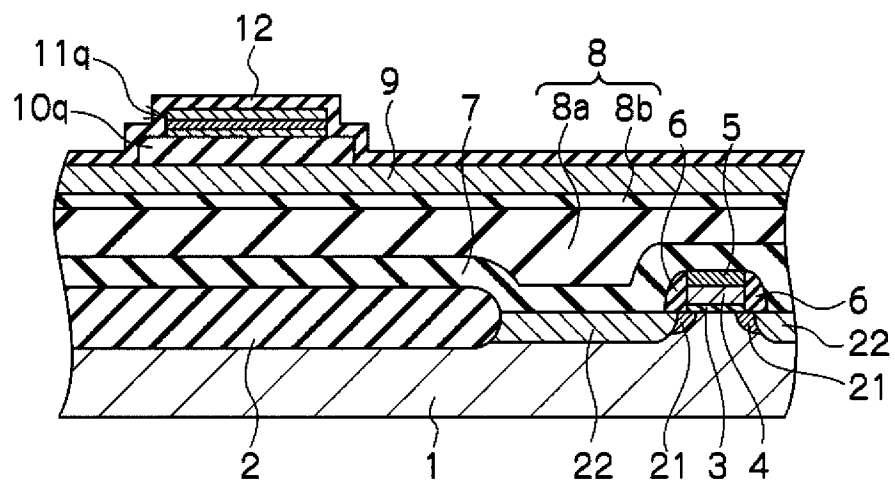
(a)



(b)

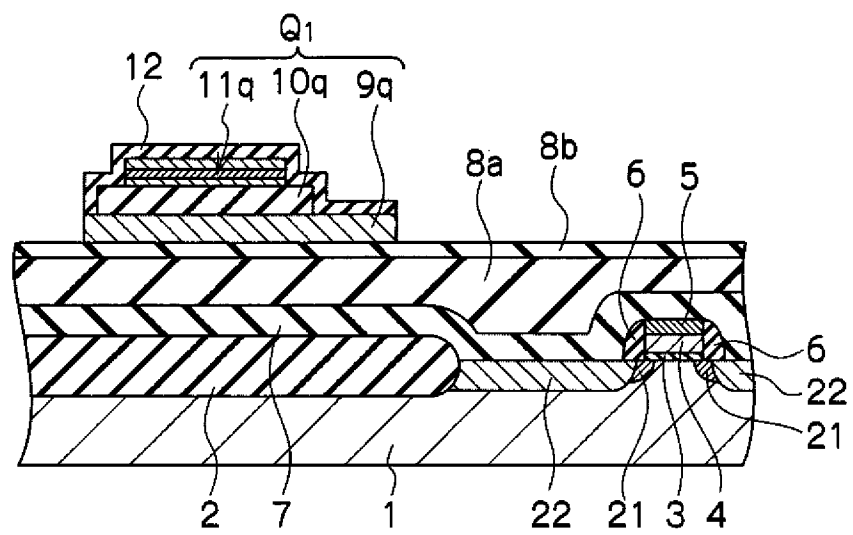


(c)

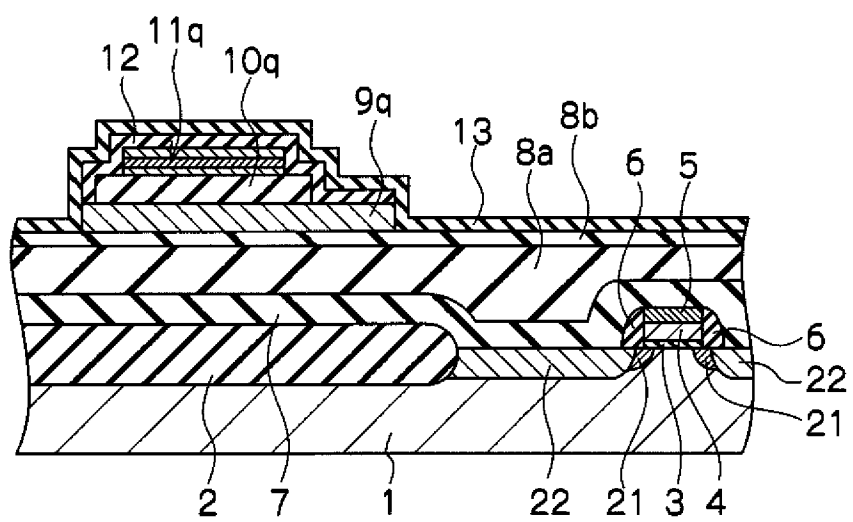


[図4]

(a)

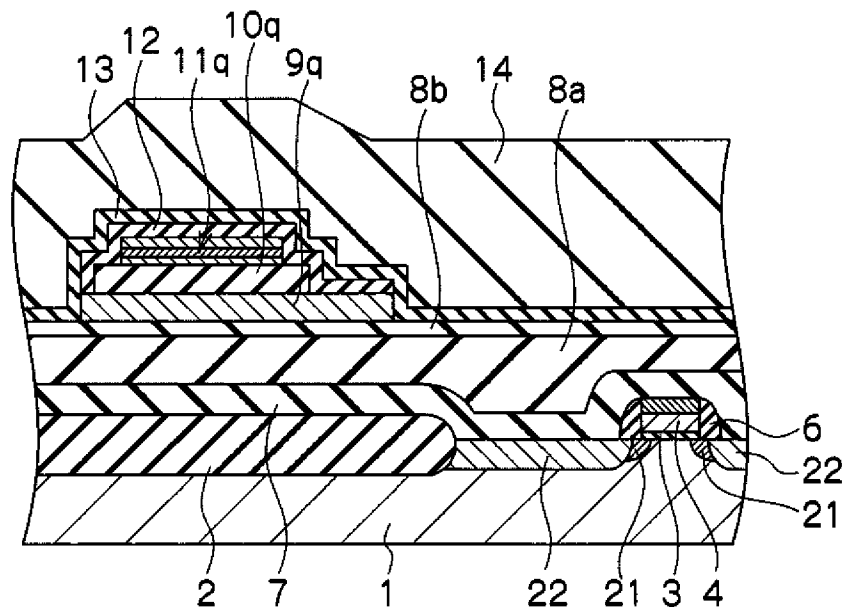


(b)

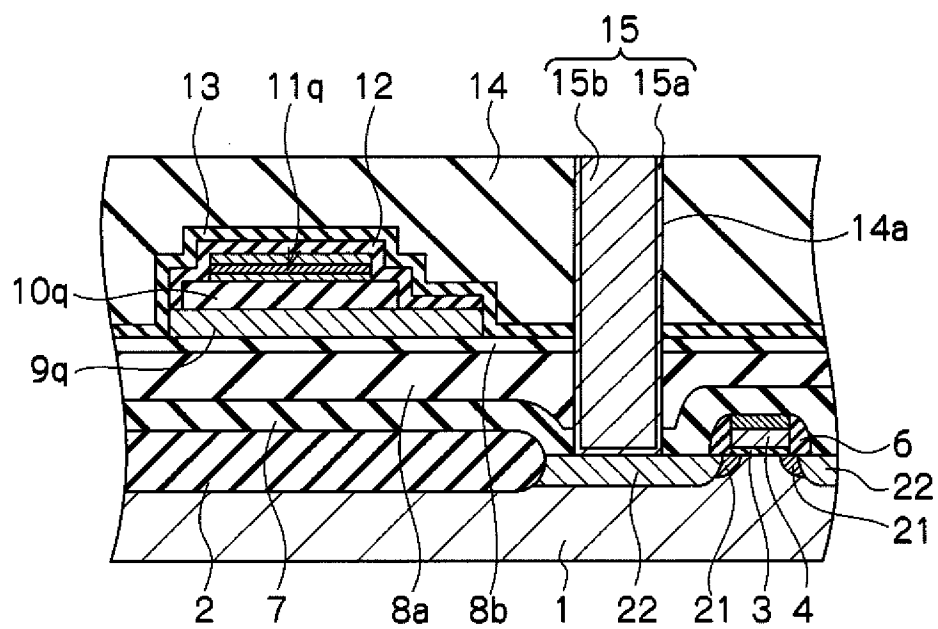


[図5]

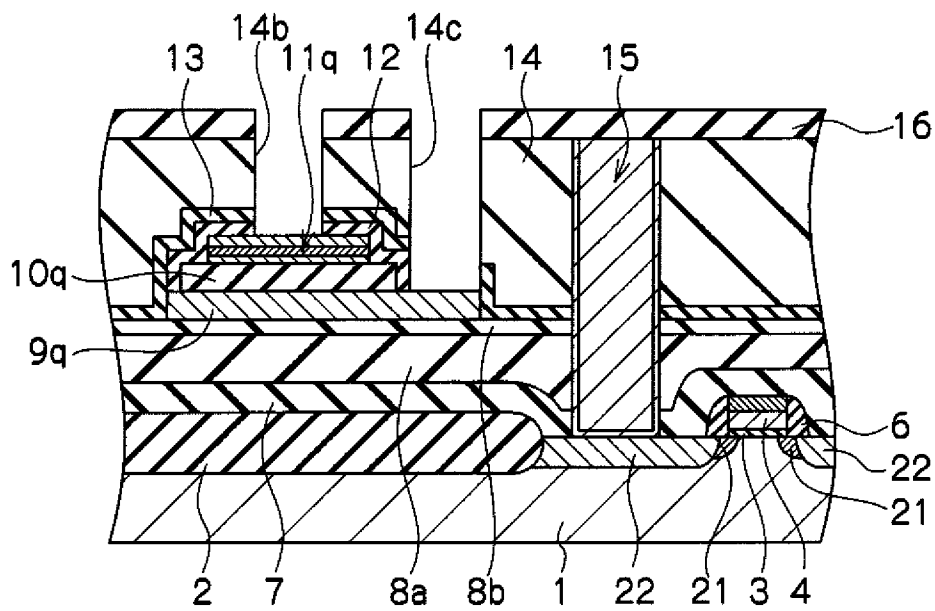
(a)



(b)

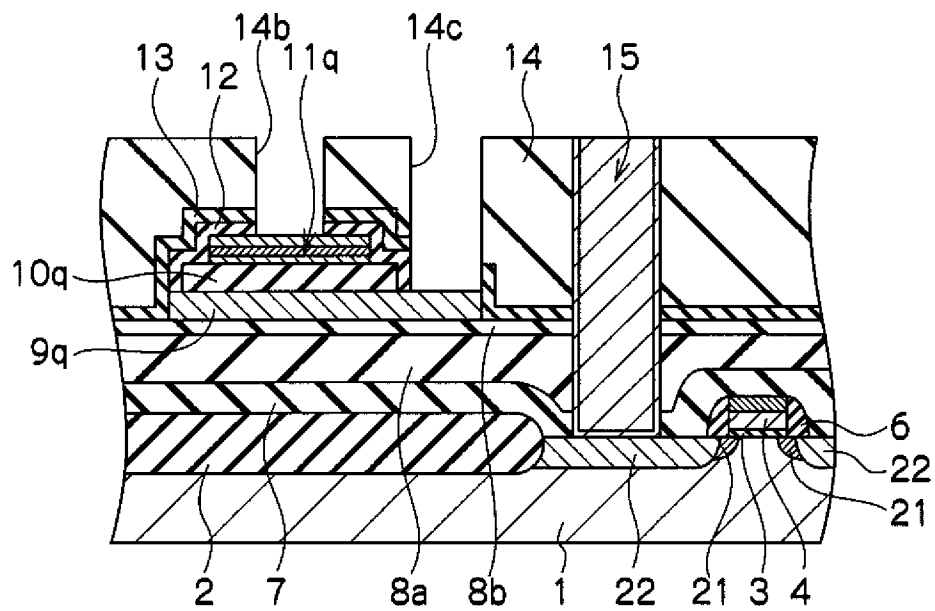


(a)

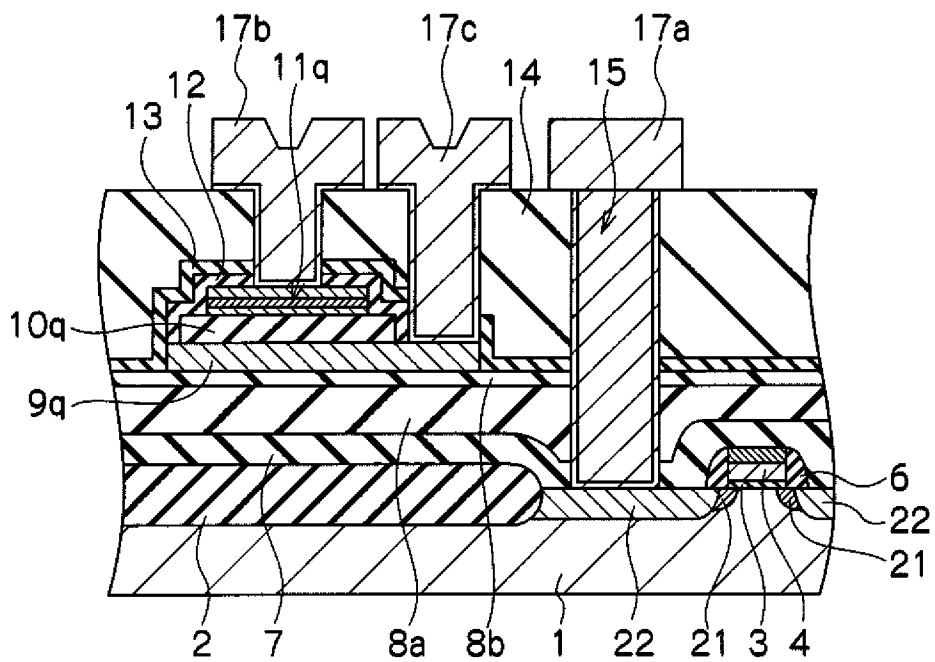


[図7]

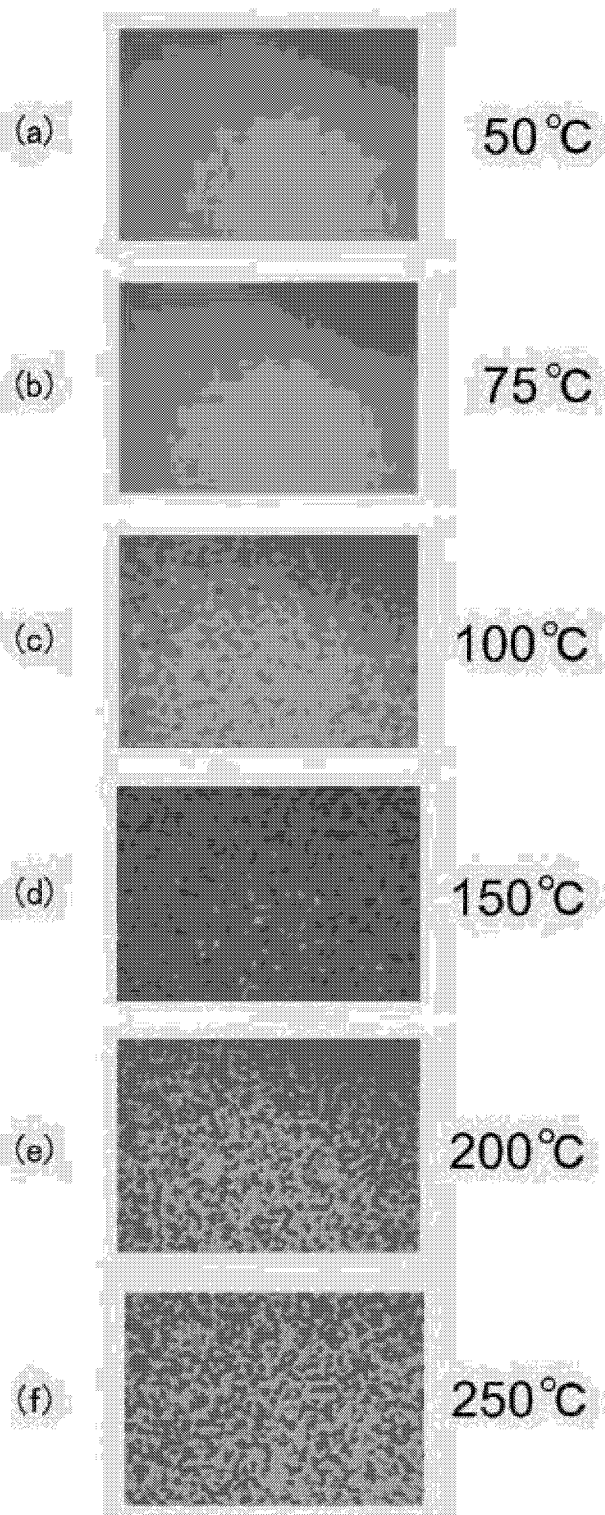
(a)



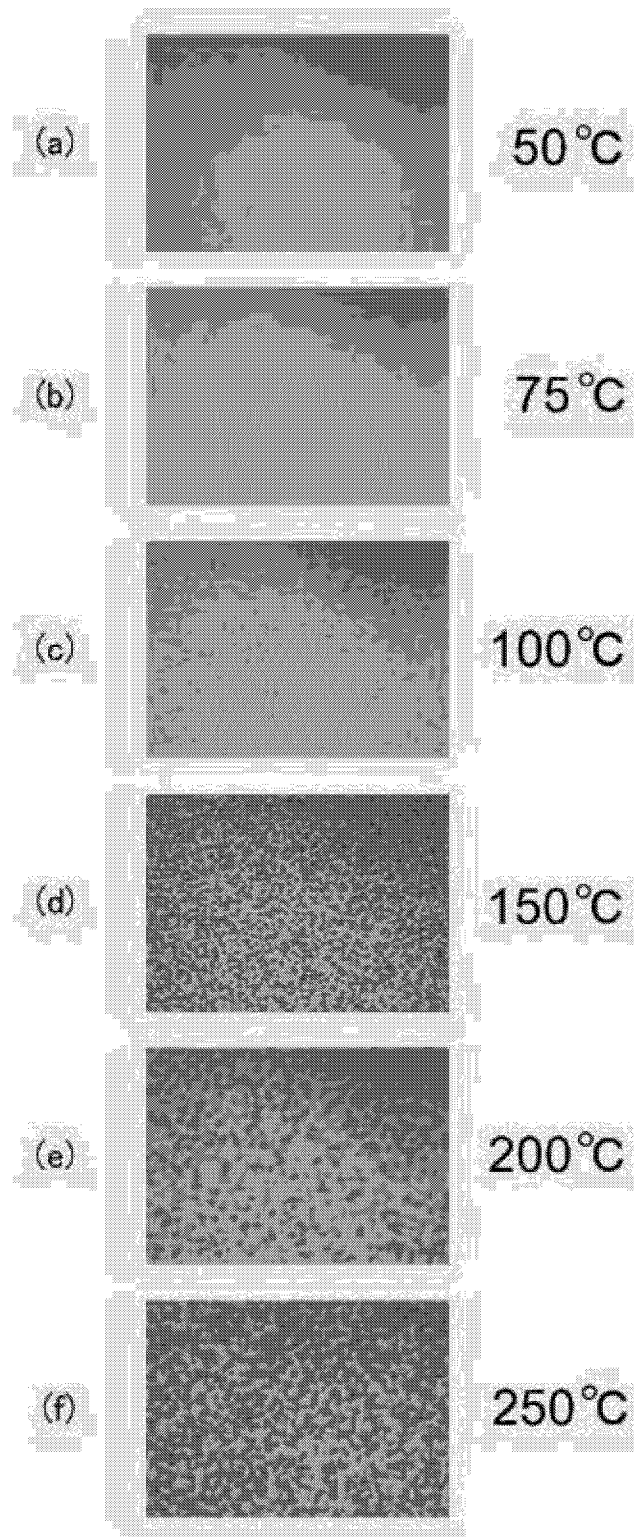
(b)



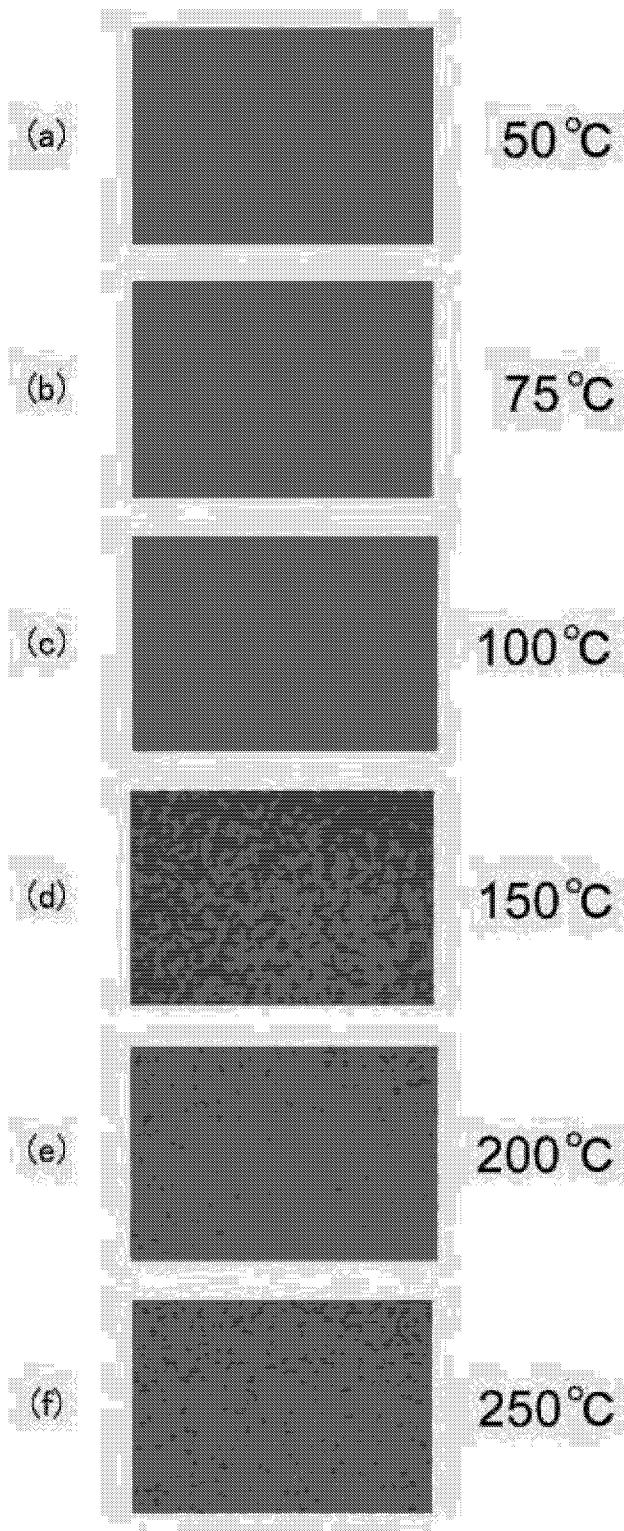
[図8]

RTA前の IrO_2 膜表面の金属顕微鏡写真(ウェハ中央)

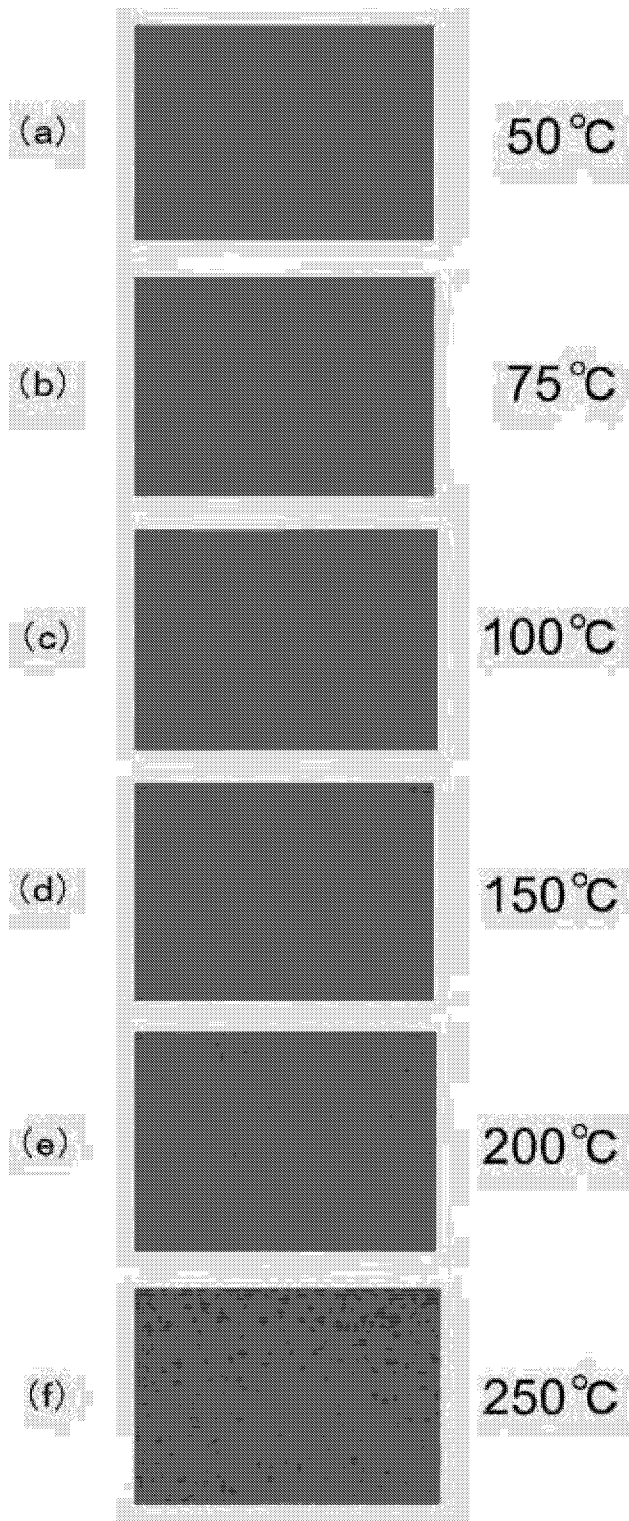
[図9]

RTA前の IrO_2 膜表面の金属顕微鏡写真(ウェハ右)

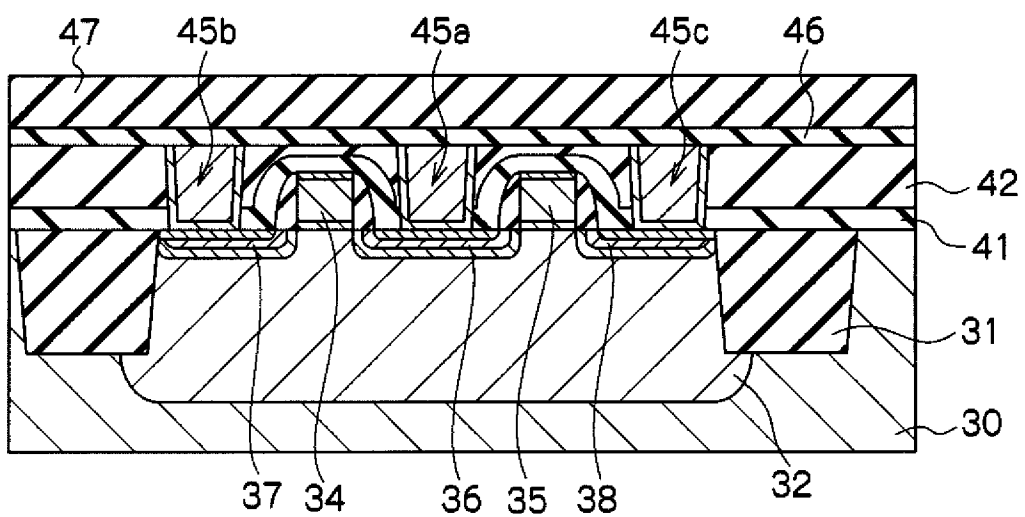
[図10]

RTA後の IrO_2 膜表面の金属顕微鏡写真(ウェハ中央)

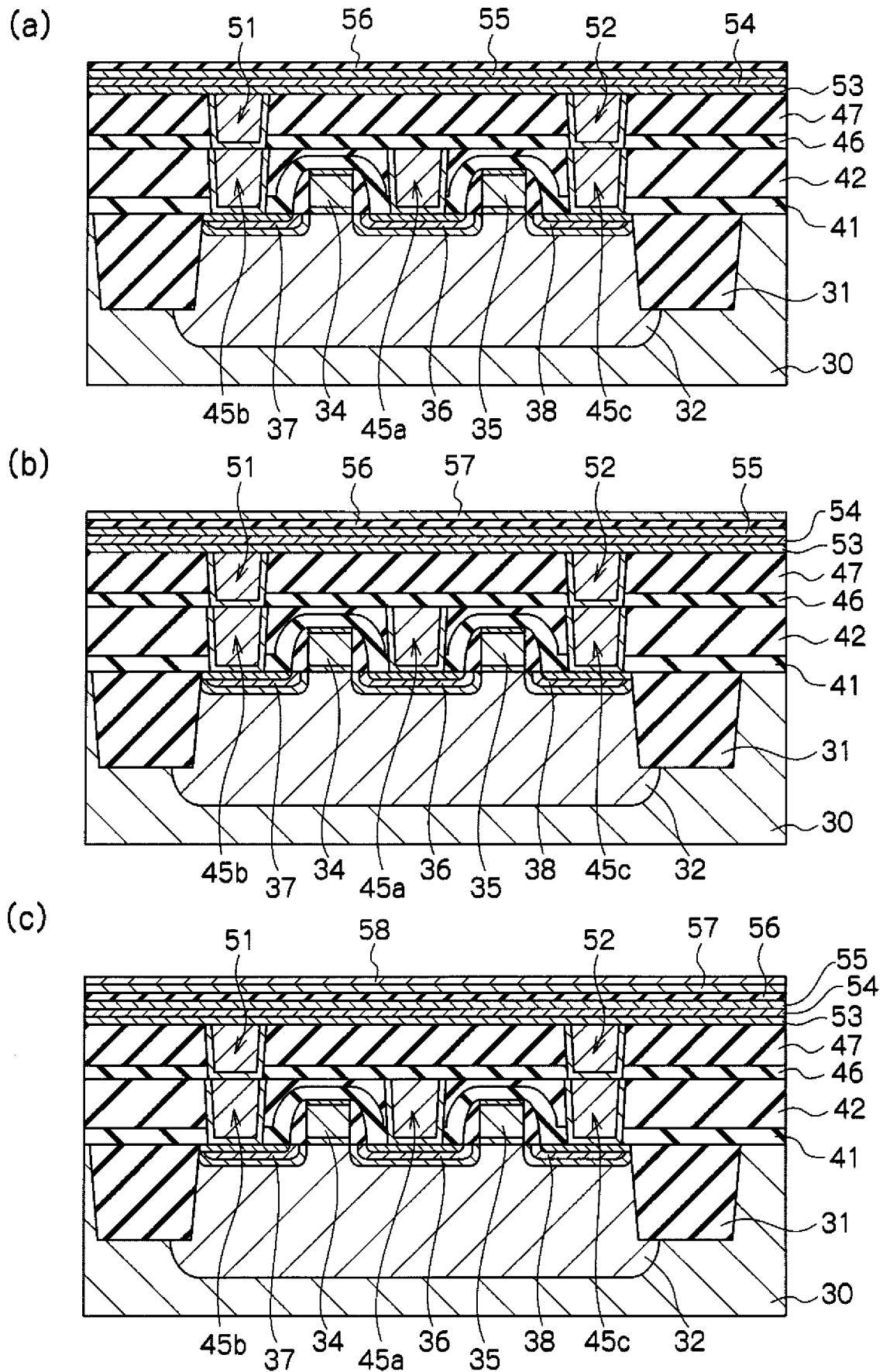
[図11]

RTA後の IrO_2 膜表面の金属顕微鏡写真(ウェハ中央)

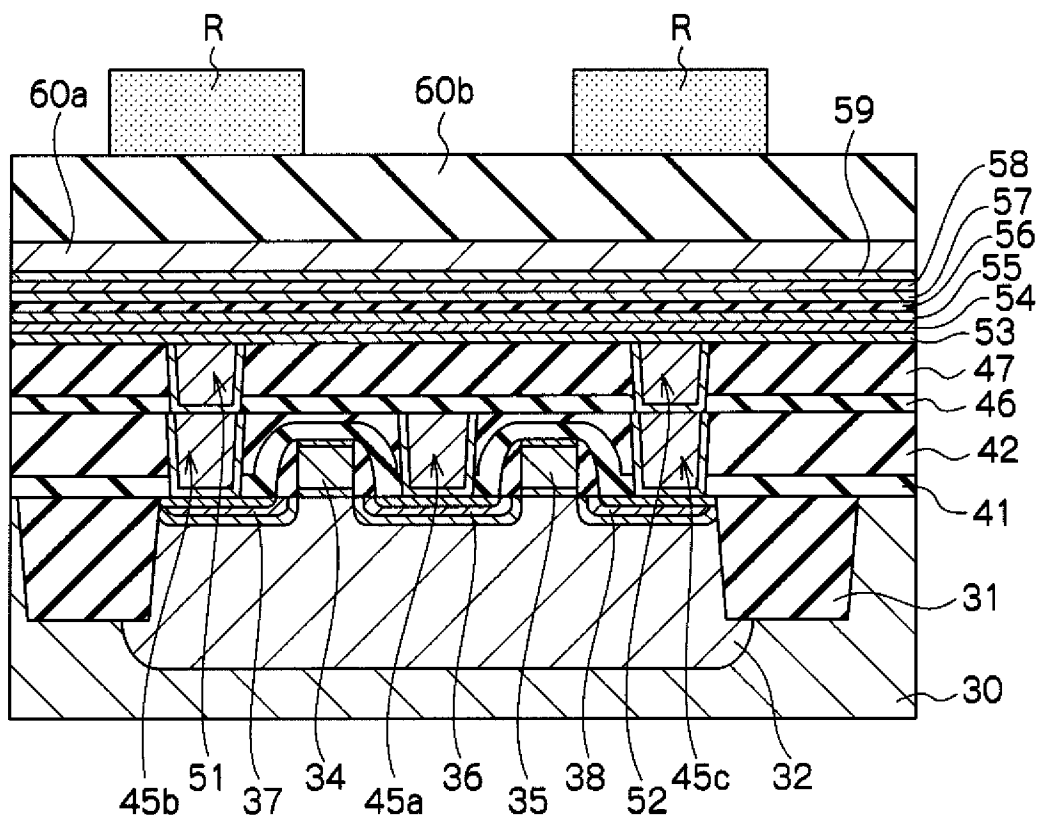
(a)



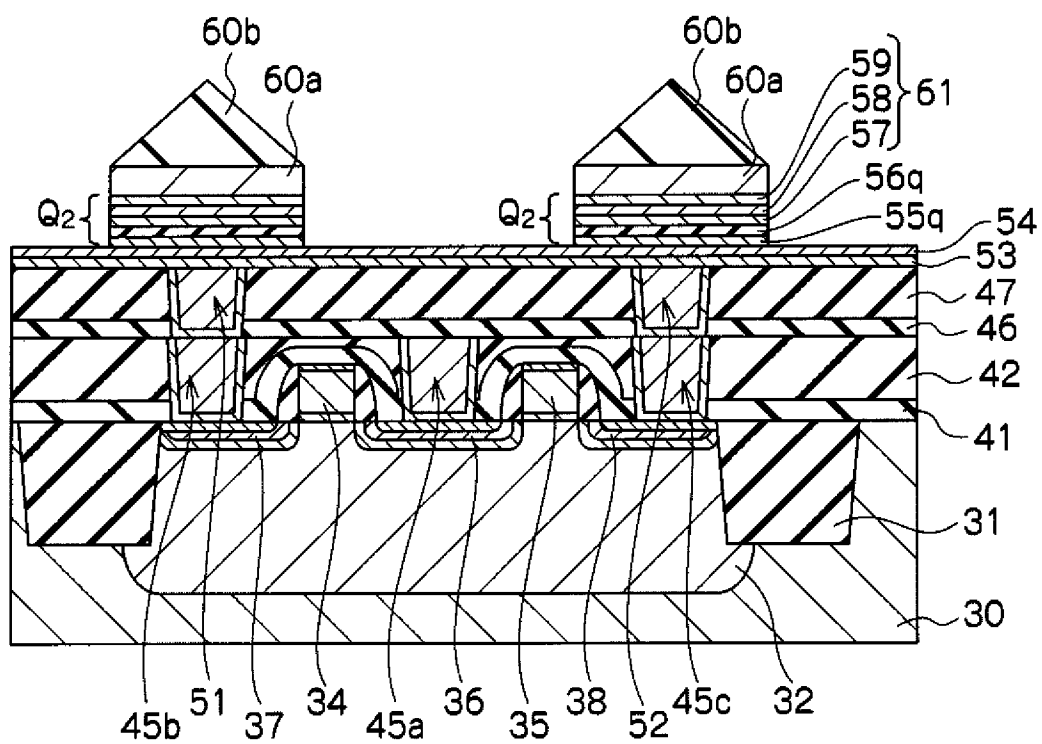
[図14]



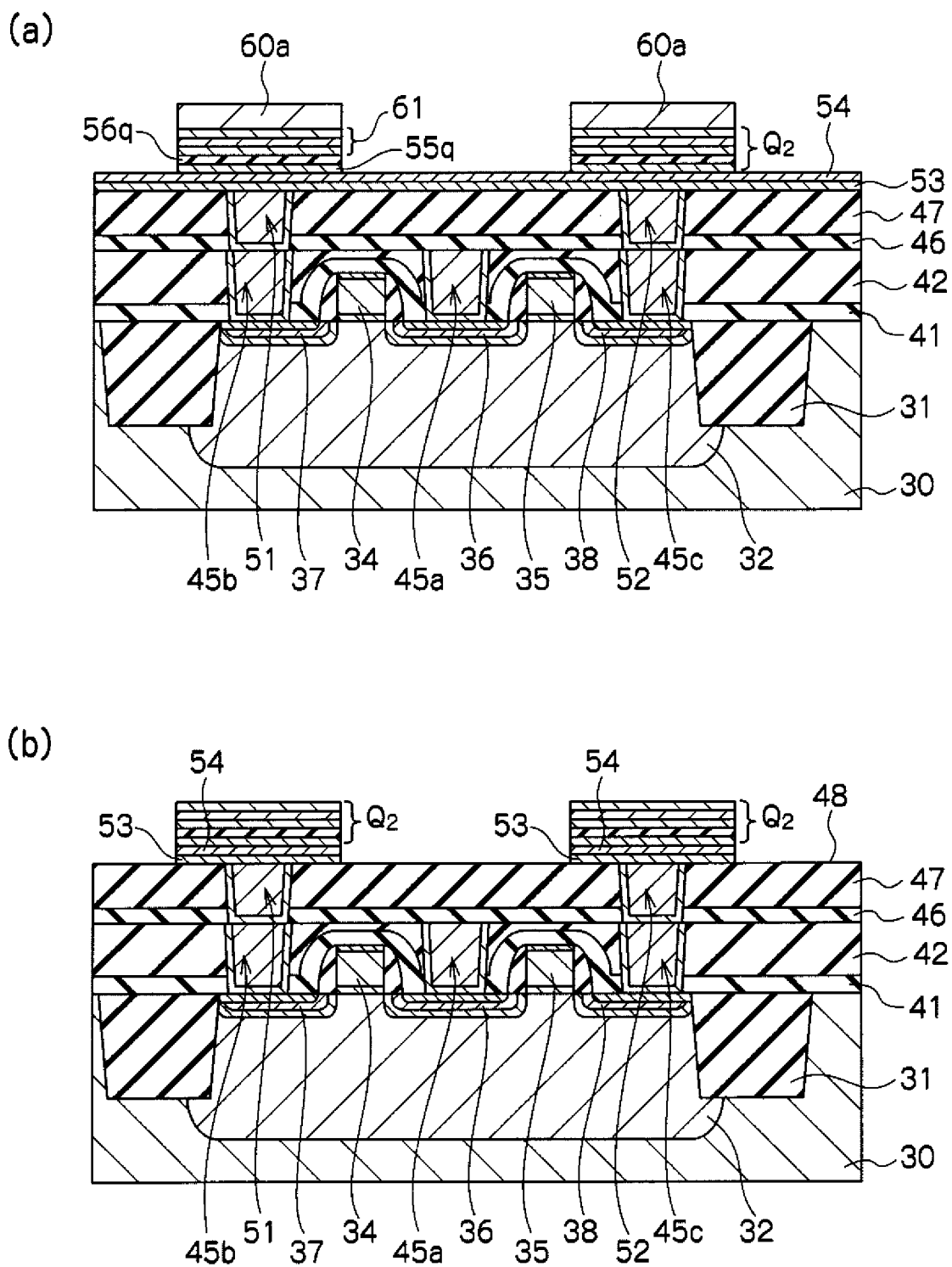
(a)



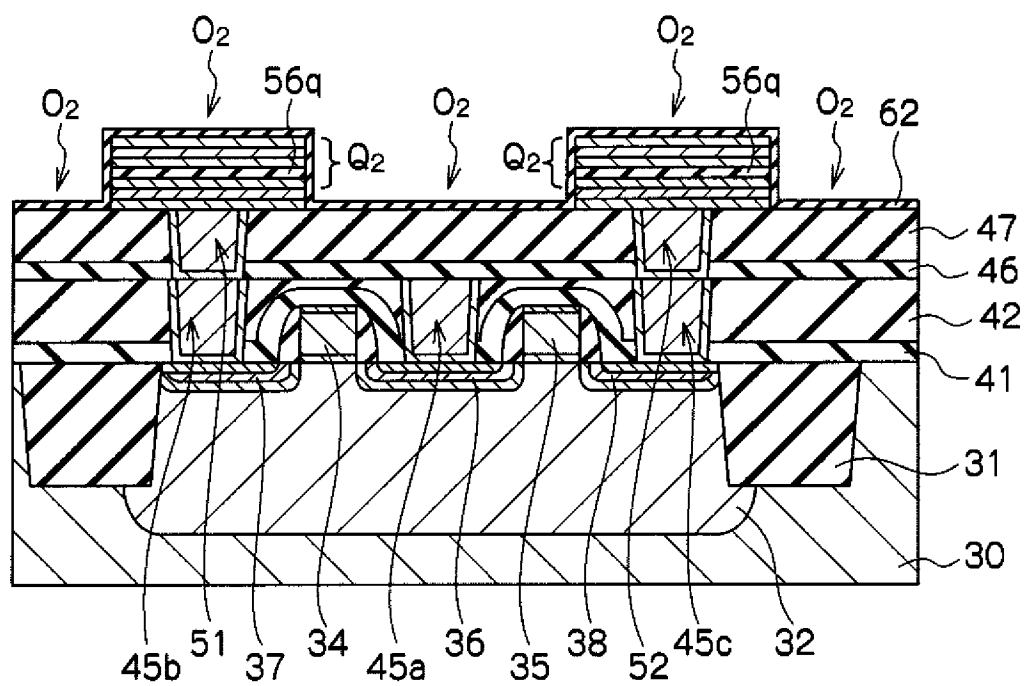
(a)



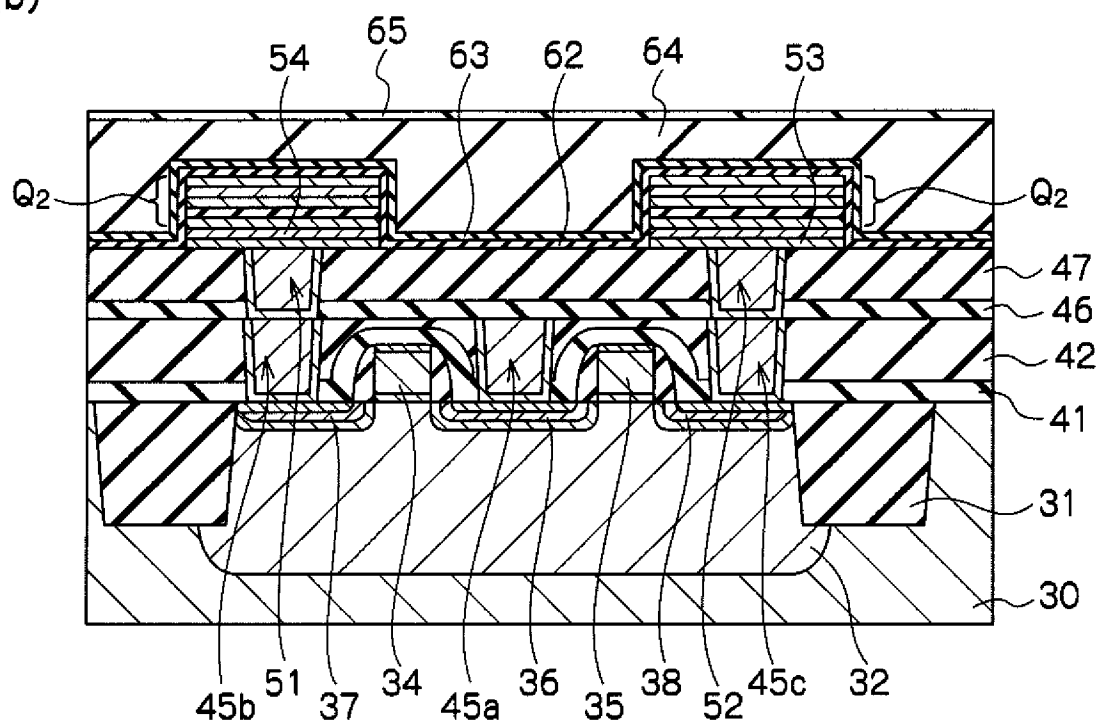
[図17]



(a)

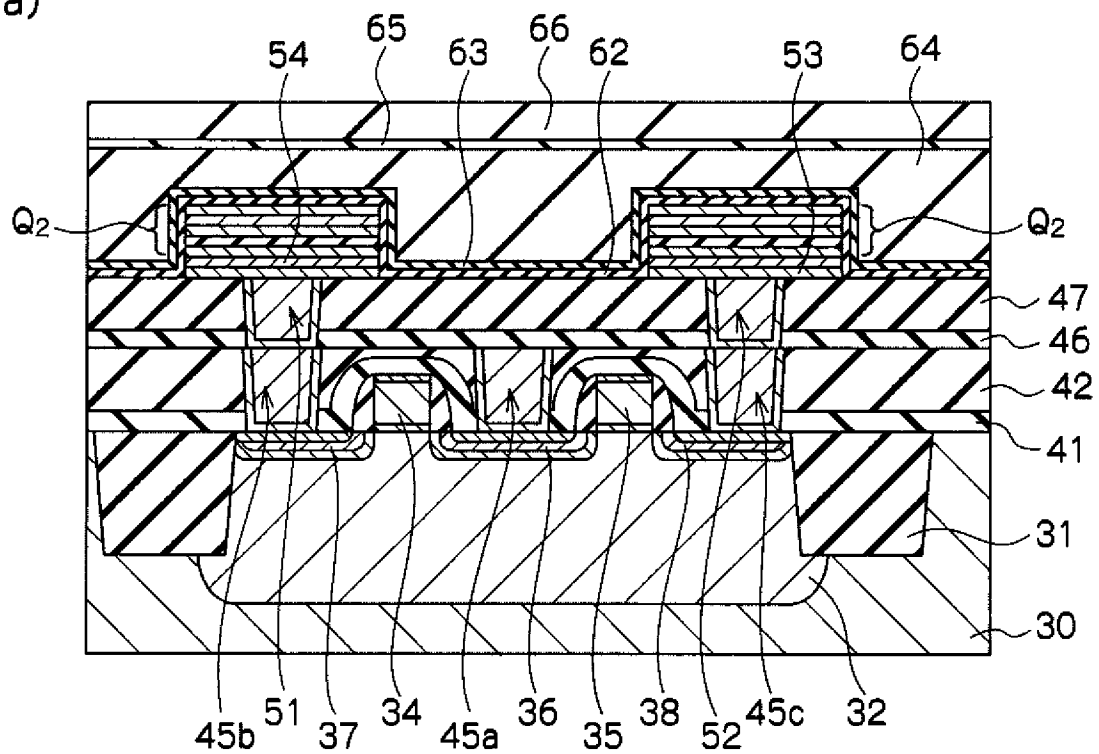


(a)

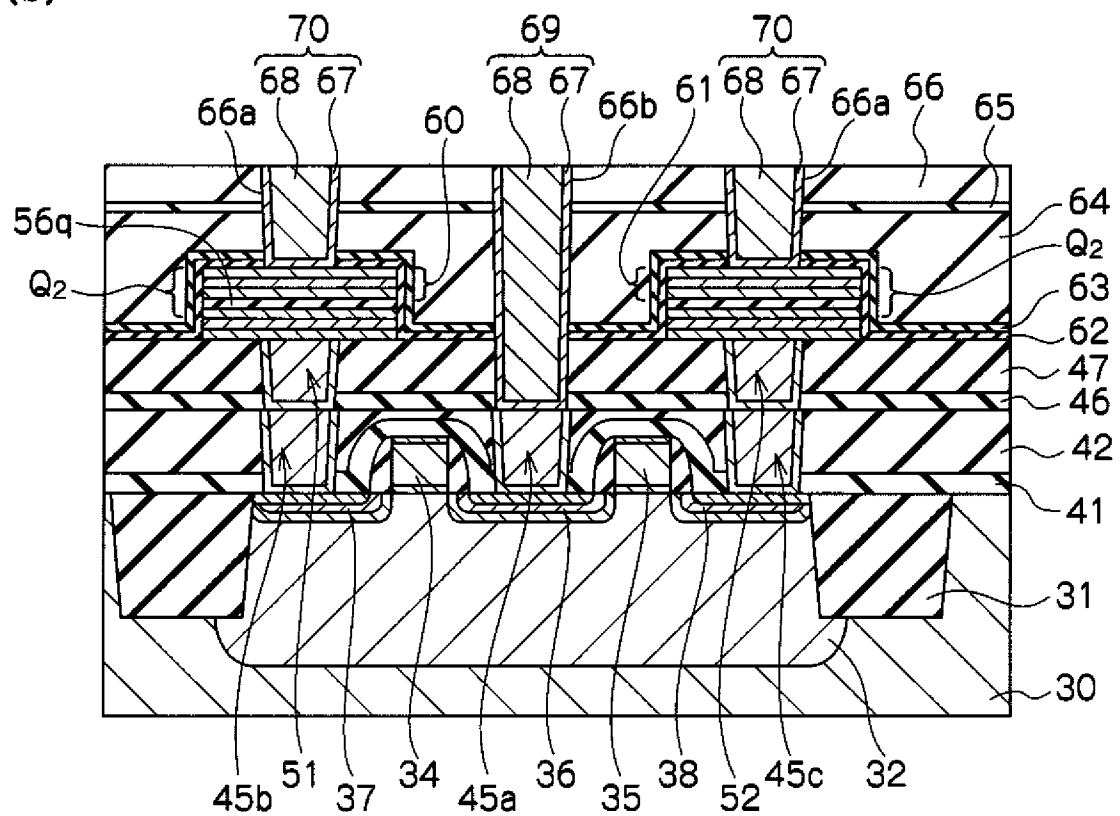


[図20]

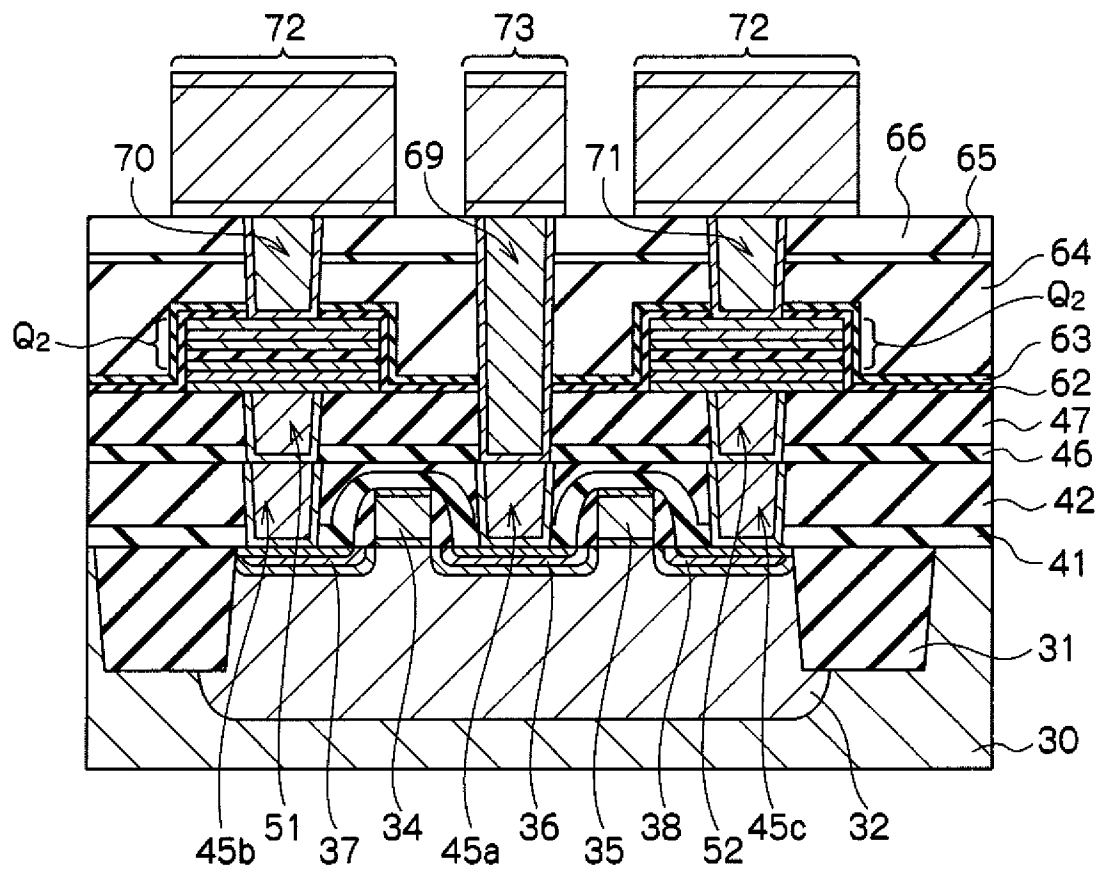
(a)



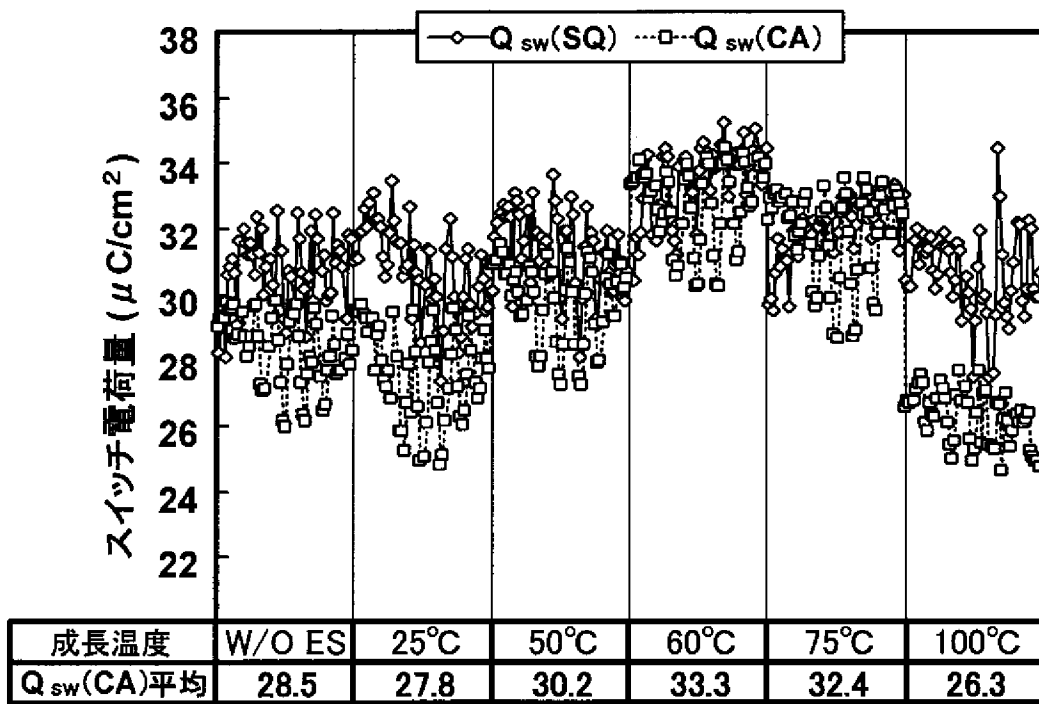
(b)



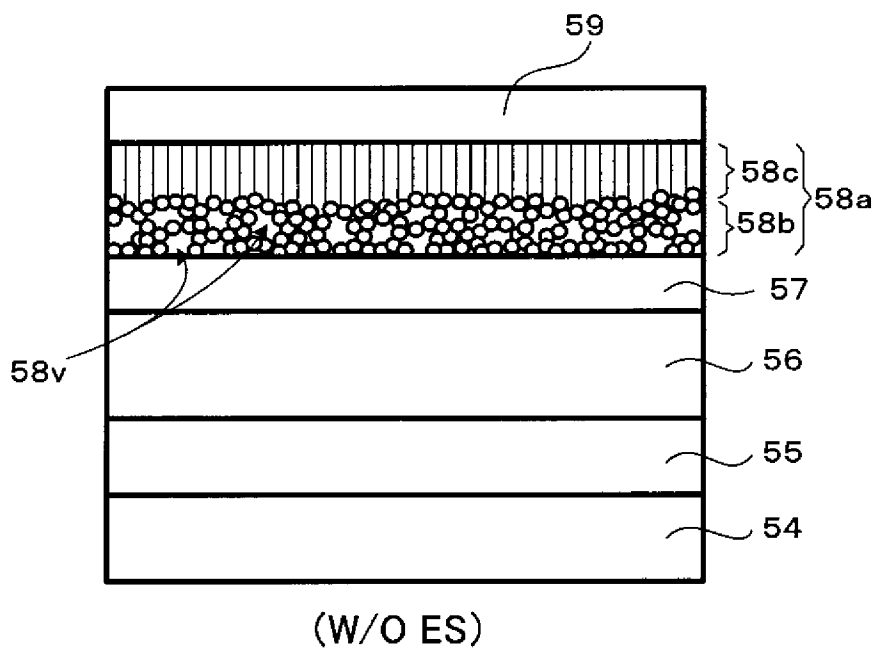
[図21]



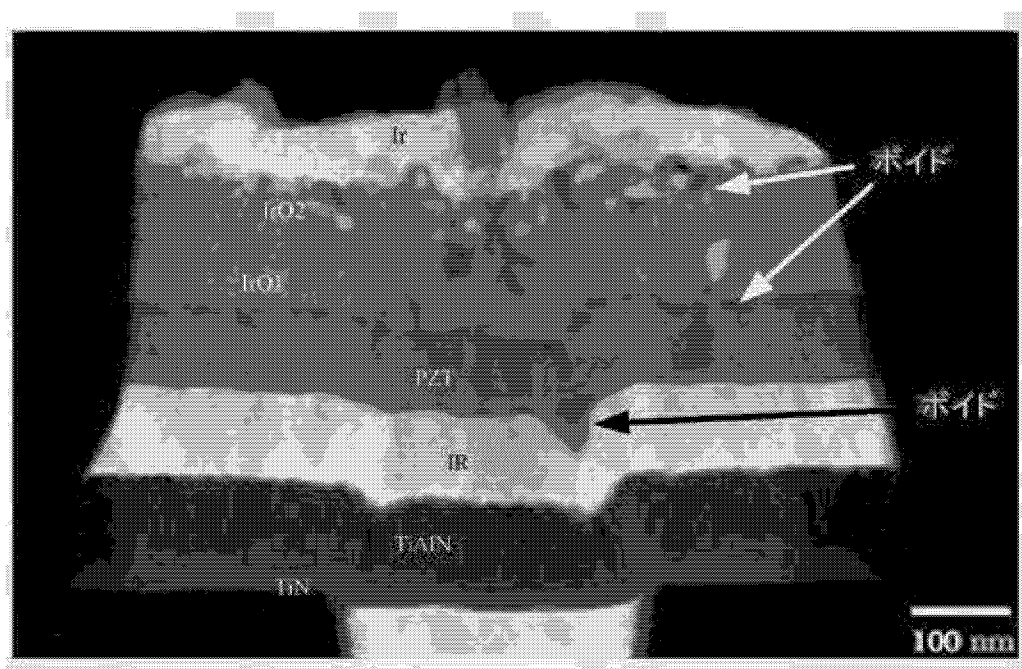
[図22]



[図23]

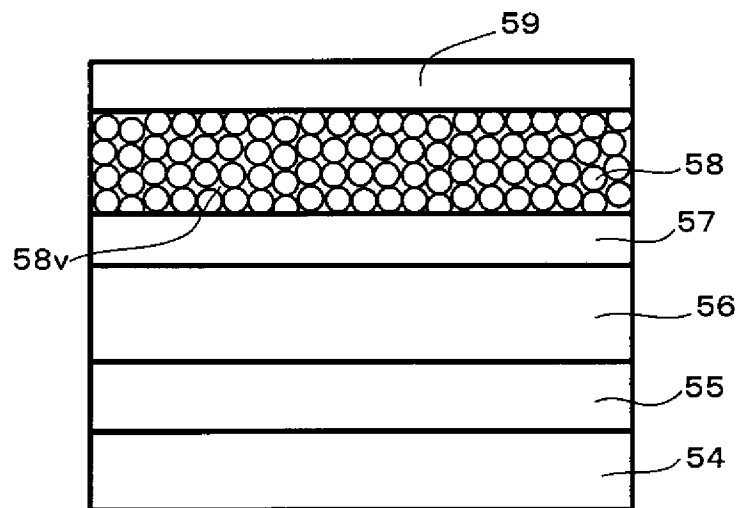


[図24]

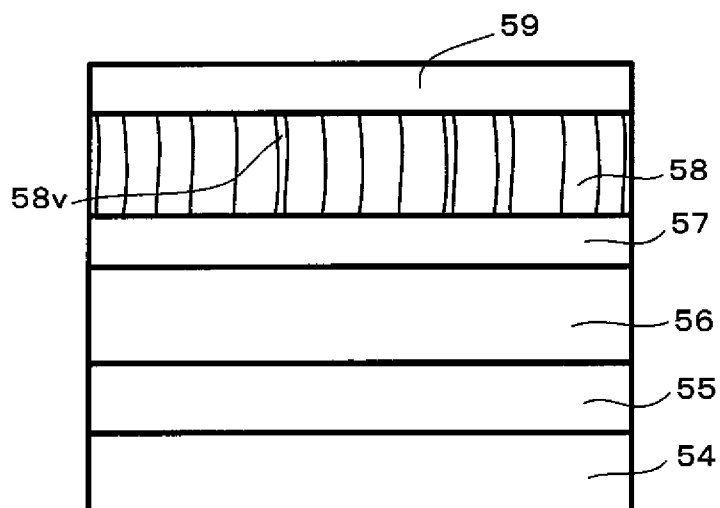


[図25]

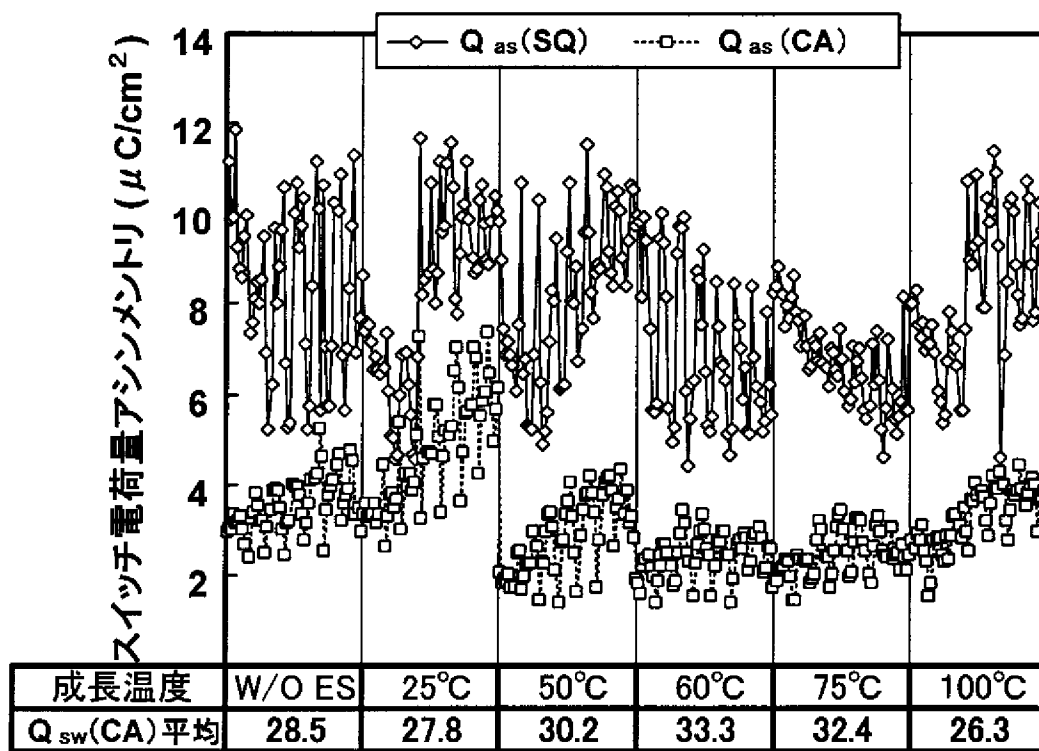
(a)



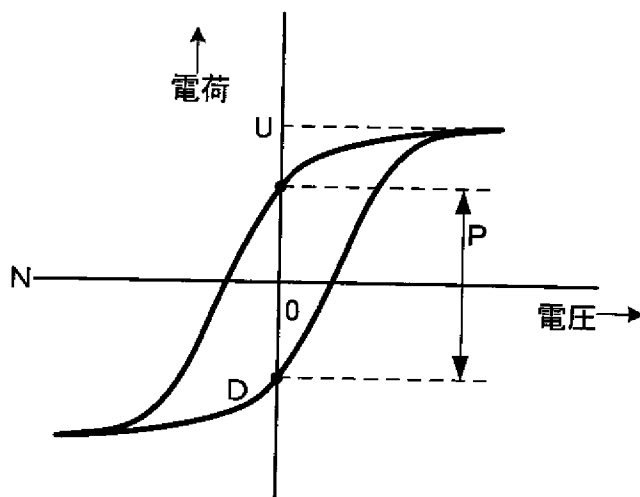
(b)



[図26]

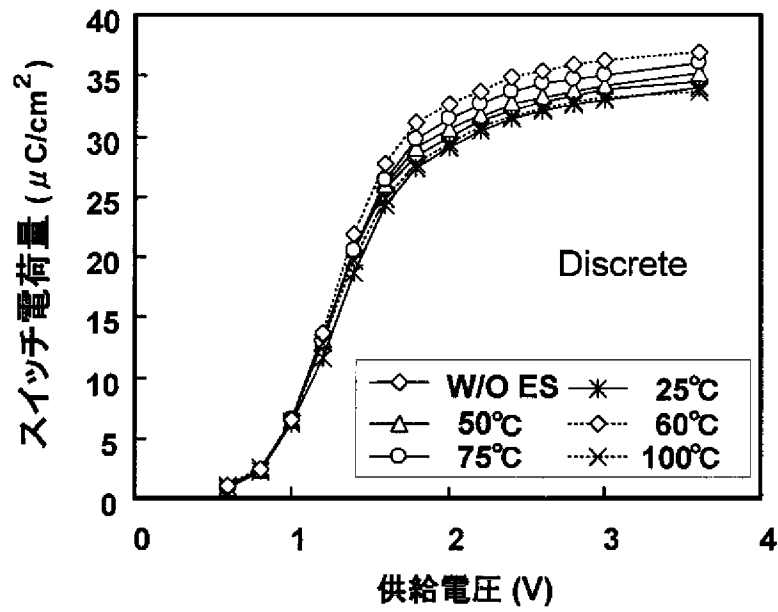


[図27]

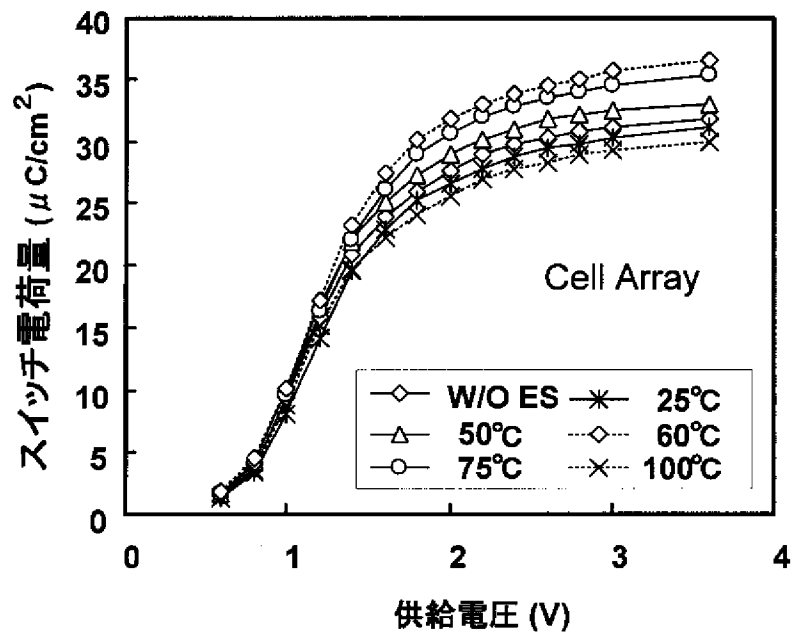


[図28]

(a)

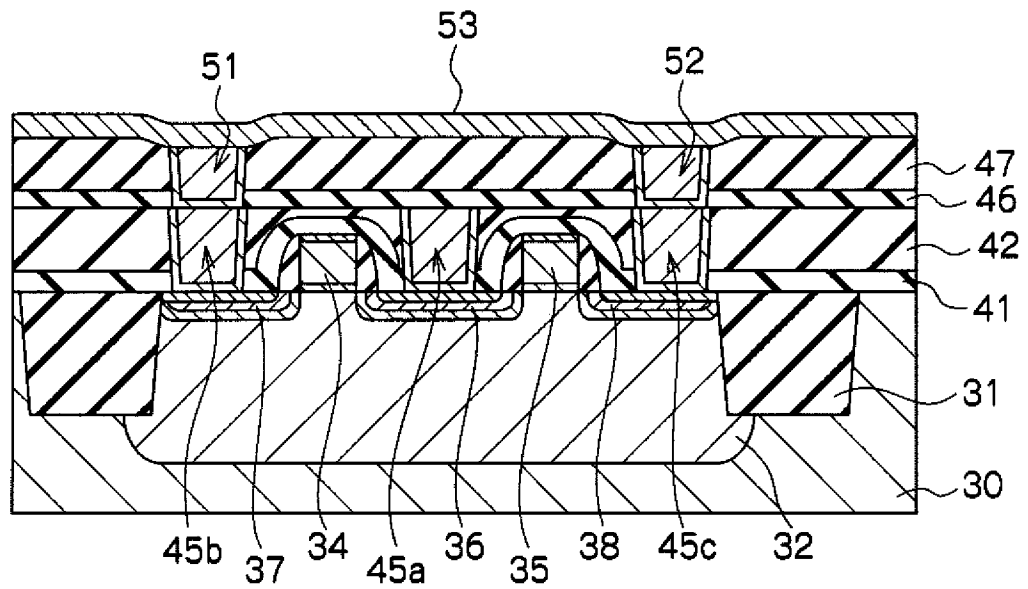


(b)

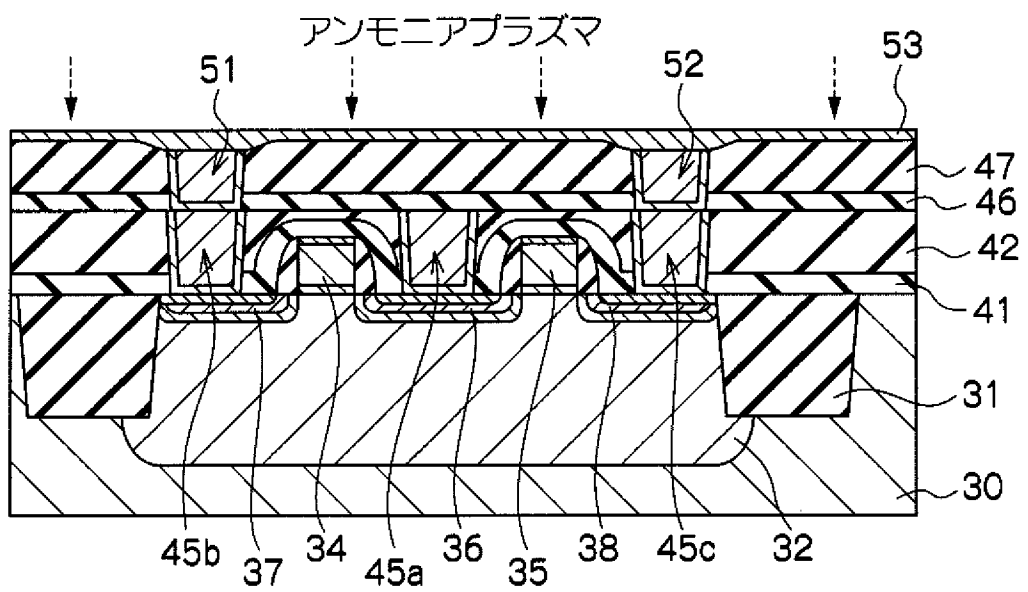


[図30]

(a)

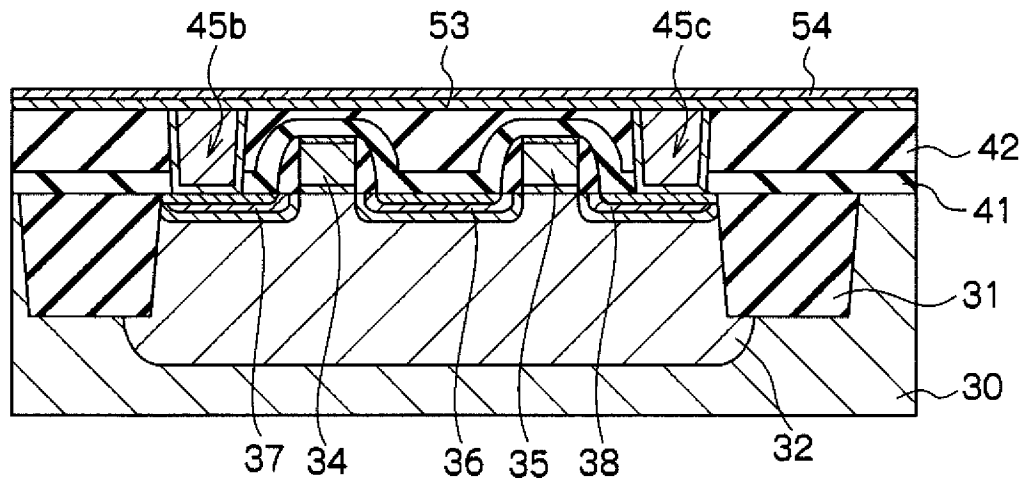


(b)

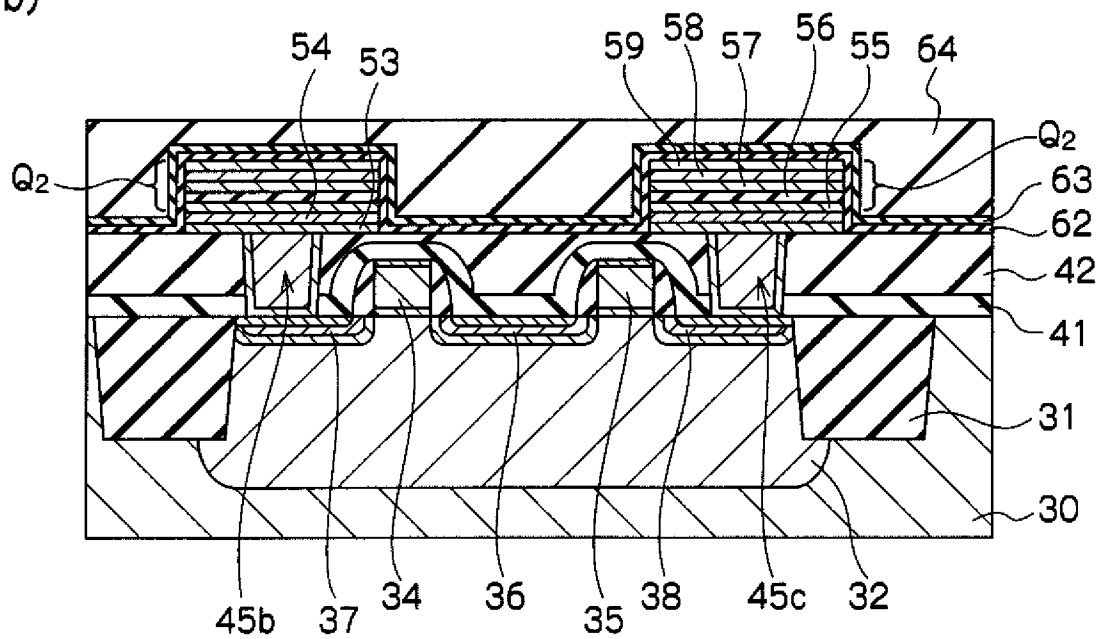


[図32]

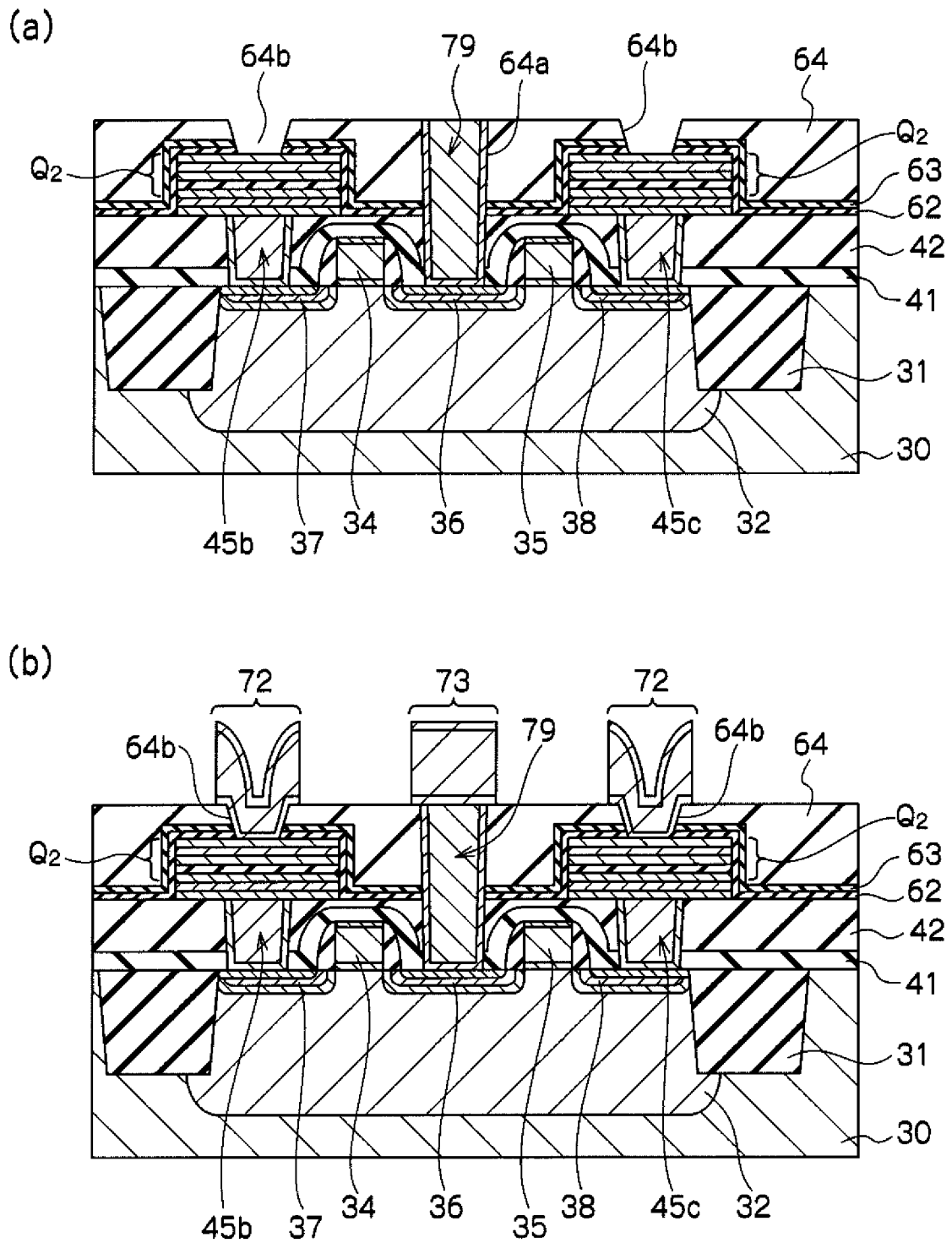
(a)



(b)



[図34]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/053836

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/8246(2006.01) i, H01L27/105(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/8246, H01L27/105

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2002-324894 A (Fujitsu Ltd.), 08 November, 2002 (08.11.02), Claims; Par. Nos. [0012] to [0072]; Figs. 1 to 13	1-3, 7, 9, 12, 16, 17
Y	& US 6624458 B2 & US 2003/0213986 A1 & EP 1253627 A2	5, 6, 10, 18-20 4, 8, 11, 13-15
Y	JP 2002-203948 A (Matsushita Electric Industrial Co., Ltd.), 19 July, 2002 (19.07.02), Par. Nos. [0032], [0045]; Fig. 1 (Family: none)	5, 6, 10, 16-20
A	JP 2002-110934 A (Fujitsu Ltd.), 12 April, 2002 (12.04.02), Full text (Family: none)	1-20

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
21 May, 2007 (21.05.07)

Date of mailing of the international search report
29 May, 2007 (29.05.07)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/053836

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-073648 A (Fujitsu Ltd.), 16 March, 2006 (16.03.06), Full text & US 2006/0043445 A1 & EP 1630855 A2	1-20

A. 発明の属する分野の分類（国際特許分類（I P C））
 Int.Cl. H01L21/8246(2006.01)i, H01L27/105(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料（国際特許分類（I P C））
 Int.Cl. H01L21/8246, H01L27/105

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2007年
日本国実用新案登録公報	1996-2007年
日本国登録実用新案公報	1994-2007年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2002-324894 A(富士通株式会社)2002.11.08, 特許請求の範囲, 【0012】 - 【0072】, 図1 - 図13	1-3, 7, 9, 12, 16, 17
Y	& US 6624458 B2 & US 2003/0213986 A1 & EP 1253627 A2	5, 6, 10, 18-20
A		4, 8, 11, 13-15
Y	JP 2002-203948 A(松下電器産業株式会社)2002.07.19, 【0032】, 【0045】, 図1(ファミリーなし)	5, 6, 10, 16-20

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技术水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日
 21.05.2007

国際調査報告の発送日
 29.05.2007

国際調査機関の名称及びあて先
 日本国特許庁（I S A/J P）
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）	4M	9353
栗野 正明		
電話番号 03-3581-1101 内線	3462	

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2002-110934 A(富士通株式会社)2002.04.12, 全文 (ファミリーなし)	1-20
A	JP 2006-073648 A(富士通株式会社)2006.03.16, 全文 & US 2006/0043445 A1 & EP 1630855 A2	1-20