



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0066150  
(43) 공개일자 2012년06월22일

(51) 국제특허분류(Int. Cl.)

H01L 29/78 (2006.01) H01L 21/336 (2006.01)

(21) 출원번호 10-2010-0127357

(22) 출원일자 2010년12월14일

심사청구일자 2010년12월14일

(71) 출원인

서강대학교산학협력단

서울특별시 마포구 백범로 35 (신수동, 서강대학교)

(72) 발명자

최우영

서울특별시 동작구 사당동 105 (6/3) 극동아파트 111-603

(74) 대리인

권오준

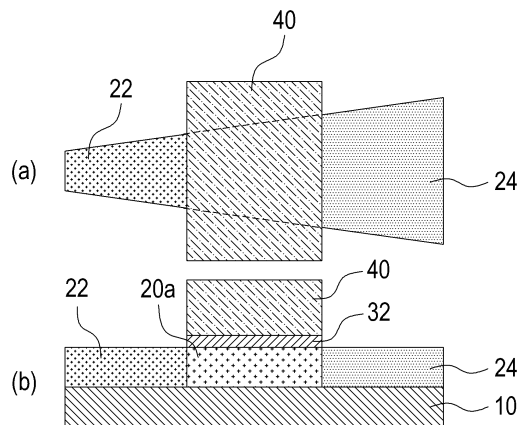
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 비대칭 활성영역을 갖는 터널링 전계효과 트랜지스터

### (57) 요약

본 발명은 터널링 전계효과 트랜지스터에 관한 것으로, 더욱 상세하게는 소스에서 드레인으로 가며 활성영역의 폭이 점차 증가하도록 비대칭적으로 형성함으로써, 소스와 채널 사이에는 전계가 집중되어 터널링 전류를 증가시키고, 반대로 드레인과 채널 사이에는 전계가 완화되어 ambipolar 특성을 억제할 수 있는 비대칭 활성영역을 갖는 터널링 전계효과 트랜지스터에 관한 것이다.

대표도 - 도2



이 발명을 지원한 국가연구개발사업

|        |                                           |
|--------|-------------------------------------------|
| 과제고유번호 | 2010-0019105                              |
| 부처명    | 교육과학기술부                                   |
| 연구사업명  | 나노원천기술개발사업                                |
| 연구과제명  | 고에너지 효율의 IC 구현을 위한 차세대 녹색 터널링 트랜지스터 개발    |
| 주관기관   | 서강대학교산학협력단                                |
| 연구기간   | 2009.06.01 ~ 2012.05.31이 발명을 지원한 국가연구개발사업 |
| 과제고유번호 | C1090-1001-0003                           |
| 부처명    | 지식경제부                                     |
| 연구사업명  | 대학 IT연구센터 육성지원사업 (ITRC)                   |
| 연구과제명  | 차세대 융복합 시스템용 아날로그 IP 핵심설계기술 개발            |
| 주관기관   | 서강대학교산학협력단                                |
| 연구기간   | 2010.06.01 ~ 2013.12.31                   |

---

## 특허청구의 범위

### 청구항 1

반도체 기판과, 상기 반도체 기판 상에 게이트 절연막을 사이에 두고 형성된 게이트와, 상기 게이트 밑에 위치한 상기 반도체 기판을 채널영역으로 하고, 상기 채널영역을 사이에 두고 상기 반도체 기판 양측에 형성된 P+ 영역과 N+ 영역을 포함하여 구성된 터널링 전계효과 트랜지스터에 있어서,

상기 P+ 영역, 상기 채널영역 및 상기 N+ 영역으로 이루어진 활성영역은 상기 P+ 영역을 이루는 상기 활성영역의 일단에서 상기 N+ 영역을 이루는 상기 활성영역의 타단으로 가며 상기 활성영역의 폭이 점차 증가하는 것을 특징으로 하는 비대칭 활성영역을 갖는 터널링 전계효과 트랜지스터.

### 청구항 2

제 1 항에 있어서,

상기 채널영역은 진성영역(intrinsic region) 또는 P형 불순물이 상기 P+ 영역보다 약하게 도핑된 영역인 것을 특징으로 하는 비대칭 활성영역을 갖는 터널링 전계효과 트랜지스터.

### 청구항 3

반도체 기판과, 상기 반도체 기판 상에 게이트 절연막을 사이에 두고 형성된 게이트와, 상기 게이트 밑에 위치한 상기 반도체 기판을 채널영역으로 하고, 상기 채널영역을 사이에 두고 상기 반도체 기판 양측에 형성된 N+ 영역과 P+ 영역을 포함하여 구성된 터널링 전계효과 트랜지스터에 있어서,

상기 N+ 영역, 상기 채널영역 및 상기 P+ 영역으로 이루어진 활성영역은 상기 N+ 영역을 이루는 상기 활성영역의 일단에서 상기 P+ 영역을 이루는 상기 활성영역의 타단으로 가며 상기 활성영역의 폭이 점차 증가하고,

상기 채널영역은 N형 불순물이 상기 N+ 영역보다 약하게 도핑된 영역인 것을 특징으로 하는 비대칭 활성영역을 갖는 터널링 전계효과 트랜지스터.

### 청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 반도체 기판은 SOI(Silicon-On-Insulator) 기판인 것을 특징으로 하는 비대칭 활성영역을 갖는 터널링 전계효과 트랜지스터.

### 청구항 5

반도체 기판에 형성된 N+ 영역과, 상기 N+ 영역 상부에 형성된 적층된 채널영역과, 상기 채널영역 상부에 형성된 P+ 영역으로 수직 적층된 활성영역과;

상기 채널영역 상에 게이트 절연막을 사이에 두고 형성된 게이트를 포함하여 구성되되,

상기 활성영역의 수직단면은 상기 P+ 영역을 이루는 상기 활성영역의 상부에서 상기 N+ 영역을 이루는 상기 활성영역의 하부로 가며 수직단면의 폭이 점차 증가하는 것을 특징으로 하는 비대칭 활성영역을 갖는 터널링 전계효과 트랜지스터.

### 청구항 6

제 5 항에 있어서,

상기 채널영역은 진성영역(intrinsic region) 또는 P형 불순물이 상기 P+ 영역보다 약하게 도핑된 영역인 것을 특징으로 하는 비대칭 활성영역을 갖는 터널링 전계효과 트랜지스터.

## 청구항 7

반도체 기판에 형성된 P+ 영역과, 상기 P+ 영역 상부에 형성된 적층된 채널영역과, 상기 채널영역 상부에 형성된 N+ 영역으로 수직 적층된 활성영역과;

상기 채널영역 상에 게이트 절연막을 사이에 두고 형성된 게이트를 포함하여 구성되며,

상기 활성영역의 수직단면은 상기 N+ 영역을 이루는 상기 활성영역의 상부에서 상기 P+ 영역을 이루는 상기 활성영역의 하부로 가며 수직단면의 폭이 점차 증가하고,

상기 채널영역은 N형 불순물이 상기 N+ 영역보다 약하게 도핑된 영역인 것을 특징으로 하는 비대칭 활성영역을 갖는 터널링 전계효과 트랜지스터.

## 청구항 8

제 5 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 게이트는 상기 채널영역의 적어도 일면 상에 형성되거나 전면을 감싸며 형성된 것을 특징으로 하는 비대칭 활성영역을 갖는 터널링 전계효과 트랜지스터.

## 명세서

### 기술분야

[0001] 본 발명은 터널링 전계효과 트랜지스터에 관한 것으로, 더욱 상세하게는 소스에서 드레인으로 가며 활성영역의 폭이 점차 증가하도록 비대칭적으로 형성함으로써, 소스와 채널 사이에는 전계가 집중되어 터널링 전류를 증가시키고, 반대로 드rain과 채널 사이에는 전계가 완화되어 ambipolar 특성을 억제할 수 있는 비대칭 활성영역을 갖는 터널링 전계효과 트랜지스터에 관한 것이다.

### 배경기술

[0002] 터널링 전계효과 트랜지스터(Tunneling Field Effect Transistor: TFET)는 일본의 Hitachi와 영국의 Cambridge 대학에서 그 개념이 최초로 제안되었으나, 1990년대에는 기존의 MOSFET 축소화가 무리없이 진행되었고 에너지 문제도 심각하지 않은 상황이었으므로 터널링 트랜지스터는 널리 연구되지는 못하였다.

[0003] 그러나, 2000년대에 들어서 MOSFET의 축소화의 한계가 임박하고 에너지 문제도 심각해지면서, 이에 대한 해법의 하나로 터널링 트랜지스터 연구는 각광을 받게 되었다.

[0004] 이는 반도체 소자의 크기가 작아지고 성능이 향상되는 반대급부로 전력의 소모가 증가하게 되면서, 기존의 MOSFET을 대체하거나 보완할 소자 개발의 필요성이 대두하게 되었기 때문이다.

[0005] 기존의 MOSFET은 문턱전압이하 기율기(Subthreshold Swing: SS)가 상온에서 60mV/dec 이하로 낮아질 수 없는 물리적 한계가 있어, 구동전압이 낮아지면 상당한 성능 저하가 발생하는 근본적인 문제점이 있어 왔다.

[0006] 하지만 터널링 전계효과 트랜지스터는 기존 MOSFET의 열전자 방출 (thermionic emission)과는 상이한 터널링 방식으로 전자나 홀의 흐름을 제어하므로 입력전압(구동전압)의 미세한 변화가 출력전류의 큰 변화로 이어질 수 있다.

[0007] 이는 ON/OFF 상태의 변화가 게이트 전압의 변화에 따라 매우 급격하게 일어남을 시사하며, 낮은 문턱전압이하 기율기(SS)가 가능함을 의미한다.

[0008] 따라서, 터널링 전계효과 트랜지스터는 1V 이하의 매우 낮은 구동전압 조건에서도 정상적인 동작이 가능할 것으로 예상하고 있으므로, 터널링 트랜지스터를 이용하면 전력을 적게 소모하면서 기존의 MOSFET과 유사한 성

능을 얻을 수 있게 되어 고에너지 효율의 반도체 소자를 구현할 수 있을 것으로 기대되어 왔다.

- [0009] 이러한 터널링 전계효과 트랜지스터는 기본적으로, 도 1과 같이, 통상의 MOSFET과 달리 채널영역(20) 양측으로 서로 반대극성을 갖는 불순물로 같은 폭의 활성영역으로 이루어진 소스(21)/드레인(23)을 형성하는 구조를 갖는다. 도 1에서 (a)는 평면도를, (b)는 단면도를 각각 보여준다.
- [0010] 예컨대, N 채널 TFET인 경우, 매몰산화막(10) 상의 P형 SOI 기판에 채널영역(20) 양측으로 소스(21)는 P+ 영역, 드레인(23)은 N+ 영역으로 서로 같은 폭을 갖도록 형성된다. 여기서, P+ 영역은 P형 고농도 도핑층을, N+ 영역은 N형 고농도 도핑층을 각각 말한다(이하, 동일함).
- [0011] 상기와 같이 N 채널 TFET를 형성할 경우, 즉, 도 4(a)와 같이, 소스/드레인 및 채널 각 활성영역의 폭이 동일하게 형성될 경우, 도 4(b)와 같이, 소스(21)인 P+ 영역과 P형 채널영역 사이에는 P형 불순물 농도 구배(slope)에 따른 비교적 넓은 불순물 확산영역(61)이, 드레인(23)인 N+ 영역과 P형 채널영역 사이에는 공핍영역(depletion region; 63)이 각각 형성되어, 소스/드레인 및 게이트에 아무런 바이어스 전압을 인가하지 않았을 때에는, 도 4(c)와 같이, 에너지 밴드를 그리게 된다.
- [0012] 상기 N 채널 TFET를 구동하기 위하여, 게이트(40)에 + 구동전압이 인가되고, 소스(21) 및 드레인(23)에 역바이어스 전압이 각각 인가하게 되면(예컨대,  $V_s=0$ ,  $V_g>0$ ,  $V_d>0$ ), 도 4(d)와 같이, 소스(21)과 채널영역(20) 사이에 에너지 밴드 경사가 급격하게 되면서, 소스(21)에 있던 전자들이 불순물 농도 구배에 의한 장벽을 양자역학적으로 터널링되어 구동전류( $I_{on}$ )가 흐르게 된다.
- [0013] 그런데, 상기 TFET의 구동전류는 터널링 현상에 의한 것이므로, MOSFET의 구동전류에 비하여 낮은 전류값을 갖는 문제점이 있어왔다.
- [0014] 또한, TFET 구조(p-i-n 다이오드 구조) 및 역바이어스 전압으로 구동하는 특성상 ambipolar 동작이 가능하여, 게이트 구동전압을 양에서 음으로 이동할 때(즉, OFF 전압 인가시; 예컨대,  $V_s=0$ ,  $V_g=0$ ,  $V_d>0$ ), 도 4(e)와 같이, 드레인(23)과 채널영역(20) 사이에 에너지 밴드 경사가 급격하게 되면서, 터널링이 일어나는 부분이 P+ 영역에서 N+ 영역으로 바뀌게 되어, 의도하지 않은 영역에서의 터널링으로 누설전류 증가를 가져오게 되고, 이는 ON/OFF 전류비를 떨어뜨리는 문제점으로 지적되어 왔다.
- [0015] 앞의 구동전류를 늘리는 방법으로, 미국공개특허 제20070178650호에서 P+ 영역과 N+ 영역 중 어느 하나를 실리콘이 아닌 실리콘 게르마늄 혹은 게르마늄으로 치환시키는 기술이 개시되어 있으나, 공정의 복잡도가 늘어나고 비용을 증가시키는 문제점이 있다.
- [0016] 한편, 뒤의 ambipolar 동작에 따른 누설전류 문제점을 해결하고자, 미국공개특허 제20080224224호에서 P+ 영역과 N+ 영역 중 어느 하나를 게이트와 겹치지 않도록 격리하는 방법을 개시하고 있으나, 이 또한 이격에 따른 면적손실이 크다는 문제점이 있어, 바람직한 해결책으로 채용하기 어렵다.
- [0017] 따라서, 제조공정을 복잡하게 하지 않으면서도 별도 면적손실 없이 상기 두가지 문제점을 해결하여, 기존의 MOSFET을 대체할 수 있는 터널링 전계효과 트랜지스터의 구조 및 공정개발이 계속 요구되고 있다.

## 발명의 내용

### 해결하려는 과제

- [0018] 본 발명은 공정의 복잡도 증가나 면적손실 없이 종래 터널링 전계효과 트랜지스터의 낮은 구동전류 및 높은 누설전류의 문제점을 해결하기 위한 새로운 터널링 전계효과 트랜지스터의 구조를 제공하는 것을 그 목적으로 한다.

### 과제의 해결 수단

- [0019] 상기 목적을 달성하기 위하여, 본 발명에 의한 비대칭 활성영역을 갖는 터널링 전계효과 트랜지스터는 반도체 기판과, 상기 반도체 기판 상에 게이트 절연막을 사이에 두고 형성된 게이트와, 상기 게이트 밑에 위치한 상기 반도체 기판을 채널영역으로 하고, 상기 채널영역을 사이에 두고 상기 반도체 기판 양측에 형성된 P+ 영역과 N+ 영역을 포함하여 구성된 터널링 전계효과 트랜지스터에 있어서, 상기 P+ 영역, 상기 채널영역 및 상기 N+ 영역으로 이루어진 활성영역은 상기 P+ 영역을 이루는 상기 활성영역의 일단에서 상기 N+ 영역을 이루는 상기 활성영역의 타단으로 가며 상기 활성영역의 폭이 점차 증가하는 것을 특징으로 한다.

[0020] 또한, 반도체 기판에 형성된 N+ 영역과, 상기 N+ 영역 상부에 형성된 적층된 채널영역과, 상기 채널영역 상부에 형성된 P+ 영역으로 수직 적층된 활성영역과; 상기 채널영역 상에 게이트 절연막을 사이에 두고 형성된 게이트를 포함하여 구성되되, 상기 활성영역의 수직단면은 상기 P+ 영역을 이루는 상기 활성영역의 상부에서 상기 N+ 영역을 이루는 상기 활성영역의 하부로 가며 수직단면의 폭이 점차 증가하는 것을 특징으로 한다.

### 발명의 효과

[0021] 본 발명의 구성에 의하여, 터널링이 일어나야 하는 접합에는 불순물 농도 구배(slope)에 따른 불순물 확산영역이 좁게 형성되어 전계가 집중되도록 하고, 터널링을 억제하고자 하는 접합에는 공핍영역이 상대적으로 넓게 형성되어 전계가 완화되도록 함으로써, 턴온(turn-on)시의 터널링 전류를 획기적으로 증가시킴과 동시에 턴오프(turn-off)시의 누설전류를 최대한 억제시켜 ON/OFF 전류비를 높일 수 있는 효과가 있다.

### 도면의 간단한 설명

[0022] 도 1은 터널링 전계효과 트랜지스터의 구조를 보여주는 평면도(a) 및 단면도(b)이다.  
 도 2은 본 발명의 일 실시예에 따른 터널링 전계효과 트랜지스터의 구조를 보여주는 평면도(a) 및 단면도(b)이다.  
 도 3은 본 발명의 다른 실시예에 따른 터널링 전계효과 트랜지스터의 구조를 보여주는 단면도이다.  
 도 4는 도 1의 구조에서 구체적 물질에 의한 평면도(a), 상기 물질 특성에 의한 장벽을 개념적으로 도시한 단면도(b), 바이어스를 가하지 않았을 경우의 에너지 밴드(c), 턴온시의 에너지 밴드(d) 및 턴오프시의 에너지 밴드(e)를 각각 도시한 것이다.  
 도 5는 도 2의 구조에서 구체적 물질에 의한 평면도(a), 상기 물질 특성에 의한 장벽을 개념적으로 도시한 단면도(b), 바이어스를 가하지 않았을 경우의 에너지 밴드(c), 턴온시의 에너지 밴드(d) 및 턴오프시의 에너지 밴드(e)를 각각 도시한 것이다.

### 발명을 실시하기 위한 구체적인 내용

[0023] 이하, 첨부된 도면을 참조하며 본 발명의 바람직한 실시예에 대하여 설명한다.

#### [제 1 실시예]

[0025] 본 발명의 제 1 실시예에 따른 비대칭 활성영역을 갖는 터널링 전계효과 트랜지스터는, 도 2와 같이, 매몰산화막(10) 상의 SOI(Silicon-On-Insulator) 기판과 같은 반도체 기판과, 상기 반도체 기판 상에 게이트 절연막(32)을 사이에 두고 형성된 게이트(40)와, 상기 게이트 밑에 위치한 상기 반도체 기판을 채널영역(20a)으로 하고, 상기 채널영역을 사이에 두고 상기 반도체 기판 양측에 형성된 P+ 영역(22)과 N+ 영역(24)을 포함하여 구성된 터널링 전계효과 트랜지스터에 있어서, 상기 P+ 영역(22), 상기 채널영역(20a) 및 상기 N+ 영역(24)으로 이루어진 활성영역(active region)은 상기 P+ 영역(22)을 이루는 상기 활성영역의 일단[예컨대, 도 2(a)에서 도면부호 22의 좌측 끝단]에서 상기 N+ 영역(24)을 이루는 상기 활성영역의 타단[예컨대, 도 2(a)에서 도면부호 24의 우측 끝단]으로 가며 상기 활성영역의 폭이 점차 증가하는 것을 특징으로 한다.

[0026] 여기서, 상기 채널영역(20a)은 진성영역(intrinsic region) 또는 P형 불순물이 상기 P+ 영역보다 약하게 도핑된 영역(P 영역)으로 하여, N 채널 TFET를 형성할 수 있다.

[0027] 상기과 같이 구성됨으로써, 도 5(b)와 같이, 턴온시 터널링이 일어나야 하는 소스인 P+ 영역(22)과 채널영역(20a) 사이에는 P형 불순물 농도 구배(slope)에 따른 불순물 확산영역(62)이, 도 4(b)에 도시된 종래 구조의 불순물 확산영역(61)에 비하여 상대적으로 훨씬 좁게 형성되고, 드레인인 N+ 영역(24)과 P형 채널영역(20a) 사이에는 공핍영역(depletion region; 64)이, 도 4(b)에 도시된 종래 구조의 공핍영역(63)에 비하여 상대적으로 훨씬 넓게 형성된다.

[0028] 그 결과, 상기 불순물 확산영역(62)에 의하여 형성되는 터널링 장벽의 두께(x1)는 도 4(b)에 도시된 종래 구조에서보다 훨씬 작게 되어, 양단에 종래 구조와 동일한 전압이 걸리더라도 전계가 커지게(집중하게) 됨으로써, 턴온시 전자의 터널링에 의한 구동전류( $I_{ON}$ )를 높이게 되고, 반대로 상기 공핍영역(64)에 의하여 형성되는 터널링 장벽의 두께(x2)는 도 4(b)에 도시된 종래 구조에서보다 훨씬 크게 되어, 양단에 종래 구조와 동일한 전압이 걸리더라도 전계가 작아지게(완화하게) 됨으로써, 턴오프시 정공(hole)의 터널링에 의한 누설전류

( $I_{off}$ )를 억제하게 된다.

[0029] 상기 원리를 에너지 밴드를 이용하여 종래 구조의 에너지 밴드[도 4(c) 내지 도 4(e) 참조]와 대비하며 다시 설명하면, 도 5(c) 내지 도 5(e)와 같다.

[0030] 도 5(c)는 상기 실시예에 의한 N 채널 TFET의 소스(22)/드레인(24) 및 게이트(40)에 아무런 바이어스 전압을 인가하지 않았을 때의 에너지 밴드를 도시한 것으로, 종래 구조에 대한 도 4(c)와 대비하여 볼 때 양자의 불순물 확산영역에 의하여 형성되는 터널링 장벽의 두께( $x_1$ )와 공핍영역에 의하여 형성되는 터널링 장벽의 두께( $x_2$ )가 각각 차이 남을 알 수 있다.

[0031] 도 5(d)는 상기 N 채널 TFET를 구동하기 위하여, 게이트(40)에 + 구동전압을, 소스(22) 및 드레인(24)에 역바이어스 전압을 각각 인가한 경우(예컨대,  $V_s=0$ ,  $V_g>0$ ,  $V_d>0$ )의 에너지 밴드를 도시한 것으로, 종래 구조에 대한 도 4(d)와 대비하여 볼 때 소스(22) 측에서 전자가 바라보는 터널링 장벽의 두께( $x_1$ )가 종래보다 작아지면서 소스(22)와 채널영역(20a) 사이에 에너지 밴드 경사가 종래보다 급격하게 됨을 알 수 있고, 그 결과 소스(22)에 있던 전자들의 터널링을 용이하게 하여 턴온시의 구동전류( $I_{on}$ )를 높이게 된다.

[0032] 도 5(e)는 상기 N 채널 TFET를 턴오프시키기 위하여, 게이트 구동전압을 양에서 음으로 이동할 때(즉, OFF 전압 인가시; 예컨대,  $V_s=0$ ,  $V_g=0$ ,  $V_d>0$ )의 에너지 밴드를 도시한 것으로, 종래 구조에 대한 도 4(e)와 대비하여 볼 때 드레인(24) 측에서 정공(hole)이 바라보는 터널링 장벽의 두께( $x_2$ )가 종래보다 커지게 되면서 드레인(24)과 채널영역(20a) 사이에 에너지 밴드 경사가 종래보다 완화된 것을 알 수 있고, 그 결과 드레인(24)에 있던 정공들의 터널링을 어렵게 만들어 턴오프시의 누설전류( $I_{off}$ )를 낮추게 된다.

## [제 2 실시예]

[0034] 본 실시예는 상기 제 1 실시예에서 소스(22)는 P+ 영역 대신 N+ 영역으로, 드레인(24)은 N+ 영역 대신 P+ 영역으로 각각 대체하고, 채널영역(20a)은 N형 불순물이 상기 N+ 영역보다 약하게 도핑된 영역(N 영역)으로 하여, P 채널 TFET를 형성하되, 상기 N+ 영역(소스), 상기 채널영역 및 상기 P+ 영역(드레인)으로 이루어진 활성영역은 상기 N+ 영역(소스)을 이루는 상기 활성영역의 일단[예컨대, 도 2(a)에서 도면부호 22의 좌측 끝단]에서 상기 P+ 영역(드레인)을 이루는 상기 활성영역의 타단[예컨대, 도 2(a)에서 도면부호 24의 우측 끝단]으로 가며 상기 활성영역의 폭이 점차 증가하는 것을 특징으로 한다.

[0035] 따라서, 본 실시예에서도 상기 제 1 실시예와 마찬가지로 소스(22)에서 드레인(24)으로 가며 활성영역의 폭이 점차 증가하는 것을 핵심 특징으로 하여, 상기 제 1 실시예와 동일한 터널링 특성을 가지게 된다.

[0036] 다만, 본 실시예에서는 P 채널 TFET으로 동작되므로, 턴온시 불순물 확산영역에 의하여 형성되는 터널링 장벽의 두께( $x_1$ )가 종래보다 상대적으로 작아지게 되어 소스(22)에 있던 정공들이 보다 용이하게 터널링하게 되므로 이에 의하여 구동전류( $I_{on}$ )를 높일 수 있게 되고, 턴오프시에는 공핍영역에 의하여 형성되는 터널링 장벽의 두께( $x_2$ )가 종래보다 상대적으로 커지게 되면서 드레인(24)에 있던 전자들의 터널링을 어렵게 만들어 이로 인해 누설전류( $I_{off}$ )를 낮출 수 있게 된다.

## [제 3 실시예]

[0038] 본 실시예에 의한 비대칭 활성영역을 갖는 터널링 전계효과 트랜지스터는, 도 3과 같이, 매몰산화막(10) 상의 SOI(Silicon-On-Insulator) 기판과 같은 반도체 기판과, 반도체 기판에 형성된 N+ 영역(28)과, 상기 N+ 영역 상부에 형성된 에피공정 등의 방법으로 적층 형성된 채널영역(20b)과, 상기 채널영역 상부에 에피공정 등의 방법으로 형성된 P+ 영역(26)으로 수직 적층된 활성영역과; 상기 채널영역 상에 게이트 절연막(34)을 사이에 두고 형성된 게이트(42)를 포함하여 구성되되, 상기 활성영역의 수직단면은 상기 P+ 영역(26)을 이루는 상기 활성영역의 상부에서 상기 N+ 영역(28)을 이루는 상기 활성영역의 하부로 가며 수직단면의 폭이 점차 증가하는 것을 특징으로 한다.

[0039] 여기서도, 상기 제 1 실시예와 마찬가지로 상기 채널영역(20b)은 진성영역(intrinsic region) 또는 P형 불순물이 상기 P+ 영역보다 약하게 도핑된 영역(P 영역)으로 하여, N 채널 TFET를 형성할 수 있다.

[0040] 그리고, 상기 게이트(42)는 상기 채널영역(20b)의 적어도 일면 상에 형성되거나 전면을 감싸며 형성될 수 있다. 이는 상기 채널영역(20b)을 포함한 활성영역의 수직 형상에 따라 달라질 수 있음은 물론이다. 예컨대, 상기 활성영역의 수직 형상이 상부로 가며 좁아지는 핀 타입일 경우, 상기 게이트(42)는 수직 채널영역의 일 측

면 상에 단순 게이트 형태나, 수직 채널영역의 양 측면 상 이중 게이트(double gate) 형태로, 또는 수직 채널 영역의 3 측면 상 삼중 게이트(triple gate) 형태로 형성될 수 있고, 상기 활성영역의 수직 형상이 상부로 가며 좁아지는 원추형일 경우, 상기 게이트(42)는 수직 채널영역의 전면을 감싸며 형성되는 GAA(Gate-All-Around) 형태일 수 있다.

[0041] 도 3에서 미 설명된 부호 50은 게이트(42)를 하부의 N+ 영역(28)과 전기적으로 분리하기 위한 분리 절연막(예컨대, 산화막)이나 게이트 절연막(34)으로 일체로 형성될 수도 있다.

[0042] 본 실시예에 의한 N 채널 TFET의 수직단면을 도시한 도 3을 참조해 보면, 본 실시예에서도 활성영역이 수직으로 형성된 것 이외에 상기 제 1 실시예와 마찬가지로 소스인 P+ 영역(26)에서 드레인인 N+ 영역(28)으로 가며 활성영역의 수직단면 폭이 점차 증가하는 것을 핵심 특징으로 하여, 상기 제 1 실시예와 동일한 터널링 특성을 가지게 된다.

#### [0043] [제 4 실시예]

[0044] 본 실시예는 상기 제 3 실시예에서 소스(26)는 P+ 영역 대신 N+ 영역으로, 드레인(28)은 N+ 영역 대신 P+ 영역으로 각각 대체하고, 채널영역(20b)은 N형 불순물이 상기 N+ 영역보다 약하게 도핑된 영역(N 영역)으로 하여, P 채널 TFET를 형성하되, 상기 N+ 영역(소스), 상기 채널영역 및 상기 P+ 영역(드레인)으로 이루어진 수직 활성영역은 상기 N+ 영역(소스)을 이루는 상기 활성영역의 상부에서 상기 P+ 영역(드레인)을 이루는 상기 활성영역의 하부로 가며 상기 활성영역의 수직단면 폭이 점차 증가하는 것을 특징으로 한다.

[0045] 따라서, 본 실시예에서도 상기 제 1 실시예와 마찬가지로 소스(26)에서 드레인(28)으로 가며 활성영역의 수직단면 폭이 점차 증가하는 것을 핵심 특징으로 하여, 상기 제 1 실시예와 동일한 터널링 특성을 가지게 된다.

[0046] 다만, 본 실시예에서는 P 채널 TFET으로 동작되므로, 상기 제 2 실시예와 동일한 동작 특성을 갖게 된다.

#### 부호의 설명

[0047] 10: 매물산화막(Box)

20, 20a, 20b: 채널영역

21, 22, 26: 소스

23, 24, 28: 드레인

30, 32, 34: 게이트 절연막

40, 42: 게이트,

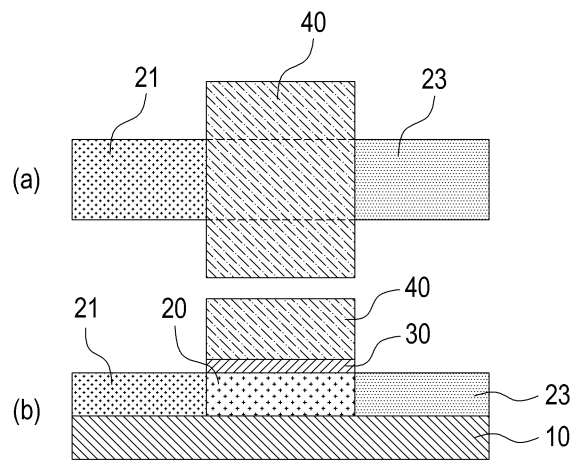
50: 분리 절연막

61, 62: 불순물 확산영역

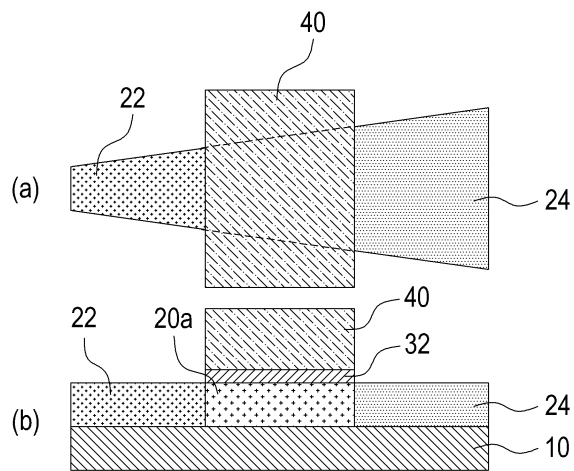
63, 64: 공핍영역

# 도면

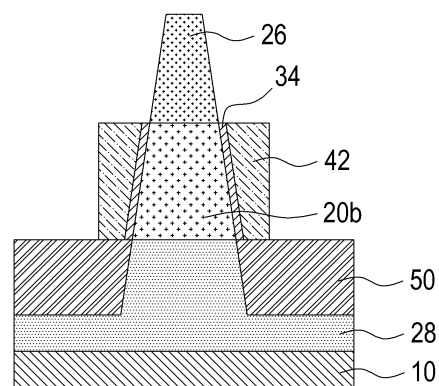
## 도면1



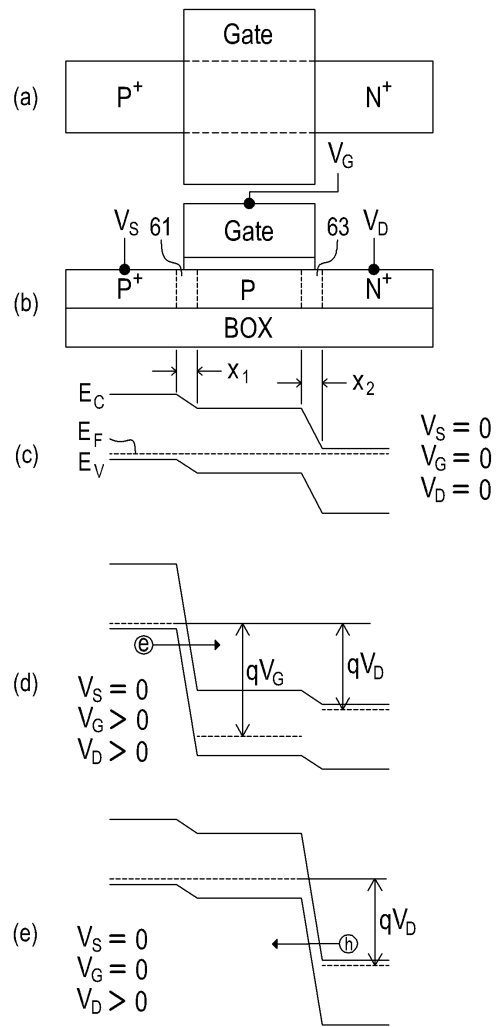
## 도면2



## 도면3



도면4



도면5

