(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0053781
(43) 공개일자 2013년05월24일

(51) 국제특허분류(Int. Cl.)
*H01L 33/48* (2010.01) *H01L 33/64* (2010.01)
(21) 출원번호 10-2011-0119416
(22) 출원일자 2011년11월16일
심사청구일자 없음

(71) 출원인
**엘지이노텍 주식회사**
서울특별시 중구 한강대로 416 (남대문로5가, 서울스퀘어)
**고려대학교 산학협력단**
서울 성북구 안암동5가 1
(72) 발명자
**김용찬**
서울특별시 강북구 미아동 1353번지 SK북한산시티아파트 111동 802호
**허재혁**
서울특별시 용산구 이촌1동 강촌아파트 103동 506호
**정민우**
서울특별시 동대문구 청계천로13길 23 (용두동)
(74) 대리인
**박영복, 김용인**

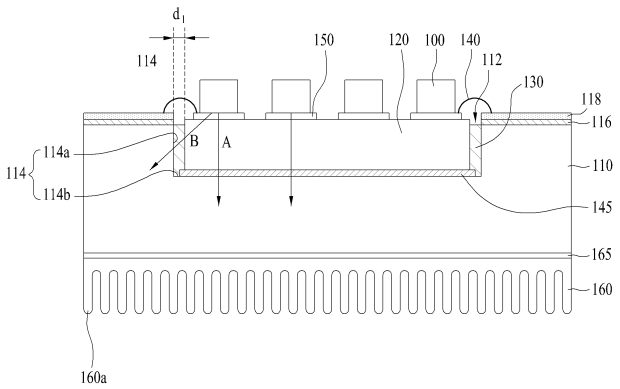
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 **광원 모듈**

## (57) 요 약

실시예에 따른 광원 모듈은 홈이 형성된 회로기판; 상기 홈에 삽입되어 배치되는 세라믹 기판; 및 상기 세라믹 기판 상에 배치되는 적어도 하나의 발광소자를 포함하고, 상기 홈의 내측면과 상기 홈에 삽입된 세라믹 기판의 외측면 사이에 열전도 물질이 위치한다.

*대 표 도* - 도1



## *특허청구의 범위*

**청구항 1**

홈이 형성된 회로기판;

상기 홈에 삽입되어 배치되는 세라믹 기판; 및

상기 세라믹 기판 상에 배치되는 적어도 하나의 발광소자를 포함하고,

상기 홈의 내측면과 상기 홈에 삽입된 세라믹 기판의 외측면 사이에 열전도 물질이 위치하는 광원 모듈.

**청구항 2**

제 1 항에 있어서,

상기 열전도 물질은 구리(Cu), 알루미늄(Al) 또는 은(Ag) 중 적어도 하나를 포함하는 광원 모듈.

**청구항 3**

제 1 항에 있어서,

상기 홈의 내측면은 측벽 및 바닥면을 포함하고, 상기 측벽은 상기 홈의 바닥면과 둔각을 이루는 경사면을 포함하는 광원 모듈.

**청구항 4**

제 1 항에 있어서,

상기 세라믹 기판의 상면에 도전성 패턴이 위치하고, 상기 발광소자는 상기 도전성 패턴과 전기적으로 연결되는 광원 모듈.

**청구항 5**

제 1 항에 있어서,

상기 세라믹 기판은 알루미늄나이트라이드(AlN)를 포함하는 광원 모듈.

**청구항 6**

제 1 항에 있어서,

상기 세라믹 기판은 Ag 페이스트를 이용해 상기 회로기판에 본딩되는 광원 모듈.

**청구항 7**

제 1 항에 있어서,

상기 회로기판은 메탈기판, FPCB, 또는 FR-4 중 어느 하나를 포함하는 광원 모듈.

**청구항 8**

제 3 항에 있어서,

상기 홈의 측벽과 상기 홈에 삽입된 세라믹 기판의 측면은 소정 간격 이격된 광원 모듈.

**청구항 9**

제 1 항에 있어서,

상기 세라믹 기판이 배치된 상부면과 반대되는 상기 회로기판의 하부면에 배치되는 방열 부재를 더 포함하는 광원 모듈.

**청구항 10**

제 9 항에 있어서,

상기 회로기판과 상기 방열 부재 사이에는 열전 시트(thermal sheet)가 위치하는 광원 모듈.

**청구항 11**

제 9 항에 있어서,

상기 방열 부재는, 상기 회로기판이 배치된 상부면과 반대되는 하부면에, 상기 하부면으로부터 연장 형성된 복수 개의 방열핀을 포함하는 광원 모듈.

## *명 세 서*

### *기 술 분 야*

[0001] 실시예는 광원 모듈에 관한 것이다.

### *배 경 기 술*

[0002] 반도체의 3-5족 또는 2-6족 화합물 반도체 물질을 이용한 발광 다이오드(Ligit Emitting Diode)나 레이저 다이오드와 같은 발광소자는 박막 성장 기술 및 소자 재료의 개발로 적색, 녹색, 청색 및 자외선 등 다양한 색을 구현할 수 있으며, 형광 물질을 이용하거나 색을 조합함으로써 효율이 좋은 백색 광선도 구현이 가능하며, 형광등, 백열등 등 기존의 광원에 비해 저소비전력, 반영구적인 수명, 빠른 응답속도, 안전성, 환경친화성의 장점을 가진다.

[0003] 따라서, 광 통신 수단의 송신 모듈, LCD(Liquid Crystal Display) 표시 장치의 백라이트를 구성하는 냉음극관(CCFL: Cold Cathode Fluorescence Lamp)을 대체하는 발광 다이오드 백라이트, 형광등이나 백열 전구를 대체할 수 있는 백색 발광 다이오드 조명 장치, 자동차 헤드 라이트 및 신호등에까지 응용이 확대되고 있다.

[0004] 발광 다이오드를 사용하는 일반적인 광원 모듈의 경우, 상면에 발광 다이오드를 실장된 세라믹 기판을 Ag 페이스트를 이용하여 회로기판에 본딩하는데, 이들 구성요소를 이루는 물질이 서로 달라 열 저항이 발생하여 열 흐름이 방해되고 특히 Ag 페이스트는 열 전도성이 좋지 못해 발광 다이오드에서 발생한 열을 외부로 용이하게 배출할 수 없어서 광원 모듈의 신뢰성이 좋지 못한 문제점이 존재한다.

### *발명의 내용*

### *해결하려는 과제*

[0005] 실시예는 광원 모듈의 방열 특성을 개선하여 신뢰성을 높이고자 한다.

### *과제의 해결 수단*

[0006] 실시예에 따른 광원 모듈은 홈이 형성된 회로기판; 상기 홈에 삽입되어 배치되는 세라믹 기판; 및 상기 세라믹 기판 상에 배치되는 적어도 하나의 발광소자를 포함하고, 상기 홈의 내측면과 상기 홈에 삽입된 세라믹 기판의 외측면 사이에 열전도 물질이 위치한다.

[0007] 상기 열전도 물질은 구리(Cu), 알루미늄(Al) 또는 은(Ag) 중 적어도 하나를 포함할 수 있다.

[0008] 상기 홈의 내측면은 측벽 및 바닥면을 포함하고, 상기 측벽은 상기 홈의 바닥면과 둔각을 이루는 경사면을 포함할 수 있다.

[0009] 상기 세라믹 기판의 상면에 도전성 패턴이 위치하고, 상기 발광소자는 상기 도전성 패턴과 전기적으로 연결될 수 있다.

[0010] 상기 세라믹 기판은 알루미늄나이트라이드(AlN)를 포함할 수 있다.

[0011] 상기 세라믹 기판은 Ag 페이스트를 이용해 상기 회로기판에 본딩될 수 있다.

[0012] 상기 회로기판은 메탈기판, FPCB, 또는 FR-4 중 어느 하나를 포함할 수 있다.

[0013] 상기 홈의 측벽과 상기 홈에 삽입된 세라믹 기판의 측면은 소정 간격 이격될 수 있다.

[0014] 상기 세라믹 기판이 배치된 상부면과 반대되는 상기 회로기판의 하부면에 배치되는 방열 부재를 더 포함할 수 있다.

[0015] 상기 회로기판과 상기 방열 부재 사이에는 열전 시트(thermal sheet)가 위치할 수 있다.

[0016] 상기 방열 부재는, 상기 회로기판이 배치된 상부면과 반대되는 하부면에, 상기 하부면으로부터 연장 형성된 복수 개의 방열핀을 포함할 수 있다.

## *발명의 효과*

[0017] 실시예에 따르면 회로기판과 세라믹 기판 사이에 열 전도성이 우수한 열전도 물질을 충진함으로써 광원 모듈의 방열 특성을 개선하고 전체적으로 광원 모듈의 신뢰성을 향상시킬 수 있다.

## *도면의 간단한 설명*

[0018] 도 1은 제1 실시예에 따른 광원 모듈의 측단면도이고,

도 2는 제2 실시예에 따른 광원 모듈의 측단면도이고,

도 3a 및 도 3b는 상술한 실시예들에 따른 광원 모듈에 배치되는 발광소자의 일실시예의 단면도이고,

도 4 내지 도 6은 실시예에 따른 광원 모듈의 제조 과정을 나타낸 도면이고,

도 7은 종래 광원 모듈과 실시예에 따른 광원 모듈의 온도를 측정하여 비교한 그래프이고,

도 8은 상술한 실시예들에 따른 광원 모듈을 포함하는 헤드램프의 일실시예를 나타낸 도면이다.

## *발명을 실시하기 위한 구체적인 내용*

[0019] 이하 첨부한 도면을 참조하여 실시예들을 설명한다.

[0020] 본 발명에 따른 실시예의 설명에 있어서, 각 element의 " 상(위) 또는 하(아래)(on or under)"에 형성되는 것으로 기재되는 경우에 있어, 상(위) 또는 하(아래)(on or under)는 두 개의 element가 서로 직접(directly)접촉되거나 하나 이상의 다른 element가 상기 두 element사이에 배치되어(indirectly) 형성되는 것을 모두 포함한다. 또한 "상(위) 또는 하(아래)(on or under)"으로 표현되는 경우 하나의 element를 기준으로 위쪽 방향뿐만 아니라 아래쪽 방향의 의미도 포함할 수 있다.

[0021] 도면에서 각층의 두께나 크기는 설명의 편의 및 명확성을 위하여 과장되거나 생략되거나 또는 개략적으로 도시되었다. 또한 각 구성요소의 크기는 실제크기를 전적으로 반영하는 것은 아니다.

[0022] 도 1은 제1 실시예에 따른 광원 모듈의 단면도이다.

[0023] 제1 실시예에 따른 광원 모듈은 홈(112)이 형성된 회로기판(110)과, 상기 홈(112)에 삽입되어 배치되는 세라믹 기판(120)과, 상기 세라믹 기판(1200 상에 배치되는 적어도 하나의 발광소자(100)를 포함하고, 상기 홈(112)의 내측면(114)과 상기 홈(112)에 삽입된 상기 세라믹 기판(120)의 외측면 사이에는 열전도 물질(130)이 위치한다.

[0024] 상기 회로기판(110)은 예를 들어, 메탈기판, FPCB, 또는 FR-4 중 어느 하나를 포함할 수 있다.

[0025] 상기 회로기판(110)에 홈(112)이 형성되며, 상기 홈(112)에 상기 세라믹 기판(120)이 삽입되어 배치된다. 상기 세라믹 기판(120)은 도전성을 갖는 페이스트(145)를 이용해 회로 기판(110)에 본딩될 수 있고, 상기 페이스트(145)는 높은 열 전도성을 가지는 Ag를 포함할 수 있다.

[0026] 상기 회로기판(110)에 홈(112)을 형성하는 이유는 후술하는 발광소자(100)에서 발생된 열이 외부로 빠져나가기까지 통과하는 열의 이동 경로를 줄이고, 열의 발산 면적을 넓힘으로써 광원 모듈의 신뢰성을 향상시키기 위함이다.

[0027] 발광소자(100)가 회로기판(110)에 직접 배치되면 상기 발광소자(100)와 회로기판(110) 사이에 전기적 쇼트가 발생할 수 있으므로, 전기 절연성을 가진 세라믹 기판(120) 상에 발광소자(100)가 고정되어 상기 회로기판(110) 상에 배치될 수 있다.

[0028] 상기 세라믹 기판(120)의 상면에 도전성 패턴(150)이 위치하고, 상기 발광소자(100)는 상기 도전성 패턴(150)과

전기적으로 연결될 수 있다. 일 예로 상기 발광소자(100)는 Au-Sn 유테틱 본딩에 의해서 상기 세라믹 기판(120)에 고정될 수 있다.

[0029] 도 1에는 일 예로서 네 개의 발광소자(100)가 도시되어 있으나, 그 이상 또는 그 이하의 발광소자들을 포함할 수 있다.

[0030] 세라믹 기판(120)은 알루미늄나이트라이드(AlN)를 포함할 수 있다.

[0031] 상기 회로기판(110)에는 회로 패턴(118)이 형성되어 있으며, 전기적 연결을 통해 상기 발광소자(100)에 전류를 공급할 수 있다.

[0032] 상기 전기적 연결은 와이어(140)를 통한 연결일 수 있다.

[0033] 상기 회로기판(110)과 상기 회로 패턴(118) 사이에는 절연층(116)을 형성하여 회로기판(110)과 회로 패턴(118) 간의 전기적 쇼트를 방지한다.

[0034] 상기 회로기판(110)에 형성된 홈(112)은 측벽(114a)과 바닥면(114b)을 포함하는 내측면(114)을 가지며, 상기 홈(112)에 삽입되는 세라믹 기판(120)은 상기 측벽(114a)과 소정 간격($d_1$) 이격되어 있다.

[0035] 그리고, 상기 홈(112)의 내측면(114)과 상기 홈(112)에 삽입된 상기 세라믹 기판(120)의 외측면 사이에 열전도 물질(130)이 충진된다.

[0036] 상기 열전도 물질(130)은 열 전도성이 우수한 금속일 수 있으며, 예를 들어 구리(Cu), 알루미늄(Al) 또는 은(Ag) 중 적어도 하나를 포함할 수 있다.

[0037] 종래에는 발광소자에서 발생한 열이 도전성 본딩과 세라믹 기판, 그리고 Ag 페이스트와 회로기판을 통과하는 열 전달 경로를 통해 외부로 방출되었다. 그러나 이들을 구성하는 물질이 서로 달라 열 흐름을 방해하는 열저항이 발생하고, 세라믹 기판을 회로기판에 본딩하는 Ag 페이스트의 열 전도율이 낮아서 발광소자로부터의 열 방출을 방해하는 문제점이 있었다.

[0038] 실시예에서는 홈(112)의 내측면(114)과 세라믹 기판(120)의 외측면 사이의 공간에 열 전도성이 우수한 열전도 물질(130)을 충진함으로써 발광소자에서 발생한 열이 도전성 본딩(150)과 세라믹 기판(120), 그리고 페이스트(145)와 회로기판(110)을 통과하는 열전달 경로(A)와, 도전성 본딩(150)과 세라믹 기판(120) 그리고 열전도 물질(130)을 통과하는 열전달 경로(B)의 두 경로를 통해 외부로 방출되도록 하여 광원 모듈의 방열 특성을 개선하고 신뢰성을 향상시킬 수 있다.

[0039] 상기 회로기판(110) 하부에는 방열 부재(160)가 배치될 수 있다.

[0040] 상기 방열 부재(160)는 발광소자(100)에서 발생되는 열을 외부로 방출하여 광원 모듈의 신뢰성을 유지하기 위한 것이므로 열 전도성이 높은 물질로 이루어질 수 있다.

[0041] 상기 방열 부재(160)는 회로 기판(110)이 배치된 상부면과 반대되는 하부면에, 공기와 접하는 면적을 넓혀서 열 방출 효과를 높일 수 있도록 상기 하부면으로부터 연장되는 방향으로 형성된 복수 개의 방열핀(160a)이 형성된 구조를 가질 수 있다.

[0042] 상기 방열 부재(160)와 상기 회로 기판(110) 사이에는 열전 시트(thermal sheet, 165)가 위치할 수 있다. 상기 열전 시트(165)는 우수한 열 전도성과 전기 절연성 및 난연성을 가져서 발열 부위와 방열 부재를 밀착시켜 줌으로써 열 전달 효과를 극대화시킬 수 있다.

[0043] 도 2는 제2 실시예에 따른 광원 모듈의 측단면도이다.

[0044] 상기 제1 실시예와 중복된 내용은 다시 설명하지 않으며, 이하에서는 제1 실시예와의 차이점을 중심으로 설명한다.

[0045] 제2 실시예에서, 회로기판(110)에 형성된 홈(112)의 측벽(114a)은 홈(112)의 바닥면(114b)과 둔각(Θ)을 이루는 경사면을 포함할 수 있다.

[0046] 상기 제1 실시예에서, 홈(112)의 측벽(114a)과 세라믹 기판(120)의 측면이 $d_1$만큼 이격되어 있으나, $d_1$의 간격이 좁아 열전도 물질(130)을 주입하기 어려울 수 있으므로 주입구의 간격을 넓혀 공정성을 확보하기 위함이다.

[0047] 상기 홈(112)의 측벽(114a)과 홈(112)의 바닥면(114b)이 둔각(Θ)을 이루기 때문에, 홈(112)의 측벽(114a) 상

부와 세라믹 기판(120)의 측면 사이의 간격 $d_2$는 상기 제1 실시예에서의 간격 $d_1$보다 넓게 형성된다.

[0048] 상기 홈(112)의 측벽(114a)과 홈(112)의 바닥면(114b)이 이루는 각도 Θ가 너무 크면 발광소자(110)에서 발생한 열이 외부로 빠져나가기까지 열의 전달 경로만 불필요하게 길어질 수 있으므로, 공정상 열전도 물질(130)을 용이하게 주입할 수 있고 열의 전달에 방해가 되지 않도록 형성할 수 있다.

[0049] 도 3a 및 도 3b는 상술한 실시예들에 따른 광원 모듈에 배치되는 발광소자의 일실시예의 단면도이며, 도 3a는 수평형 발광소자를 도 3b는 수직형 발광소자를 각각 도시하고 있다.

[0050] 발광소자는 복수의 화합물 반도체층, 예를 들어 3족-5족 원소의 반도체층을 이용한 LED(Light Emitting Diode)를 포함하며, LED는 청색, 녹색 또는 적색 등과 같은 광을 방출하는 유색 LED이거나 UV LED일 수 있다. LED의 방출 광은 다양한 반도체를 이용하여 구현될 수 있으며, 이에 대해 한정하지는 않는다.

[0051] 도 3a에 도시된 바와 같은 일실시예에 따른 수평형 발광소자는 기판(210) 상에, 개구면을 가지는 제1 도전형 반도체층(222)과 활성층(224) 및 제2 도전형 반도체층(226)을 포함하는 발광 구조물(220)이 구비된다.

[0052] 상기 발광 구조물(220)은 예를 들어, 유기금속 화학 증착법(MOCVD; Metal Organic Chemical Vapor Deposition), 화학 증착법(CVD; Chemical Vapor Deposition), 플라즈마 화학 증착법(PECVD; Plasma-Enhanced Chemical Vapor Deposition), 분자선 성장법(MBE; Molecular Beam Epitaxy), 수소화물 기상 성장법(HVPE; Hydride Vapor Phase Epitaxy) 등의 방법을 이용하여 형성될 수 있으며, 이에 대해 한정하지는 않는다.

[0053] 기판(210)은 반도체 물질 성장에 적합한 재료, 또는 캐리어 웨이퍼로 형성될 수 있다. 또한, 열전도성이 뛰어난 물질로 형성될 수 있으며, 전도성 기판 또는 절연성 기판일 수 있다. 상기 기판(210)은 예를 들어, 사파이어($Al_2O_3$), SiC, GaAs, GaN, ZnO, Si, GaP, InP, Ge, and $Ga_2O_3$ 중 적어도 하나를 사용할 수 있다. 상기 기판(210) 위에는 요철 구조가 형성될 수 있으며, 이에 대해 한정하지는 않는다. 상기 기판(210)에 대해 습식세척을 하여 표면의 불순물을 제거할 수 있다.

[0054] 발광 구조물(220)과 기판(210) 사이에는 버퍼층(미도시)을 성장시킬 수 있는데, 재료의 격자 부정합 및 열 팽창 계수의 차이를 완화하기 위한 것이다. 상기 버퍼층의 재료는 3족-5족 화합물 반도체 예컨대, GaN, InN, AlN, InGaN, AlGaN, InAlGaN, AlInN 중 적어도 하나로 형성될 수 있다. 상기 버퍼층 위에는 언도프드(undoped) 반도체층이 형성될 수 있으며, 이에 대해 한정하지는 않는다.

[0055] 제1 도전형 반도체층(222)은 반도체 화합물로 형성될 수 있으며, 예를 들어 3족-5족 또는 2족-6족 등의 화합물 반도체로 형성될 수 있다. 또한 제1 도전형 도펀트가 도핑될 수 있다. 상기 제1 도전형 반도체층(222)이 n형 반도체층인 경우, 상기 제1 도전형 도펀트는 n형 도펀트로서 Si, Ge, Sn, Se, Te를 포함할 수 있으나 이에 한정되지 않는다. 또는 상기 제1 도전형 반도체층(222)이 p형 반도체층인 경우, 상기 제2도전형 도펀트는 p형 도펀트로서, Mg, Zn, Ca, Sr, Ba 등을 포함할 수 있으나 이에 한정되지 않는다.

[0056] 상기 제1 도전형 반도체층(222)은 제1 도전형 반도체층으로만 형성되거나, 상기 제1 도전형 반도체층 아래에 언도프트 반도체층을 더 포함할 수 있으며, 이에 대해 한정하지는 않는다.

[0057] 상기 언도프트 반도체층은 상기 제1 도전형 반도체층의 결정성 향상을 위해 형성되는 층으로, 상기 n형 도펀트가 도핑되지 않아 상기 제1 도전형 반도체층에 비해 낮은 전기전도성을 갖는 것을 제외하고는 상기 제1 도전형 반도체층과 같을 수 있다.

[0058] 상기 제1 도전형 반도체층(222) 상에 활성층(224)이 형성될 수 있다.

[0059] 상기 활성층(224)은 제1 도전형 반도체층(222)을 통해서 주입되는 전자와 이후 형성되는 제2 도전형 반도체층(226)을 통해서 주입되는 정공이 서로 만나서 활성층(발광층) 물질 고유의 에너지 밴드에 의해서 결정되는 에너지를 갖는 빛을 방출하는 층이다.

[0060] 상기 활성층(224)은 단일 우물 구조, 다중 우물 구조, 양자선(Quantum-Wire) 구조, 또는 양자 점(Quantum Dot) 구조 중 적어도 어느 하나로 형성될 수 있다. 예를 들어, 상기 활성층(224)은 트리메틸 갈륨 가스(TMGa), 암모니아 가스($NH_3$), 질소 가스($N_2$), 및 트리메틸 인듐 가스(TMIn)가 주입되어 다중 양자 우물 구조가 형성될 수 있으나 이에 한정되는 것은 아니다.

[0061] 상기 활성층(224)의 우물층/장벽층은 InGaN/GaN, InGaN/InGaN, GaN/AlGaN, InAlGaN/GaN, GaAs(InGaAs)/AlGaAs, GaP(InGaP)/AlGaP 중 어느 하나 이상의 페어 구조로 형성될 수 있으나 이에 한정되지 않는다. 상기 우물층은 상

기 장벽층의 밴드 갭보다 낮은 밴드 갭을 갖는 물질로 형성될 수 있다.

[0062] 상기 활성층(224)의 위 또는/및 아래에는 도전형 클래드층(미도시)이 형성될 수 있다. 상기 도전형 클래드층은 활성층의 장벽층의 밴드갭보다 더 넓은 밴드갭을 갖는 반도체로 형성될 수 있다. 예를 들어, 도전형 클래드층은 GaN, AlGaN, InAlGaN 또는 초격자 구조를 포함할 수 있다. 또한, 도전형 클래드층은 n형 또는 p형으로 도핑될 수 있다.

[0063] 그리고, 상기 활성층(224) 상에 제2 도전형 반도체층(226)이 형성될 수 있다.

[0064] 상기 제2 도전형 반도체층(226)은 반도체 화합물로 형성될 수 있으며, 예를 들어 제2 도전형 도펀트가 도핑된 3족-5족 화합물 반도체로 형성될 수 있다. 제2 도전형 반도체층(226)은 예를 들어, $In_xAl_yGa_{1-x-y}N$ ($0 \le x \le 1$, $0 \le y \le 1$, $0 \le x+y \le 1$)의 조성식을 갖는 반도체 물질을 포함할 수 있다. 상기 제2 도전형 반도체층(226)이 p형 반도체층인 경우, 상기 제2도전형 도펀트는 p형 도펀트로서, Mg, Zn, Ca, Sr, Ba 등을 포함할 수 있다. 또한 상기 제2 도전형 반도체층(226)이 n형 반도체층인 경우, 상기 제1 도전형 도펀트는 n형 도펀트로서 Si, Ge, Sn, Se, Te를 포함할 수 있으나 이에 한정되지 않는다.

[0065] 여기서, 상술한 바와 다르게, 상기 제1 도전형 반도체층(222)이 p형 반도체층을 포함하고 상기 제2 도전형 반도체층(226)이 n형 반도체층을 포함할 수도 있다. 또한, 상기 제1 도전형 반도체층(222) 상에는 n형 또는 p형 반도체층을 포함하는 제3 도전형 반도체층(미도시)이 형성될 수도 있는데, 이에 따라 본 실시예에 따른 상기 발광소자는 n-p, p-n, n-p-n, p-n-p 접합 구조 중 적어도 어느 하나를 포함할 수 있다.

[0066] 또한, 상기 제1 도전형 반도체층(222) 및 상기 제2 도전형 반도체층(226) 내의 도전형 도펀트의 도핑 농도는 균일 또는 불균일하게 형성될 수 있다. 즉, 상기 복수의 반도체층의 구조는 다양하게 형성될 수 있으며, 이에 대해 한정하지는 않는다.

[0067] 그리고, 상기 제1 도전형 반도체층(222)의 일부가 메사 식각되어 형성된 개구면 상에 제1 전극(230)이 형성되고, 상기 제2 도전형 반도체층(226) 상에 제2 전극(240)이 형성된다. 상기 제1 전극(230)과 제2 전극(240)은 각각 알루미늄(Al), 티타늄(Ti), 크롬(Cr), 니켈(Ni), 구리(Cu), 금(Au) 중 적어도 하나를 포함하여 단층 또는 다층 구조로 형성될 수 있다.

[0068] 도 3b에 도시된 바와 같은 일실시예에 따른 수직형 발광소자는 지지기판(270)과, 상기 지지기판(270) 상에 배치된 반사층(260) 및 오믹층(250)과, 상기 오믹층(250) 상의 발광 구조물(220)을 포함할 수 있다.

[0069] 상기 지지기판(270)은 발광 구조물(220)을 지지하며, 전도성 기판일 수 있다. 또한, 전기 전도성과 열 전도성이 높은 물질로 형성될 수 있다. 예를 들어, 지지기판(270)은 소정의 두께를 갖는 베이스 기판(substrate)으로서, 몰리브덴(Mo), 실리콘(Si), 텅스텐(W), 구리(Cu) 및 알루미늄(Al)로 구성되는 군으로부터 선택되는 물질 또는 이들의 합금으로 이루어질 수 있으며, 또한, 금(Au), 구리합금(Cu Alloy), 니켈(Ni), 구리-텅스텐(Cu-W), 캐리어 웨이퍼(예: GaN, Si, Ge, GaAs, ZnO, SiGe, SiC, SiGe, $Ga_2O_3$ 등) 또는 전도성 시트 등을 선택적으로 포함할 수 있다.

[0070] 제1 도전형 반도체층(222)과 활성층(224) 및 제2 도전형 반도체층(226)에 관한 내용은 수평형 발광소자와 관련해서 상술한 바와 같다.

[0071] 발광 구조물(220)의 제2 도전형 반도체층(226)과 접하여 오믹층(250)이 형성될 수 있다. 제2 도전형 반도체층(226)은 불순물 도핑 농도가 낮아 접촉 저항이 높으며 그로 인해 금속과의 오믹 특성이 좋지 못할 수 있으므로, 오믹층(250)은 이러한 오믹 특성을 개선하기 위한 것으로 반드시 형성되어야 하는 것은 아니다.

[0072] 상기 오믹층(250)은 투광성 전도층과 금속이 선택적으로 사용될 수 있으며, 예를 들어, ITO(indium tin oxide), IZO(indium zinc oxide), IZTO(indium zinc tin oxide), IAZO(indium aluminum zinc oxide), IGZO(indium gallium zinc oxide), IGTO(indium gallium tin oxide), AZO(aluminum zinc oxide), ATO(antimony tin oxide), GZO(gallium zinc oxide), IZON(IZO Nitride), AGZO(Al-Ga ZnO), IGZO(In-Ga ZnO), ZnO, IrOx, RuOx, NiO, RuOx/ITO, Ni/IrOx/Au, 또는 Ni/IrOx/Au/ITO, Ag, Ni, Cr, Ti, Al, Rh, Pd, Ir, Sn, In, Ru, Mg, Zn, Pt, Au, Hf 중 적어도 하나를 포함하여 형성될 수 있으며, 이러한 재료에 한정되는 않는다.

[0073] 오믹층(250) 하부에 반사층(260)이 배치될 수 있다. 반사층(260)은 예를 들어, Ag, Ni, Al, Rh, Pd, Ir, Ru, Mg, Zn, Pt, Au, Hf 및 이들의 선택적인 조합으로 구성된 물질 중에서 형성되거나, 상기 금속 물질과 IZO, IZTO, IAZO, IGZO, IGTO, AZO, ATO 등의 투광성 전도성 물질을 이용하여 다층으로 형성될 수 있다. 또한, 반사

층(260)은 IZO/Ni, AZO/Ag, IZO/Ag/Ni, AZO/Ag/Ni 등으로 적층할 수 있다. 또한, 반사층(260)이 발광 구조물(예컨대, 제2 도전형 반도체층(226))과 오믹 접촉하는 물질로 형성될 경우, 오믹층(250)은 별도로 형성하지 않을 수 있으며, 이에 대해 한정하지는 않는다.

[0074] 반사층(260)은 활성층(224)에서 발생된 빛을 효과적으로 반사하여 발광소자의 광추출 효율을 크게 개선할 수 있다.

[0075] 상기 반사층(260)과 지지기판(270) 사이에는 결합층(275)이 형성될 수 있다. 결합층(275)은 베리어 금속 또는 본딩 금속 등을 포함하며, 예를 들어, Ti, Au, Sn, Ni, Cr, Ga, In, Bi, Cu, Ag 또는 Ta 중 적어도 하나를 포함할 수 있으며, 이에 대해 한정하지는 않는다.

[0076] 그리고, 상기 제1 도전형 반도체층(222)의 표면에 요철이 형성될 수 있다. 제1 도전형 반도체층(222)의 요철 형상은 PEC(Photo enhanced chemical) 식각 방법이나 마스크 패턴을 이용한 에칭 공정 수행하여 형성할 수 있다. 상기 요철 구조는 상기 활성층에서 발생한 광의 외부 추출 효율을 증가시키기 위한 것으로서, 규칙적인 주기를 갖거나 불규칙적인 주기를 가질 수 있다.

[0077] 또한, 상기 발광 구조물(220)의 측면 및 제1 도전형 반도체층(222) 상의 적어도 일부에 패시베이션층(280)이 형성될 수 있다.

[0078] 패시베이션층(220)은 절연물질로 이루어질 수 있으며, 상기 절연물질은 비전도성인 산화물이나 질화물로 이루어져 발광 구조물을 보호한다. 일 예로서, 상기 패시베이션층은 실리콘 산화물($SiO_2$)층, 산화 질화물층, 산화 알루미늄층으로 이루어질 수 있다.

[0079] 도 4 내지 도 6은 실시예에 따른 광원 모듈의 제조 과정을 나타낸 도면이다. 이하에서, 도 4 내지 도 6을 참조하여 광원 모듈의 제조 방법을 설명한다.

[0080] 먼저 도 4에 도시된 바와 같이, 회로기판(110)에 홈(112)을 형성한다.

[0081] 회로기판(110)의 홈(112)은 예를 들어 컴퓨터 수치 제어(Computer Numerical Control, CNC) 방식에 의하며, 레이저 드릴링(laser drilling)을 통한 기계적 가공에 의해 형성될 수 있다.

[0082] a 화살표 방향으로 홈(112)을 형성하면 상기 제1 실시예에서와 같은 홈을 형성할 수 있고, b 화살표 방향으로 홈(112)을 형성하면 상기 제2 실시예에서와 같이 홈(112)의 측벽(114a)이 바닥면(114b)이 둔각을 이루는 경사면을 포함하는 홈을 형성할 수 있다.

[0083] 이하에서는, 일 예로서 a 화살표 방향으로 홈을 형성한 제1 실시예에 따른 광원 모듈의 제작 과정을 설명하기로 한다.

[0084] 회로기판(110)에 홈(112)이 형성되면, 도 5에 도시된 바와 같이 상기 홈(112)에 세라믹 기판(120)을 삽입한다. 이때, 상기 세라믹 기판(120)은 Ag 페이스트(145)를 이용하여 회로기판(110)에 본딩될 수 있다.

[0085] 그 후, 홈(112)의 내측면(114)과 세라믹 기판(120)의 외측면 사이의 공간에 열전도 물질(130)을 충진한다.

[0086] 열전도 물질(130)은 열 전도성이 우수한 금속일 수 있으며, 예를 들어 알루미늄(Al) 또는 은(Ag)을 포함할 수 있다.

[0087] 그리고 도 6에 도시된 바와 같이, 세라믹 기판(120) 상에 발광소자(100)를 배치한다.

[0088] 상기 발광소자(100)는 세라믹 기판(120)에 도전성 본딩(150)될 수 있으며, 일 예로 Au-Sn 유테틱 본딩으로 고정될 수 있다.

[0089] 홈(112)이 형성되지 않은 회로기판(110)의 상부면에는 회로 패턴(118)이 형성되며, 회로 패턴(118)과 회로기판(110) 사이에는 전기적 쇼트를 방지하기 위한 절연층(116)이 위치할 수 있다.

[0090] 그리고 와이어(140)를 이용하여 발광소자(100)와 회로기판(110) 상의 회로 패턴(118)을 연결함으로써, 발광소자(110)에 전류를 공급할 수 있다.

[0091] 회로기판(110)의 하부면에는 방열 부재(160)를 배치할 수 있으며, 상기 방열 부재(160)는 열전 시트(165)를 이용하여 회로 기판(110)에 고정된다.

[0092] 도 7은 종래 광원 모듈과 실시예에 따른 광원 모듈의 온도를 측정하여 비교한 그래프이다.

[0093] 실시예(Enhanced model)에 따라 회로기판(110)과 세라믹 기판(120) 사이에 열전도 물질(130)을 삽입함으로써 종래(Baseline)의 광원 모듈에 비해 약 4℃(11%)의 온도 감소 효과가 나타났다.

[0094] 즉, 발광소자(100)에서 발생된 열이 열 전도성이 우수한 열전도 물질(130)을 통해 외부로 방출됨으로써 광원 모듈의 방열 특성이 개선되었음을 알 수 있다.

[0095] 도 8은 상술한 실시예들에 따른 광원 모듈을 포함하는 헤드램프의 일실시예를 나타낸 도면이다.

[0096] 도 8을 참조하면, 광원 모듈(901)에서 생성된 빛이 리플렉터(902) 및 쉐이드(903)에서 반사된 후 렌즈(904)를 투과하여 차체의 전방을 향할 수 있다.

[0097] 상기 광원 모듈(901)은 상술한 실시예들에 따른 광원 모듈일 수 있으며, 회로 기판 상의 발광소자를 포함하여 이루어진다.

[0098] 이상과 같이 실시예는 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상의 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다.

[0099] 그러므로, 본 발명의 범위는 설명된 실시예에 국한되어 정해져서는 아니되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등한 것들에 의해 정해져야 한다.

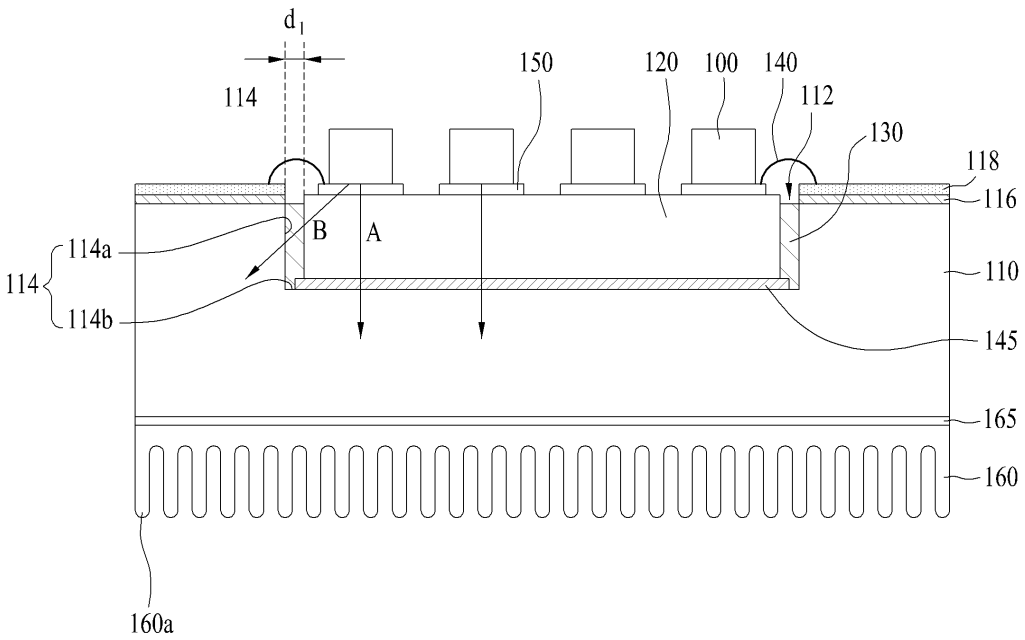
## *부호의 설명*

[0100]

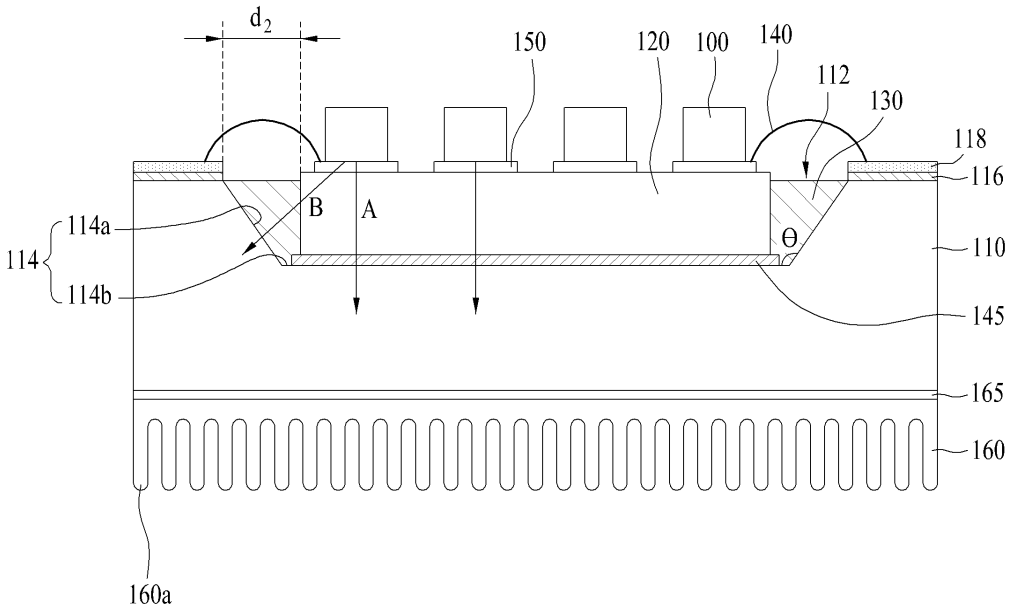
| | |
|---|---|
| 100: 발광소자 | 110: 회로기판 |
| 120: 세라믹 기판 | 112: 홈 |
| 130: 열전도 물질 | 140: 와이어 |
| 160: 방열 부재 | 160a: 방열핀 |
| 210: 기판 | 220: 발광 구조물 |
| 222: 제1 도전형 반도체층 | 224: 활성층 |
| 226: 제2 도전형 반도체층 | 230: 제1 전극 |
| 240: 제2 전극 | 250: 오믹층 |
| 260: 반사층 | 270: 지지기판 |
| 275: 결합층 | 280: 패시베이션층 |
| 710: 발광 모듈 | 720: 리플렉터 |
| 730: 쉐이드 | |

도면

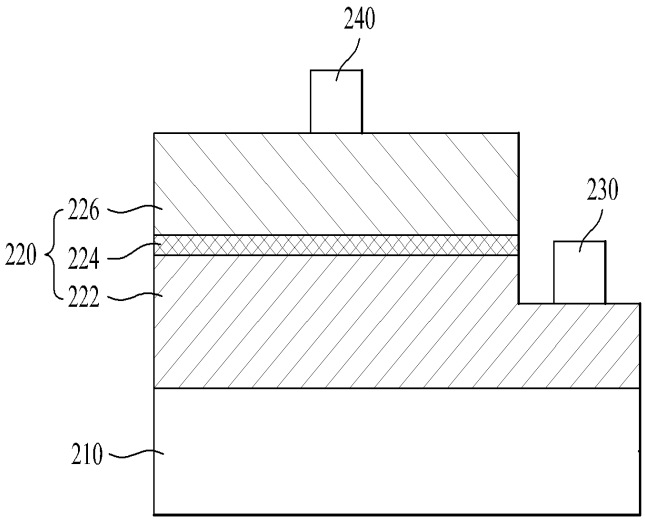
도면1


d1
114
150
120
100
140
112
130
118
116
B
A
114a
114
114b
110
145
165
160
160a

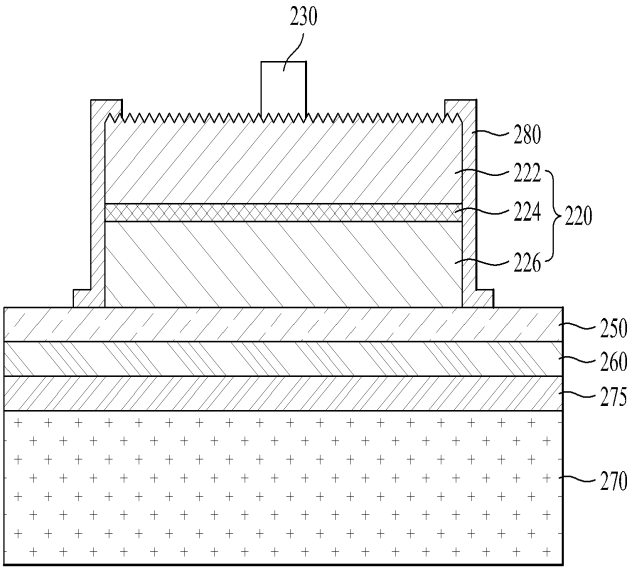
도면2


d2
150
120
100
140
112
130
118
116
B
A
114a
114
114b
θ
110
145
165
160
160a

도면3a


240
230
226
220
224
222
210

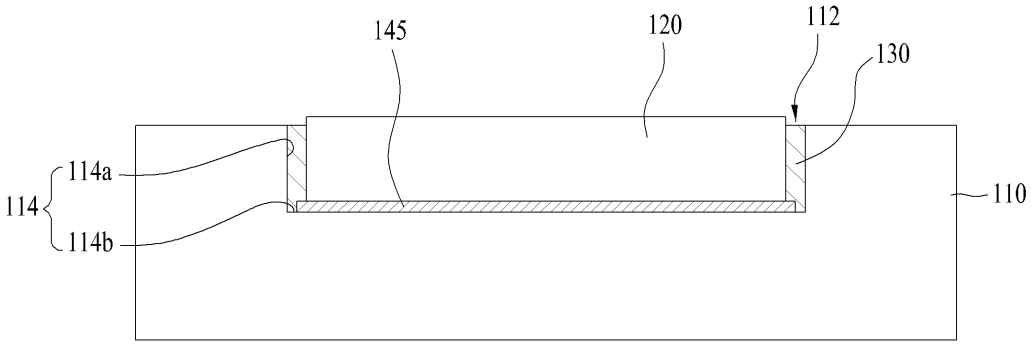
도면3b


230
280
222
224
220
226
250
260
275
270

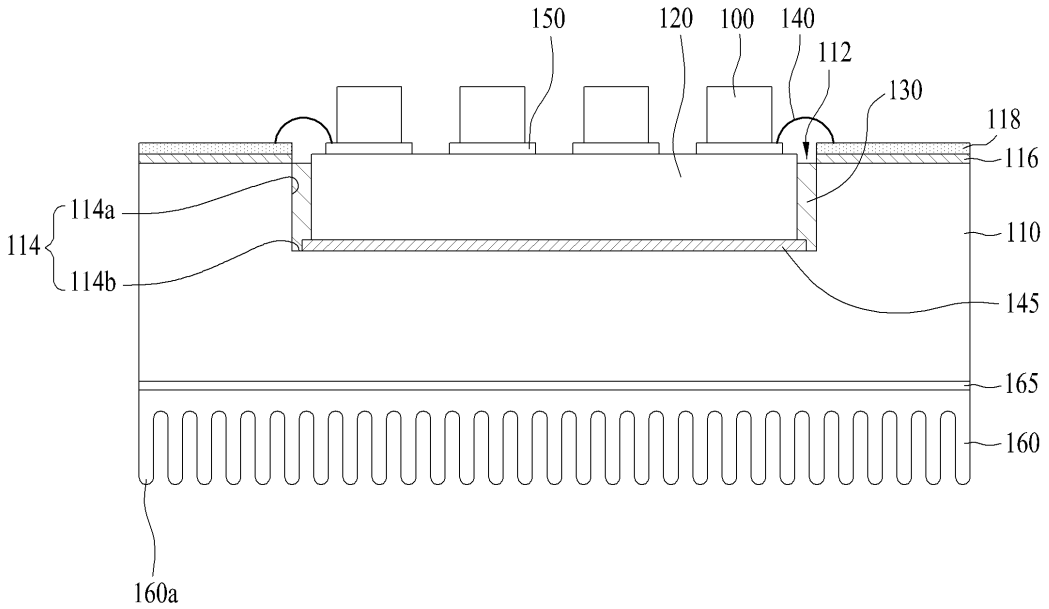
도면4

b
a
a
b
110

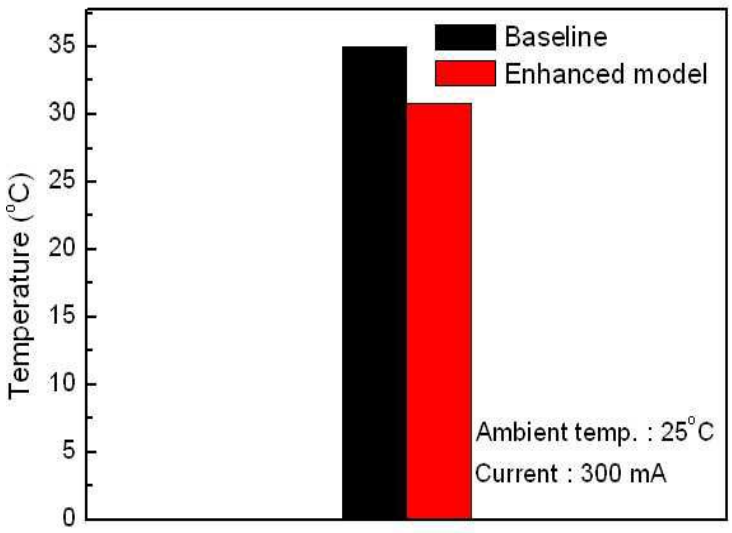
도면5


145
120
112
130
114a
114
114b
110

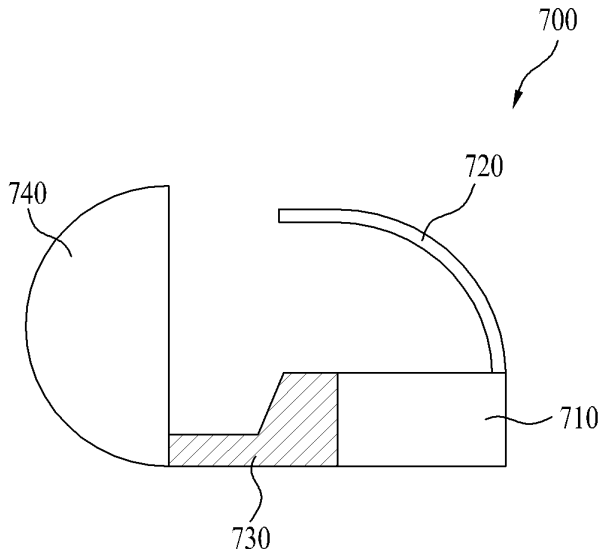
도면6


150
120
100
140
112
130
118
116
114a
114
114b
110
145
165
160
160a

도면7


Baseline
Enhanced model
Temperature (°C)
35
30
25
20
15
10
5
0
Ambient temp. : 25°C
Current : 300 mA

도면8


700
720
740
710
730