

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 3 月 4 日 (04.03.2004)

PCT

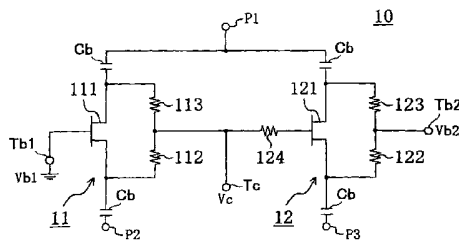
(10) 国際公開番号
WO 2004/019493 A1

- (51) 国際特許分類: H03K 17/687 (72) 発明者; および
(21) 国際出願番号: PCT/JP2003/007896 (75) 発明者/出願人 (米国についてのみ): 水野 紘一 (MIZUNO, Koichi) [JP/JP]; 〒630-8144 奈良県 奈良市 東九条町 5 5 2-8 Nara (JP).
(22) 国際出願日: 2003 年 6 月 20 日 (20.06.2003)
(25) 国際出願の言語: 日本語 (74) 代理人: 角田 嘉宏, 外 (SUMIDA, Yoshihiro et al.); 〒650-0031 兵庫県 神戸市 中央区 東町123番地の1 貿易ビル3階 Hyogo (JP).
(26) 国際公開の言語: 日本語
(30) 優先権データ:
特願2002-180124 2002 年 6 月 20 日 (20.06.2002) JP
特願2002-208598 2002 年 7 月 17 日 (17.07.2002) JP
(71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府 門真市 大字門真1006番地 Osaka (JP).
(81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG,

/ 続葉有 /

(54) Title: SWITCH DEVICE

(54) 発明の名称: スイッチ装置



connected by switching.

(57) Abstract: A switch device (10) comprises three connection terminals (P1, P2, P3) and two FETs (111, 121) of the same channel type. One of a pair of main terminals of each of the two FETs is connected to a first connection terminal through a DC blocking capacitive element (Cb), and the others are connected to second and third connection terminals through DC blocking capacitive elements (Cb), respectively. A first bias voltage (Vb1) is applied to the gate of a first FET, and a second bias voltage (Vb2) is applied to the paired main terminals of the second FET. A two-level control voltage (Vc) is applied to the paired main terminals of the first FET and the gate of the second FET. Thus, the first and second or third connection terminals are electrically

(57) 要約:

本発明のスイッチ装置 (10) は、3つの接続用端子 (P1, P2, P3) と2つの同チャネル型 FET (111, 121) を有し、2つの FET の一対の主端子の一方が第1の接続用端子に、他方が第2及び第3の接続用端子に、それぞれ直流阻止用容量性素子 (Cb) を介して接続されており、第1の FET のゲートに第1のバイアス電圧 (Vb1) が、第2の FET の一対の主端子に第2のバイアス電圧 (Vb2) が与えられ、2値の制御電圧 (Vc) が、第1の FET の一対の主端子と第2の FET のゲートとに与えられることにより、第1の接続用端子と第2または第3の接続用端子とが電氣的に切替接続される。



SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC,
VN, YU, ZA, ZM, ZW.

OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW,
ML, MR, NE, SN, TD, TG).

(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ,
SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM,
AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許
(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,
GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR),

添付公開書類:

— 国際調査報告書

2 文字コード及び他の略語については、定期発行される
各 *PCT* ガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

明 細 書

スイッチ装置

〔技術分野〕

本発明は、スイッチ装置に関し、特に伝送経路の切り替えに好適なス
5 イッチ装置に関する。

〔技術背景〕

近年、情報通信分野における技術の進展は著しく、通信機器が扱う信号の周波数帯域もマイクロ波帯域からミリ波帯域へと、より高い周波数帯域への展開が図られている。このようなマイクロ波帯からミリ波帯ま
10 での高周波帯を扱う通信用回路などでは、伝送線路を制御する経路切り替え型のスイッチが多く用いられている。

一般に、経路切り替え型のスイッチは、半導体のP／I／N接合を用いたPINダイオードスイッチや、FET（電界効果トランジスタ）のスイッチング機能を用いたFETスイッチなどを組み合わせて構成される。たとえば、FETスイッチによって構成された経路切り替え型のス
15 イッチ装置は、切り替え対象の各伝送経路とそれぞれ接続された2個のFETスイッチのいずれか一方をオン又はオフにするとともに、他方のFETスイッチをオフ又はオンにする。このようにFETスイッチを相補的に切り替え動作させることによって、伝送経路を切り替える。

20 一方、高周波回路に対する小型化の要求は、他の電子回路にも増して強くなりつつある。一般に、高周波回路は、高周波トランジスタなどの半導体素子と整合回路やバイアス回路などをひとつの半導体基板上に集積化したMMIC（Monolithic Microwave IC）として構成されることが多い。MMICの場合、スイッチ自体も半導体素子で構成されることが好ましい。このため、通常、MMICでは、上記のPINダイオード
25 やFETスイッチなどが利用されているが、PIN接合を作るプロセスは、FETを形成するプロセスと比べて複雑なため、FETのみでスイ

ツチ装置を構成することが好ましい。

F E Tスイッチは、F E Tのゲート電極に制御電圧を印加してチャネルの導電率を変化させ、これによるソースドレイン間の導電率変化に応じて、ソースドレイン間の伝送信号の伝達量を変化させる。つまり、

5 F E Tスイッチは、F E Tのチャネル層が電氣的に導通状態のとき、オンであり、伝送信号はドレイン端子及びソース端子の一方より入力され、チャネルを伝達し、ドレイン端子及びソース端子の他方から出力される。一方、F E Tは、チャネル層がピンチオフ状態のとき、オフであり、ソースドレイン間は電氣的に遮断状態となる。そして、高周波信号の場合、一般に、n型のチャネル層を形成する高電子移動度トランジスタ（H

10 E M T : High Electron Mobility Transistor）などが用いられる。

同一のチャネル型のF E Tによって構成された複数のF E Tスイッチを相補的に動作させる（複数のF E Tスイッチのうちの特定のF E Tスイッチをオン又はオフさせかつ当該複数のF E Tスイッチのうちの残りのF E Tスイッチをオフ又はオンさせる）ためには、それぞれのF E T

15 スイッチにおけるF E Tに互いに異なる制御電圧を与え、それぞれのF E Tスイッチを切り替え動作させる必要がある。しかし、制御の容易性及び回路構成の簡略化の観点から、一の制御電圧で複数のF E Tを相補的に切り替え動作させることが望ましい。

20 また、よく用いられるデプリーション型のnチャネルF E Tでは、チャネルをピンチオフするために、ゲート電極にソース電位に対して負の電位（以下、負の電圧という）を与える必要がある。しかし、通常、ソース電極は接地されることが多いため、このようなデプリーション型のnチャネルF E Tをスイッチ素子として用いた場合、ドレインバイアス

25 用の正電源とは別個に、ゲート電極制御用の負電源を設けなければならない。

また、高周波信号の場合、伝送経路が切り替えられたとき、切断され

た側の伝送線路を開放状態のままにすると、その開放点で伝送線路のインピーダンスが不連続となり、信号が反射してしまう。この高周波信号の反射は、回路特性を悪化させ、回路動作を不安定にする。

また、FETはチャネル抵抗を有している。このため、FETによって構成されたスイッチを伝送線路に挿入すると、FETのチャネル抵抗に起因する伝送損失が生じてしまう。

なお、以上に述べた技術の他に、伝送経路切り替え用スイッチ装置に関する技術が、特許第2848502号公報、特許第3068605号公報、特開平4-33501号公報、特開2000-349502号公報、特開平2-90723号公報、特開平8-213891号公報、特開平3-145801号公報、特開平4-346513号公報、特開平6-85641号公報、特開平10-313266号公報、特開平10-335901号公報、特開平7-235802号公報、特開平6-132701号公報、特開2002-141794号公報、特開平8-288400号公報、特開平9-27736号公報、及び特開平9-107203号公報に開示されている。

〔発明の開示〕

本発明の第1の目的は、一の制御電圧によって相補的に伝送経路を切り替えることが可能な、同一のチャネル型の複数のFETスイッチを備えたスイッチ装置を提供することにある。

本発明の第2の目的は、正電源のみで相補的に伝送経路を切り替えることが可能な、同一のチャネル型の複数のFETスイッチを備えたスイッチ装置を提供することにある。

本発明の第3の目的は、切り替えにより切断された伝送経路における伝送信号の反射を抑制することが可能な、同一のチャネル型の複数のFETスイッチを備えたスイッチ装置を提供することにある。

本発明の第4の目的は、FETのチャネル抵抗に起因する伝送損失を

低減することが可能な、同一のチャネル型の複数のFETスイッチを備えたスイッチ装置を提供することにある。

これらの目的を達成するために、本発明に係るスイッチ装置は、第1、第2、及び第3の接続用端子と、一対の主端子の一方が前記第1の接続用端子に、前記一対の主端子の他方が前記第2の接続用端子に、それぞれ第1の直流阻止用容量性素子を介して接続された第1のFETと、一対の主端子の一方が前記第1の接続用端子に、前記一対の主端子の他方が前記第3の接続用端子に、それぞれ第2の直流阻止用容量性素子を介して接続された第2のFETとを備え、前記第1のFETのチャネル型と前記第2のFETのチャネル型とが同じであり、前記第1のFETのゲートに第1のバイアス電圧が与えられ、前記第2のFETの一対の主端子に第2のバイアス電圧が与えられ、かつ、前記第1のバイアス電圧から前記第1のFETにおける符号を含むゲート閾値電圧を引いた電圧及び前記第2のバイアス電圧に第2のFETにおける符号を含むゲート閾値電圧を加えた電圧の双方より低い電圧と、前記第1のバイアス電圧から前記第1のFETにおける符号を含むゲート閾値電圧を引いた電圧及び前記第2のバイアス電圧に第2のFETにおける符号を含むゲート閾値電圧を加えた電圧の双方より高い電圧とが、どちらかが第1の制御電圧として、前記第1のFETの一対の主端子と前記第2のFETのゲートとに与えられることにより、前記第1のFETと前記第2のFETとが相補的にそれぞれ導通及び遮断して、前記第1の接続用端子と前記第2の接続用端子とが電氣的に接続されかつ前記第1の接続用端子と前記第3の接続用端子とが電氣的に切断される第1の接続状態と、前記第1の接続用端子と前記第3の接続用端子とが電氣的に接続されかつ前記第1の接続用端子と前記第2の接続用端子とが電氣的に切断される第2の接続状態とが切り替わる。このような構成とすると、1つの制御電圧によって、信号の伝送経路を相補的に切り替えることができる。

前記第 1 のバイアス電圧、前記第 2 のバイアス電圧、及び前記第 1 の制御電圧が接地電位以上の電圧値を有してもよい。このような構成とすると、正電源のみで信号の伝送経路を相補的に切り替えることができる。

前記第 1、第 2、及び第 3 の接続用端子に入出力される信号の周波数が、100 MHz 以上 75 GHz 以下であることが好ましい。

前記第 1、第 2、及び第 3 の接続用端子に入出力される信号の周波数が、100 MHz 以上 10 GHz 以下であることがより好ましい。

前記スイッチ装置は、前記第 1 の制御電圧を与えるための制御電圧用端子をさらに備え、前記第 1 の FET の一対の主端子と前記第 2 の FET のゲートとが前記制御電圧用端子に接続されていてもよい。

前記第 1 の FET の一対の主端子がそれぞれ第 1 のバイアス用抵抗素子を介して前記制御電圧用端子に接続されていてもよい。

2つの前記第 1 のバイアス用抵抗素子の抵抗値の和が、前記第 1 の FET のオン抵抗の 100 倍以上 10 万倍以下であることが好ましい。このような構成とすると、第 1 の FET の遮断時における信号のリークを防止することができる。

2つの前記第 1 のバイアス用抵抗素子の抵抗値の和が、前記第 1 の FET のオン抵抗の 1000 倍以上 10 万倍以下であることがより好ましい。このような構成とすると、第 1 の FET の遮断時における信号のリークをより好適に防止することができる。

前記スイッチ装置は、バイアス電圧用端子をさらに備え、前記第 2 の FET の一対の主端子がそれぞれ第 2 のバイアス用抵抗素子を介して前記バイアス電圧用端子に接続されていてもよい。

2つの前記第 2 のバイアス用抵抗素子の抵抗値の和が、前記第 2 の FET のオン抵抗の 100 倍以上 10 万倍以下であることが好ましい。このような構成とすると、第 2 の FET の遮断時における信号のリークを防止することができる。

2つの前記第2のバイアス用抵抗素子の抵抗値の和が、前記第2のFETのオン抵抗の1000倍以上10万倍以下であることがより好ましい。このような構成とすると、第2のFETの遮断時における信号のリークをより好適に防止することができる。

- 5 前記第1及び第2のFETがnチャネル型であってもよい。このような構成とすると、HEMTやHFETを用いて、スイッチ装置を高速に動作させることができる。

- 前記第1の制御電圧が前記第1のバイアス電圧に等しい電圧と前記第2のバイアス電圧に等しい電圧との2値を取ってもよい。このような構成とすると、スイッチ装置の構成の簡略化及び制御の容易化が可能となる。
- 10

- 前記第1及び第2のFETがデプリーション型であってもよい。このような構成とすると、通常、負電源が必要とされるデプリーション型のFETを用いても、バイアス電圧及び第1の制御電圧を適宜選択することにより正電源のみで動作させることができるので、本発明が特に有効となる。
- 15

- 前記第1及び第2のFETが、ともに、Ga, In, Alの中から選択される少なくとも1つの元素と、As, P, Nの中から選択される少なくとも1つの元素との化合物からなる化合物半導体で構成されていてもよい。
- 20

- 前記スイッチ装置は、第3及び第4のFETをさらに備え、前記第3のFETの一对の主端子の一方が前記第2の接続用端子に第3の直流阻止用容量性素子を介して接続されるとともに、前記第3のFETの一对の主端子の他方が第4の直流阻止用容量性素子又は該第4の直流阻止用容量性素子及び第1の終端用抵抗素子を介してグランドに接続され、前記第4のFETの一对の主端子の一方が前記第3の接続用端子に第5の直流素子用容量性素子を介して接続されるとともに、前記第4のFET
- 25

の一对の主端子の他方が第6の直流素子用容量性素子又は該第6の直流素子用容量性素子及び第2の終端用抵抗素子を介してグラウンドに接続され、前記第3のFETのチャネル型と前記第4のFETのチャネル型と同じであり、前記第4のFETのゲートに第3のバイアス電圧が与えられ、前記第3のFETの一对の主端子に第4のバイアス電圧が与えられ、かつ、前記第3のバイアス電圧から前記第4のFETにおける符号を含むゲート閾値電圧を引いた電圧及び前記第4のバイアス電圧に第3のFETにおける符号を含むゲート閾値電圧を加えた電圧の双方より低い電圧と、前記第3のバイアス電圧から前記第4のFETにおける符号を含むゲート閾値電圧を引いた電圧及び前記第4のバイアス電圧に第3のFETにおける符号を含むゲート閾値電圧を加えた電圧の双方より高い電圧とが、どちらかが第2の制御電圧として、前記第1の制御電圧に同期して、前記第4のFETの一对の主端子と前記第3のFETのゲートとに与えられることにより、前記第1及び第4のFETの組と前記第2及び第3のFETの組とが相補的にそれぞれ導通状態及び遮断状態となり、前記第1の接続状態において前記第3の接続用端子が終端され、かつ前記第2の接続状態において前記第2の接続用端子が終端されてもよい。このような構成とすると、切り替えにより切断された伝送経路における伝送信号の反射を抑制することができる。

前記スイッチ装置は、両端に第2及び第3の伝送信号用端子を有し伝送信号を伝送する伝送線路をさらに備え、前記第1及び第2のFETが前記伝送線路を介して前記第1の接続用端子にそれぞれ接続されるとともに前記第2及び第3の接続端子がグラウンドにそれぞれ接続され、前記伝送線路上において、ある点に前記第1の接続端子が接続され、前記第1の接続端子の接続点から前記第2の伝送信号用端子の方へ前記伝送信号の $1/4$ 波長の奇数倍に相当する長さだけ離れた第1の点に前記第1のFETが前記第1の直流阻止用容量性素子を介して接続され、かつ前

- 記第 1 の接続用端子の接続点から前記第 3 の伝送信号用端子の方へ前記伝送信号の $1/4$ 波長の奇数倍に相当する長さだけ離れた第 2 の点に前記第 2 の F E T が前記第 2 の直流阻止用容量性素子を介して接続され、前記第 1 の接続用端子が第 1 の伝送信号用端子を構成しており、前記第 1 の接続状態と前記第 2 の接続状態との切り替わりに応じて、前記第 1 の伝送信号用端子と前記第 2 の伝送信号用端子とが前記伝送信号を伝達可能に接続されかつ前記第 1 の伝送信号用端子と前記第 3 の伝送信号用端子とが前記伝送信号を伝達不可能に切断される第 1 の伝送信号接続状態と、前記第 1 の伝送信号用端子と前記第 3 の伝送信号用端子とが前記伝送信号を伝達可能に接続されかつ前記第 1 の伝送信号用端子と前記第 2 の伝送信号用端子とが前記伝送信号を伝達不可能に切断される第 2 の伝送信号接続状態とが切り替わってもよい。このような構成とすると、伝送信号の伝送経路に F E T が位置しなくなるので、F E T のチャネル抵抗に起因する伝送損失を低減することができる。
- 15 前記第 1、第 2、及び第 3 の伝送信号用端子に入出力される信号の周波数が、 100 MHz 以上 75 GHz 以下であることが好ましい。
- 前記第 1、第 2、及び第 3 の伝送信号用端子に入出力される信号の周波数が、 100 MHz 以上 10 GHz 以下であることがより好ましい。
- 前記スイッチ装置は、第 3 及び第 4 の F E T をさらに備え、前記第 3 の F E T の一対の主端子の一方が、前記伝送線路において前記第 1 の点から前記第 2 の伝送信号用端子の方へ前記伝送信号の $1/4$ 波長の奇数倍に相当する長さだけ離れた第 3 の点に第 3 の直流阻止用容量性素子を介して接続されるとともに、前記第 3 の F E T の一対の主端子の他方が第 4 の直流阻止用容量性素子又は該第 4 の直流阻止用容量性素子及び第 1 の終端用抵抗素子を介してグラウンドに接続され、かつ前記第 3 の F E T のオン抵抗又は該第 3 の F E T のオン抵抗と前記第 1 の終端用抵抗素子の抵抗との和が前記伝送線路の特性インピーダンスと略同じであり、
- 20
- 25

前記第 4 の F E T の一対の主端子の一方が、前記伝送線路において前記第 2 の点から前記第 3 の伝送信号用端子の方へ前記伝送信号の $1/4$ 波長の奇数倍に相当する長さだけ離れた第 4 の点に第 5 の直流阻止用容量性素子を介して接続されるとともに、前記第 4 の F E T の一対の主端子の他方が第 6 の直流阻止用容量性素子又は該第 6 の直流阻止用容量性素子及び第 2 の終端用抵抗素子を介してグラウンドに接続され、かつ前記第 4 の F E T のオン抵抗又は該第 4 の F E T のオン抵抗と前記第 2 の終端用抵抗素子の抵抗との和が前記伝送線路の特性インピーダンスと略同じであり、前記第 3 の F E T のチャネル型と前記第 4 の F E T のチャネル型とが同じであり、前記第 3 の F E T のゲートに第 3 のバイアス電圧が与えられ、前記第 4 の F E T の一対の主端子に第 4 のバイアス電圧が与えられ、かつ、前記第 3 のバイアス電圧から前記第 3 の F E T における符号を含むゲート閾値電圧を引いた電圧及び前記第 4 のバイアス電圧に第 4 の F E T における符号を含むゲート閾値電圧を加えた電圧の双方より低い電圧と、前記第 3 の F E T における符号を含むゲート閾値電圧を引いた電圧及び前記第 4 のバイアス電圧に第 4 の F E T における符号を含むゲート閾値電圧を加えた電圧の双方より高い電圧とが、どちらかが第 2 の制御電圧として、前記第 1 の制御電圧に同期して、前記第 3 の F E T の一対の主端子と前記第 4 の F E T のゲートとに与えられることにより、前記第 1 及び第 3 の F E T の組と前記第 2 及び第 4 の F E T の組とが相補的にそれぞれ導通状態及び遮断状態となり、前記第 1 の伝送信号接続状態において前記第 2 の点が接地されるとともに前記第 4 の点が終端され、かつ前記第 2 の伝送信号接続状態において前記第 1 の点が接地されるとともに前記第 3 の点が終端されてもよい。このような構成とすると、切断された伝送経路における反射を抑制することができる。

前記第 2 の制御電圧として前記第 1 の制御電圧が与えられてもよい。このような構成とすると、スイッチ装置の制御を容易化することができる。

る。

前記第3のバイアス電圧として前記第1のバイアス電圧が与えられ、
前記第4のバイアス電圧として前記第2のバイアス電圧が与えられても
よい。このような構成とすると、スイッチ装置の回路構成を簡略化する
5 ことができる。

本発明の上記目的、他の目的、特徴、及び利点は、添付図面参照の下、
以下の好適な実施態様の詳細な説明から明らかにされる。

〔図面の簡単な説明〕

第1図は本発明の第1の実施形態のスイッチ装置の回路図である。

10 第2図(a)、(b)は、第1図のFETスイッチの回路図である。

第3図は第1図のFETの構成を模式的に示す断面図である。

第4図は第1図のFETの $I_d - V_{gs}$ 特性を示すグラフである。

第5図(a)、(b)は第2図(a)、(b)のFETスイッチのス
イッチング特性を示すグラフである。

15 第6図(a)、(b)は第1図のスイッチ装置のスウィッチング特性及
び反射特性を示すグラフである。

第7図(a)、(b)は第1図のスイッチ装置のスウィッチング特性及
び反射特性を示すグラフである。

第8図(a)、(b)、(c)はnチャネルデプリーション型以外の
20 FETにおける $I_d - V_{gs}$ 特性示すグラフであって、(a)はnチャ
ネルエンハンスメント型のFETの $I_d - V_{gs}$ 特性を示すグラフ、
(b)はpチャネルデプリーション型のFETの $I_d - V_{gs}$ 特性を示
すグラフ、(c)はpチャネルエンハンスメント型のFETの $I_d - V_{gs}$
特性を示すグラフである。

25 第9図(a)、(b)、(c)はnチャネルデプリーション型のFET
における制御電圧の設定方法を示す図であって、(a)は第1のFET
のオン・オフ切り替え電圧が第2のFETのオン・オフ切り替え電圧

より低い場合における制御電圧の設定方法を示す図、(b)は第1のFETのオン・オフ切り替え電圧が第2のFETのオン・オフ切り替え電圧より高い場合における制御電圧の設定方法を示す図、及び(c)は第1のFETのオン・オフ切り替え電圧が第2のFETのオン・オフ切り
5 替え電圧に一致する場合における制御電圧の設定方法を示す図である。

第10図(a), (b), (c)はpチャネルデプリーション型のFETにおける制御電圧の設定方法を示す図であって、(a)は第1のFETのオン・オフ切り替え電圧が第2のFETのオン・オフ切り替え電圧より低い場合における制御電圧の設定方法を示す図、(b)は第1の
10 FETのオン・オフ切り替え電圧が第2のFETのオン・オフ切り替え電圧より高い場合における制御電圧の設定方法を示す図、(c)は第1のFETのオン・オフ切り替え電圧が第2のFETのオン・オフ切り替え電圧に一致する場合における制御電圧の設定方法を示す図である。

第11図(a), (b), (c)はnチャネルエンハンスメント型のFETにおける制御電圧の設定方法を示す図であって、(a)は第1のFETのオン・オフ切り替え電圧が第2のFETのオン・オフ切り替え電圧より低い場合における制御電圧の設定方法を示す図、(b)は第1のFETのオン・オフ切り替え電圧が第2のFETのオン・オフ切り替
15 え電圧より高い場合における制御電圧の設定方法を示す図、(c)は第1のFETのオン・オフ切り替え電圧が第2のFETのオン・オフ切り替え電圧に一致する場合における制御電圧の設定方法を示す図である。

第12図(a), (b), (c)はpチャネルエンハンスメント型のFETにおける制御電圧の設定方法を示す図であって、(a)は第1のFETのオン・オフ切り替え電圧が第2のFETのオン・オフ切り替え
25 電圧より低い場合における制御電圧の設定方法を示す図、(b)は第1のFETのオン・オフ切り替え電圧が第2のFETのオン・オフ切り替え電圧より高い場合における制御電圧の設定方法を示す図、(c)は第

1 の F E T の オン・オフ切り替え電圧が第 2 の F E T の オン・オフ切り
替え電圧に一致する場合における制御電圧の設定方法を示す図である。

第 1 3 図は本発明の第 2 の実施形態のスイッチ装置の回路図である。

第 1 4 図 (a) , (b) は第 1 3 図のスイッチ装置のスイッチング特
5 性及び反射特性を示すグラフである。

第 1 5 図 (a) , (b) は第 1 3 図のスイッチ装置のスイッチング特
性及び反射特性を示すグラフである。

第 1 6 図は本発明の第 3 の実施形態のスイッチ装置の概略回路図であ
る。

10 第 1 7 図 (a) , (b) は第 1 6 図のスイッチ装置におけるスイッチ
のスイッチング特性を示すグラフである。

第 1 8 図 (a) , (b) は第 1 6 図のスイッチ装置のスイッチング特
性及び反射特性を示すグラフである。

第 1 9 図は本発明の第 4 の実施形態のスイッチ装置の概略回路図であ
15 る。

第 2 0 図 (a) , (b) は第 1 9 図のスイッチ装置のスイッチング特
性及び反射特性を示すグラフである。

[発明を実施するための最良の形態]

以下、本発明の実施の形態について、図面を参照しながら説明する。

20 (第 1 の実施形態)

第 1 図は、本発明の第 1 の実施形態のスイッチ装置 1 0 の回路図、第
2 図 (a) は、第 1 図の F E T スイッチ 1 1 の回路図であり、第 2 図 (b)
は、第 1 図の F E T スイッチ 1 2 の回路図である。

第 1 図及び第 2 図において、本実施形態のスイッチ装置 1 0 は、第 1
25 の端子 (接続用端子) P 1 (以下、端子 P 1 という)、第 2 の端子 (接
続用端子) P 2 (以下、端子 P 2 という)、及び第 3 の端子 (接続用端
子) P 3 (以下、端子 P 3 という) とを備えている。端子 P 1 と端子 P

2との間には、第1のFETスイッチ11（以下、FETスイッチ11という）が設けられ、端子P1と端子P3との間には、第2のFETスイッチ12（以下、FETスイッチ12という）が設けられており、FETスイッチ11とFETスイッチ12とが相補的に導通（オン）及び遮断（オフ）状態になることによって、端子P1と端子P2とが電氣的に接続されかつ端子P1と端子P3とが電氣的に切断される第1の接続状態と、端子P1と端子P3とが電氣的に接続されかつ端子P1と端子P2とが電氣的に切断される第2の接続状態とが切り替えられる。

具体的には、FETスイッチ11は、第1のFET111（以下、FET111という）を有している。FET111では、ドレインが直流阻止用容量性素子（キャパシタ）Cbを介して端子P1に接続され、ソースが直流阻止用容量性素子Cbを介して端子P2に接続されている。FET111のドレイン及びソースは、それぞれ、ドレインバイアス用抵抗素子（第1のバイアス用抵抗素子）113及びソースバイアス用抵抗素子（第1のバイアス用抵抗素子）112を介して制御電圧用端子Tcに接続されている。制御電圧用端子Tcには直流の制御電圧が与えられる。これにより、制御電圧用端子Tcに制御電圧Vcが与えられると、直流阻止用容量性素子Cbが充電されてソース及びドレインが与えられた制御電圧Vcに保持されるとともに、直流の制御電圧Vcが、端子P1及び端子P2、ひいてはこれらに接続される電気回路に印加されるのが防止される。FET111のゲートは第1のバイアス端子Tb1に接続されている。第1のバイアス端子Tb1には直流の第1のバイアス電圧Vb1が与えられる。

一方、FETスイッチ12は、第2のFET121（以下、FET121という）を有している。FET121では、ドレインが直流阻止用容量性素子Cbを介して端子P1に接続され、ソースが直流阻止用容量性素子Cbを介して端子P3に接続されている。FET121のドレイ

ン及びソースは、それぞれ、ドレインバイアス用抵抗素子（第2のバイ
アス用抵抗素子）123及びソースバイアス用抵抗素子（第2のバイ
アス用抵抗素子）122を介して第2のバイアス用端子Tb2に接続され
ている。第2のバイアス用端子Tb2には直流の第2のバイアス電圧V
5 b2が与えられる。これにより、第2のバイアス用端子Tb2に第2の
バイアス電圧Vb2が与えられると、直流阻止用容量性素子Cbが充電
されてソース及びドレインが与えられた第2のバイアス電圧Vb2に保
持されるとともに、直流の第2のバイアス電圧Vb2が、端子P1及び
端子P3、ひいてはこれらに接続される電気回路に印加されるのが防止
10 される。FET121のゲートは上述の制御電圧用端子Tcに接続され
ている。

なお、本実施形態では、上述のように、FET111及びFET121
のソース及びドレインのうち、端子P1に接続される方をドレインと
呼び他方をソースと呼んだが、本実施形態では、ソースとドレインとが
15 実質的に同電位にバイアスされるので、ソースとドレインとを区別する
意味はない。従って、端子P1に接続される方をソースと呼び他方をド
レインと呼んでもよい。このようにソースとドレインとを区別する意味
がないことと、ソース及びドレインに伝送信号が入出力されることから、
本明細書及び請求の範囲においては、ソースとドレインとを共に主端子
20 と定義し、そのように呼ぶ場合がある。

また、FET111のソース及びドレインとFET121のゲートと
が共通の制御電圧用端子Tcに接続されているが、それぞれ別個の制御
電圧用端子Tcに接続されるように構成してもよい。

端子P1、P2、及びP3は、他の電気回路に接続され、かつ端子P
25 1、P2、及びP3には高周波の交流の信号が入出力される。この交流
の信号は、端子P1から端子P2に至る信号伝送経路及び端子P1から
端子P3に至る信号伝送経路に設けられた直流阻止用容量性素子Cbを

通過する。しかし、この信号の周波数は、主にこの直流阻止用容量性素子C bの周波数特性によってその下限が制約され、また、主にF E T 1 1 1, 1 2 1の周波数特性によってその上限が制約される。従って、端子P 1、P 2、及びP 3に入出力される信号の周波数は、1 0 0 M H z
5 以上7 5 G H z 以下が好ましく、1 0 0 M H z 以上1 0 G H z 以下がより好ましい。

F E T 1 1 1とF E T 1 2 1とは、互いに同一のチャネル型を有している。具体的には、nチャネル型のH E M T又はH F E Tによって構成されている。pチャネル型のH E M T及びH F E Tにおけるキャリア(正
10 孔)の移動度(モビリティ)より、nチャネル型のH E M T及びH F E Tにおけるキャリア(電子)の移動度が高いからである。従って、F E T 1 1 1とF E T 1 2 1をnチャネル型のH E M T及びH F E Tで構成することにより、スイッチ装置1 0を高速に動作させることが可能となり、その結果、スイッチ装置1 0を高周波用に好適に用いることが可能
15 となる。

H E M Tは、G a, I n, A lの中から選択される少なくとも1つの元素と、A s、P、Nの中から選択される少なくとも1つの元素との化合物からなる化合物半導体で構成されることが好ましい。もちろん、これ以外の元素を含む化合物半導体によって構成することも可能である。

20 また、F E T 1 1 1, 1 2 1は、本実施形態では、デプリーション型のF E Tで構成されている。このように構成すると、デプリーション型のF E Tは、負のゲート閾値電圧を有することから、ゲート電圧、すなわち、F E T 1 1 1に関してバイアス電圧V b 1を、F E T 1 2 1に関して制御電圧V cをそれぞれ低く設定することができる。

25 ソースバイアス用抵抗素子1 1 2とドレインバイアス用抵抗素子1 1 3とは、F E T 1 1 1のドレインとソースとの間に直列に接続されており、また、ソースバイアス用抵抗素子1 2 2とドレインバイアス用抵抗

素子 1 2 3 とは、F E T 1 2 1 のドレインとソースとの間に直列に接続されているので、これらの抵抗素子 1 1 2, 1 1 3, 1 2 2, 1 2 3 の抵抗値は、端子 P 1 から端子 P 2 への及び端子 P 1 から端子 P 3 へのそれぞれの伝送信号が実質的にリークしないように十分大きくすることが必要である。このため、ソースバイアス用抵抗素子 1 1 2 の抵抗値とド
5 レインバイアス用抵抗素子 1 1 3 の抵抗値との和、及びソースバイアス用抵抗素子 1 2 2 の抵抗値とドレインバイアス用抵抗素子 1 2 3 の抵抗値との和は、それぞれ、F E T 1 1 1 及び F E T 1 2 1 のオン抵抗（導通時におけるドレイン－ソース間抵抗）の 1 0 0 倍以上 1 0 万倍以下であることが好ましく、1 0 0 0 倍以上 1 0 万倍以下であることがより好ましい。本実施形態では、ソースバイアス用抵抗素子 1 1 2, ドレイン
10 バイアス用抵抗素子 1 1 3, ソースバイアス用抵抗素子 1 2 2, ドレインバイアス用抵抗素子 1 2 3 の抵抗値は 5 k Ω に設定されている。すなわち、F E T 1 1 1 及び F E T 1 2 1 のオン抵抗は数 Ω であるので、ソースバイアス用抵抗素子 1 1 2 の抵抗値とドレインバイアス用抵抗素子
15 1 1 3 の抵抗値との和、及びソースバイアス用抵抗素子 1 2 2 の抵抗値とドレインバイアス用抵抗素子 1 2 3 の抵抗値との和は、それぞれ、F E T 1 1 1 及び F E T 1 2 1 のオン抵抗の約 2 0 0 0 倍に設定されている。なお、ゲートとソース及びドレインとの間のインピーダンスは十分
20 大きいので、抵抗素子 1 2 4 は省略してもよい。

制御電圧 V_c 及びバイアス電圧 V_{b1} , V_{b2} は、すべて接地電位以上に設定される。さらに、バイアス電圧 V_{b1} は、F E T 1 1 1 のゲート閾値電圧以上の電圧に設定され、また、バイアス電圧 V_{b2} は、F E T 1 2 1 のゲート閾値電圧以上の電圧に設定される。これらの電圧の設定例及び設定方法については後で詳しく説明する。これにより、スイッチ装置 1 0 を正電源のみで動作させることができる。なお、本実施形態
25 では、制御電圧 V_c を 0 V ~ 5 V 程度までの範囲で設定可能に、また、

バイアス電圧 V_{b1} , V_{b2} を $0\text{ V} \sim 3\text{ V}$ 程度までの範囲で設定可能にしている。さらに、バイアス電圧 V_{b2} は、FET 121 を高耐圧のものにすることによって、 $3 \sim 5\text{ V}$ 程度までの電圧に設定することが可能である。

5 次に、上記のように構成されたスイッチ装置 10 の動作について説明する。

最初に、FET 111, 112 を構成する n チャネルデプリーション型の FET の構成及び動作を簡単に説明する。

第 3 図は第 1 図の FET の構成を模式的に示す断面図、第 4 図は第 1
10 図の FET の $I_d - V_{gs}$ 特性を示すグラフである。

本明細書では、便宜上、バイアス電圧及び制御電圧を接地電位に対する電位差で表す。また、FET の、基板、ソース、ドレイン、及びゲートの電位をいずれも接地電位に対する電位差で表すとともに、これらを、それぞれ、基板電圧、ソース電圧、ドレイン電圧、及びゲート電圧と呼
15 ぶ。また、ソース電圧を基準とした場合におけるゲート電圧とソース電圧との電圧差（ $[\text{ゲート電圧}] - [\text{ソース電圧}]$ ）をゲートーソース間電圧と呼び、 V_{gs} の符号で示す。

第 3 図に示すように、デプリーション型の FET では、半導体基板 201 上にゲート電極（ゲート）G、ソース電極（ソース）S、及びド
20 レイン電極（ドレイン）D が、ゲート電極 G の両側にソース電極 S 及びドレイン電極 D が位置するようにして形成されている。ゲート電極 G と半導体基板 201 との間にはゲート絶縁膜 202 あるいはショットキーバリア層が形成されている。半導体基板 201 は p 型の導電性を有している。半導体基板 201 のソース電極 S 及びドレイン電極 D の下方に位置
25 する部分には n 型不純物の高濃度領域からなるソース領域 203 及びドレイン領域 204 がそれぞれ形成され、このソース領域 203 とドレイン領域 204 との間に n 型の領域からなるチャネル 205 が予め形成さ

れている。

そして、通常、基板電圧 V_{sub} は、ソース電圧 V_s 及びド레인電圧 V_d と同じかそれより低い電圧に設定される。

第3図及び第4図に示すように、このように構成されたデプリーション型のFETでは、チャンネル205が予め形成されているので、ゲートソース間電圧 V_{gs} が0Vであってもド레인電流 I_d が流れる。そして、ゲートソース間電圧 V_{gs} を負電圧とすると、チャンネル205に空乏層206が形成され、それによりド레인電流が減少する。ゲートソース間電圧 V_{gs} をさらに下げて行くと、空乏層が拡大し、遂にはチャンネル205が遮断される。このチャンネル205が遮断されるゲートソース間電圧 V_{gs} がゲート閾値電圧 V_{th} となる。逆にゲートソース間電圧 V_{gs} を正電圧としかつこれを上げて行くと、基板201のp型領域に反転層が形成されてチャンネル領域が拡大し、それによりド레인電流が増大する。

従って、デプリーション型のFETに、ゲートソース間電圧 V_{gs} として、ゲート閾値電圧 V_{th} より低い電圧 V_{gs1} を与えることによりこれをオフし、ゲート閾値電圧 V_{th} より高い電圧 V_{gs2} を与えることにより、これをオンすることができる。

次に、スイッチ装置10の動作を説明する。

第1図、第3図、及び第4図を参照して、本実施形態では、FET111, 112が、共に、 $-1.0V$ を上回りかつ $0.0V$ を下回るゲート閾値電圧 V_{th} を有している。そして、バイアス電圧 V_{b1} が接地電位である $0.0V$ に、また、バイアス電圧 V_{b2} が電源電圧である $1.0V$ に設定されている。さらに、制御電圧 V_c として、バイアス電圧 V_{b1} に相当する $0.0V$ 及びバイアス電圧 V_{b2} に相当する $1.0V$ の2値が入れ替わるように与えられる。以下では、制御電圧 V_c の高い方の電圧値を V_{ch} 、低い方の電圧値を V_{cl} と呼ぶ。

まず、制御電圧 V_c として 0.0 V (V_{c1}) が与えられたとすると、
FET 111 では、ソース電圧 V_s が 0.0 V になり、それによりゲート
トースソース間電圧 V_{gs} が 0.0 V (V_{gsh}) になる。その結果、ゲ
ートトースソース間電圧 V_{gs} がゲート閾値電圧 V_{th} より高くなり、FET
5 T 111 は導通状態になる。

一方、FET 112 では、ゲート電圧 V_g が 0.0 V になり、それ
によりゲートトースソース間電圧 V_{gs} が -1.0 V (V_{gs1}) になる。そ
の結果、ゲートトースソース間電圧 V_{gs} がゲート閾値電圧 V_{th} より低く
なり、FET 112 は遮断状態になる。

10 これにより、FET スイッチ 11 によって、端子 P 1 と端子 P 2 とが
電氣的に接続される。つまり、制御電圧 V_c が 0.0 V (V_{c1}) のと
き、スイッチ装置 10 は第 1 の接続状態になる。

次に、制御電圧 V_c として 1.0 V (V_{ch}) が与えられたとすると、
FET 111 では、ソース電圧 V_s が 1.0 V になり、それによりゲ
ートトースソース間電圧 V_{gs} が -1.0 V (V_{gs1}) になる。その結果、
15 ゲートトースソース間電圧 V_{gs} がゲート閾値電圧 V_{th} より低くなり、F
ET 111 は遮断状態になる。

一方、FET 112 では、ゲート電圧 V_g が 1.0 V になり、それ
によりゲートトースソース間電圧 V_{gs} が 0.0 V (V_{gsh}) になる。その
20 結果、ゲートトースソース間電圧 V_{gs} がゲート閾値電圧 V_{th} より高くな
り、FET 112 は導通状態になる。

これにより、FET スイッチ 12 によって、端子 P 1 と端子 P 3 とが
電氣的に接続される。つまり、制御電圧 V_c が 1.0 V (V_{ch}) のと
き、スイッチ装置 10 は第 2 の接続状態になる。

25 次に、スイッチ装置 10 の伝送経路切り替え特性を説明する。

第 5 図 (a), (b) は、バイアス電圧 V_{b1} を接地電位 (0.0 V)
に、また、バイアス電圧 V_{b2} を電源電圧 (1.0 V) にし、さらに、

制御電圧 V_c をバイアス電圧 V_{b1} に相当する 0.0 V 、及びバイアス電圧 V_{b2} に相当する 1.0 V の 2 値としたときの、FET スイッチ 11, 12 のスイッチング特性を示すグラフである。縦軸は、端子 P1 から端子 P2 へ信号が伝達されるときにの信号のレベル（順方向伝送係数）
5 を示し、単位は dB である。また、横軸は信号の周波数を示し、単位は GHz である。

第 5 図 (a) は、FET スイッチ 11 のスイッチング特性を示す。FET スイッチ 11 は、制御電圧 V_c が 0.0 V のとき、ソースドレイン間を導通状態にする一方、制御電圧 V_c が 1.0 V のとき、ソースドレイン間を遮断状態にする。一方、同図 (b) は、FET スイッチ 12 のスイッチング特性を示す。FET スイッチ 12 は、FET スイッチ 11 とは逆に、制御電圧 V_c が 0.0 V のとき、ソースドレイン間を遮断状態にする一方、制御電圧 V_c が 1.0 V のとき、ソースドレイン間を導通状態にする。なお、同図 (a) (b) に示したスイッチング
10 特性は、抵抗素子 112, 113, 122, 123 の抵抗値を $5\text{ k}\Omega$ としたときのものであるが、抵抗値が 500Ω 程度であってもスイッチング特性に大きな変化はない。また、FET 111, 121 の仕様によっては、 100Ω 程度にすることも可能である。

本実施形態のスイッチ装置 10 は、上記特性を有する FET スイッチ 11, 12 のいずれか一端同士を一对の直流阻止用容量性素子 C_b を介して接続してそれを端子 P1 とし、他端をそれぞれ端子 P2, P3 とする。そして、FET 111, 121 に、互いに共通した制御電圧 V_c を与えるような構成になっている。
20

第 6 図 (a), (b) は、制御電圧 V_c が 0.0 V のときの、信号の周波数を横軸とするスイッチ装置 10 の各種特性を示すグラフである。
25 同図 (a) は、端子 P1 から端子 P2 への信号の伝達特性（順方向伝送係数： S_{21} ）、及び端子 P1 から端子 P3 への信号の伝達特性（順方

向伝送係数： S_{31} ）を示す。また、同図（b）は、端子P2における反射特性（反射係数： S_{22} ）、及び端子P3における反射特性（反射係数： S_{33} ）を示す。なお、同図の縦軸の単位はdB、横軸の単位はGHzである。同図（a）に示した伝達特性から明らかなように、端子
5 P1と端子P2とは接続状態にあり、また、端子P1と端子P3とは切断状態にある。

第7図（a）、（b）は、制御電圧 V_c が1.0Vのときの、信号の周波数を横軸とするスイッチ装置10の各種特性を示すグラフである。同図（a）は、端子P1から端子P2への信号の伝達特性（順方向伝送
10 係数： S_{21} ）、及び端子P1から端子P3への信号の伝達特性（順方向伝送係数： S_{31} ）を示す。また、同図（b）は、端子P2における反射特性（反射係数： S_{22} ）、及び端子P3における反射特性（反射係数： S_{33} ）を示す。なお、同図の縦軸及び横軸の単位は、第6図と同様である。同図（a）に示した伝達特性から明らかなように、端子P
15 1と端子P2とは切断状態にあり、また、端子P1と端子P3とは接続状態にある。

第6図（b）に示した反射特性： S_{33} 及び第7図（b）に示した反射特性： S_{22} は、必ずしも十分なレベルにあるとは言えない。これら反射特性の改善方策については後述する。

20 以上に説明したように、本実施形態によると、HEMT又はHFETによって構成されたFET111、121をそれぞれ備えたFETスイッチ11、12を、一の制御電圧 V_c によって、相補的に切り替え動作させ、相補的に第1の接続状態及び第2の接続状態を設定することができる。また、バイアス電圧 V_{b1} 、 V_{b2} 、及び制御電圧 V_c は、すべ
25 て接地電位以上に行っているため、スイッチ装置10は正電源のみで動作可能である。これにより、負電圧を供給する負電源が不要となり、回路規模を縮減することができる。

、なお、FET 111, 121 は、HEMT又はHFETに限定されるものではなく、他の構造のFETであってもよい。これらの場合におけるバイアス電圧 V_{b1} , V_{b2} 及び制御電圧 V_c の設定方法については、以下に詳しく説明する。

- 5 以上では、第1のFET 111及び第2のFET 121がnチャネルデプリーション型のFETであって、両者がほぼ同じゲート閾値電圧 V_{th} を有している場合における、バイアス電圧 V_{b1} , V_{b2} 及び制御電圧 V_c の具体的設定例を示したが、以下では、第1のFET 111及び第2のFET 121が、nチャネルデプリーション型、pチャネルデプリーション型、nチャネルエンハンスメント型、及びpチャネルエンハンスメント型の4つの型のFETで構成される場合における、バイアス電圧 V_{b1} , V_{b2} 及び制御電圧 V_c の一般的な設定方法を説明する。

まず、その前提としてnチャネルデプリーション型以外のFETにおける $I_d - V_{gs}$ 特性を説明する。

- 15 第8図(a), (b), (c)はnチャネルデプリーション型以外のFETにおける $I_d - V_{gs}$ 特性示すグラフであって、(a)はnチャネルエンハンスメント型のFETの $I_d - V_{gs}$ 特性を示すグラフ、(b)はpチャネルデプリーション型のFETの $I_d - V_{gs}$ 特性を示すグラフ、(c)はpチャネルエンハンスメント型のFETの $I_d - V_{gs}$ 特性を示すグラフである。

第8図(a)に示すように、nチャネルエンハンスメント型のFETの $I_d - V_{gs}$ 特性は、ゲート閾値電圧 V_{th} が正電圧である点を除き、nチャネルデプリーション型のFETの $I_d - V_{gs}$ 特性(第4図参照)と同様である。

- 25 第8図(b)に示すように、pチャネルデプリーション型のFETの $I_d - V_{gs}$ 特性では、ゲート閾値電圧 V_{th} が正電圧でかつゲートソース間電圧 V_{gs} が低くなるにつれてドレイン電流 I_d が増大する。

従って、 n チャネルデプリーション型のFETの $I_d - V_{gs}$ 特性とは、ゲート閾値電圧 V_{gs} の極性及びゲート-ソース間電圧 V_{gs} に対するドレイン電流 I_d の変化が逆になる。

第8図(c)に示すように、 p チャネルエンハンスメント型のFETの $I_d - V_{gs}$ 特性では、ゲート閾値電圧 V_{th} が負電圧でかつゲート-ソース間電圧 V_{gs} が低くなるにつれてドレイン電流 I_d が増大する。従って、 n チャネルデプリーション型のFETの $I_d - V_{gs}$ 特性とは、ゲート閾値電圧 V_{gs} の極性が同じでゲート-ソース間電圧 V_{gs} に対するドレイン電流 I_d の変化が逆になる。

10 次に、バイアス電圧 V_{b1} 、 V_{b2} 及び制御電圧 V_c の設定方法を説明する。

{ n チャネルデプリーション型}

まず、 n チャネルデプリーション型のFETについて説明する。

第9図(a)、(b)、(c)は、 n チャネルデプリーション型のFETにおける制御電圧の設定方法を示す図であって、(a)は第1のFETのオン・オフ切り替え電圧が第2のFETのオン・オフ切り替え電圧より低い場合における制御電圧の設定方法を示す図、(b)は第1のFETのオン・オフ切り替え電圧が第2のFETのオン・オフ切り替え電圧より高い場合における制御電圧の設定方法を示す図、(c)は第1のFETのオン・オフ切り替え電圧が第2のFETのオン・オフ切り替え電圧に一致する場合における制御電圧の設定方法を示す図である。第9図(a)、(b)、(c)において、横軸は接地電位に対する電圧を表している。

第1図を参照すると、第1のFET 111はゲートにバイアス電圧(V_{b1})が与えられ、ソースに制御電圧(V_c)が与えられるFETであると定義される。一方、第2のFET 121はソースにバイアス電圧(V_{b2})が与えられ、ゲートに制御電圧(V_c)が与えられるFET

トであると定義される。

そして、第1のFET111のオン（導通状態）とオフ（遮断状態）とが切り替わるソース電圧を、第1のFET111のオン・オフ切り替え電圧 V_{sw1} と定義する。

- 5 また、第2のFET121のオンとオフとが切り替わるゲート電圧を、第2のFET121のオン・オフ切り替え電圧 V_{sw2} と定義する。

また、第1のFET111及び第2のFET121のゲート閾値電圧を、それぞれ、 V_{th1} 、 V_{th2} とする。

- この場合、第1のFET111のオン・オフ切り替え電圧 V_{sw1} は、
10 $[ゲート閾値電圧\ V_{th1}] = [ゲート電圧：バイアス電圧\ V_{b1}] - [ソース電圧：オン・オフ切り替え電圧\ V_{sw1}]$ であるので、

$$V_{sw1} = V_{b1} - V_{th1} = V_{b1} + |V_{th1}|$$

となる。

- 一方、第2のFET111のオン・オフ切り替え電圧 V_{sw2} は、
15 $[ゲート閾値電圧\ V_{th2}] = [ゲート電圧：オン・オフ切り替え電圧\ V_{sw2}] - [ソース電圧：バイアス電圧\ V_{b2}]$ であるので、

$$V_{sw2} = V_{b2} + V_{th2} = V_{b2} - |V_{th2}|$$

となる。

- ここで、第1のFET111のオン・オフ切り替え電圧 V_{sw1} と第
20 2のFET111のオン・オフ切り替え電圧 V_{sw2} との組み合わせには、（a）第1のFET111のオン・オフ切り替え電圧 V_{sw1} が第2のFET111のオン・オフ切り替え電圧 V_{sw2} より低い場合と、
（b）第1のFET111のオン・オフ切り替え電圧 V_{sw1} が第2のFET111のオン・オフ切り替え電圧 V_{sw2} より高い場合と、（c）
25 第1のFET111のオン・オフ切り替え電圧 V_{sw1} が第2のFET111のオン・オフ切り替え電圧 V_{sw2} に一致する場合との3つの組み合わせが存在する。

. [(a) の場合]

第 9 図 (a) に示すように、第 1 の F E T 1 1 1 では、ソース電圧が
オン・オフ切り替え電圧 V_{sw1} 以下となる電圧範囲がオン領域となり、
ソース電圧がオン・オフ切り替え電圧 V_{sw1} を越える電圧範囲がオフ
5 領域となる。一方、第 2 の F E T 1 2 1 では、ゲート電圧がオン・オフ
切り替え電圧 V_{sw2} 以上となる電圧範囲がオン領域となり、ソース電
圧がオン・オフ切り替え電圧 V_{sw2} を下回る電圧範囲がオフ領域とな
る。

ここで、制御電圧 V_c は、第 1 の F E T 1 1 1 ではソース電圧に相当
10 し、第 2 の F E T 1 2 1 ではゲート電圧に相当する。従って、制御電圧
 V_c が第 1 の F E T 1 1 1 のオン・オフ切り替え電圧 V_{sw1} 以下とな
る電圧範囲では、第 1 の F E T 1 1 1 がオン、第 2 の F E T 1 2 1 がオ
フとなるので、この電圧範囲が、制御電圧 V_c の低い方の電圧値 V_{c1}
として設定すべき領域（以下、 V_{c1} 設定領域という）となる。一方、
15 制御電圧 V_c が第 2 の F E T 1 2 1 のオン・オフ切り替え電圧 V_{sw2}
以上となる電圧範囲では、第 1 の F E T 1 1 1 がオフ、第 2 の F E T 1
2 1 がオンとなるので、この電圧範囲が制御電圧 V_c の高い方の電圧値
 V_{ch} として設定すべき領域（以下、 V_{ch} 設定領域という）となる。
そして、制御電圧 V_c が第 1 の F E T 1 1 1 のオン・オフ切り替え電圧
20 V_{sw1} を越えかつ第 2 の F E T 1 2 1 のオン・オフ切り替え電圧 V_{sw2}
を下回る電圧範囲では、第 1 の F E T 1 1 1 と第 2 の F E T 1 2 1 と
が共にオフとなるので、この電圧範囲が制御電圧 V_c の設定禁止領域と
なる。

つまり、バイアス電圧 V_{b2} をバイアス電圧 V_{b1} より高く設定し、
25 制御電圧 V_c の低い方の電圧値 V_{c1} を、バイアス電圧 V_{b1} より第 1
の F E T 1 1 1 のゲート閾値電圧 V_{th1} の絶対値だけ高い電圧（ V_{sw1} ）
以下に設定するとともに、制御電圧 V_c の高い方の電圧値 V_{ch}

を、バイアス電圧 V_{b2} より第2のFET121のゲート閾値電圧 V_{th2} の絶対値だけ低い電圧 (V_{sw2}) 以上に設定すればよい。このように設定することにより、1つの制御電圧 V_c によって、第1のFET111と第2のFET121とを相補的に切り替え動作させることができる。

また、バイアス電圧 V_{b1} 、バイアス電圧 V_{b2} 、及び制御電圧 V_c (正確には V_{c1}) を全て接地電位以上に設定することにより、スイッチ装置10を正電源のみで動作させることができる。

[(b) の場合]

第9図 (b) に示すように、制御電圧 V_c が第2のFET121のオン・オフ切り替え電圧 V_{sw2} を下回る電圧範囲では、第1のFET111がオン、第2のFET121がオフとなるので、この電圧範囲が制御電圧 V_c の V_{c1} 設定領域となり、制御電圧 V_c が第1のFET111のオン・オフ切り替え電圧 V_{sw1} を越える電圧範囲では、第1のFET111がオフ、第2のFET121がオンとなるので、この電圧範囲が制御電圧 V_c の V_{ch} 設定領域となる。そして、制御電圧 V_c が第2のFET121のオン・オフ切り替え電圧 V_{sw2} 以上でかつ第1のFET111のオン・オフ切り替え電圧 V_{sw1} 以下の電圧範囲では、第1のFET111と第2のFET121とが共にオンとなるので、この電圧範囲が制御電圧 V_c の設定禁止領域となる。

そして、バイアス電圧 V_{b1} 及びバイアス電圧 V_{b2} は、第2のFET121のオン・オフ切り替え電圧 V_{sw2} と第1のFET111のオン・オフ切り替え電圧 V_{sw1} とが近い範囲ではバイアス電圧 V_{b1} がバイアス電圧 V_{b2} より低く、第2のFET121のオン・オフ切り替え電圧 V_{sw2} と第1のFET111のオン・オフ切り替え電圧 V_{sw1} との電圧差が特定の値である場合には、バイアス電圧 V_{b1} がバイアス電圧 V_{b2} と一致し、第2のFET121のオン・オフ切り替え電圧

V_{sw2} と第1のFET111のオン・オフ切り替え電圧 V_{sw1} とが離れた範囲では、第9図(b)に示すように、バイアス電圧 V_{b1} がバイアス電圧 V_{b2} より高くなる。つまり、この場合には、バイアス電圧 V_{b1} 及びバイアス電圧 V_{b2} はいずれを高く設定することも可能である。

そして、制御電圧 V_c の低い方の電圧値 V_{c1} を、バイアス電圧 V_{b2} より第2のFET121のゲート閾値電圧 V_{th2} の絶対値だけ低い電圧(V_{sw2})以下に設定し、制御電圧 V_c の高い方の電圧値 V_{ch} を、バイアス電圧 V_{b1} より第1のFET111のゲート閾値電圧 V_{th1} の絶対値だけ高い電圧(V_{sw1})以上に設定すればよい。その他の点は(a)の場合と同様である。

[(c)の場合]

第9図(c)に示すように、制御電圧 V_c が第1のFET121のオン・オフ切り替え電圧 V_{sw1} 及び第2のFET121のオン・オフ切り替え電圧 V_{sw2} を下回る電圧範囲では、第1のFET111がオン、第2のFET121がオフとなるので、この電圧範囲が制御電圧 V_c の V_{c1} 設定領域となり、制御電圧 V_c が第1のFET121のオン・オフ切り替え電圧 V_{sw1} 及び第2のFET121のオン・オフ切り替え電圧 V_{sw2} を越える電圧範囲では、第1のFET111がオフ、第2のFET121がオンとなるので、この電圧範囲が制御電圧 V_c の V_{ch} 設定領域となる。第1のFET111及び第2のFET121の双方がオン又はオフとなる領域は存在しないので、制御電圧 V_c の設定禁止領域は存在しない。

そして、バイアス電圧 V_{b2} はバイアス電圧 V_{b1} より高くなる。その他の点は(a)の場合と同様である。

[まとめ]

以上の3つの場合をまとめると、1つの制御電圧 V_c によって第1の

F E T 1 1 1 と第 2 の F E T 1 2 1 とを相補的に切り替え動作させるための設定条件は以下の通りである。

すなわち、バイアス電圧 V_{b1} 、 V_{b2} は任意に設定すればよい。

制御電圧 V_c は、低い方の電圧値 V_{c1} を、バイアス電圧 V_{b1} より
5 第 1 の F E T 1 1 1 のゲート閾値電圧 V_{th1} の絶対値だけ高い電圧
(V_{sw1}) 及びバイアス電圧 V_{b2} より第 2 の F E T 1 2 1 のゲート
閾値電圧 V_{th2} の絶対値だけ低い電圧 (V_{sw2}) の双方より低く設
定するとともに、制御電圧の高い方の電圧値 V_{ch} を、バイアス電圧 V_{b1} より第 1 の F E T 1 1 1 のゲート閾値電圧 V_{th1} の絶対値だけ高
10 い電圧 (V_{sw1}) 及びバイアス電圧 V_{b2} より第 2 の F E T 1 2 1 の
ゲート閾値電圧 V_{th2} の絶対値だけ低い電圧 (V_{sw2}) の双方より
高く設定すればよい。

また、スイッチ装置 10 を正電源のみで動作させるためには、上述の
条件に加えて、さらに、バイアス電圧 V_{b1} 、バイアス電圧 V_{b2} 、及
15 び制御電圧 V_c を全て接地電位以上に設定すればよい。

{ p チャネルデプリーション型 }

次に、p チャネルデプリーション型の F E T について説明する。

第 10 図 (a), (b), (c) は p チャネルデプリーション型の F
E T における制御電圧の設定方法を示す図であって、(a) は第 1 の F
20 E T のオン・オフ切り替え電圧が第 2 の F E T のオン・オフ切り替え電
圧より低い場合における制御電圧の設定方法を示す図、(b) は第 1 の
F E T のオン・オフ切り替え電圧が第 2 の F E T のオン・オフ切り替え
電圧より高い場合における制御電圧の設定方法を示す図、(c) は第 1
の F E T のオン・オフ切り替え電圧が第 2 の F E T のオン・オフ切り替
25 え電圧に一致する場合における制御電圧の設定方法を示す図である。第
10 図 (a), (b), (c) において、横軸は接地電位に対する電圧
を表している。

、 p チャネルデプリーション型の場合、第 10 図 (a) ~ (c) と第 9 図 (a) ~ (c) との比較から明らかなように、第 1 の F E T 1 1 1 のオン・オフ切り替え電圧 V_{sw1} は、 $V_{sw1} = V_{b1} - V_{th1} = V_{b1} - |V_{th1}|$ となり、第 2 の F E T 1 2 1 のオン・オフ切り替え電圧 V_{sw2} は、 $V_{sw2} = V_{b2} + V_{th2} = V_{b2} + |V_{th2}|$ となる。

そして、第 1 の F E T 1 1 1 では、ソース電圧がオン・オフ切り替え電圧 V_{sw1} 以上となる電圧範囲がオン領域となり、ソース電圧がオン・オフ切り替え電圧 V_{sw1} を下回る電圧範囲がオフ領域となる。一方、第 2 の F E T 1 2 1 では、ゲート電圧がオン・オフ切り替え電圧 V_{sw2} 以下となる電圧範囲がオン領域となり、ソース電圧がオン・オフ切り替え電圧 V_{sw2} を越える電圧範囲がオフ領域となる。従って、 V_{c1} 設定領域では、第 1 の F E T 1 1 1 がオフ、第 2 の F E T 1 2 1 がオンとなり、 V_{ch} 設定領域では、第 1 の F E T 1 1 1 がオン、第 2 の F E T 1 2 1 がオフとなる。

これ以外の点は、n チャネルデプリーション型の場合と同様である。従って、1 つの制御電圧 V_c によって第 1 の F E T 1 1 1 と第 2 の F E T 1 2 1 とを相補的に切り替え動作させるための設定条件は以下の通りである。

すなわち、バイアス電圧 V_{b1} 、 V_{b2} は任意に設定すればよい。

制御電圧 V_c は、低い方の電圧値 V_{c1} を、バイアス電圧 V_{b1} より第 1 の F E T 1 1 1 のゲート閾値電圧 V_{th1} の絶対値だけ低い電圧 (V_{sw1}) 及びバイアス電圧 V_{b2} より第 2 の F E T 1 2 1 のゲート閾値電圧 V_{th2} の絶対値だけ高い電圧 (V_{sw2}) の双方より低く設定するとともに、制御電圧の高い方の電圧値 V_{ch} を、バイアス電圧 V_{b1} より第 1 の F E T 1 1 1 のゲート閾値電圧 V_{th1} の絶対値だけ低い電圧 (V_{sw1}) 及びバイアス電圧 V_{b2} より第 2 の F E T 1 2 1 の

ゲート閾値電圧 V_{th2} の絶対値だけ高い電圧 (V_{sw2}) の双方より高く設定すればよい。

また、スイッチ装置 10 を正電源のみで動作させるためには、上述の条件に加えて、さらに、バイアス電圧 V_{b1} 、バイアス電圧 V_{b2} 、制御電圧 V_c (正確には V_{c1}) を全て接地電位以上に設定すればよい。

{nチャネルエンハンスメント型}

次に、nチャネルエンハンスメント型の FET について説明する。

第 11 図 (a), (b), (c) は nチャネルエンハンスメント型の FET における制御電圧の設定方法を示す図であって、(a) は第 1 の FET のオン・オフ切り替え電圧が第 2 の FET のオン・オフ切り替え電圧より低い場合における制御電圧の設定方法を示す図、(b) は第 1 の FET のオン・オフ切り替え電圧が第 2 の FET のオン・オフ切り替え電圧より高い場合における制御電圧の設定方法を示す図、(c) は第 1 の FET のオン・オフ切り替え電圧が第 2 の FET のオン・オフ切り替え電圧に一致する場合における制御電圧の設定方法を示す図である。第 11 図 (a), (b), (c) において、横軸は接地電位に対する電圧を表している。

nチャネルエンハンスメント型の場合、第 11 図 (a) ~ (c) と第 9 図 (a) ~ (c) との比較から明らかなように、第 1 の FET 111 のオン・オフ切り替え電圧 V_{sw1} は、 $V_{sw1} = V_{b1} - V_{th1} = V_{b1} - |V_{th1}|$ となり、第 2 の FET 121 のオン・オフ切り替え電圧 V_{sw2} は、 $V_{sw2} = V_{b2} + V_{th2} = V_{b2} + |V_{th2}|$ となる。

これ以外の点は、nチャネルデプリーション型の場合と同様である。従って、1つの制御電圧 V_c によって第 1 の FET 111 と第 2 の FET 121 とを相補的に切り替え動作させるための設定条件は以下の通りである。

すなわち、バイアス電圧 V_{b1} 、 V_{b2} は任意に設定すればよい。

制御電圧 V_c は、低い方の電圧値 V_{c1} を、バイアス電圧 V_{b1} より第1の FET 111 のゲート閾値電圧 V_{th1} の絶対値だけ低い電圧 (V_{sw1}) 及びバイアス電圧 V_{b2} より第2の FET 121 のゲート閾値電圧 V_{th2} の絶対値だけ高い電圧 (V_{sw2}) の双方より低く設定するとともに、制御電圧の高い方の電圧値 V_{ch} を、バイアス電圧 V_{b1} より第1の FET 111 のゲート閾値電圧 V_{th1} の絶対値だけ低い電圧 (V_{sw1}) 及びバイアス電圧 V_{b2} より第2の FET 121 のゲート閾値電圧 V_{th2} の絶対値だけ高い電圧 (V_{sw2}) の双方より高く設定すればよい。

また、スイッチ装置 10 を正電源のみで動作させるためには、上述の条件に加えて、さらに、バイアス電圧 V_{b1} 、バイアス電圧 V_{b2} 、制御電圧 V_c を全て接地電位以上に設定すればよい。

{pチャネルエンハンスメント型}

次に、pチャネルエンハンスメント型の FET について説明する。

第12図 (a)、(b)、(c) は pチャネルエンハンスメント型の FET における制御電圧の設定方法を示す図であって、(a) は第1の FET のオン・オフ切り替え電圧が第2の FET のオン・オフ切り替え電圧より低い場合における制御電圧の設定方法を示す図、(b) は第1の FET のオン・オフ切り替え電圧が第2の FET のオン・オフ切り替え電圧より高い場合における制御電圧の設定方法を示す図、(c) は第1の FET のオン・オフ切り替え電圧が第2の FET のオン・オフ切り替え電圧に一致する場合における制御電圧の設定方法を示す図である。第12図 (a)、(b)、(c) において、横軸は接地電位に対する電圧を表している。

pチャネルエンハンスメント型の場合、第12図 (a) ~ (c) と第9図 (a) ~ (c) との比較から明らかなように、第1の FET 111

のオン・オフ切り替え電圧 V_{sw1} は、 $V_{sw1} = V_{b1} - V_{th1} = V_{b1} + |V_{th1}|$ となり、第2のFET121のオン・オフ切り替え電圧 V_{sw2} は、 $V_{sw2} = V_{b2} + V_{th2} = V_{b2} - |V_{th2}|$ となる。

- 5 そして、第1のFET111では、ソース電圧がオン・オフ切り替え電圧 V_{sw1} 以上となる電圧範囲がオン領域となり、ソース電圧がオン・オフ切り替え電圧 V_{sw1} を下回る電圧範囲がオフ領域となる。一方、第2のFET121では、ゲート電圧がオン・オフ切り替え電圧 V_{sw2} 以下となる電圧範囲がオン領域となり、ソース電圧がオン・オフ
- 10 切り替え電圧 V_{sw2} を越える電圧範囲がオフ領域となる。

これ以外の点は、nチャネルデプリーション型の場合と同様である。従って、1つの制御電圧 V_c によって第1のFET111と第2のFET121とを相補的に切り替え動作させるための設定条件は以下の通りである。

- 15 すなわち、バイアス電圧 V_{b1} 、 V_{b2} は任意に設定すればよい。

- 制御電圧 V_c は、低い方の電圧値 V_{cl} を、バイアス電圧 V_{b1} より第1のFET111のゲート閾値電圧 V_{th1} の絶対値だけ高い電圧 (V_{sw1}) 及びバイアス電圧 V_{b2} より第2のFET121のゲート閾値電圧 V_{th2} の絶対値だけ低い電圧 (V_{sw2}) の双方より低く設
- 20 定するとともに、制御電圧の高い方の電圧値 V_{ch} を、バイアス電圧 V_{b1} より第1のFET111のゲート閾値電圧 V_{th1} の絶対値だけ高い電圧 (V_{sw1}) 及びバイアス電圧 V_{b2} より第2のFET121のゲート閾値電圧 V_{th2} の絶対値だけ低い電圧 (V_{sw2}) の双方より高く設定すればよい。

- 25 また、スイッチ装置10を正電源のみで動作させるためには、上述の条件に加えて、さらに、バイアス電圧 V_{b1} 、バイアス電圧 V_{b2} 、制御電圧 V_c を全て接地電位以上に設定すればよい。

{ 4つの型のFETについてのまとめ}

nチャネルデプリーション型、pチャネルデプリーション型、nチャネルエンハンスメント型、及びpチャネルエンハンスメント型の4つの型のFETを用いた場合に、1つの制御電圧 V_c によって第1のFET 111と第2のFET 121とを相補的に切り替え動作させるための設定条件は以下の通りである。

すなわち、バイアス電圧 V_{b1} 、 V_{b2} は任意に設定すればよい。

制御電圧 V_c は、低い方の電圧値 V_{c1} を、バイアス電圧 V_{b1} から第1のFET 111のゲート閾値電圧 V_{th1} （符号を含む）を引いた電圧（ V_{sw1} ）及びバイアス電圧 V_{b2} に第2のFET 121のゲート閾値電圧 V_{th2} （符号を含む）を加えた電圧（ V_{sw2} ）の双方より低く設定するとともに、制御電圧の高い方の電圧値 V_{c2} を、バイアス電圧 V_{b1} から第1のFET 111のゲート閾値電圧 V_{th1} （符号を含む）を引いた電圧（ V_{sw1} ）及びバイアス電圧 V_{b2} に第2のFET 121のゲート閾値電圧 V_{th2} （符号を含む）を加えた電圧（ V_{sw2} ）の双方より高く設定すればよい。

また、スイッチ装置10を正電源のみで動作させるためには、上述の条件に加えて、さらに、バイアス電圧 V_{b1} 、バイアス電圧 V_{b2} 、及び制御電圧 V_c を全て接地電位以上に設定すればよい。

（第2の実施形態）

前述したように、第6図（b）に示した反射特性：S33及び第7図（b）に示した反射特性：S22は、必ずしも十分なレベルにあるとは言えない。本発明の第2の実施形態のスイッチ装置は、この反射特性の改善を図ったものである。

第13図は、本実施形態のスイッチ装置20の回路図である。スイッチ装置20は、第1の実施形態のスイッチ装置10に、本発明の第3のFETスイッチに相当するFETスイッチ13と、第4のFETスイッ

子に相当するFETスイッチ14とを備えたものである。なお、第1図における構成要素と同一のものについては、同一の符号を付し、説明を省略する。また、FETスイッチ11～14の両端には、直流阻止用容量性素子Cbがそれぞれ設けられている。

- 5 FETスイッチ13は、第3のFET131（以下、FET131という）を有し、FETスイッチ12と同様に構成されている。すなわち、FET131は、FET121と同様にHEMT又はHFETによって構成され、ゲートには、抵抗素子124と同様の抵抗素子134を介して、第2の制御電圧に相当する制御電圧Vcが与えられている。また、
10 ソース及びドレインには、ソースバイアス用抵抗素子122及びドレインバイアス用抵抗素子123とそれぞれ同様のソースバイアス用抵抗素子132及びドレインバイアス用抵抗素子133を介して、第3のバイアス電圧に相当するバイアス電圧Vb2が与えられている。ここでは、バイアス電圧Vb2を、FETスイッチ12に与えられるものと共通にし、また、制御電圧Vcを、FETスイッチ11、12に与えられるものと共通にしている。もちろん、これらを共通にせずに、別の値の第3のバイアス電圧及び第2の制御電圧を与えることも可能である。

- FETスイッチ14は、第4のFET141（以下、FET141という）を有し、FETスイッチ11と同様に構成されている。すなわち、
20 FET141は、FET111と同様にHEMT又はHFETによって構成され、ゲートには、第4のバイアス電圧に相当するバイアス電圧Vb1が与えられている。また、ソース及びドレインには、ソースバイアス用抵抗素子112及びドレインバイアス用抵抗素子113とそれぞれ同様のソースバイアス用抵抗素子142及びドレインバイアス用抵抗素子143をそれぞれ介して、第2の制御電圧に相当する制御電圧Vcが
25 与えられている。ここでは、バイアス電圧Vb1を、FETスイッチ11に与えられるものと共通にし、また、制御電圧Vcを、FETスイッ

子 1 1, 1 2 に与えられるものと共通にしている。もちろん、これらを共通にせずに、別の値の第 4 のバイアス電圧及び第 2 の制御電圧を与えることも可能である。この場合、第 2 の制御電圧を第 1 の制御電圧に同期して与えることが必要である。

- 5 F E T スイッチ 1 3 とグランドとの間には、抵抗素子（終端用抵抗素子）2 1 が設けられている。抵抗素子 2 1 の抵抗値は、F E T 1 3 1 のチャンネル抵抗値との合計が、端子 P 2 に接続される伝送線路の特性インピーダンスと等しくなるように設定されている。したがって、F E T 1 3 1 が導通状態になることによって、端子 P 2 は終端される（第 1 の終端状態）。

- 同様に、F E T スイッチ 1 4 とグランドとの間には、抵抗素子（終端用抵抗素子）2 2 が設けられている。抵抗素子 2 2 の抵抗値は、F E T 1 4 1 のチャンネル抵抗値との合計が、端子 P 3 に接続される伝送線路の特性インピーダンスと等しくなるように設定されている。したがって、
- 15 F E T 1 4 1 が導通状態になることによって、端子 P 3 は終端される（第 2 の終端状態）。

なお、F E T 1 3 1 の導通時のチャンネル抵抗を、伝送線路の特性インピーダンスと等しくなるようにすることによって、抵抗素子 2 1 は省略することができる。抵抗素子 2 2 についても同様である。

- 20 次に、上記のとおり構成されたスイッチ装置 2 0 の動作について説明する。

- 制御電圧 V_c として 0. 0 V が与えられたとき、F E T 1 1 1, 1 4 1 は導通状態になるとともに F E T 1 2 1, 1 3 1 は遮断状態になる。これにより、F E T スイッチ 1 1 によって、端子 P 1 と端子 P 2 とが接続されるとともに、F E T スイッチ 1 4 によって、端子 P 3 が終端される。つまり、制御電圧 V_c が 0. 0 V のとき、スイッチ装置 2 0 は、第
- 25 1 の接続状態かつ第 2 の終端状態になる。

第14図(a), (b)は、制御電圧 V_c として0.0Vが与えられたときの、スイッチ装置20の各種特性を示すグラフである。なお、同図のグラフの見方は第6図と同様である。第14図(a)と第6図(a)とを比較すると、スイッチ装置20のスイッチング特性については、ス
5 イッチ装置10とほぼ同様であることがわかる。一方、第14図(b)と第6図(b)とを比較すると、スイッチ装置20の反射特性： S_{33} が大幅に改善されていることがわかる。この理由は、端子P3がFETスイッチ14及び抵抗素子22によって終端されているからである。

一方、制御電圧 V_c として1.0Vが与えられたとき、FET111,
10 141は遮断状態になるとともにFET121, 131は導通状態になる。これにより、FETスイッチ12によって、端子P1と端子P3とが接続されるとともに、FETスイッチ13によって、端子P2が終端される。つまり、制御電圧 V_c が1.0Vのとき、スイッチ装置10は、第2の接続状態かつ第1の終端状態になる。

第15図(a), (b)は、制御電圧 V_c として1.0Vが与えられたときの、スイッチ装置20の各種特性を示すグラフである。なお、同図のグラフの見方は第7図と同様である。第15図(a)と第7図(a)とを比較すると、スイッチ装置20のスイッチング特性については、ス
15 イッチ装置10とほぼ同様であることがわかる。一方、第15図(b)と第7図(b)とを比較すると、スイッチ装置20の反射特性 S_{22} が大幅に改善されていることがわかる。この理由は、端子P2がFETスイッチ13及び抵抗素子21によって終端されているからである。

以上に説明したように、本実施形態によると、HEMT又はHFETによって構成されたFET111～141をそれぞれ備えたFETスイ
25 ャッチ11～14を、一の制御電圧 V_c によって、相補的に切り替え動作させることによって、スイッチ装置20を、第1の接続状態かつ第2の終端状態にするか、又は、第2の接続状態かつ第1の終端状態にする、

といった経路切り替えが可能となる。これにより、経路切り替えの際、遮断される端子を終端することができ、遮断された端子における信号の反射を抑制することができる。

なお、上記説明において、FETスイッチ11～14は、すべて、互いに共通した制御電圧 V_c によって制御されるものとしたが、FETスイッチ13、14を、それぞれ独立して制御するようにしてもよい。また、FETスイッチ11、13の第1の組み合わせについて、第1の制御電圧を用いて相補的に切り替え制御をし、また、FETスイッチ12、14の第2の組み合わせについて、第2の制御電圧を第1の制御電圧と同期するように用いて相補的に切り替え制御をするようにしてもよい。さらに、第1及び第2のいずれかの組み合わせについてのみ、相補的に切り替え制御をすること可能である。これらのいずれの場合であっても、本発明と同様の効果を得ることができる。しかし、スイッチ装置20の制御の容易性、及び回路構成の簡略化の観点から、本実施形態のように、バイアス電圧 V_{b1} 、 V_{b2} 、及び制御電圧 V_c を共通にする方が好ましい。

また、各種特性のグラフを示した各図において、信号周波数として、10GHzまでしか表示していないが、本発明は、これに限定されるものではない。本発明のスイッチ装置10、20は、60G～75GHzのミリ波帯までについても適用が可能であり、さらに、高周波域にまで適用可能である。これとは逆に、グラフに示した周波数よりも低い周波数域においても、本発明のスイッチ装置10、20によって、上記した効果を得ることができる。具体的には、本発明のスイッチ装置10、20は、100MHz以上75GHz以下の周波数の信号伝送路に好適に用いることができ、100MHz以上10GHz以下の周波数の信号伝送路により好適に用いることができる。

(第3の実施形態)

第16図は、本発明の第3の実施形態のスイッチ装置30の概略回路図である。第16図において、第1図と同一符号は同一または相当する部分を示す。スイッチ装置30は、第1の実施形態のスイッチ装置10において、両端に端子（第2の伝送信号用端子）Port 2及び端子（第3の伝送信号用端子）Port 3を有する伝送線路15をさらに備え、FETスイッチ11及びFETスイッチ12が伝送線路15を介して、端子P1に相当する端子（第1の伝送信号用端子）Port 1にそれぞれ接続されるとともに、端子P2及び端子P3がグランドにそれぞれ接続されたものである。

10 具体的には、第1の点Pt1を接地可能なFETスイッチ11と、第2の点Pt2を接地可能なFETスイッチ12とを備え、端子Port 1と端子Port 2とが伝送信号を伝達可能に接続されかつ端子Port 1と端子Port 3とが伝送信号を伝達不可能に切断される第1の伝送信号接続状態と、端子Port 1と端子Port 3とが伝送信号を伝達可能に接続されかつ端子Port 1と端子Port 2とが伝送信号を伝達不可能に切断される第2の伝送信号接続状態とを切り替えることによって、伝送信号の伝送経路を切り替えるものである。なお、同図において、説明の便宜上、本来なら連続している1本の伝送線路15を分離して描いている。

20 FETスイッチ11は、端子Port 1と端子Port 2との間の伝送線路15において、端子Port 1から $\lambda/4$ （ λ は、伝送信号の波長である。）に相当する長さだけ端子Port 2側に離れた第1の点Pt1とグランドとの間に設けられた第1のFET111を有し、このFET111が導通状態になることによって第1の点Pt1を接地するように構成されている。FET111は直流阻止用容量性素子Cbを介して第1の点Pt1及びグランドにそれぞれ接続されている。

一方、FETスイッチ12は、端子Port 1と端子Port 3との

間の伝送線路 15 において、端子 P 1 から $\lambda/4$ に相当する長さだけ端子 P o r t 3 側に離れた第 2 の点 P t 2 とグランドとの間に設けられた第 2 の F E T 1 2 1 を有し、この F E T 1 2 1 が導通状態になることによって第 2 の点 P t 2 を接地するように構成されている。F E T 1 2 1
5 は直流阻止用容量性素子 C b を介して第 2 の点 P t 2 及びグランドにそれぞれ接続されている。

伝送線路 15 は、裏面に接地電極を設けた $100\mu\text{m}$ の厚さの G a A s 基板とこの G a A s 基板上に形成された、幅 $20\mu\text{m}$ 、厚さ $5\mu\text{m}$ の A u パターンで構成されている。

10 端子 P o r t 1、P o r t 2、及び P o r t 3 は、他の伝送線路や高周波回路に接続され、かつ端子 P o r t 1、P o r t 2、及び P o r t 3 には高周波の交流の伝送信号が入出力され、伝送線路 15 上を伝送される。この伝送信号の周波数は、 100MHz 以上 75GHz 以下が好ましく、 100MHz 以上 10GHz 以下がより好ましい。具体的には、
15 5GHz が想定されている。

F E T 1 1 1、1 2 1 は、H E M T 又は H F E T と呼ばれる G a A s 系の n チャネルデプリーション型の F E T で構成されている。F E T 1 1 1 のゲートには第 1 のバイアス電圧 V_{b1} が与えられるとともに、ソース及びドレインには、ソースバイアス用抵抗素子 1 1 2 及びドレイン
20 バイアス用抵抗素子 1 1 3 を介して第 1 の制御電圧 V_c が与えられる。一方、F E T 1 2 1 のソース及びドレインには、ソースバイアス用抵抗素子 1 2 2 及びドレインバイアス用抵抗素子 1 2 3 を介して第 2 のバイアス電圧 V_{b2} が与えられるとともに、ゲートには抵抗素子 1 2 4 を介して第 1 の制御電圧 V_c が与えられる。

25 その他の点は、第 1 の実施形態と同様である。

第 17 図 (a)、(b) は、バイアス電圧 V_{b1} を 0.0V に、また、バイアス電圧 V_{b2} を 1.0V にし、さらに、制御電圧 V_c を第 1 のバ

イアス電圧 V_{b1} に相当する 0.0 V (V_{c1})、及び第2のバイアス電圧 V_{b2} に相当する 1.0 V (V_{ch}) の2値としたときの、FETスイッチ11, 12のスイッチング特性を示すグラフである。縦軸は、FETのドレインからソースに信号が伝達されるときにの信号レベル（順方向伝送係数）を示し、単位はdBである。また、横軸は信号の周波数を示し、単位はGHzである。

第17図(a)は、FETスイッチ11のスイッチング特性を示す。FETスイッチ11は、制御電圧 V_c が 0.0 V のとき、ソースドレイン間を導通状態にする一方、制御電圧 V_c が 1.0 V のとき、ソースドレイン間を遮断状態にする。一方、同図(b)は、FETスイッチ12のスイッチング特性を示す。FETスイッチ12は、FETスイッチ11とは逆に、制御電圧 V_c が 0.0 V のとき、ソースドレイン間を遮断状態にする一方、制御電圧 V_c が 1.0 V のとき、ソースドレイン間を導通状態にする。これにより、一の制御電圧 V_c で、FET11, 12を相補的に導通状態にすることができる。なお、同図(a)(b)に示したスイッチング特性は、抵抗素子112, 113, 122, 123の抵抗値を $5\text{ k}\Omega$ としたときのものであるが、抵抗値が 500Ω 程度であってもスイッチング特性に大きな変化はない。また、FET11, 12の特性によっては、 100Ω 程度にすることも可能である。

以上のとおりに構成されたスイッチ装置30の動作について、以下、詳細に説明する。

制御電圧 V_c として 0.0 V が与えられたとき、FET11は導通状態になるとともにFET12は遮断状態になる。これにより、FETスイッチ11によって第1の点Pt1が接地される。このとき、端子Port1から見て接地された側の伝送線路15は終端短絡の $1/4\lambda$ 線路と等価になり、開放状態、つまり接続されていない状態と等しくなる。一方、FETスイッチ12は開放状態なので、信号は端子Port

3 側に伝達される。すなわち、制御電圧 V_c が 0.0 V のとき、スイッチ装置 30 は第 2 の伝送信号接続状態になる。

第 18 図 (a), (b) は、制御電圧 V_c が 0.0 V のときの、信号の周波数を横軸とするスイッチ装置 30 の各種特性を示すグラフである。

- 5 同図 (a) は、端子 Port 1 から端子 Port 2 への信号の伝達特性 (順方向伝送係数: S_{21})、及び端子 Port 1 から端子 Port 3 への信号の伝達特性 (順方向伝送係数: S_{31}) を示す。また、同図 (b) は、端子 Port 2 における反射特性 (反射係数: S_{22})、及び端子 Port 3 における反射特性 (反射係数: S_{33}) を示す。なお、同図
- 10 の縦軸の単位は dB、横軸の単位は GHz である。同図 (a) に示した伝達特性から明らかなように、端子 Port 1 と端子 Port 3 とは接続状態にあり、また、端子 Port 1 と端子 Port 2 とは切断状態にある。なお、同図 (b) に示した反射特性: S_{22} は、必ずしも十分なレベルとは言えない。この改善方策については後述する。

- 15 一方、制御電圧 V_c として 1.0 V が与えられたとき、FET 111 は遮断状態になるとともに FET 121 は導通状態になる。これにより、FET スイッチ 12 によって、第 2 の点 Pt 2 が接地される。このとき、端子 Port 1 から見て接地された側の伝送線路 15 は開放状態、つまり接続されていない状態と等価になり、信号は端子 Port 2 側に伝達
- 20 される。すなわち、制御電圧 V_c が 1.0 V のとき、スイッチ装置 30 は第 1 の伝送信号接続状態になる。なお、図示しないが、制御電圧 V_c が 1.0 V のときのスイッチ装置 30 の各種特性は、回路の対称性から、第 18 図 (a), (b) と同様になる。

- なお、第 18 図 (a), (b) において、スイッチ装置 30 のスイッチ
- 25 チング特性として、伝送信号が 10 GHz までのものしか示していないが、スイッチ装置 30 は、それ以上の 60 ~ 75 GHz のミリ波帯域までについても、同様の効果を奏する。さらに、ミリ波帯域以上の高周波

帯域にまで適用することができる。

上記説明において、第1のバイアス電圧 V_{b1} を0.0V、第2のバイアス電圧 V_{b2} を1.0Vとしているが、第1の実施形態で述べたように、これ以外の電圧にしてもよい。また、制御電圧 V_c として、第1
5 のバイアス電圧 V_{b1} に相当する電圧、及び第2のバイアス電圧 V_{b2} に相当する電圧の2値としているが、本発明はこれに限定されるものではないことは、第1の実施形態で述べた通りである。

以上、本実施形態によると、FETスイッチ11, 12によって伝送線路15上の第1の点 P_{t1} 及び第2の点 P_{t2} をそれぞれ接地することによって、伝送信号の伝送経路を切り替えることができる。これにより、信号が伝達するときに伝送損失が生じることがない。また、FET
10 スwitch 11, 12を、1つの制御電圧 V_c によって、相補的にスイッチング動作させ、相補的に第1の伝送信号接続状態及び第2の伝送信号接続状態を設定することができ、制御が容易である。さらに、バイアス
15 電圧 V_{b1} , V_{b2} 、及び制御電圧 V_c をすべて接地電位以上に設定しているため、スイッチ装置30は正電源のみで動作可能である。これにより、負電圧を供給する負電源が不要となり、回路規模を縮減することができる。

(第4の実施形態)

20 前述したように、第18図(b)に示した反射特性： S_{22} は、必ずしも十分なレベルとは言えない。本発明の第2の実施形態のスイッチ装置は、この反射特性の改善を図ったものである。

第19図は、本実施形態のスイッチ装置30Aの概略回路図である。スイッチ装置30Aは、第3の実施形態のスイッチ装置30に、さらに、
25 第3の点 P_{t3} を終端可能な第3のFETスイッチ13と、第4の点 P_{t4} を終端可能な第4のFETスイッチ14とを追加したものである。なお、説明の便宜上、本来なら連続している1本の伝送線路を、分離し

て描いている。

FETスイッチ13は、第1の点P t 1と端子P o r t 2との間の伝送線路15において、第1の点P t 1から $\lambda/4$ に相当する長さだけ端子P o r t 2側に離れた第3の点P t 3とグランドとの間に設けられた第3のFET131と、FET131のソースとグランドとの間に設けられた抵抗素子（終端用抵抗素子）135とを有し、FET131が導通状態になることによって第3の点P t 3を終端するように構成されている。抵抗素子135の抵抗値は、FET131のチャネル抵抗値との合計が、伝送線路15の特性インピーダンス値になるように調整されている。また、FET131、抵抗素子132、133は、それぞれ、FET111、抵抗素子112、113と同等のものである。すなわち、FETスイッチ13は、抵抗素子135を有すること以外はFETスイッチ11と同等の構成をしており、第17図（a）に示したスイッチング特性を呈する。なお、FET131は直流阻止用容量性素子C bを介して第3の点P t 3及び抵抗素子135にそれぞれ接続されている。

一方、FETスイッチ14は、第2の点P t 2と端子P o r t 3との間の伝送線路15において、第2の点P t 2から $\lambda/4$ に相当する長さだけ端子P o r t 3側に離れた第4の点P t 4とグランドとの間に設けられた第4のFET141と、FET141のソースとグランドとの間に設けられた抵抗素子（終端用抵抗素子）145とを有し、FET141が導通状態になることによって第4の点P t 4を終端するように構成されている。抵抗素子145の抵抗値は、FET141のチャネル抵抗値との合計が、伝送線路15の特性インピーダンス値になるように調整されている。また、FET141、抵抗素子142～144は、それぞれ、FET121、抵抗素子122～124と同等のものである。すなわち、FETスイッチ14は、抵抗素子145を有すること以外はFETスイッチ12と同等の構成をしており、第17図（b）に示したスイ

ツチング特性を呈する。なお、F E T 1 4 1 は直流阻止用容量性素子 C b を介して第 4 の点 P t 4 及び抵抗素子 1 4 5 にそれぞれ接続されている。

F E T 1 3 1 のゲートには第 3 のバイアス電圧として、F E T 1 1 1 のゲートに与えられる第 1 のバイアス電圧 V b 1 が与えられる。また、ソース及びドレインには、それぞれ直流的にほぼ同電位となるように抵抗素子ソースバイアス用抵抗素子 1 3 2 及びドレインバイアス用抵抗素子 1 3 3 を介して第 2 の制御電圧として、F E T 1 1 1 のソース及びドレインに与えられる第 1 の制御電圧 V c が与えられる。一方、F E T 1 4 1 のソース及びドレインには、それぞれ直流的にほぼ同電位となるようにソースバイアス用抵抗素子 1 4 2 及びドレインバイアス用抵抗素子 1 4 3 を介して第 4 のバイアス電圧として、F E T 1 2 1 のソース及びドレインに与えられる第 2 のバイアス電圧 V b 2 が与えられる。また、ゲートには抵抗素子 1 4 4 を介して第 2 の制御電圧として、F E T 1 2 1 のゲートに与えられる第 1 の制御電圧 V c が与えられる。なお、制御電圧 V c 及びバイアス電圧 V b 1, V b 2 の具体的な値については、第 3 の実施形態で説明したとおりであるので、ここでは説明を省略する。

以上のとおりに構成されたスイッチ装置 3 0 A の動作について、以下、詳細に説明する。

制御電圧 V c として 0 . 0 V (V c 1) が与えられたとき、F E T 1 1 1 と F E T 1 3 1 との組は導通状態になるとともに、F E T 1 2 1 と F E T 1 4 1 との組は遮断状態になる。これにより、F E T スイッチ 1 1 によって第 1 の点 P t 1 が接地されるとともに、F E T スイッチ 1 3 によって第 3 の点 P t 3 が終端され、スイッチ装置 3 0 は第 2 の伝送信号接続状態になる。また、第 1 の点 P t 1 が接地されたとき、この点から $\lambda / 4$ だけ離れた第 3 の点 P t 3 は、伝送信号の周波数 (5 G H z) で開放されているときと等しい状態にある。したがって、第 3 の点 P t

3を終端することは、伝送線路15の端部、つまり端子Port 2を終端することと等価になる。これにより、端子Port 2における伝送信号の反射を抑制することができる。

第20図(a), (b)は、制御電圧 V_c が0.0Vのときの、信号の周波数を横軸とするスイッチ装置30Aの各種特性を示すグラフである。なお、同図の見方は、第18図(a), (b)と同様である。第20図(a)に示した伝達特性からは、第18図(a)と同様に、端子Port 1と端子Port 3とは接続状態にあり、また、端子Port 1と端子Port 2とは切断状態にあることがわかる。そして、第20図(b)に示した反射特性: S_{22} は、伝送信号の周波数である5GHz付近において、-20dB以下になっており、端子Port 2における信号の反射が十分に抑制されていることがわかる。

一方、制御電圧 V_c として1.0V(V_{ch})が与えられたとき、FET111とFET131との組は遮断状態になるとともに、FET121とFET141との組は導通状態になる。これにより、FETスイッチ12によって第2の点Pt 2が接地されるとともに、FETスイッチ14によって第4の点Pt 4が終端され、スイッチ装置30Aは第1の伝送信号接続状態になる。また、第2の点Pt 2が接地されたとき、この点から $\lambda/4$ だけ離れた第4の点Pt 4は、伝送信号の周波数(5GHz)で開放されているときと等しい状態にある。したがって、第4の点Pt 4を終端することは、伝送線路15の端部、つまり端子Port 3を終端することと等価になる。これにより、端子Port 3における信号の反射を抑制することができる。なお、図示しないが、制御電圧 V_c が1.0Vのときのスイッチ装置30Aの各種特性は、回路の対称性から、第20図(a), (b)と同様になる。

なお、第20図(a), (b)において、スイッチ装置30Aのスイッチング特性として、伝送信号が10GHzまでのものしか示していな

いが、スイッチ装置 30A は、それ以上の 60 ~ 75 GHz のミリ波帯域までについても、同様の効果を奏する。さらに、ミリ波帯域以上の高周波帯域にまで適用することができる。

以上、本実施形態によると、FET スイッチ 13, 14 によって伝送
5 線路 15 上の第 3 の点 Pt 3 及び第 4 の点 Pt 4 がそれぞれ終端されることによって、信号が遮断された側における信号の反射を抑制することができる。

なお、抵抗素子 135, 145 は、それぞれ、FET 131, 141
が伝送線路 15 の特性インピーダンス値に相当するチャネル抵抗を持つ
10 ようにすることにより、省略可能である。また、FET スイッチ 11 ~ 14 を 1 つの制御電圧 V_c によって制御しているが、本発明はこれに限定されるものではない。FET スイッチ 11 ~ 14 を別個独立して制御するようにしても、また、負の電圧を用いて制御するようにしても、本発明が奏する効果に相違はない。なお、FET スイッチ 11 ~ 14 を別
15 個独立して制御する場合には、個々の制御電圧 V_c を互いに同期するようにして与えることが必要である。

また、第 3、第 4 の実施形態において、FET 111, 121, 131, 141 は、GaAs 系の半導体によって構成されたが、これに限定されものではない。FET 111, 121, 131, 141 は、Ga, In, Al の中から選択される少なくとも 1 つの元素と、As, P, N の中から選択される少なくとも 1 つの元素との化合物からなる化合物半導体で構成されることが好ましい。もちろん、これ以外の元素を含む化合物半導体によって構成することも可能である。また、Si や Ge といった単結晶の半導体によって構成されていてもよい。さらに、FET ス
25 イッチ 11 ~ 14 は、必ずしも FET によって構成される必要はなく、FET とは別のスイッチング手段、たとえば、PIN ダイオードスイッチによって構成されていても、本発明が奏する効果に違いはない。また、

F E T 1 1 1, 1 2 1, 1 3 1, 1 4 1 は、第 1、第 2 の実施形態の場合と同様に、p チャネル型の F E T で構成することができ、また、エンハンスメント型の F E T で構成することができる。

- また、第 1 の点 P t 1 及び第 2 の点 P t 2 と端子 P o r t 1 との間隔、
- 5 第 1 の点 P t 1 と第 3 の点 P t 3 との間隔、ならびに第 2 の点 P t 2 と第 4 の点 P t 4 との間隔は、伝送信号の $1/4$ 波長の奇数倍に相当する長さであればよく、 $\lambda/4$ に限定されるものではない。また、これら間隔は、厳密に $1/4$ 波長の奇数倍である必要はなく、多少の誤差が許容される。これら間隔に多少の誤差がある場合、スイッチング特性が多少
- 10 劣化する。すなわち、許容誤差は要求されるスイッチング特性によって決まる。要求が厳しいときは、わずかな誤差しか許容されないが、要求が比較的緩やかなときは、 $\lambda/8$ 程度の誤差まで許容される。

- 上記説明から、当業者にとっては、本発明の多くの改良や他の実施形態が明らかである。従って、上記説明は、例示としてのみ解釈されるべきであり、本発明を実行する最良の態様を当業者に教示する目的で提供
- 15 されたものである。本発明の精神を逸脱することなく、その構造及び／又は機能の詳細を実質的に変更できる。

〔産業上の利用の可能性〕

- 本発明に係るスイッチ装置は、伝送線路を伝送される信号の経路切り
- 20 替え用のスイッチとして有用である。

請 求 の 範 囲

1. 第 1、第 2、及び第 3 の接続用端子と、一対の主端子の一方が前
記第 1 の接続用端子に、前記一対の主端子の他方が前記第 2 の接続用端
5 子に、それぞれ第 1 の直流阻止用容量性素子を介して接続された第 1 の
F E T と、一対の主端子の一方が前記第 1 の接続用端子に、前記一対の
主端子の他方が前記第 3 の接続用端子に、それぞれ第 2 の直流阻止用容
量性素子を介して接続された第 2 の F E T とを備え、

前記第 1 の F E T のチャネル型と前記第 2 の F E T のチャネル型とが
10 同じであり、

前記第 1 の F E T のゲートに第 1 のバイアス電圧が与えられ、

前記第 2 の F E T の一対の主端子に第 2 のバイアス電圧が与えられ、

かつ、前記第 1 のバイアス電圧から前記第 1 の F E T における符号を
含むゲート閾値電圧を引いた電圧及び前記第 2 のバイアス電圧に第 2 の
15 F E T における符号を含むゲート閾値電圧を加えた電圧の双方より低い
電圧と、前記第 1 のバイアス電圧から前記第 1 の F E T における符号を
含むゲート閾値電圧を引いた電圧及び前記第 2 のバイアス電圧に第 2 の
F E T における符号を含むゲート閾値電圧を加えた電圧の双方より高い
電圧とが、どちらかが第 1 の制御電圧として、前記第 1 の F E T の一対
20 の主端子と前記第 2 の F E T のゲートとに与えられることにより、前記
第 1 の F E T と前記第 2 の F E T とが相補的にそれぞれ導通及び遮断し
て、前記第 1 の接続用端子と前記第 2 の接続用端子とが電氣的に接続さ
れかつ前記第 1 の接続用端子と前記第 3 の接続用端子とが電氣的に切断
される第 1 の接続状態と、前記第 1 の接続用端子と前記第 3 の接続用端
25 子とが電氣的に接続されかつ前記第 1 の接続用端子と前記第 2 の接続用
端子とが電氣的に切断される第 2 の接続状態とが切り替わる、スイッチ
装置。

2. 前記第1のバイアス電圧、前記第2のバイアス電圧、及び前記第1の制御電圧が接地電位以上の電圧値を有する、請求の範囲第1項記載のスイッチ装置。

5

3. 前記第1、第2、及び第3の接続用端子に入出力される信号の周波数が、100MHz以上75GHz以下である、請求の範囲第1項記載のスイッチ装置。

10 4. 前記第1、第2、及び第3の接続用端子に入出力される信号の周波数が、100MHz以上10GHz以下である、請求の範囲第3項記載のスイッチ装置。

15 5. 前記スイッチ装置は、前記第1の制御電圧を与えるための制御電圧用端子をさらに備え、前記第1のFETの一对の主端子と前記第2のFETのゲートとが前記制御電圧用端子に接続されている、請求の範囲第1項記載のスイッチ装置。

20 6. 前記第1のFETの一对の主端子がそれぞれ第1のバイアス用抵抗素子を介して前記制御電圧用端子に接続されている、請求の範囲第5項記載のスイッチ装置。

25 7. 2つの前記第1のバイアス用抵抗素子の抵抗値の和が、前記第1のFETのオン抵抗の100倍以上10万倍以下である、請求の範囲第6項記載のスイッチ装置。

8. 2つの前記第1のバイアス用抵抗素子の抵抗値の和が、前記第1

の F E T のオン抵抗の 1 0 0 0 倍以上 1 0 万倍以下である、請求の範囲第 7 項記載のスイッチ装置。

9. 前記スイッチ装置は、バイアス電圧用端子をさらに備え、前記第 2 の F E T の一対の主端子がそれぞれ第 2 のバイアス用抵抗素子を介して前記バイアス電圧用端子に接続されている、請求の範囲第 6 項記載のスイッチ装置。

10. 2 つの前記第 2 のバイアス用抵抗素子の抵抗値の和が、前記第 2 の F E T のオン抵抗の 1 0 0 倍以上 1 0 万倍以下である、請求の範囲第 9 項記載のスイッチ装置。

11. 2 つの前記第 2 のバイアス用抵抗素子の抵抗値の和が、前記第 2 の F E T のオン抵抗の 1 0 0 0 倍以上 1 0 万倍以下である、請求の範囲第 1 0 項記載のスイッチ装置。

12. 前記第 1 及び第 2 の F E T が n チャネル型である、請求の範囲第 1 項記載のスイッチ装置。

13. 前記第 1 の制御電圧が前記第 1 のバイアス電圧に等しい電圧と前記第 2 のバイアス電圧に等しい電圧との 2 値を取る、請求の範囲第 1 項記載のスイッチ装置。

14. 前記第 1 及び第 2 の F E T がデプリーション型である、請求の範囲第 1 項記載のスイッチ装置。

15. 前記第 1 及び第 2 の F E T が、ともに、G a , I n , A l の中

から選択される少なくとも1つの元素と、As、P、Nの中から選択される少なくとも1つの元素との化合物からなる化合物半導体で構成されている、請求の範囲第1項記載のスイッチ装置。

5 16. 前記スイッチ装置は、第3及び第4のFETをさらに備え、

前記第3のFETの一对の主端子の一方が前記第2の接続用端子に第3の直流阻止用容量性素子を介して接続されるとともに、前記第3のFETの一对の主端子の他方が第4の直流阻止用容量性素子又は該第4の直流阻止用容量性素子及び第1の終端用抵抗素子を介してグランドに接
10 続され、

前記第4のFETの一对の主端子の一方が前記第3の接続用端子に第5の直流素子用容量性素子を介して接続されるとともに、前記第4のFETの一对の主端子の他方が第6の直流素子用容量性素子又は該第6の直流素子用容量性素子及び第2の終端用抵抗素子を介してグランドに接
15 続され、

前記第3のFETのチャネル型と前記第4のFETのチャネル型とが同じであり、

前記第4のFETのゲートに第3のバイアス電圧が与えられ、

前記第3のFETの一对の主端子に第4のバイアス電圧が与えられ、
20 かつ、前記第3のバイアス電圧から前記第4のFETにおける符号を含むゲート閾値電圧を引いた電圧及び前記第4のバイアス電圧に第3のFETにおける符号を含むゲート閾値電圧を加えた電圧の双方より低い電圧と、前記第3のバイアス電圧から前記第4のFETにおける符号を含むゲート閾値電圧を引いた電圧及び前記第4のバイアス電圧に第3の
25 FETにおける符号を含むゲート閾値電圧を加えた電圧の双方より高い電圧とが、どちらかが第2の制御電圧として、前記第1の制御電圧に同期して、前記第4のFETの一对の主端子と前記第3のFETのゲート

とに与えられることにより、前記第 1 及び第 4 の F E T の組と前記第 2 及び第 3 の F E T の組とが相補的にそれぞれ導通状態及び遮断状態となり、前記第 1 の接続状態において前記第 3 の接続用端子が終端され、かつ前記第 2 の接続状態において前記第 2 の接続用端子が終端される、請求の範囲第 1 項記載のスイッチ装置。

17. 前記第 2 の制御電圧として前記第 1 の制御電圧が与えられる、請求の範囲第 1 6 項記載のスイッチ装置。

10 18. 前記第 3 のバイアス電圧として前記第 1 のバイアス電圧が与えられる、

前記第 4 のバイアス電圧として前記第 2 のバイアス電圧が与えられる、請求の範囲第 1 6 項記載のスイッチ装置。

15 19. 前記スイッチ装置は、両端に第 2 及び第 3 の伝送信号用端子を有し伝送信号を伝送する伝送線路をさらに備え、

前記第 1 及び第 2 の F E T が前記伝送線路を介して前記第 1 の接続用端子にそれぞれ接続されるとともに前記第 2 及び第 3 の接続端子がグラウンドにそれぞれ接続され、

20 前記伝送線路上において、ある点に前記第 1 の接続端子が接続され、前記第 1 の接続端子の接続点から前記第 2 の伝送信号用端子の方へ前記伝送信号の $1/4$ 波長の奇数倍に相当する長さだけ離れた第 1 の点に前記第 1 の F E T が前記第 1 の直流阻止用容量性素子を介して接続され、かつ前記第 1 の接続用端子の接続点から前記第 3 の伝送信号用端子の方
25 へ前記伝送信号の $1/4$ 波長の奇数倍に相当する長さだけ離れた第 2 の点に前記第 2 の F E T が前記第 2 の直流阻止用容量性素子を介して接続され、

前記第 1 の接続用端子が第 1 の伝送信号用端子を構成しており、

前記第 1 の接続状態と前記第 2 の接続状態との切り替わりに応じて、
前記第 1 の伝送信号用端子と前記第 2 の伝送信号用端子とが前記伝送信号を伝達可能に接続されかつ前記第 1 の伝送信号用端子と前記第 3 の伝送信号用端子とが前記伝送信号を伝達不可能に切断される第 1 の伝送信号接続状態と、前記第 1 の伝送信号用端子と前記第 3 の伝送信号用端子とが前記伝送信号を伝達可能に接続されかつ前記第 1 の伝送信号用端子と前記第 2 の伝送信号用端子とが前記伝送信号を伝達不可能に切断される第 2 の伝送信号接続状態とが切り替わる、請求の範囲第 1 項記載のスイッチ装置。

20. 前記第 1、第 2、及び第 3 の伝送信号用端子に入出力される信号の周波数が、100 MHz 以上 75 GHz 以下である、請求の範囲第 19 項記載のスイッチ装置。

21. 前記第 1、第 2、及び第 3 の伝送信号用端子に入出力される信号の周波数が、100 MHz 以上 10 GHz 以下である、請求の範囲第 20 項記載のスイッチ装置。

22. 前記スイッチ装置は、第 3 及び第 4 の FET をさらに備え、

前記第 3 の FET の一対の主端子の一方が、前記伝送線路において前記第 1 の点から前記第 2 の伝送信号用端子の方へ前記伝送信号の $1/4$ 波長の奇数倍に相当する長さだけ離れた第 3 の点に第 3 の直流阻止用容量性素子を介して接続されるとともに、前記第 3 の FET の一対の主端子の他方が第 4 の直流阻止用容量性素子又は該第 4 の直流阻止用容量性素子及び第 1 の終端用抵抗素子を介してグランドに接続され、かつ前記第 3 の FET のオン抵抗又は該第 3 の FET のオン抵抗と前記第 1 の終

端用抵抗素子の抵抗との和が前記伝送線路の特性インピーダンスと略同じであり、

前記第 4 の F E T の一対の主端子の一方が、前記伝送線路において前記第 2 の点から前記第 3 の伝送信号用端子の方へ前記伝送信号の $1/4$ 波長の奇数倍に相当する長さだけ離れた第 4 の点に第 5 の直流阻止用容量性素子を介して接続されるとともに、前記第 4 の F E T の一対の主端子の他方が第 6 の直流阻止用容量性素子又は該第 6 の直流阻止用容量性素子及び第 2 の終端用抵抗素子を介してグラウンドに接続され、かつ前記第 4 の F E T のオン抵抗又は該第 4 の F E T のオン抵抗と前記第 2 の終端用抵抗素子の抵抗との和が前記伝送線路の特性インピーダンスと略同じであり、

前記第 3 の F E T のチャネル型と前記第 4 の F E T のチャネル型とが同じであり、

前記第 3 の F E T のゲートに第 3 のバイアス電圧が与えられ、
前記第 4 の F E T の一対の主端子に第 4 のバイアス電圧が与えられ、
かつ、前記第 3 のバイアス電圧から前記第 3 の F E T における符号を含むゲート閾値電圧を引いた電圧及び前記第 4 のバイアス電圧に第 4 の F E T における符号を含むゲート閾値電圧を加えた電圧の双方より低い電圧と、前記第 3 の F E T における符号を含むゲート閾値電圧を引いた電圧及び前記第 4 のバイアス電圧に第 4 の F E T における符号を含むゲート閾値電圧を加えた電圧の双方より高い電圧とが、どちらかが第 2 の制御電圧として、前記第 1 の制御電圧に同期して、前記第 3 の F E T の一対の主端子と前記第 4 の F E T のゲートとに与えられることにより、前記第 1 及び第 3 の F E T の組と前記第 2 及び第 4 の F E T の組とが相補的にそれぞれ導通状態及び遮断状態となり、前記第 1 の伝送信号接続状態において前記第 2 の点が接地されるとともに前記第 4 の点が終端され、かつ前記第 2 の伝送信号接続状態において前記第 1 の点が接地され

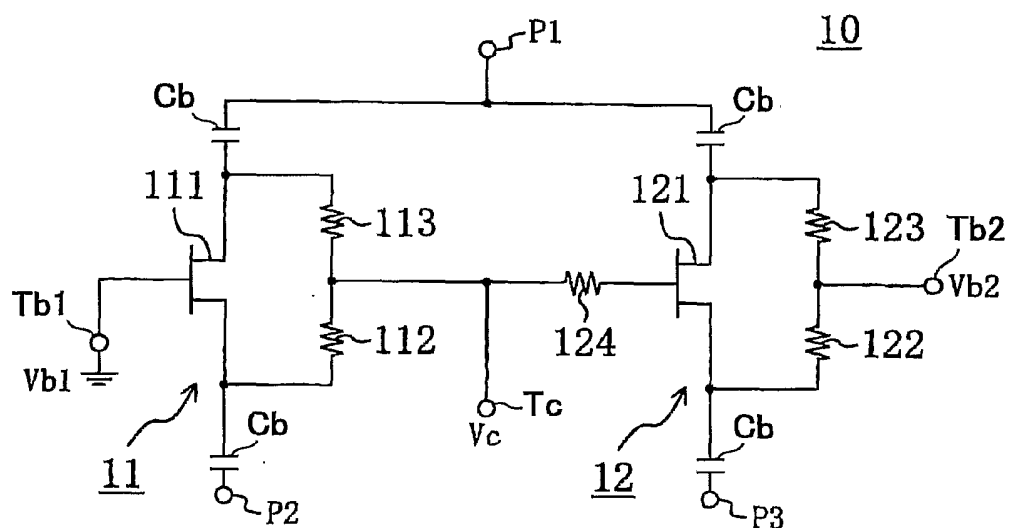
るとともに前記第 3 の点が終端される、請求の範囲第 19 項記載のスイッチ装置。

23. 前記第 2 の制御電圧として前記第 1 の制御電圧が与えられる、
5 請求の範囲第 22 項記載のスイッチ装置。

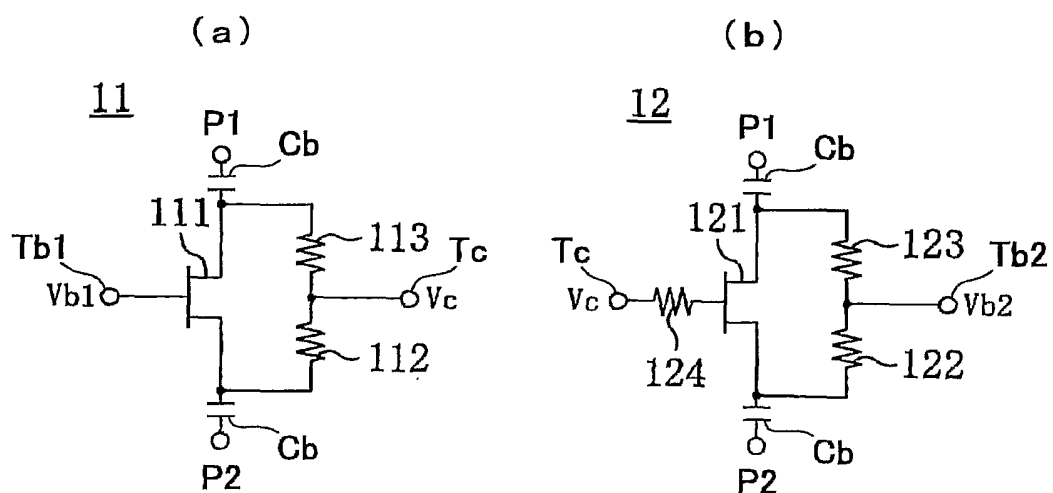
24. 前記第 3 のバイアス電圧として前記第 1 のバイアス電圧が与えられる、

前記第 4 のバイアス電圧として前記第 2 のバイアス電圧が与えられる、
10 請求の範囲第 12 項記載のスイッチ装置。

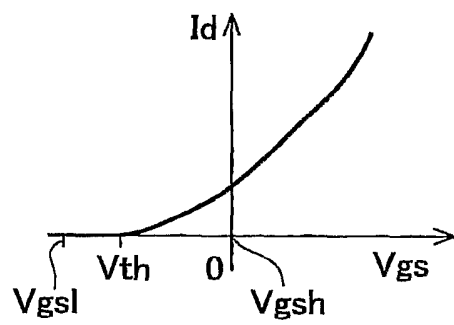
第 1 図



第 2 図

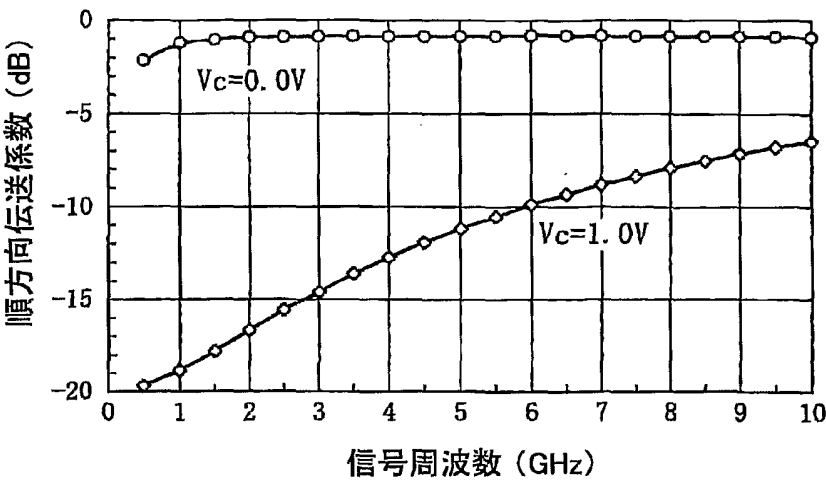


第 4 図

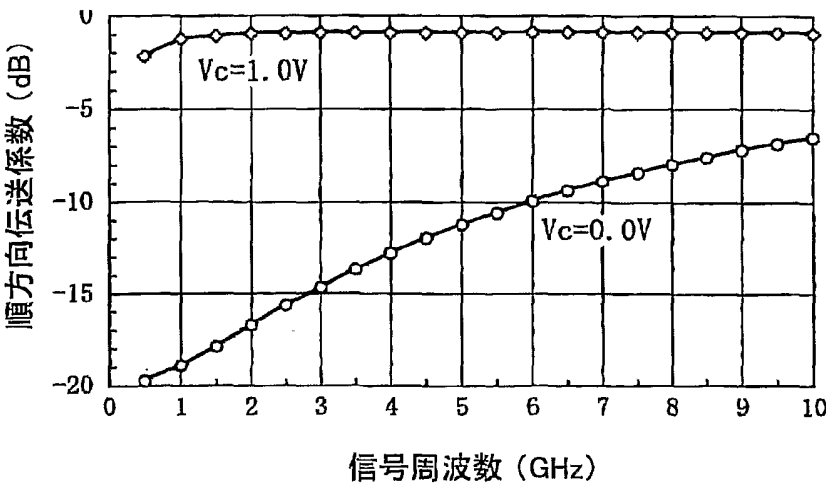


第 5 図

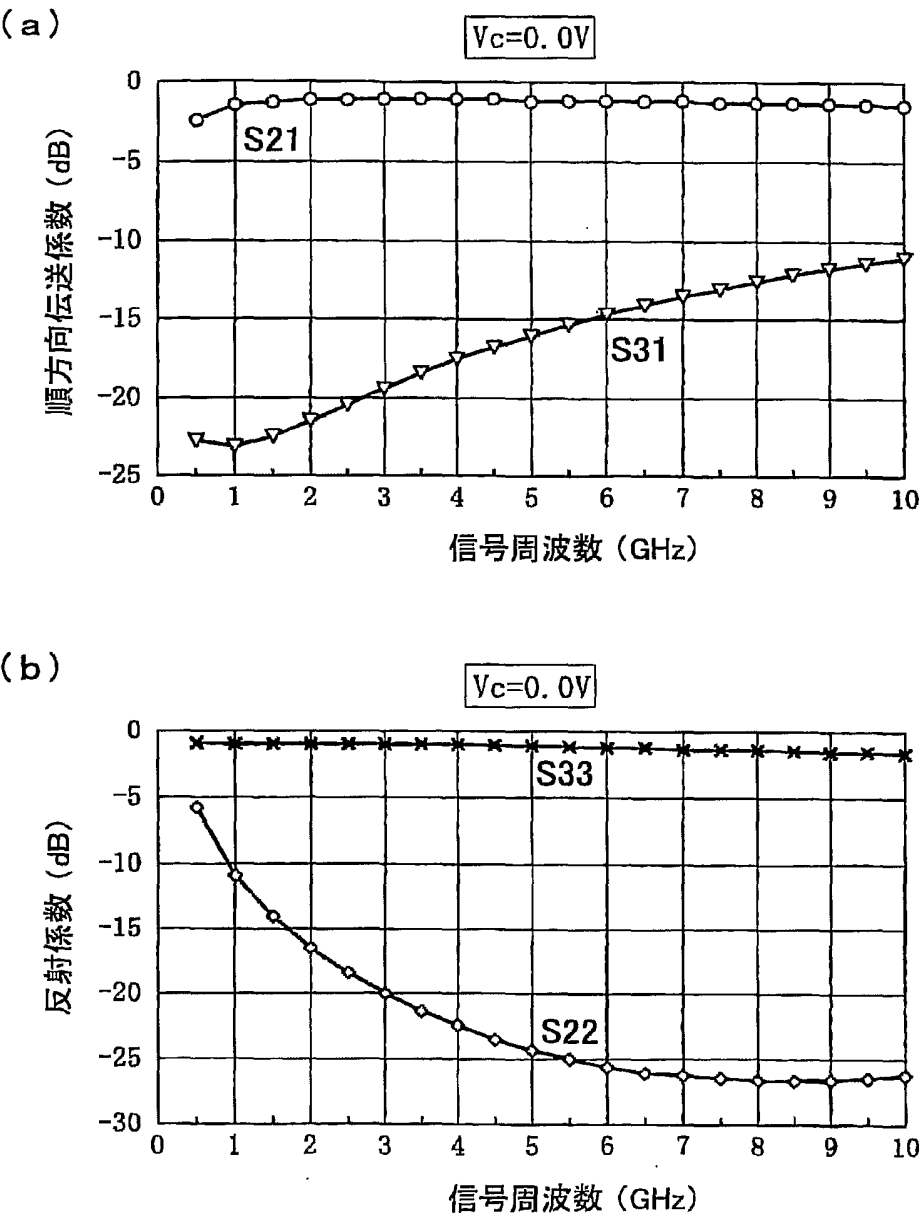
(a)



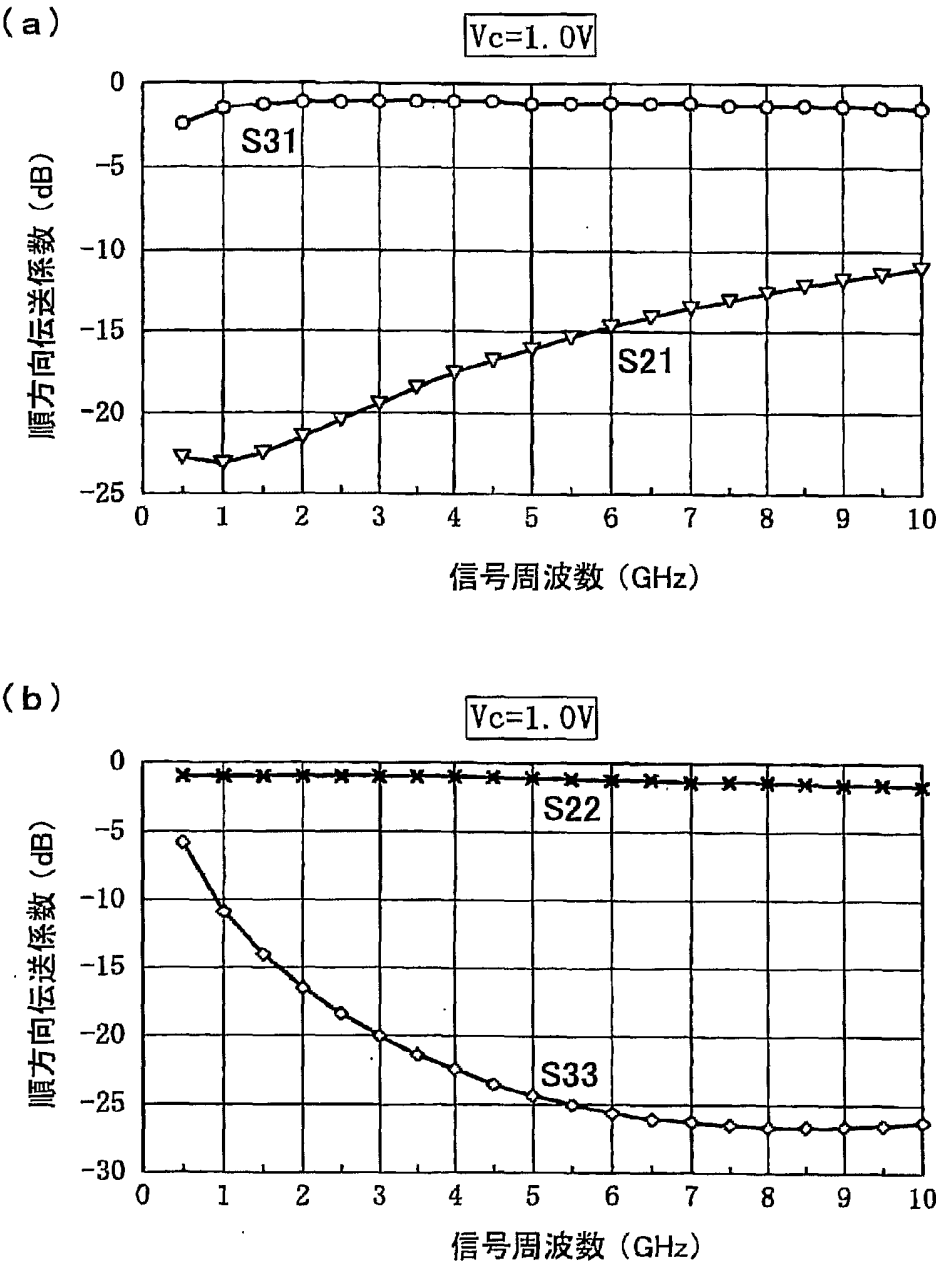
(b)



第 6 图



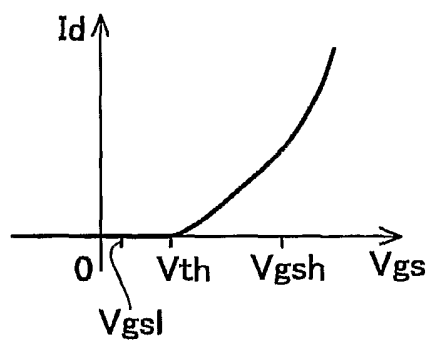
第 7 图



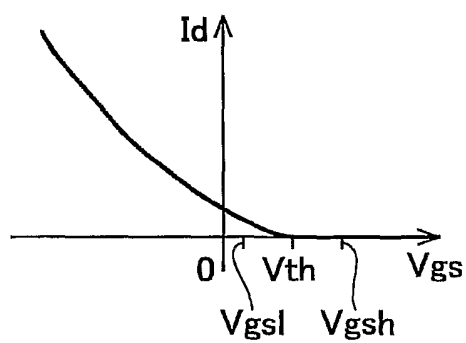
7/21

第 8 図

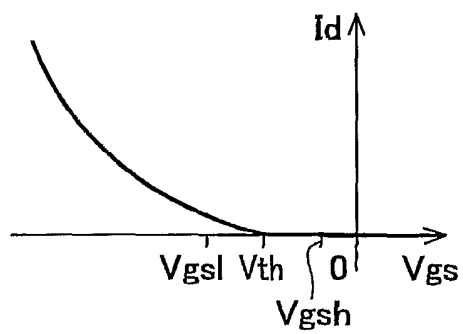
(a)



(b)

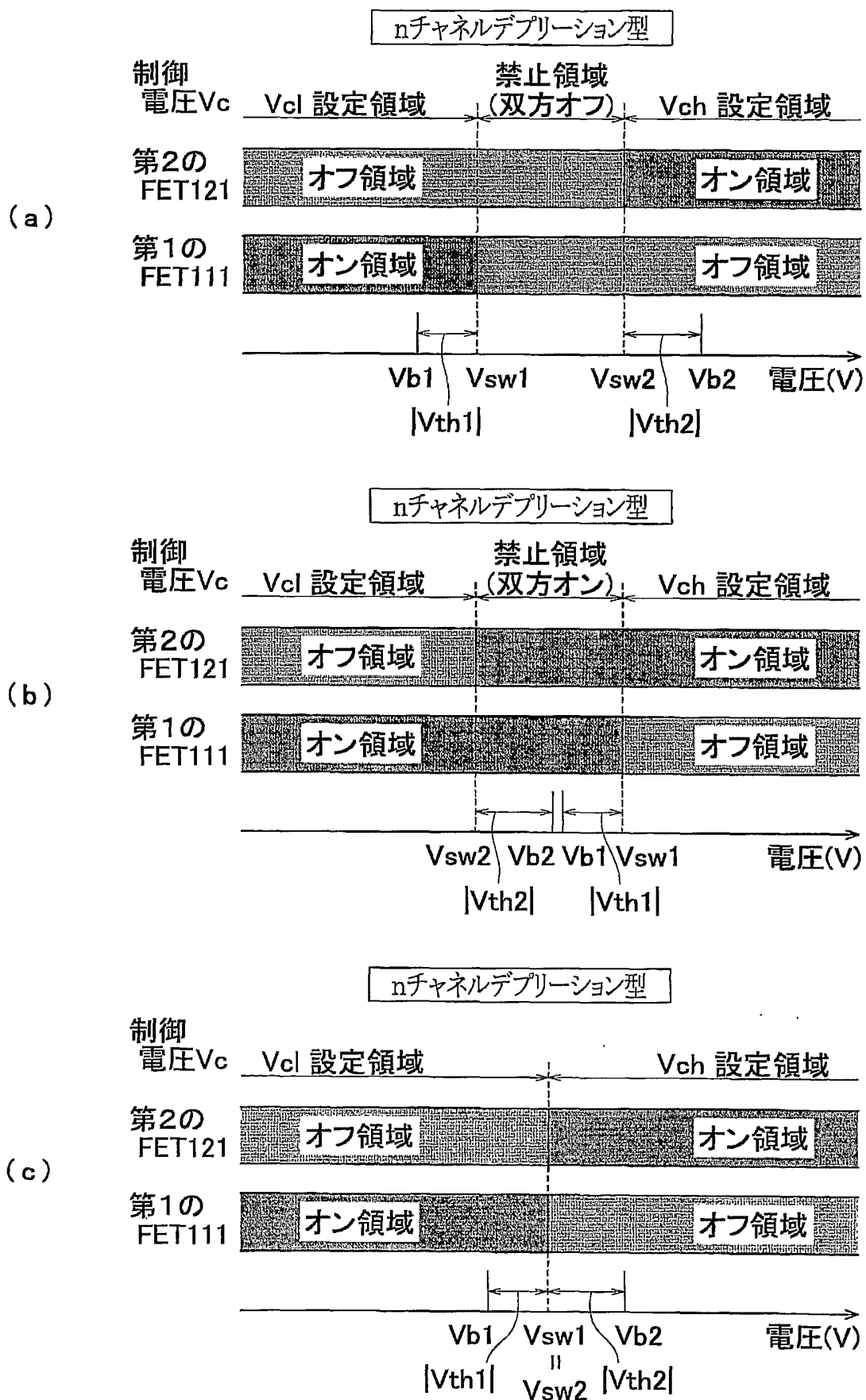


(c)



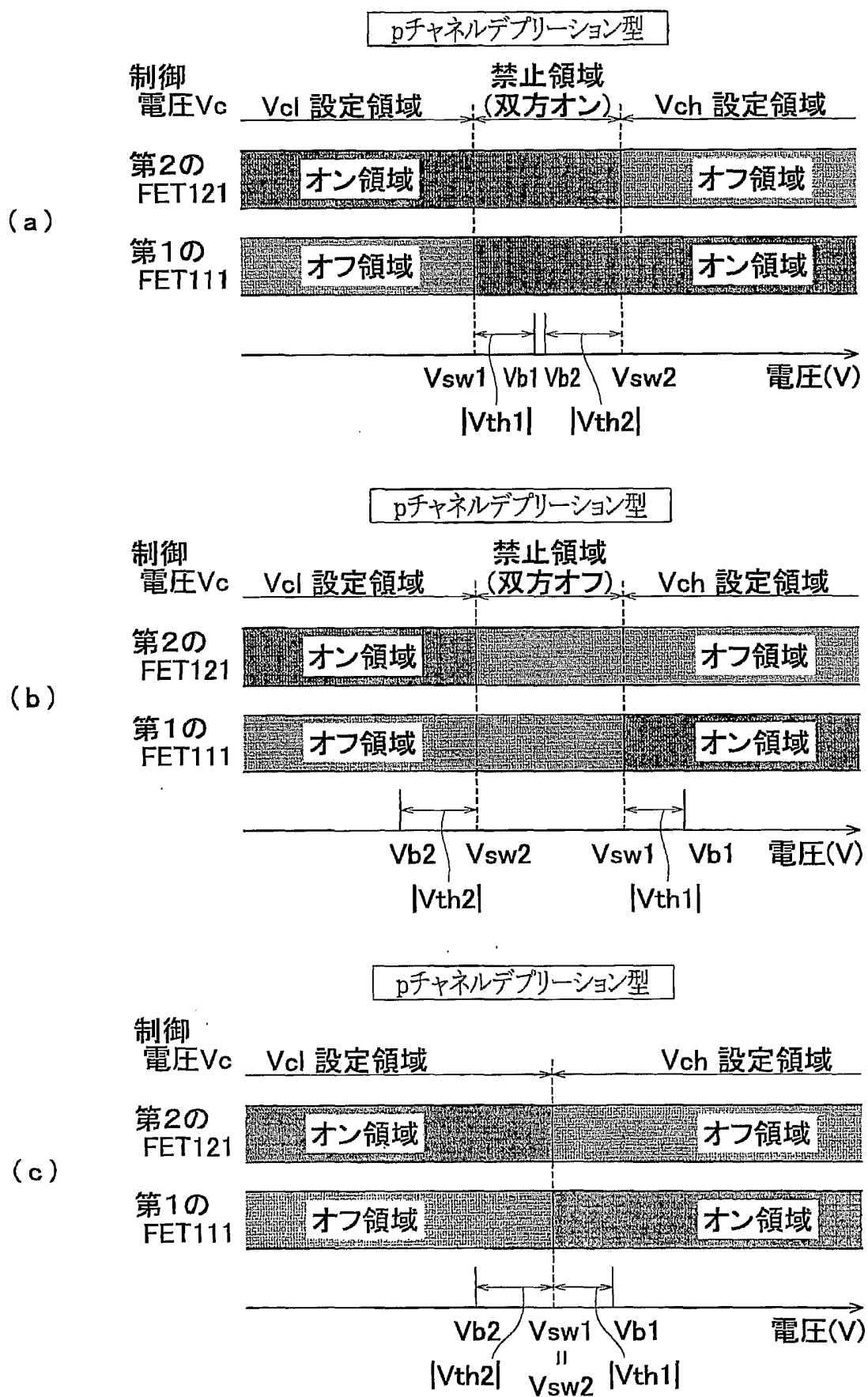
8/21

第9図



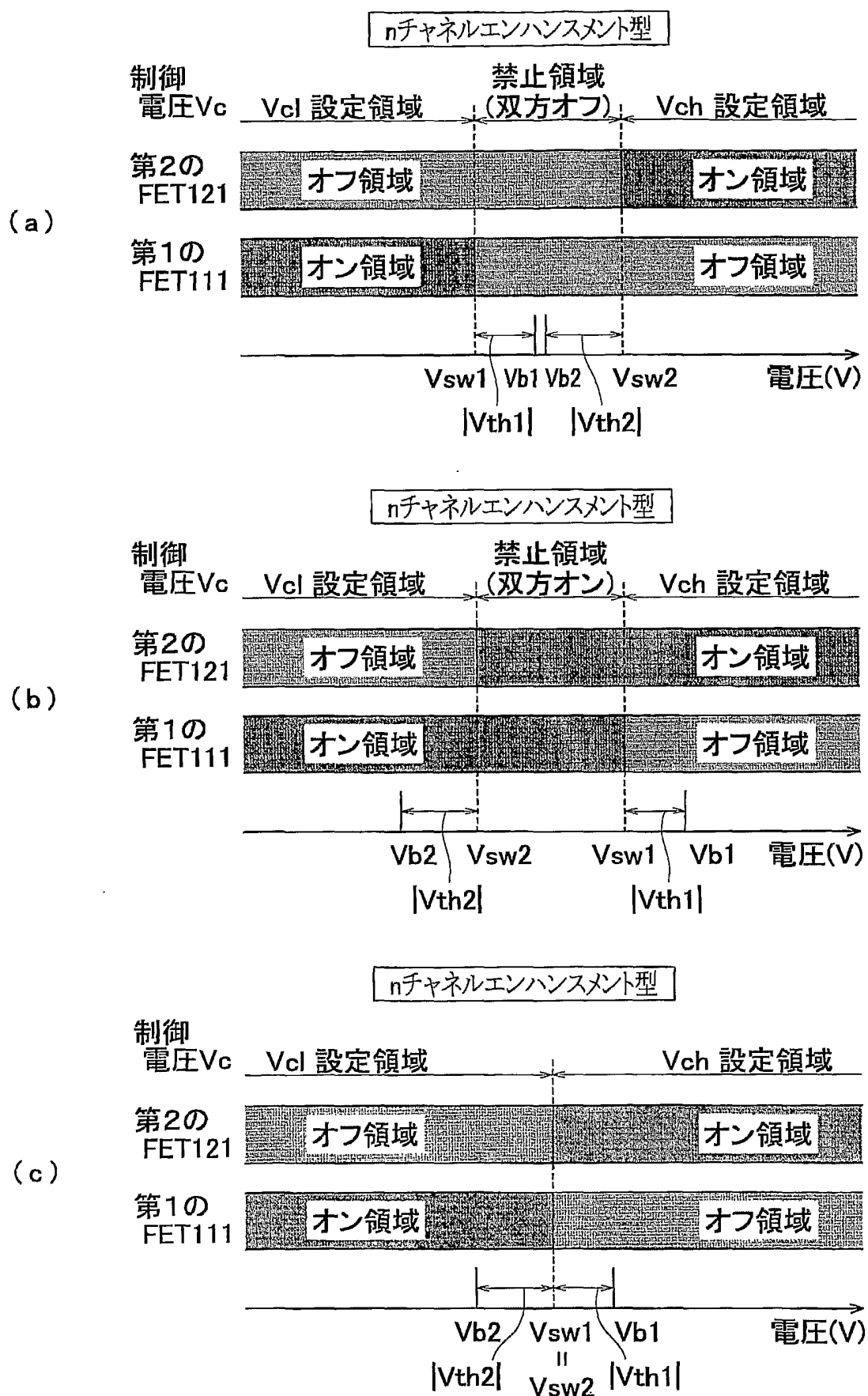
9/21

第10図



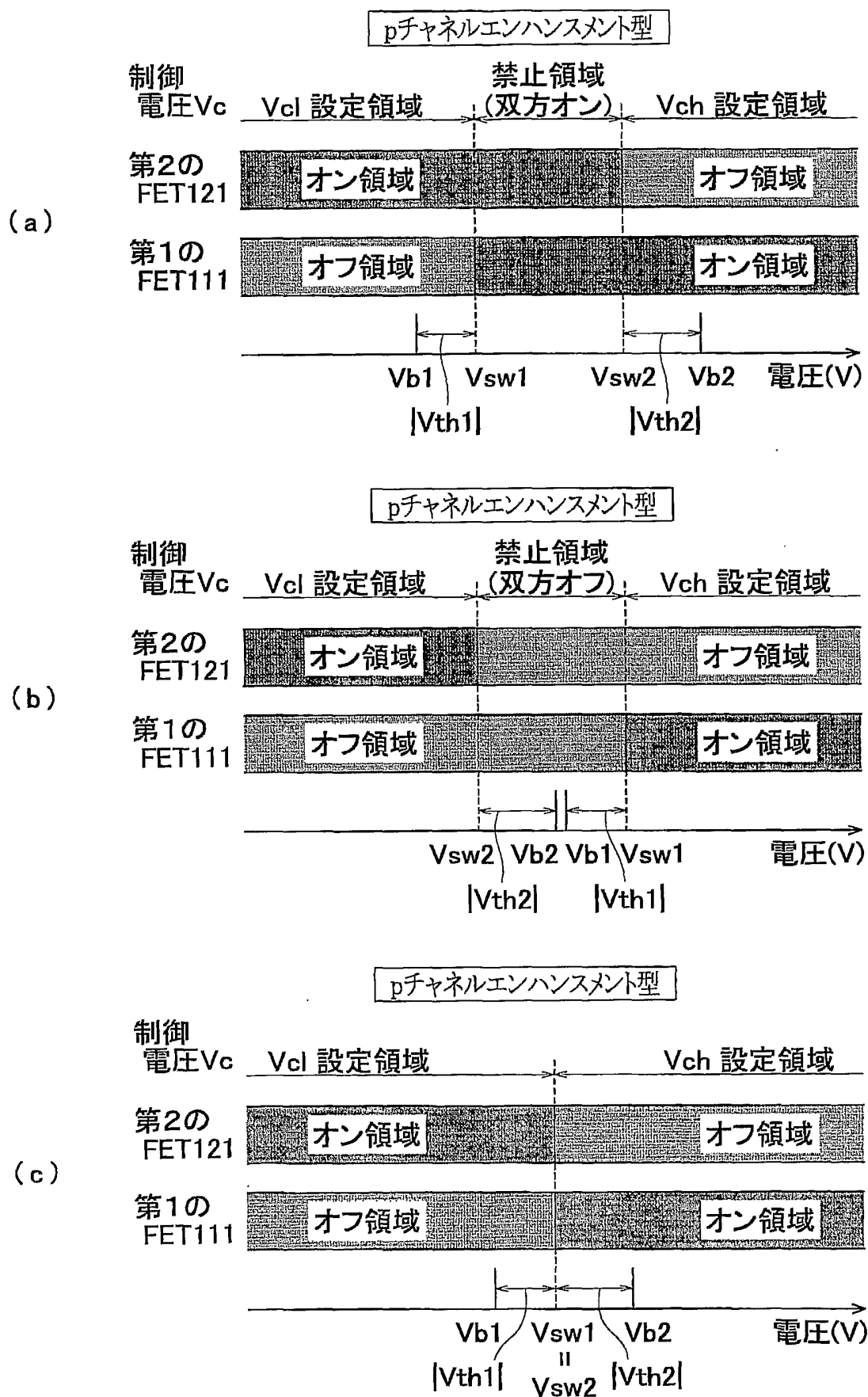
10/21

第 1 1 図



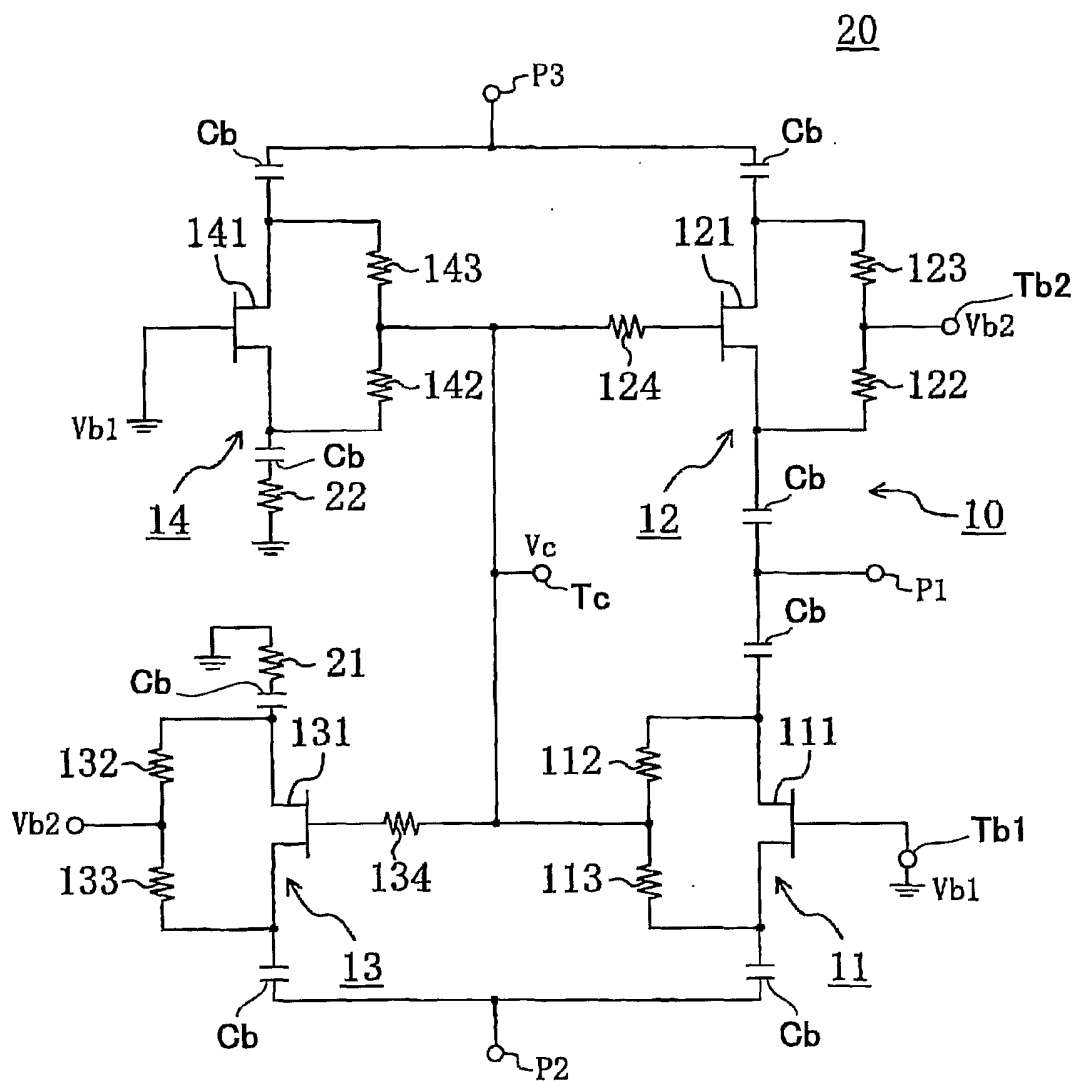
11/21

第 1 2 図

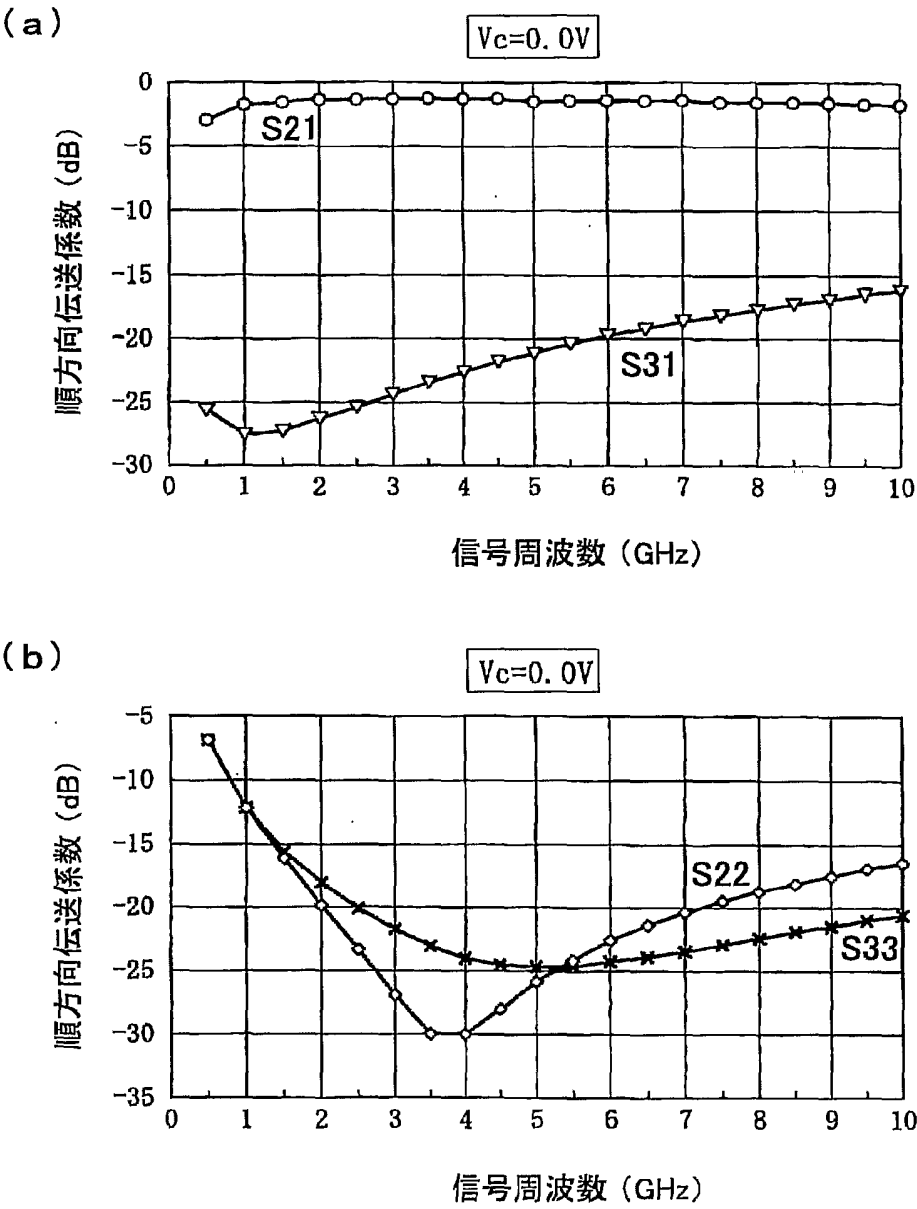


12/21

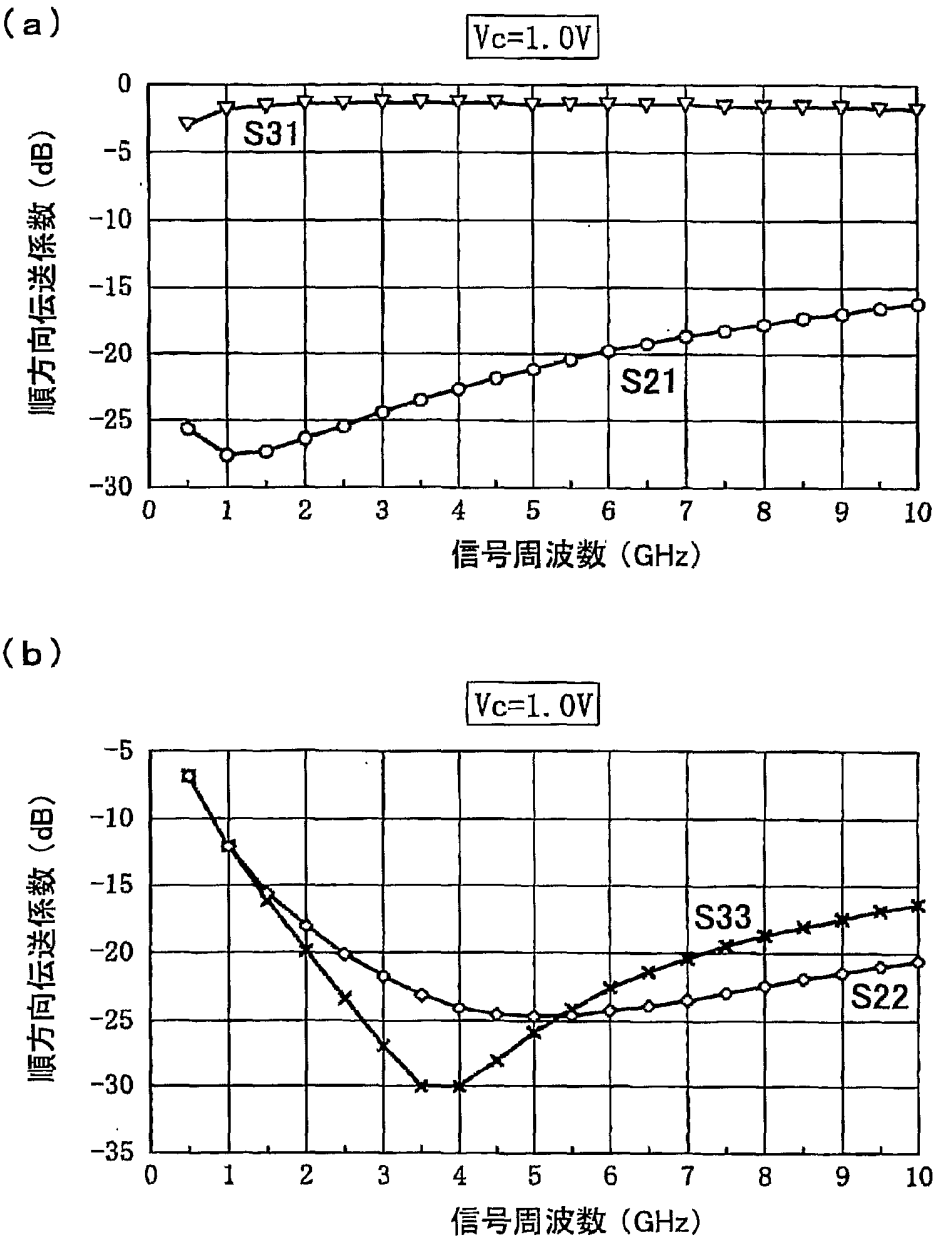
第 13 图



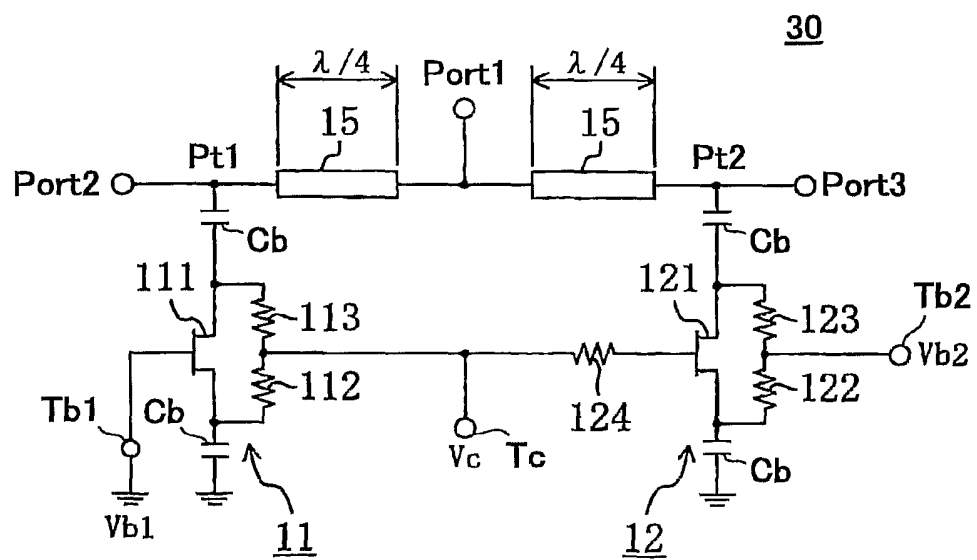
第 14 图



第 15 图

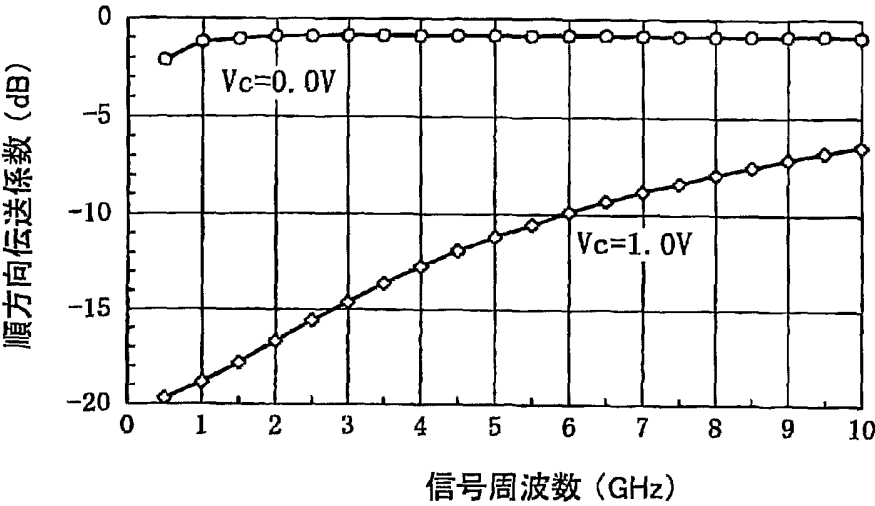


第 16 図

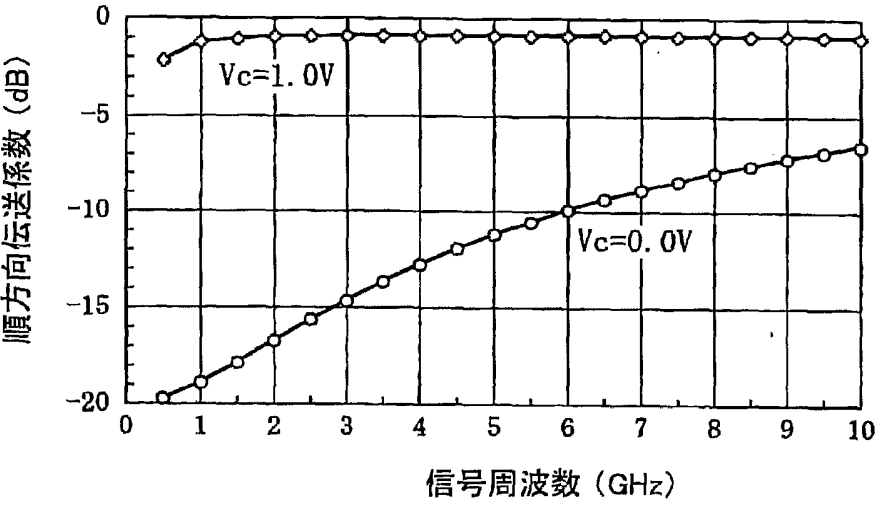


第 17 图

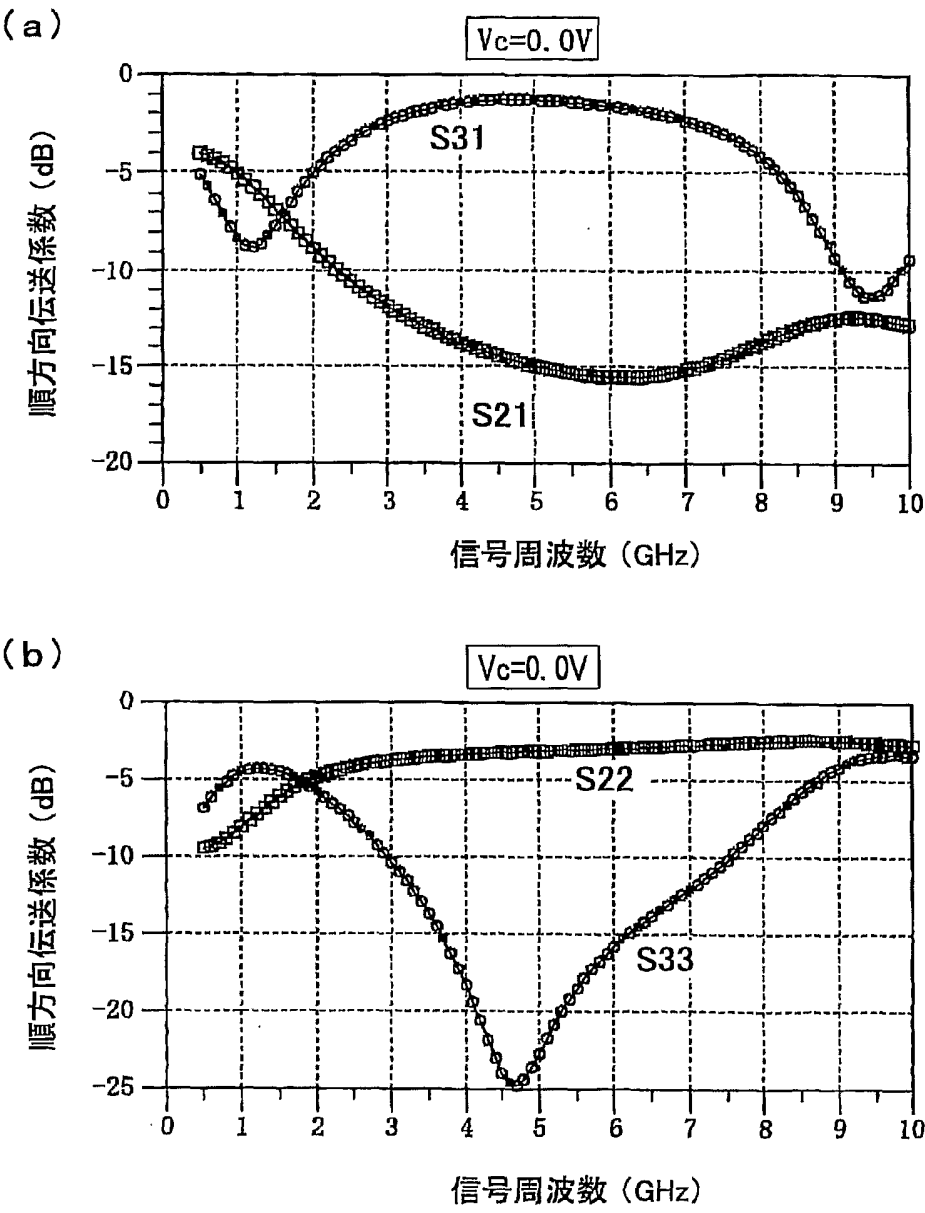
(a)



(b)

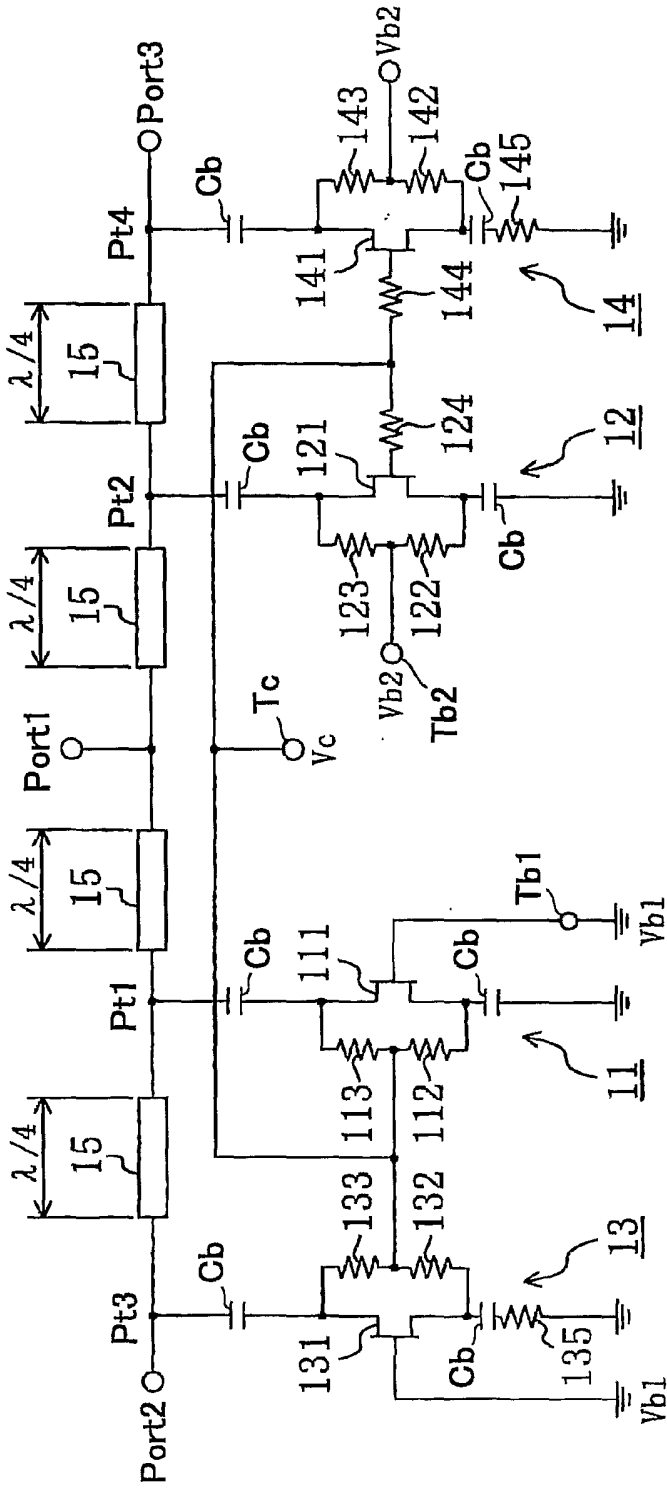


第 18 图

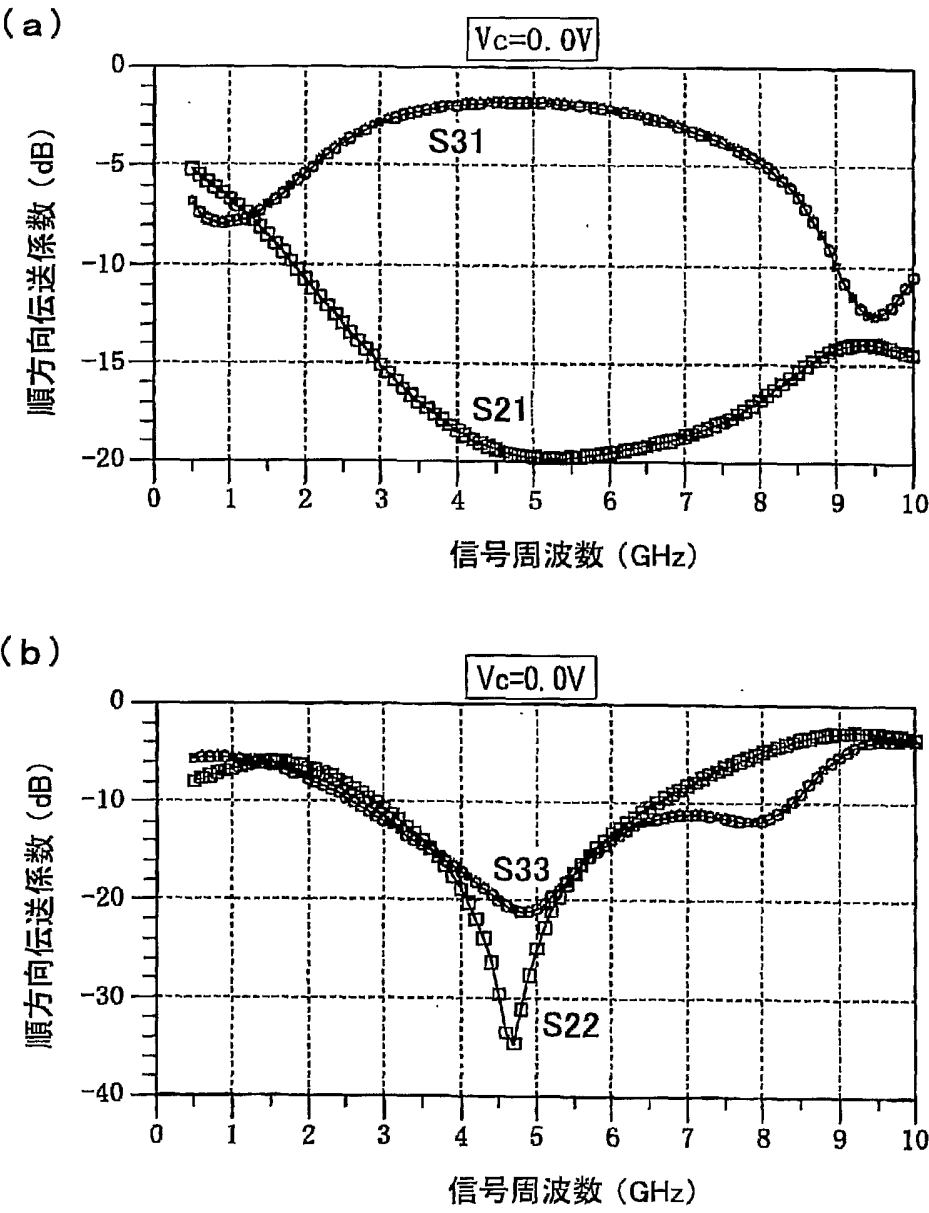


第 19 图

30A



第 20 図



参照符号一覧表 (1)

1 0, 2 0, 3 0, 3 0 A	スイッチ装置
1 1	F E Tスイッチ (第 1 の F E Tスイッチ)
1 2	F E Tスイッチ (第 2 の F E Tスイッチ)
1 3	F E Tスイッチ (第 3 の F E Tスイッチ)
1 4	F E Tスイッチ (第 4 の F E Tスイッチ)
1 5	伝送線路
2 1, 2 2, 1 3 5, 1 4 5	終端用抵抗素子
1 1 1	F E T (第 1 の F E T)
1 1 2, 1 2 2, 1 3 2, 1 4 2	ソースバイアス用抵抗素子
1 1 3, 1 2 3, 1 3 3, 1 4 3	ドレインバイアス用抵抗素子
1 1 4, 1 2 4, 1 3 4, 1 4 4	抵抗素子
1 2 1	F E T (第 2 の F E T)
1 3 1	F E T (第 3 の F E T)
1 4 1	F E T (第 4 の F E T)
2 0 1	半導体基板
2 0 2	ゲート絶縁膜
2 0 3	ソース領域
2 0 4	ドレイン領域
2 0 5	チャネル
2 0 6	空乏層
C b	直流阻止用容量性素子
D	ドレイン電極 (ドレイン)
G	ゲート電極 (ゲート)
I d	ドレイン電流
P 1, P o r t 1	端子 (第 1 の端子)
P 2, P o r t 2	端子 (第 2 の端子)
P 3, P o r t 3	端子 (第 3 の端子)

参照符号一覧表 (2)

P t 1	第 1 の点
P t 2	第 2 の点
P t 3	第 3 の点
P t 4	第 4 の点
S	ソース電極(ソース)
S 2 1, S 3 1	順方向伝送係数
S 2 2, S 3 3	反射係数
T b 1	第 1 のバイアス用端子
T b 2	第 2 のバイアス用端子
T c	制御電圧用端子
V b 1	バイアス電圧 (第 1 のバイアス電圧、第 3 のバイアス電圧)
V b 2	バイアス電圧 (第 2 のバイアス電圧、第 4 のバイアス電圧)
V c	制御電圧 (第 1 の制御電圧、第 2 の制御電圧)
V d	ドレイン電圧
V g	ゲート電圧
V g s, V g s h, V g s l	ゲートーソース間電圧
V s	ソース電圧
V b s	第 1 の F E T の切り替え電圧
V b s	第 2 の F E T の切り替え電圧

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/07896

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl.⁷ H03K17/687

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl.⁷ H03K17/687

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-2003
Kokai Jitsuyo Shinan Koho 1971-2003 Jitsuyo Shinan Toroku Koho 1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 05-299995 A (Nippon Telegraph And Telephone Corp.), 12 November, 1993 (12.11.93), Fig. 9 (Family: none)	1-24
A	JP 04-346513 A (Mitsubishi Electric Corp.), 02 December, 1992 (02.12.92), Fig. 1 (Family: none)	1-24
A	JP 06-132701 A (Mitsubishi Electric Corp.), 13 May, 1994 (13.05.94), Fig. 1 (Family: none)	1-24

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
---	--

Date of the actual completion of the international search
14 October, 2003 (14.10.03)

Date of mailing of the international search report
28 October, 2003 (28.10.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl⁷ H03K17/687

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int. Cl⁷ H03K17/687

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
日本国公開実用新案公報 1971-2003年
日本国登録実用新案公報 1994-2003年
日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 05-299995 A (日本電信電話株式会社)、1993. 11. 12、図9 (ファミリーなし)	1~24
A	J P 04-346513 A (三菱電機株式会社)、1992. 12. 02、図1 (ファミリーなし)	1~24
A	J P 06-132701 A (三菱電機株式会社)、1994. 05. 13、図1 (ファミリーなし)	1~24

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

14. 10. 03

国際調査報告の発送日

28.10.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

石井 研一



5 X

8 1 2 4

電話番号 03-3581-1101 内線 3556