



(12)发明专利

(10)授权公告号 CN 105474354 B

(45)授权公告日 2018.04.17

(21)申请号 201480038163.7

(22)申请日 2014.07.03

(65)同一申请的已公布的文献号

申请公布号 CN 105474354 A

(43)申请公布日 2016.04.06

(30)优先权数据

2013-142151 2013.07.05 JP

(85)PCT国际申请进入国家阶段日

2015.12.31

(86)PCT国际申请的申请数据

PCT/JP2014/067777 2014.07.03

(87)PCT国际申请的公布数据

W02015/002266 JA 2015.01.08

(73)专利权人 株式会社希克斯

地址 日本东京都

专利权人 独立行政法人产业技术综合研究所

(72)发明人 今冈功 小林元树 内田英次

八木邦明 河原孝光 八田直记

南章行 坂田丰和 牧野友厚

高木秀树 仓岛优一

(74)专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 李洋 尹文会

(51)Int.Cl.

H01L 21/02(2006.01)

H01L 21/20(2006.01)

审查员 张燕楠

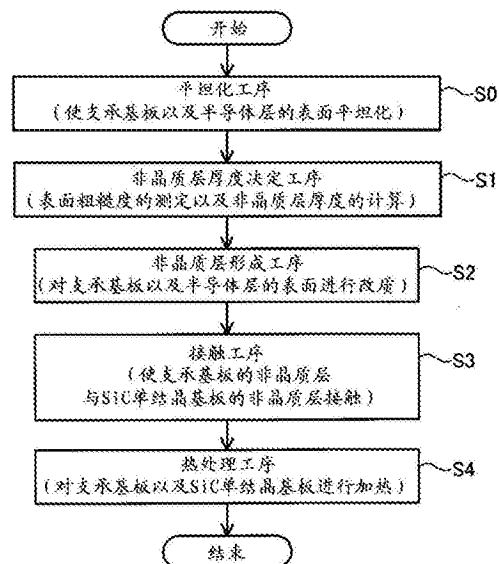
权利要求书1页 说明书8页 附图7页

(54)发明名称

半导体基板的制造方法

(57)摘要

本发明涉及半导体基板的制造方法,对于基板表面的平坦化困难的基板也没有导致在接合界面形成氧化膜,并且具有接合强度高的接合面。半导体基板的制造方法具备对支承基板的表面进行改质而形成第一非晶质层并且对半导体的单结晶层的表面进行改质而形成第二非晶质层的非晶质层形成工序。另外,具备使第一非晶质层与第二非晶质层接触的接触工序。另外,具备对第一非晶质层与第二非晶质层接触的状态的支承基板以及单结晶层进行热处理的热处理工序。



1. 一种半导体基板的制造方法,其特征在于,具备:

非晶质层厚度决定工序,在该非晶质层厚度决定工序中,根据半导体的支承基板的表面粗糙度以及单结晶层的表面粗糙度来决定第一非晶质层以及第二非晶质层的厚度;

非晶质层形成工序,在该非晶质层形成工序中,对所述支承基板的表面的晶体结构给予损伤而形成所述第一非晶质层,并且对所述半导体的所述单结晶层的表面的晶体结构给予损伤而形成所述第二非晶质层,

所述第一非晶质层以及所述第二非晶质层具有由所述厚度决定工序决定的厚度;

接触工序,在该接触工序中,使所述第一非晶质层与所述第二非晶质层接触;以及

热处理工序,在该热处理工序中,对所述第一非晶质层与所述第二非晶质层接触的状态的所述支承基板以及所述单结晶层进行热处理。

2. 根据权利要求1所述的半导体基板的制造方法,其特征在于,

所述单结晶层是单结晶SiC,

所述支承基板是多结晶SiC。

3. 根据权利要求2所述的半导体基板的制造方法,其特征在于,

所述第一非晶质层以及所述第二非晶质层含有Si和C。

4. 根据权利要求1所述的半导体基板的制造方法,其特征在于,

所述非晶质层形成工序通过以除去存在于所述支承基板的表面以及所述单结晶层的表面的氧化层和吸附层的方式在真空中照射原子能级的粒子来进行,

所述接触工序以使除去了氧化层和吸附层的清洁的面接合的方式在进行了所述非晶质层形成工序的真空中继续进行。

5. 根据权利要求4所述的半导体基板的制造方法,其特征在于,

所述原子能级的粒子的照射量根据第一非晶质层以及第二非晶质层的厚度来决定。

6. 根据权利要求1所述的半导体基板的制造方法,其特征在于,

所述第一非晶质层的厚度在所述支承基板的表面的算术平均粗糙度的1倍~20倍的范围内,

所述第二非晶质层的厚度在所述单结晶层的表面的算术平均粗糙度的1倍~20倍的范围内。

7. 根据权利要求1所述的半导体基板的制造方法,其特征在于,还具备平坦化工序,在该平坦化工序中,通过从所述支承基板的表面机械式地除去微量的切屑而使所述支承基板的表面平坦化,

所述非晶质层形成工序对经所述平坦化工序而平坦化的表面的晶体结构给予损伤而形成所述第一非晶质层。

8. 一种半导体基板,其特征在于,具备:

多结晶SiC的第一层;和

配置在所述第一层上的单结晶SiC的第二层,

所述半导体基板按照根据权利要求1~7中任一项所述的制造方法来准备,以及存在于所述第一层与所述第二层的界面的氧化膜厚不足1原子层。

半导体基板的制造方法

技术领域

[0001] 本申请主张基于2013年7月5日申请的日本国专利申请第2013-142151号的优先权。该申请的全部内容通过参照而引用于该说明书中。本说明书中，公开涉及具备接合强度高的接合面的半导体基板的制造方法的技术。

背景技术

[0002] 作为下一代(次期)功率器件的基板材料的候补可举出碳化硅(以下记载为SiC)，基板自身的制造成本变高，成为实用化的障碍。与此相对地，若仅器件形成层部使用品质好的单结晶SiC并通过某种方法将其固定于支承基板(具有器件制造工序所能够承受的强度/耐热性/清洁度的材料：例如Poly-SiC)，则能够制成兼具低成本(支承基板部)与高品质(SiC部)的基材。作为为了实现上述构造而能够应用的现有技术，存在基板接合。基板接合作为半导体集成电路制成技术、MEMS制成技术而使用，主要为了用于将硅基板彼此或者与硅基板不同的种类材料的基板接合。该基板接合大致分为经由粘合材料/金属等异物的“间接接合”、和不经由这些的“直接接合”，但为了相对于半导体器件材料用途的基板，避免由粘合材料、金属等引起的污染的影响，优选使用“直接接合”。直接接合的相关技术例如以下的文献中有公开。日本特开2009-117533号公报中，公开有在接合前的SiC基板表面实施了等离子体活性化处理后使基板表面彼此接触，其后实施加热处理由此形成接合的接合基板的制造法。该情况下，接触前的基板表面具有亲水性，因此在接合形成后的接合界面形成有以导入的水为起因的氧化膜。另一方面，Applied Physics Letters, Vol.64, No.5, 31 1994中，公告有在接合前的Si基板表面实施使用了被稀释的氟化氢水溶液的不浸润处理后使基板表面彼此接触，其后实施加热处理由此形成接合的基板接合法。该情况下，在接合界面不存在水，能够得到接合基板而不导致在接合界面形成氧化膜。

[0003] 但是，在使用日本特开2009-117533号公报的制造法制成接合基板的情况下，由于形成于接合界面的氧化膜的影响，在立式功率半导体器件用途中，具有基板垂直方向的电阻增大等问题。另外相对于SiC的器件制成工序的加热处理温度($>1200^{\circ}\text{C}$)，具有界面构造不稳定等问题。另一方面，在使用Applied Physics Letters, Vol.64, No.5, 31 1994的基板接合方法制成接合基板的情况下，必须进行接合的基板表面的不浸润，SiC是化合物半导体，因此与由单一元素构成的Si不同，根据在基板表面露出的原子的种类不同基板表面的电荷状态也不同。因此，在Applied Physics Letters, Vol.64, No.5, 31 1994所使用的方法中，基板表面的较广范围内得到一样的不浸润性是困难的。另外，与在接合形成经由了中间层的间接接合不同，直接接合中接合形成前的基板表面形状(粗糙度)对有效接合面积带来直接的影响。因此存在需要使接合面的表面粗糙度非常小等限制。但是，关于SiC基板的表面平坦化，除了上述的基板表面的电荷状态的不均匀性之外，由于基板内所包含的结晶缺陷的影响，在与Si基板比较的情况下表面平坦性低。因此有效接合面积降低，结果得到能够承受半导体工序的接合强度是困难的。

发明内容

[0004] 本说明书中,公开半导体基板的制造方法。该半导体基板的制造方法具备对支承基板的表面进行改质而形成第一非晶质层并且对半导体的单结晶层的表面进行改质而形成第二非晶质层的非晶质层形成工序。另外,具备使第一非晶质层与第二非晶质层接触的接触工序。另外,具备对第一非晶质层与第二非晶质层接触的状态的支承基板以及单结晶层进行热处理的热处理工序。

[0005] 上述方法中,通过非晶质层形成工序,能够在支承基板的表面形成第一非晶质层并且在单结晶层的表面形成第二非晶质层。非晶质层是成为原子不具有结晶构造那样的规则性的状态的层。通过在第一非晶质层与第二非晶质层接触的状态下进行热处理工序,能够使第一非晶质层以及第二非晶质层再结晶。第一非晶质层与第二非晶质层再结晶而成为一体,因此支承基板与单结晶层通过共价结合能够稳固地接合。由此,能够不导致在接合界面形成氧化膜而使支承基板与单结晶层的接合界面的不连续性消失。

[0006] 另外,例如所谓的直接接合等方法使用原子力等基板表面间引力,因此需要使接合的原子彼此接近至数纳米以内,从而需要使接合面的表面粗糙度非常小。另一方面,上述方法中,将接合面改质为非晶质层。非晶质层存在具有悬空键的原子,因此与不具有悬空键的结晶层相比原子的流动性高。因此,形成非晶质层的原子流动,由此在填埋形成于第一非晶质层与第二非晶质层的接触面的空间后,能够使该非晶质层再结晶。即上述方法中,接合不需要表面间引力,因此在表面粗糙度比直接接合法所要求的接合面的表面粗糙度大的情况下,也能够得到可承受半导体工序等的接合强度。

[0007] 根据本说明书所公开的技术,能够提供相对于基板表面的平坦化困难的基板也不导致在接合界面形成氧化膜并且具有接合强度高的接合面的半导体基板的制造方法。

附图说明

[0008] 图1是表示接合基板的制造方法的流程图。

[0009] 图2是接合基板的立体图。

[0010] 图3是接合基板的制造工序的说明图。

[0011] 图4是接合基板的制造工序的说明图。

[0012] 图5是接合基板的制造工序的说明图。

[0013] 图6是接合基板的制造工序的说明图。

[0014] 图7是接合基板的制造工序的说明图。

[0015] 图8是接合基板的制造工序的说明图。

[0016] 图9是接合界面的TEM图像。

[0017] 图10是表面粗糙度的分析数据图。

具体实施方式

[0018] 以下,记载本说明书所公开的实施例的技术的特征的几个。此外,以下所记载的事项分别单独具有技术的有效性。

[0019] (特征1) 上述的半导体基板的制造方法中,优选,单结晶层是单结晶SiC,支承基板

是多结晶SiC。多结晶SiC与单结晶SiC相比廉价,因此与仅由单结晶SiC形成的基板相比能够制造减少制造成本的SiC基板。

[0020] (特征2) 优选,第一非晶质层以及第二非晶质层含有Si和C。由此,在例如其组成比率几乎为1:1的情况下,在使第一非晶质层以及第二非晶质层再结晶的情况下,能够形成SiC结晶。

[0021] (特征3) 上述的半导体基板的制造方法中,优选,非晶质层形成工序通过在真空中照射原子能级的粒子来进行。优选,在进行了非晶质层形成工序的真空中继续进行接触工序。通过在真空中照射原子能级的粒子,能够除去存在于支承基板的表面、半导体的单结晶层的表面的氧化膜、吸附层。另外,通过在真空中进行接触工序,能够使除去了氧化膜、吸附层的清洁的面彼此接合。由此,能够在热处理工序后进行作为基材的基板彼此的共价结合的形成,能够使支承基板与单结晶层的接合界面的不连续性消失。

[0022] (特征4) 非晶质层的厚度越厚,越能够提高填埋形成于第一非晶质层与第二非晶质层的接触面的空间的能力。另一方面,非晶质层的厚度越厚,非晶质层的再结晶所需要的热预算越增大。上述的半导体基板的制造方法中,优选,进一步具备根据支承基板的表面粗糙度以及单结晶层的表面粗糙度决定第一非晶质层以及第二非晶质层的厚度的非晶质层厚度决定工序。优选,非晶质层非晶质层形成工序形成具有由厚度决定工序决定的厚度的第一非晶质层以及第二非晶质层。由此,为了填埋形成于接触面的空间能够以适当的厚度控制第一非晶质层以及第二非晶质层的厚度。因此,能够抑制热预算的增大。

[0023] (特征5) 上述的半导体基板的制造方法中,优选,第一非晶质层的厚度在支承基板的表面的算术平均粗糙度的1倍~20倍的范围内。优选,第二非晶质层的厚度在单结晶层的表面的算术平均粗糙度的1倍~20倍的范围内。由此,能够确保形成第一以及第二非晶质层的原子的流动性。

[0024] (特征6) 上述的半导体基板的制造方法中,优选,进一步具备通过从支承基板的表面机械式地除去微量的切屑来使支承基板的表面平坦化的机械研磨那样的平坦化工序。优选,非晶质层形成工序将通过平坦化工序平坦化的表面改质而形成第一非晶质层。能够省略相对于支承基板的表面的CMP (Chemical Mechanical Polishing) 等研磨工序,因此能够减少半导体基板的制造成本。

[0025] (特征7) 优选,上述的半导体基板具备多结晶SiC的第一层、和配置在第一层上的单结晶SiC的第二层,形成于第一层与第二层的界面的氧化膜厚不足1原子层。或者,优选,存在于第一层与第二层的界面的氧原子密度不足SiC表面的原子密度即 $1.2 \times 10^{15} \text{cm}^{-2}$ 。

[0026] 实施例

[0027] <接合基板的结构>

[0028] 图2示出本实施例的接合基板10的立体图。接合基板10形成为近似圆盘状。接合基板10具备配置于下侧的支承基板11、和贴合于支承基板11的上表面的半导体层13。半导体层13可以由例如化合物半导体(例:6H-SiC、4H-SiC、GaN、AlN)的单结晶形成。另外可以由例如单元素半导体(例:Si、C)的单结晶形成。

[0029] 支承基板11能够使用各种材料。支承基板11优选具有相对于用于半导体层13的各种热工序的耐性。另外,支承基板11优选与半导体层13的热膨胀率之差小的材料。例如,在半导体层13使用SiC的情况下,支承基板11能够使用单结晶SiC、多结晶SiC、单结晶Si、多结

晶Si、蓝宝石、GaN、碳等。多结晶SiC也可以将各种多结晶形的SiC结晶混合。各种多结晶形混合的多结晶SiC不进行精确的温度控制也能够制造,因此能够减少制造支承基板11的成本。支承基板11的厚度T11以得到能够承受后工序加工的机械式的强度的方式决定即可。厚度T11在例如支承基板11的直径为100 (mm) 的情况下,也可以为100 (μm) 左右。

[0030] <接合基板的制造方法>

[0031] 使用图1的流程、图3~图8的示意图对本实施例的接合基板10的制造方法进行说明。图3~图8是制造接合基板10的各工序的局部剖视图。此外,图3~图8中,为了容易看清,省略剖面线。本实施例中,作为例子,对支承基板11是多结晶SiC,半导体层13是单结晶的情况进行说明。另外,为了形成半导体层13,对使用基于氢原子的消融的剥离技术(也称为智能剥离(注册商标))的情况进行说明。

[0032] 首先,准备图3所示的支承基板11以及SiC单结晶基板20。步骤S0中,进行平坦化工序。平坦化工序中,将支承基板11的表面11a平坦化。支承基板11的表面11a通过研削、切削或者抛光等机械研磨而平坦化。研削或者切削中,通过机械式地除去微量的切屑,进行平坦化。通过研削或者切削而平坦化的表面与通过CMP法等研磨法而平坦化的表面相比,表面粗糙度变大。另外,通过机械研磨而平坦化的表面虽然表面粗糙度能够足够小但加工变质层残留数nm左右。但是,如后述那样,本说明书所记载的方法中,接合面的表面粗糙度大也能够接合,因此能够将研削、切削后的表面用为接合面。另外,即使加工变质层残留,该区域也如后述那样形成非晶质层,因此能够将机械研磨后的表面用为接合面。

[0033] 另外,支承基板11是多结晶SiC,多结晶SiC基于CMP的平坦化是困难的。这是因为多结晶SiC中各个面方位在表面露出。在进行CMP的情况下,蚀刻速度与面方位对应地变化因此较大地受到晶粒的影响,导致平坦度降低。但是本说明书所记载的方法中,利用CMP接合面的表面粗糙度大也能够接合。另外,加工变质层残留数nm左右也能够接合,因此也能够将使用了研磨速度的面方位依存性小的金刚石的自由磨粒等机械研磨用于多结晶SiC基板的平坦化。

[0034] 另外平坦化工序中,将SiC单结晶基板20的表面13a平坦化。表面13a也可以通过研削、切削而平坦化,也可以通过CMP法平坦化。SiC单结晶基板20具有不同方位的晶粒未存在于基板面内,因此能够通过CMP进行平坦化。而且,进行从平坦化后的表面13a注入氢离子的离子注入工序。由此,如图4的示意图所示,在距表面13a规定深度形成有氢离子注入层21。图4中,以空心的圆圈模拟地示出射入的氢离子。通过基于氢原子的消融的剥离技术而剥离的半导体层13的厚度T31能够通过离子注入的氢离子的能量而控制。厚度T31也可以在0.5~1.0 (μm) 的范围。此外,氢离子的注入方法可以是公知的方法,因此此处省略说明。

[0035] 步骤S1中,进行非晶质层厚度决定工序。非晶质层厚度决定工序是根据支承基板的表面粗糙度以及单结晶层的表面粗糙度,决定支承基板11的非晶质层11b的厚度T11、与SiC单结晶基板20的非晶质层13b的厚度T13的工序。

[0036] 具体地进行说明。首先,测定支承基板11的表面11a的表面粗糙度、以及半导体层13的表面13a的表面粗糙度。表面粗糙度也可以使用作为算术平均粗糙度Ra、表面凹凸的高度差的PV值(Peak to Valley)、最小二乘均方根粗糙度RMS等各种指标。本说明书内使用算术平均粗糙度Ra。另外表面粗糙度的测定也可以使用各种方式。例如,可以使用感测针方式、激光传感器方式、光干扰方式等。另外,也可以将扫描探针显微镜(SPM)用于表面粗糙度

的测定。

[0037] 接下来,基于测定出的表面粗糙度,决定厚度T11以及T13。本实施例中,将厚度T11决定为表面11a的算术平均粗糙度Ra11的1倍~20倍的范围内。另外,将厚度T13决定为表面13a的算术平均粗糙度Ra13的1倍~20倍的范围内。例如,本实施例中,相对于 $Ra=1\text{nm}$ 的表面粗糙度,形成厚度约2nm的非晶质层。另外,在表面粗糙度使用PV值的情况下,将厚度T11决定为表面11a的PV值的1倍~2倍的范围内。另外,将厚度T13决定为表面13a的PV值的1倍~2倍的范围内。例如,本实施例中,相对于 $PV值=1.5\text{nm}$ 的表面粗糙度,形成为厚度约2nm的非晶质层。

[0038] 步骤S2中,进行非晶质层形成工序。非晶质层形成工序是对支承基板11的表面进行改质而形成非晶质层11b,并且对半导体层13的表面进行改质而形成非晶质层13b的工序。非晶质层是指原子成为不具有结晶构造那样的规则性的状态的层。非晶质层11b以及非晶质层13b的厚度成为由非晶质层厚度决定工序(步骤S1)决定的厚度。

[0039] 具体地进行说明。如图5所示,将SiC单结晶基板20与支承基板11设置于腔室101内。接下来,进行SiC单结晶基板20与支承基板11的相对位置的对位。对位以后述的接触工序中两基板能够以正确的位置关系接触的方式进行。接下来,使腔室101内成为真空状态。腔室101内的真空度也可以为例如 $1\times 10^{-4}\sim 1\times 10^{-6}$ (Pa)左右。

[0040] 如图6所示,在支承基板11的表面11a以及半导体层13的表面13a使用FAB枪(高速原子束:Fast Atom Beam) 102,照射氩的中性原子束。由此,能够在距表面一定的深度破坏表面11a以及13a的结晶构造。其结果,能够在基板表面形成包括Si和C的非晶质层11b以及13b。另外,能够以Si与C的含有比率成为1:1的方式形成非晶质层11b以及13b。由此,在使非晶质层11b以及13b再结晶的情况下,能够形成SiC结晶。图6中,以剖面线模拟地示出非晶质层11b以及13b。非晶质层11b的厚度T11以及非晶质层13b的厚度T13能够通过从FAB枪102照射的氩原子的能量来控制。氩的照射量(atoms/cm^2)也可以使用形成的非晶质层的厚度与溅射速率来计算。另外入射能量也可以是例如1.5 (keV)左右。

[0041] 另外,非晶质层形成工序中,能够除去表面11a以及13a的氧化膜、吸附层而使价键露出,因此能够使表面11a以及13a活性化。另外非晶质层形成工序是真空中处理,因此表面11a以及13a不会被氧化等而能够保持活性状态。

[0042] 步骤S3中,进行接触工序。接触工序中,如图7所示,使支承基板11的非晶质层11b与SiC单结晶基板20的非晶质层13b在腔室101内在真空中接触。另外,也可以以接触后不使支承基板11与SiC单结晶基板20远离的方式使用未图示的夹具等来固定。

[0043] 步骤S4中,进行热处理工序。热处理工序中,在非晶质层11b与13b接触的状态下,对支承基板11以及SiC单结晶基板20进行热处理。热处理工序可以在腔室101内在减压下进行,也可以在腔室101以外的其他炉内进行。

[0044] 热处理工序中,将支承基板11以及SiC单结晶基板20加热为规定温度(例如 1000°C 左右)。由此,能够使非晶质层11b以及13b具有流动性。存在在非晶质层11b与13b的接触面形成有空间的情况。非晶质层11b、13b的表面粗糙度越大形成的空间的体积越大。因此通过进行热处理工序,能够使形成非晶质层11b以及13b的原子流动,因此能够填埋形成于非晶质层11b与13b的接触面的空间。另外在热处理工序中,在氢离子注入层21能够使SiC单结晶基板20断裂。因此,能够除去位于半导体层13的上方的SiC单结晶基板20。

[0045] 另外通过热处理工序,能够使非晶质层11b以及13b从原子排列没有规则性的状态朝原子排列具有规则性的状态再结晶。非晶质层13b的再结晶以从非晶质层13b与半导体层13的界面F1(参照图7)朝向非晶质层13b的内部(图7的下侧)成为模仿了半导体层13的结晶构造(单结晶SiC)的原子排列的方式进行。另外非晶质层11b的再结晶以从非晶质层11b与支承基板11的界面F2(参照图7)朝向非晶质层11b的内部(图7的上侧)成为模仿了支承基板11的结晶构造(多结晶SiC)的原子排列的方式进行。因此若再结晶结束,则如图8所示,非晶质层11b以及13b消失,形成有半导体层13与支承基板11直接接合的接合基板10。非晶质层11b与13b成为一体而进行再结晶,因此通过共价结合能够使半导体层13与支承基板11稳固地接合。

[0046] <基于TEM图像的分析(其1)>

[0047] 图9示出通过本说明书所记载的接合方法制成的接合基板10的支承基板11与半导体层13的接合界面的TEM(Transmission Electron Microscope)照片。用于观察的接合基板10支承基板11是多结晶SiC,半导体层13是单结晶的4H-SiC。非晶质层形成工序中,以1.5(keV)的入射能量60(sec)时间照射氩原子。热处理工序的最高温度为1100℃。

[0048] 图9的TEM照片中,观察通过离子研磨而薄化的TEM试料。图9中,以L-L线部分为分界线的情况下的下侧的区域是支承基板11(多结晶SiC),上侧的区域是半导体层13(单结晶SiC)。在图9的L-L线部分所示的接合界面的区域遍及接合界面的区域的全体,能够确认原子的周期性。因此可知在界面不存在非晶质层。另外可知,额外的中间层不存在,多结晶SiC与单结晶SiC根据原子能级直接接合。另外,对本接合基板进行了基于SIMS(Secondary Ion-microprobe Mass Spectrometer)的氧浓度分析的结果,存在于支承基板11与半导体层13的界面的氧原子密度是 $2.2\text{E}14\text{cm}^{-2}$ 。这是比作为SiC表面的原子密度的 $1.2\text{E}15\text{cm}^{-2}$ 低的值。现在可知,存在于通过本说明书公开的技术形成的接合界面的氧化膜厚不足1个原子层。此外,欲留意存在在支承基板11与半导体层13的接合界面的一部分存在非晶质层的情况。这是因为通过形成非晶质层11b以及13b的原子流动来填埋形成于非晶质层11b与13b的接触面的空间,因此需要再结晶的非晶质层的厚度不是一定的。另外,欲留意存在在支承基板11与半导体层13的接合界面的一部分存在1个原子层以上的氧化膜的情况。

[0049] 此外,在以往公知的直接接合法、常温接合法中,多结晶SiC与单结晶SiC根据原子能级直接接合,并且无法得到遍及接合界面的区域的全体能够确认原子的周期性的TEM图像。这是因为大气压中接合的直接接合法中,氧化膜、吸附层存在于接合界面。另外,因为在常温接合法中,在基于真空内的离子枪的表面活性化时导致接合界面的原子排列杂乱,其后的处理中无法整理原子排列。换言之,通过接合界面的TEM图像能够确认贴合基板是否通过本说明书所记载的接合方法而制成。

[0050] <表面粗糙度以及接合强度的分析>

[0051] 图10示出制造图9进行了分析的接合基板10时进行的平坦化工序(步骤S0)中的表面粗糙度的分析数据。测定对象是通过CMP而平坦化的支承基板11的表面。即图10是支承基板11表面的截面轮廓。测定机器是日立高新科学会社(注册商标)的原子力显微镜(AFM)装置(型号SPA500&SPI3800)。横轴表示测定范围,约 $27\mu\text{m}$ 。图10所示的测定范围的支承基板11的PV值是1.5nm,算术平均粗糙度是 $R_a=1\text{nm}$ 。该表面粗糙度是无法进行以往的直接接合法的程度的较大的值。

[0052] 另外,使用表面粗糙度测定后的试料制成接合基板,进行拉伸试验。施加了作为装置的上限的20 (MPa),接合面也未被剥离。由此可知,在接合面具有以往的直接接合法无法接合的程度的较大的表面粗糙度的情况下,通过使用本说明书所记载的接合方法,也能够以可承受半导体工序等的充分的接合强度接合。

[0053] <效果>

[0054] 在将支承基板与半导体的单结晶层不经由树脂、合金等中间材料而直接接合的所谓的直接接合技术中,使用表面间引力进行接合,因此需要使接合面彼此在数纳米以内接近,需要使接合面的表面粗糙度非常小(例如,存在要求算术平均粗糙度Ra为0.3 (nm)左右的情况)。另外,为了允许接合面的表面粗糙度在一定程度上变大,可以考虑使接合面的SiC结晶具有流动性的方法。但是SiC结晶具有超过2000℃便升华的(即,从固体直接气化)性质,因此不会熔融液化,难以具有流动性。

[0055] 另一方面,本说明书所记载的接合方法中,将接合面改质为包含Si和C的非晶质层11b以及13b。非晶质层存在具有悬空键的原子,因此与不具有悬空键的结晶层相比,能够提高原子的流动性。即,在作为相比SiC结晶的升华温度(约2500℃)足够低的温度的1000度以下左右的温度,能够使非晶质层11b以及13b具有流动性。因此,能够防止升华并且使形成接合面的材料具有流动性。由此,形成非晶质层11b以及13b的原子流动,由此能够在填埋了形成于非晶质层11b与13b的接触面的空间后,使该非晶质层11b以及13b再结晶。即上述方法中,接合不需要表面间引力,因此在表面粗糙度比直接接合法所要求的接合面的表面粗糙度大的情况下,也能够以能够承受半导体工序等的接合强度将基板接合。

[0056] 本说明书所记载的接合方法中,接合面的表面粗糙度比直接接合法等大也能够将基板接合。因此平坦化工序(步骤S0)中,通过研削或者切削能够使成为接合面的支承基板11的表面11a平坦化。由此,没有相对于支承基板11的表面应用CMP (Chemical Mechanical Polishing)等研磨工序的必要性,因此能够减少半导体基板的制造成本。

[0057] 非晶质层11b的厚度T11、非晶质层13b的厚度T13越厚,越能够提高非晶质层11b以及13b的流动性,因此能够提高填埋形成于非晶质层11b与13b的接触面的空间的能力。另一方面,厚度T11、T13越厚,非晶质层11b以及13b的再结晶所热预算越增大。本说明书所记载的接合方法中,通过非晶质层厚度决定工序(步骤S1),能够根据支承基板11的表面粗糙度以及半导体层13的表面粗糙度来决定厚度T11、T13。由此,为了填埋形成于表面11a与13a的接触面的空间能够将厚度T11、T13控制为适当的厚度。因此,能够抑制热预算的增大。

[0058] 接触工序(步骤S3)中,在非晶质层形成工序(步骤S2)中使除去了氧化膜、吸附层的表面11a与表面13a在真空中接触,因此能够使清洁的面彼此接合。由此,如图9的TEM照片所示,能够形成不存在额外的中间层,多结晶SiC与单结晶SiC根据原子能级直接接合的构造。因此,在使用贴合基板10制成立式器件的情况下,在以横穿支承基板11与半导体层13的界面的方式形成电流路径上的情况下,通过该界面的存在能够防止器件的性能降低(例:导通电阻的增加)。本说明书所记载的接合方法中,能够制造适于立式器件的制造的接合基板10。

[0059] 在将支承基板11与半导体层13直接接合的情况下,接合面中产生原子排列的错位,并无法缓和该错位,因此产生应力。另一方面,本说明书所记载的接合方法中,具有经由非晶质层11b以及13b将支承基板11与半导体层13接合的结构。热处理工序中,通过热能,非

晶质层11b以及13b内的Si原子以及C原子缓缓运动产生再结晶。由此,在非晶质层13b与半导体层13的界面F1(参照图7)的半导体层13的原子排列、与非晶质层11b与支承基板11的界面F2(参照图7)的支承基板11的原子排列之间产生错位的情况下,夹设于界面F1与界面F2之间的非晶质层11b以及13b以缓和这些错位的方式进行再结晶。即,能够使非晶质层11b以及13b作为通过热处理工序能够消失的应力缓和层而利用。根据以上,能够缓和在支承基板11与半导体层13的界面产生的内部应力,因此在位于支承基板11的上方的半导体层13,也能够缓和内部应力。因此,通过热处理工序能够缓和半导体层13的内部应力,并且在半导体层13内能够进行缺陷的移动以及再排列,因此能够减少以内部应力为起因而存在于半导体层13的各种缺陷的密度。

[0060] 在不形成非晶质层11b以及13b而将支承基板11与半导体层13直接接合的情况下,存在在贴合后的基板产生较大的应力的情况。这是由于支承基板11是多结晶SiC,因此各种面方位在支承基板11的表面露出,存在根据面方位而热膨胀系数稍微不同的情况。本说明书所记载的接合方法中,具有经由非晶质层11b以及13b将支承基板11与半导体层13接合的结构。接合后的热处理中,在由于与面方位对应的热膨胀系数差而产生内部应力的情况下,以缓和该内部应力的方式非晶质层11b以及13b缓缓流动并且再结晶。因此,能够缓和支承基板11与半导体层13的界面所产生的内部应力。

[0061] 在本说明书所记载的接合方法中,能够使非晶质层11b以及13b夹设于支承基板11与半导体层13之间。通过该非晶质层11b以及13b,能够防止在支承基板11的表面露出的各种缺陷影响半导体层13。即,在热处理工序中,进行半导体层13的原子的再排列的情况下,能够防止受到存在于支承基板11的表面的各种缺陷的影响而导致在再排列后的半导体层13形成缺陷的情况。因此能够减少半导体层13的缺陷密度。

[0062] 以上,对本发明的实施例详细地进行了说明,但这些只不过是例示,不限定权利要求的范围。权利要求的范围所记载的技术包括将以上例示的具体例进行各种变形、变更的内容。

[0063] <变形例>

[0064] 非晶质层形成工序(步骤S2)中,形成非晶质层的方法不局限于氩的中性原子束照射。也可以是注入例如He、氢、Ar、Si、C等原子或者分子或者离子等的方法。

[0065] 热处理工序(步骤S4)中,相对于处理时间的温度变化的方式也可以是多样的。

[0066] 用于支承基板11的材料不局限于多结晶SiC。只要是具有相对于用于半导体层13的的各种的热工序的耐性的材料,可以是任意材料。例如,也可以是通过陶瓷材料的混合材料而形成的烧结体。使用的陶瓷材料可以是各种材料,可以是例如SiC、Si、AlN、Al₂O₃、GaN、Si₃N₄、SiO₂、Ta₂O₅等中的至少1种材料。

[0067] 本说明书或者附图所说明的技术要素通过单独或各种组合发挥技术的有效性,不限于于申请时权利要求记载的组合。另外,本说明书或者附图所例示的技术可同时实现多种目的,通过实现其中的一个目的本身而具有技术的有效性。

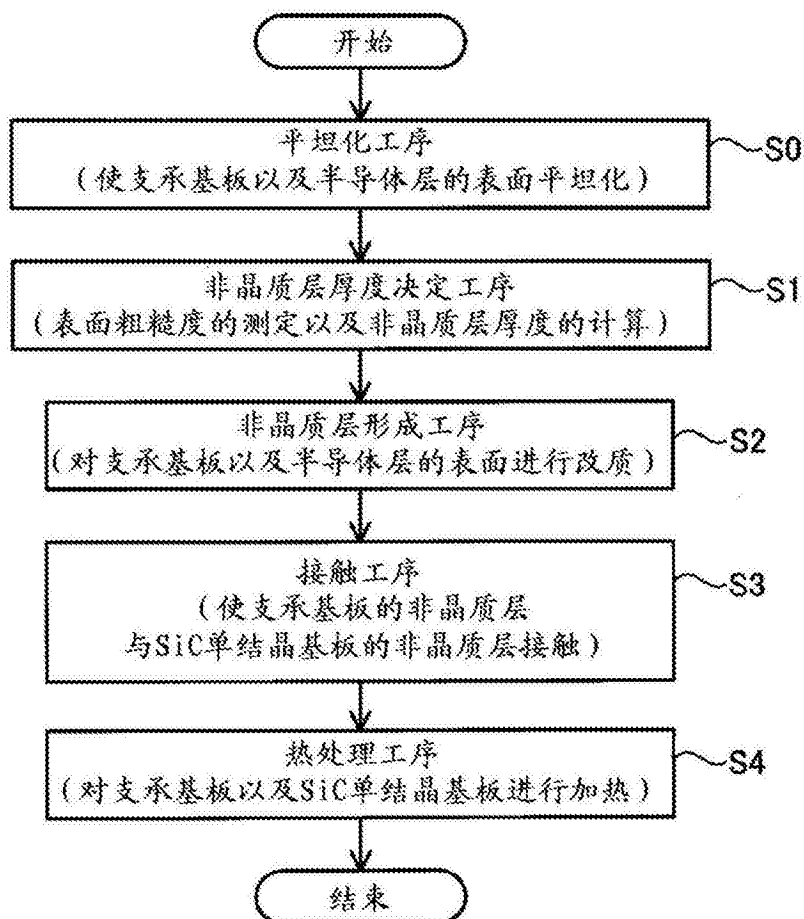


图1

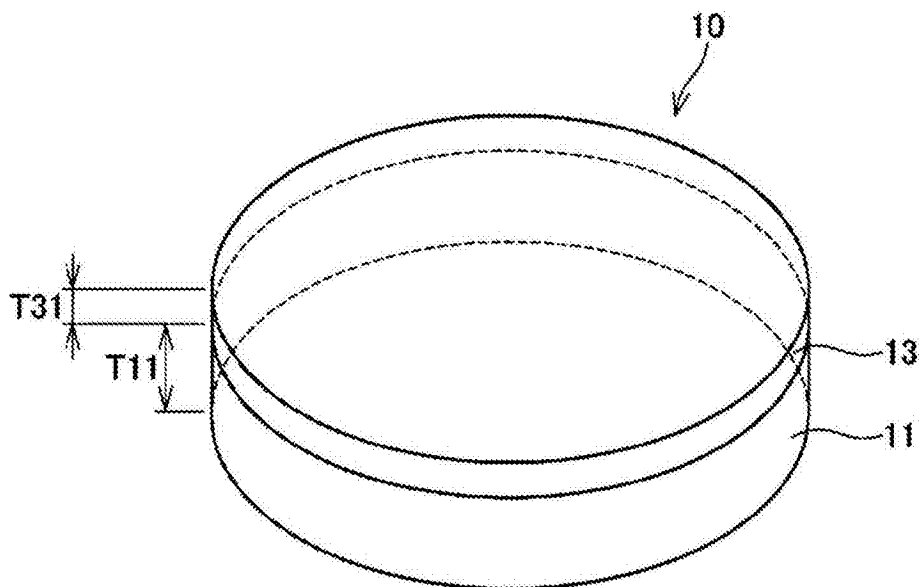


图2

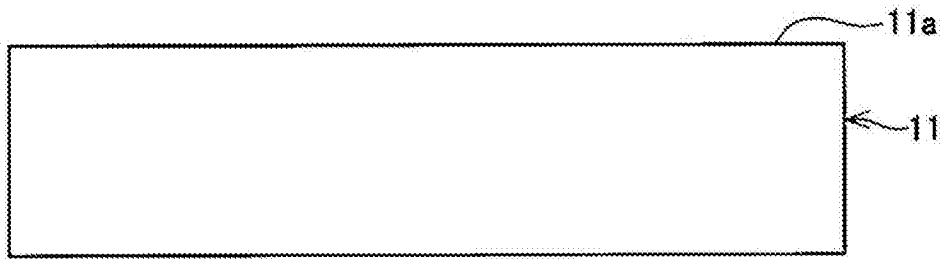


图3

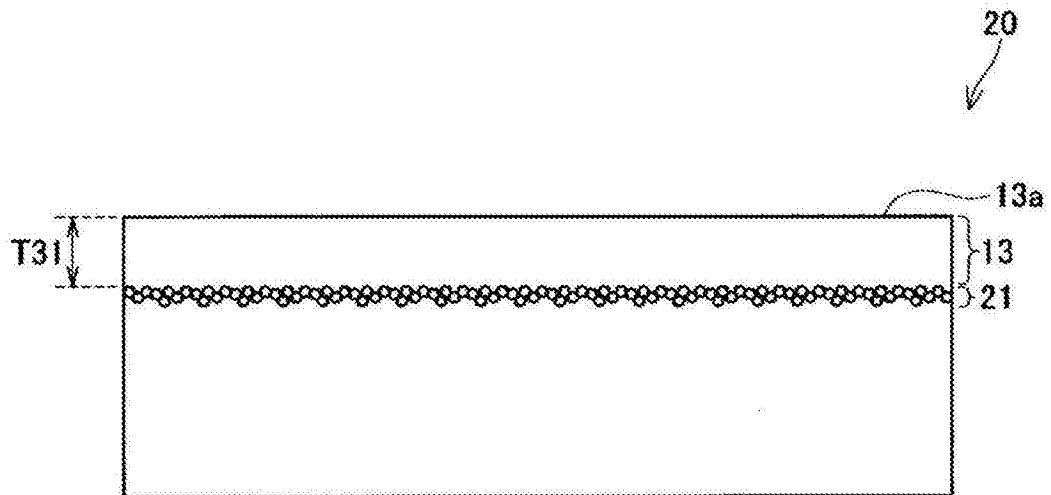


图4

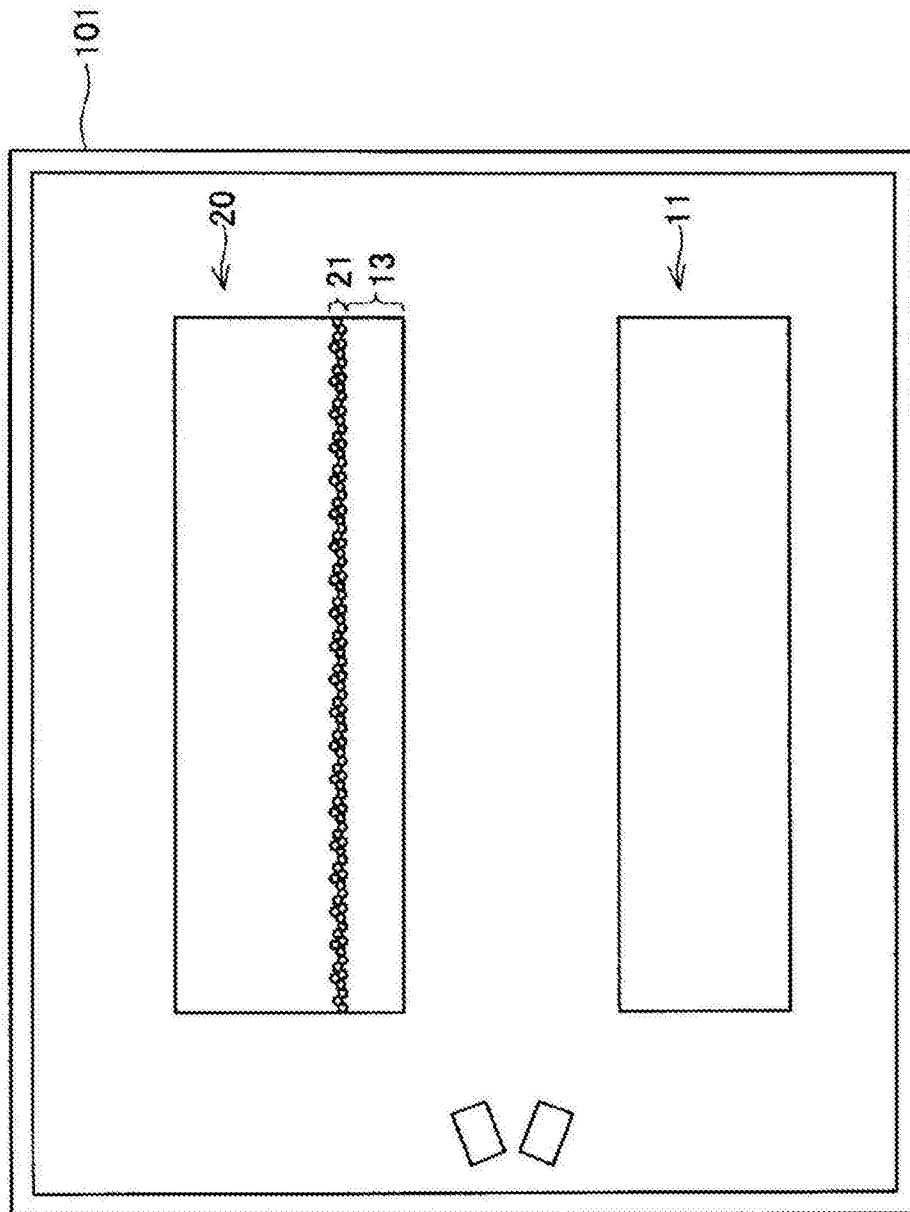


图5

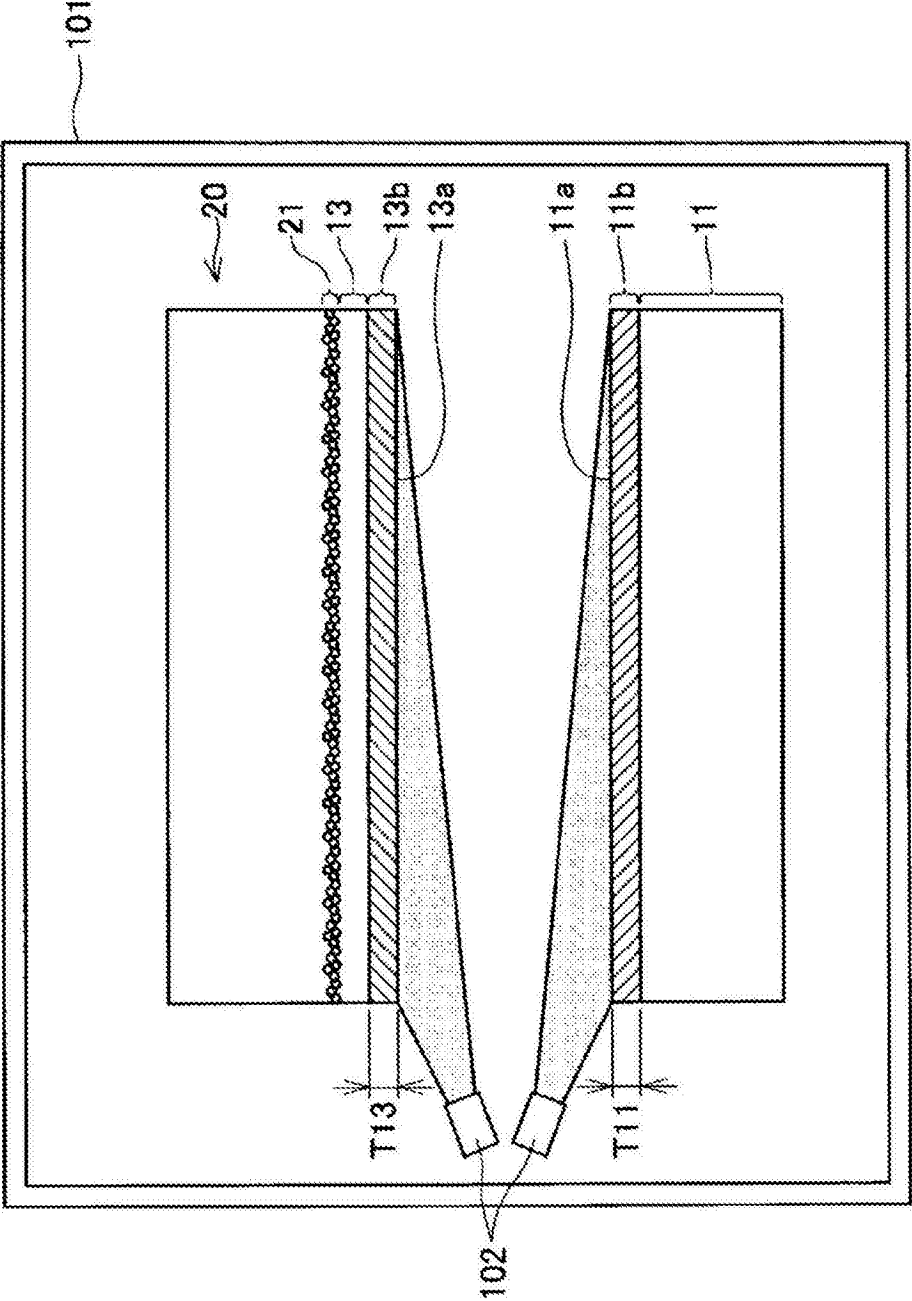


图6

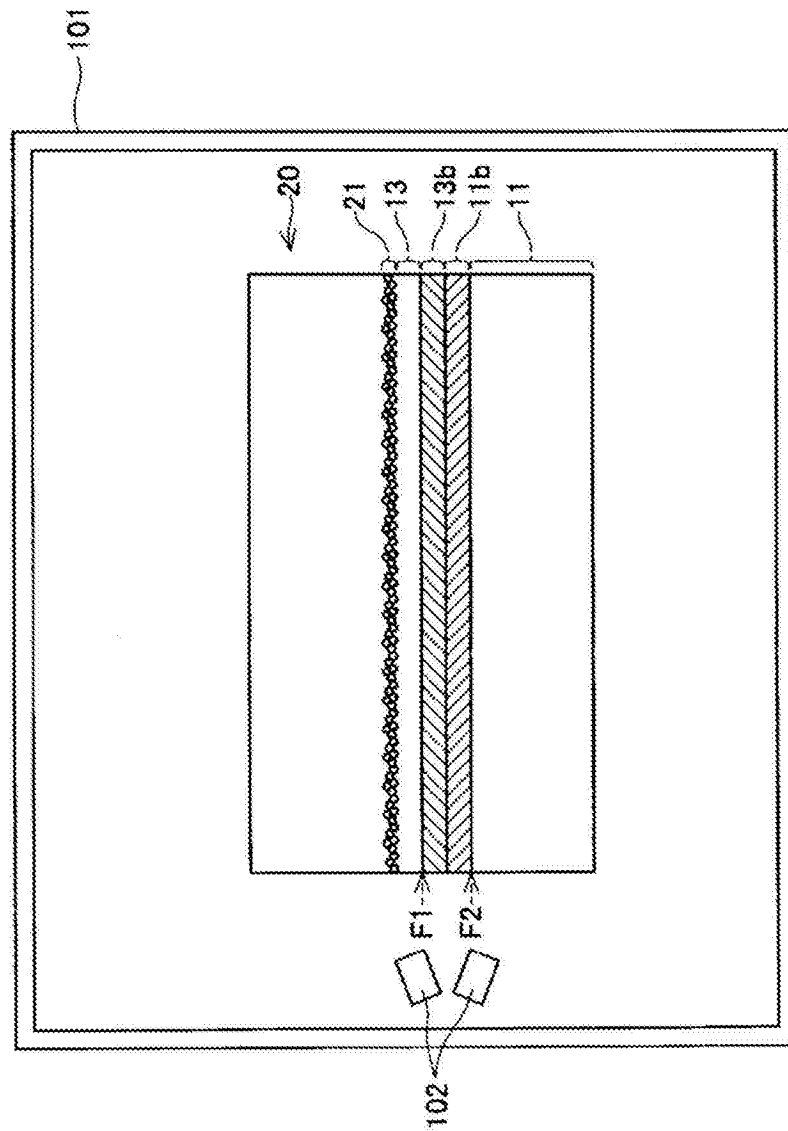


图7

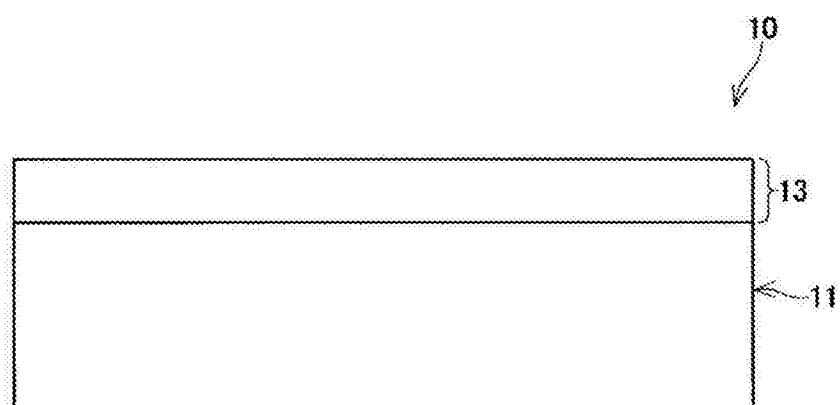


图8

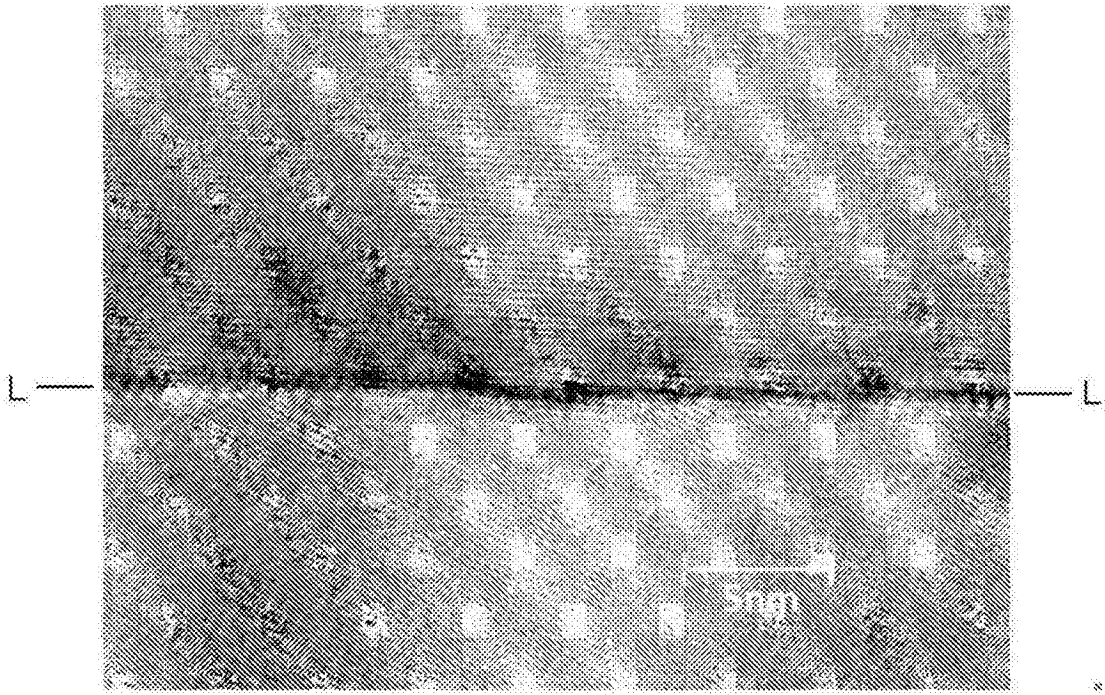


图9



图10