



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0039073
(43) 공개일자 2020년04월16일

(51) 국제특허분류(Int. Cl.)
H01L 21/768 (2006.01) H01L 21/28 (2006.01)
H01L 21/3065 (2006.01)

(52) CPC특허분류
H01L 21/76816 (2013.01)
H01L 21/28141 (2013.01)

(21) 출원번호 10-2018-0118210

(22) 출원일자 2018년10월04일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

정상교

경기도 안양시 동안구 달안로 110 (관양동, 한가람세경아파트) 502동 505호

엄경하

경기도 용인시 기흥구 서천서로 27 (서천동, 서천마을 1단지) 108동 303호

(뒷면에 계속)

(74) 대리인

특허법인 고려

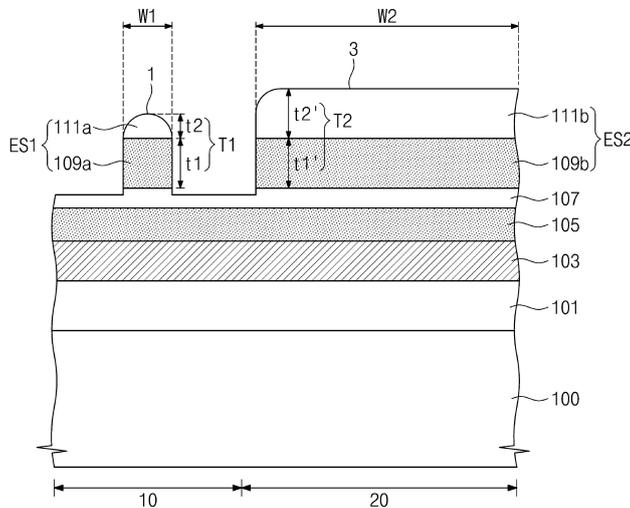
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 반도체 장치의 제조 방법

(57) 요약

본 발명의 실시예에 따른 반도체 장치의 제조 방법은 기판 상에 서로 다른 상면 레벨들을 갖는 제 1 셀 식각 패턴 및 제 1 주변 식각 패턴을 형성하는 것, 상기 제 1 셀 식각 패턴의 상면 및 측면, 및 상기 제 1 주변 식각 패턴의 상면 및 측면을 덮는 제 1 스페이서막을 형성하는 것 및 상기 제 1 주변 식각 패턴의 상기 상면 및 상기 측면을 덮는 상기 제 1 스페이서막을 노출한 상태에서, 상기 제 1 스페이서막에 식각 공정을 수행하여, 상기 제 1 주변 식각 패턴의 측면 상에 제 1 스페이서를 형성하는 것을 포함할 수 있다.

대표도 - 도1c



(52) CPC특허분류

H01L 21/3065 (2013.01)

H01L 21/76811 (2013.01)

H01L 21/76813 (2013.01)

(72) 발명자

이현철

경기도 화성시 동탄반석로 264 108동 302호 (석우동, 예당마을대우푸르지오아파트)

이성희

경기도 화성시 동탄반송3길 30-10

이지승

서울 서초구 강남대로 359 (서초동) 1328-11 4층 410호

명세서

청구범위

청구항 1

기판 상에 서로 다른 상면 레벨들을 갖는 제 1 셀 식각 패턴 및 제 1 주변 식각 패턴을 형성하는 것;

상기 제 1 셀 식각 패턴의 상면 및 측면, 및 상기 제 1 주변 식각 패턴의 상면 및 측면을 덮는 제 1 스페이서막을 형성하는 것; 및

상기 제 1 주변 식각 패턴의 상기 상면 및 상기 측면을 덮는 상기 제 1 스페이서막을 노출한 상태에서, 상기 제 1 스페이서막에 식각 공정을 수행하여, 상기 제 1 주변 식각 패턴의 측면 상에 제 1 스페이서를 형성하는 것을 포함하는 반도체 장치의 제조 방법.

청구항 2

제 1 항에 있어서,

상기 기판 상에 서로 다른 상면 레벨들을 갖는 상기 제 1 셀 식각 패턴 및 상기 제 1 주변 식각 패턴을 형성하는 것은:

상기 기판 상에 제 1 식각막을 형성하는 것;

상기 제 1 식각막을 패터닝하여 상기 제 1 셀 식각 패턴 및 상기 제 1 주변 식각 패턴을 형성하는 것, 상기 제 1 셀 식각 패턴의 상기 상면 및 상기 제 1 주변 식각 패턴의 상기 상면은 서로 동일한 레벨을 갖고; 및

상기 제 1 셀 식각 패턴 및 상기 제 1 주변 식각 패턴에 식각 공정을 수행하는 것을 포함하는 반도체 장치의 제조 방법.

청구항 3

제 2 항에 있어서,

상기 제 1 셀 식각 패턴 및 상기 제 1 주변 식각 패턴을 식각하는 동안 상기 제 1 셀 식각 패턴이 상기 제 1 주변 식각 패턴보다 더 식각되는 반도체 장치의 제조 방법.

청구항 4

제 3 항에 있어서,

상기 식각 공정은 건식 식각 공정 또는 습식 식각 공정인 반도체 장치의 제조 방법.

청구항 5

제 1 항에 있어서,

상기 제 1 셀 식각 패턴의 상기 상면 레벨은 상기 제 1 주변 식각 패턴의 상기 상면 레벨보다 낮은 반도체 장치의 제조 방법.

청구항 6

제 1 항에 있어서,

서로 다른 상면 레벨들을 갖는 상기 제 1 셀 식각 패턴 및 상기 제 1 주변 식각 패턴을 형성하기 전에,
 상기 기판 상에 차례로 제 2 식각막 및 제 1 식각막을 형성하는 것;
 상기 제 1 식각막을 패터닝하여, 동일한 상면 레벨들을 갖는 제 1 셀 식각 패턴 및 제 1 주변 식각 패턴을 형성하는 것; 및
 상기 제 1 셀 식각 패턴 및 상기 제 1 주변 식각 패턴에 노출된 상기 제 2 식각막의 상면을 리세스하는 것을 더 포함하는 반도체 장치의 제조 방법.

청구항 7

제 6 항에 있어서,
 상기 제 2 식각막의 상기 상면을 리세스하는 것은, 상기 제 1 셀 식각 패턴 및 상기 제 1 주변 식각 패턴에 대해 식각 선택성이 있는 제 1 식각 가스를 사용하는 것을 포함하고,
 상기 서로 다른 상면 레벨들을 갖는 상기 제 1 셀 식각 패턴 및 상기 제 1 주변 식각 패턴을 형성하는 것은 상기 제 2 식각막에 대해 식각 선택성이 있는 제 2 식각 가스를 사용하는 것을 포함하는 반도체 장치의 제조 방법.

청구항 8

제 6 항에 있어서,
 상기 제 2 식각막의 상기 상면을 리세스하는 것은, 낮은 바이어스 전압 상태에서 제 1 식각 가스를 사용하는 것을 포함하고,
 상기 서로 다른 상면 레벨들을 갖는 상기 제 1 셀 식각 패턴 및 상기 제 1 주변 식각 패턴을 형성하는 것은, 상기 낮은 바이어스 전압보다 큰 높은 바이어스 전압 상태에서 상기 제 1 식각 가스를 사용하는 것을 포함하되,
 상기 서로 다른 상면 레벨들을 갖는 상기 제 1 셀 식각 패턴 및 상기 제 1 주변 식각 패턴을 형성하는 것은, 상기 제 2 식각막이 같이 패터닝되어, 상기 기판과 상기 제 1 셀 식각 패턴 사이의 제 2 셀 식각 패턴 및 상기 기판과 상기 제 1 주변 식각 패턴 사이의 제 2 주변 식각 패턴을 형성하는 것을 더 포함하는 반도체 장치의 제조 방법.

청구항 9

제 1 항에 있어서,
 상기 기판 상의 제 2 식각막과 제 1 식각막을 차례로 형성하는 것; 및
 상기 제 1 식각막 및 상기 제 2 식각막을 차례로 패터닝하여 상기 기판 상의 제 2 셀 식각 패턴과 상기 제 2 셀 식각 패턴의 상면 상의 상기 제 1 셀 식각 패턴, 제 2 주변 식각 패턴과 상기 제 2 주변 식각 패턴의 상면 상의 제 1 주변 식각 패턴을 형성하는 것을 더 포함하되,
 상기 제 1 스페이서막에 상기 식각 공정을 수행하는 것은:
 상기 제 1 셀 식각 패턴이 제거되어 상기 제 2 셀 식각 패턴의 상기 상면이 노출되고, 상기 제 2 셀 식각 패턴의 측면 상의 제 2 스페이서를 형성하는 것을 더 포함하는 반도체 장치의 제조 방법.

청구항 10

제 9 항에 있어서,
 상기 기판과 상기 제 2 식각막 사이의 제 3 식각막, 제 4 식각막, 및 제 5 식각막을 형성하는 것;

상기 제 2 셀 식각 패턴을 제거하여, 상기 제 2 스페이서의 내측벽을 노출하는 것;

상기 제 2 스페이서, 상기 제 1 스페이서, 상기 제 1 주변 식각 패턴, 및 제 2 주변 식각 패턴을 식각 마스크로 사용하여 상기 제 5 식각막 및 상기 제 4 식각막을 패터닝하여, 상기 제 3 식각막 상의 제 4 셀 식각 패턴과 상기 제 4 셀 식각 패턴의 상면 상의 제 5 셀 식각 패턴, 제 4 주변 식각 패턴과 상기 제 4 주변 식각 패턴의 상면 상의 제 5 주변 식각 패턴을 형성하는 것;

상기 제 4 셀 식각 패턴의 측면, 상기 제 5 셀 식각 패턴의 측면 및 상면, 상기 제 4 주변 식각 패턴의 측면, 상기 제 5 주변 식각 패턴의 측면 및 상면, 및 상기 제 3 식각막의 상면 일부분을 컨포말하게 덮는 제 2 스페이서막을 형성하는 것; 및

상기 제 4 셀 식각 패턴, 상기 제 5 셀 식각 패턴, 상기 제 4 주변 식각 패턴, 및 상기 제 5 주변 식각 패턴을 식각 마스크로 사용하여 상기 제 2 스페이서막 및 상기 제 3 식각막을 식각하여, 상기 기판 상의 제 3 셀 식각 패턴, 상기 제 3 셀 식각 패턴의 상면 상의 제 3 스페이서, 상기 기판 상의 상기 제 3 주변 식각 패턴, 및 상기 제 3 주변 식각 패턴의 상면 상의 제 4 스페이서를 형성하는 것을 더 포함하는 반도체 장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치의 제조 방법에 관한 것으로, 더욱 상세하게는 공정이 보다 간소화된 반도체 장치의 제조 방법에 관한 것이다.

배경 기술

[0002] 소형화, 다기능화 및/또는 낮은 제조 단가 등의 특성들로 인하여 반도체 장치는 전자 산업에서 중요한 요소로 각광 받고 있다. 반도체 장치들은 논리 데이터를 저장하는 반도체 기억 소자, 논리 데이터를 연산 처리하는 반도체 논리 소자, 및 기억 요소와 논리 요소를 포함하는 하이브리드(hybrid) 반도체 장치 등으로 구분될 수 있다. 전자 산업이 고도로 발전함에 따라, 반도체 장치의 특성들에 대한 요구가 점점 증가되고 있다. 예를 들어, 반도체 장치에 대한 고 신뢰성, 고속화 및/또는 다기능화 등에 대하여 요구가 점점 증가되고 있다. 이러한 요구 특성들을 충족시키기 위하여 반도체 장치 내 구조들은 점점 복잡해지고 있으며, 또한, 반도체 장치는 점점 고집적화되고 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명이 해결하고자 하는 과제는 공정이 보다 간소화된 반도체 장치의 제조 방법을 제공하는데 있다.

[0004] 본 발명이 해결하고자 하는 과제는 이상에서 언급한 과제에 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0005] 본 발명의 실시예에 따른 반도체 장치의 제조 방법은 기판 상에 서로 다른 상면 레벨들을 갖는 제 1 셀 식각 패턴 및 제 1 주변 식각 패턴을 형성하는 것, 상기 제 1 셀 식각 패턴의 상면 및 측면, 및 상기 제 1 주변 식각 패턴의 상면 및 측면을 덮는 제 1 스페이서막을 형성하는 것 및 상기 제 1 주변 식각 패턴의 상기 상면 및 상기 측면을 덮는 상기 제 1 스페이서막을 노출한 상태에서, 상기 제 1 스페이서막에 식각 공정을 수행하여, 상기 제 1 주변 식각 패턴의 측면 상에 제 1 스페이서를 형성하는 것을 포함할 수 있다.

[0006] 본 발명의 실시예에 따른 반도체 장치의 제조 방법은 기판 상에 제 1 식각막, 제 2 셀 식각 패턴 및 제 2 주변 식각 패턴을 형성하는 것, 상기 제 2 셀 식각 패턴 및 상기 제 2 주변 식각 패턴은 상기 제 1 식각막의 상면 상에 형성되고, 상기 제 2 셀 식각 패턴 및 상기 제 2 주변 식각 패턴에 의해 노출된 상기 제 1 식각막의 상기 상면을 리세스하는 것 및 제 1 식각 공정을 수행하여 제 2 셀 식각 패턴과 상기 제 2 주변 식각 패턴을 식각하여, 상기 제 2 셀 식각 패턴의 상면 레벨이 상기 제 2 주변 식각 패턴의 상면 레벨보다 낮게 형성하는 것을 포함할

수 있다.

발명의 효과

[0007] 본 발명의 실시예에 따르면, 제 1 스페이서막을 형성하기 전에, 3차원 식각 효과를 활용하여, 제 6 셀 식각 패턴의 상면과 제 6 주변 식각 패턴의 상면이 서로 다른 레벨을 갖도록 형성할 수 있다. 이에 따라, 기관의 주변 회로 영역 상에 마스크로 사용되어야 하는 넓은 폭을 갖는 제 5 주변 식각 패턴을 보존하기 위해, 제 1 스페이서막을 형성한 후에 기관의 셀 영역에만 국부적으로 노출시키기 위한 기관의 주변 회로 영역 상의 마스크 패턴을 형성하는 공정을 생략할 수 있다. 그 결과, 공정이 단순화될 수 있다.

도면의 간단한 설명

[0008] 도 1a 내지 도 1i는 본 발명의 실시예에 따른 반도체 장치의 제조 방법을 나타낸 단면도들이다.
 도 2a 및 도 3a는 본 발명의 실시예에 따른 반도체 장치의 제조 방법을 나타낸 평면도들이다.
 도 2b, 도 3b, 도 4, 도 5, 및 도 6은 본 발명의 실시예에 따른 반도체 장치의 제조 방법을 나타낸 것으로, 도 2a 및 도 3a의 I-I' 방향으로 자른 단면도들이다.
 도 7a 내지 도 7d는 본 발명의 실시예에 따른 반도체 장치의 제조 방법을 나타낸 단면도들이다.
 도 8a 및 도 8b는 본 발명의 실시예에 따른 반도체 장치의 제조 방법을 나타낸 단면도들이다.
 도 9a 및 도 9b는 본 발명의 실시예에 따른 반도체 장치의 제조 방법을 나타낸 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0009] 도 1a 내지 도 1i는 본 발명의 실시예에 따른 반도체 장치의 제조 방법을 나타낸 단면도들이다.

[0010] 도 1a를 참조하면, 제 1 식각막(101), 제 2 식각막(103), 제 3 식각막(105), 제 4 식각막(107), 제 5 식각막(109), 제 6 식각막(111), 및 제 1 마스크 패턴(113)이 기관(100) 상에 차례로 형성될 수 있다. 기관(100)은 셀 영역(10) 및 주변회로 영역(20)을 포함할 수 있다. 기관(100)은 예를 들어, 실리콘 기관일 수 있다. 제 1 식각막(101)은 기관(100)의 상면 상에 형성될 수 있다. 제 1 식각막(101)은 기관(100)에 대한 식각 선택성을 갖는 물질을 포함할 수 있다. 제 1 식각막(101)은 예를 들어, 산화막을 포함할 수 있다. 제 2 식각막(103)은 제 1 식각막(101)의 상면 상에 형성될 수 있다. 제 2 식각막(103)은 제 1 식각막(101)에 대한 식각 선택성을 갖는 물질을 포함할 수 있다. 제 2 식각막(103)은 예를 들어, 폴리 실리콘막을 포함할 수 있다. 제 3 식각막(105)은 제 2 식각막(103)의 상면 상에 형성될 수 있다. 제 3 식각막(105)은 제 2 식각막(103)에 대한 식각 선택성을 갖는 물질을 포함할 수 있다. 제 3 식각막(105)은 예를 들어, 비정질 탄소막일 수 있다. 제 4 식각막(107)은 제 3 식각막(105)의 상면 상에 형성될 수 있다. 제 4 식각막(107)은 제 3 식각막(105)에 대한 식각 선택성을 갖는 물질을 포함할 수 있다. 제 4 식각막(107)은 예를 들어, 실리콘 산화질화막일 수 있다. 다른 예로, 제 4 식각막(107)은 제 3 식각막(105) 상에 차례로 형성된 폴리 실리콘막 및 산화막을 포함할 수 있다. 제 5 식각막(109)은 제 4 식각막(107)의 상면 상에 형성될 수 있다. 일 예로, 제 5 식각막(109)은 제 3 식각막(105)의 두께보다 두껍게 형성될 수 있다. 제 5 식각막(109)은 제 4 식각막(107)에 대한 식각 선택성을 갖는 물질을 포함할 수 있다. 제 5 식각막(109)은 예를 들어, 스핀 온 하드 마스크막일 수 있다. 제 6 식각막(111)이 제 5 식각막(109)의 상면 상에 형성될 수 있다. 제 6 식각막(111)은 제 5 식각막(109)에 대한 식각 선택성을 갖는 물질을 포함할 수 있다. 제 6 식각막(111)은 예를 들어, 실리콘 산화질화막일 수 있다. 제 1 마스크 패턴(113)이 제 6 식각막(111)의 상면 상에 배치될 수 있다. 제 1 마스크 패턴(113)은 예를 들어, 포토레지스트 패턴일 수 있다.

[0011] 도 1b를 참조하면, 제 1 마스크 패턴(113)을 식각 마스크로 사용하여 제 6 식각막(111) 및 제 5 식각막(109)을 패터닝할 수 있다. 이에 따라, 제 1 식각 패턴 구조체(ES1) 및 제 2 식각 패턴 구조체(ES2)가 기관(100) 상에 형성될 수 있다. 제 1 식각 패턴 구조체(ES1)는 기관(100)의 셀 영역(10) 상에 형성될 수 있고, 제 2 식각 패턴 구조체(ES2)는 기관(100)의 주변회로 영역(20) 상에 형성될 수 있다. 제 1 식각 패턴 구조체(ES1)의 제 1 폭(W1)은 제 2 식각 패턴 구조체(ES2)의 제 2 폭(W2) 보다 작을 수 있다(W1<W2). 제 4 식각막(107)의 상면 일부 분들은 제 1 및 제 2 식각 패턴 구조체들(ES1, ES2)에 의해 노출될 수 있다. 제 1 마스크 패턴(113)은 제 6 및 제 5 식각막들(111, 109)이 패터닝되는 동안 제거될 수 있다. 제 1 식각 패턴 구조체(ES1)는 제 4 식각막(107)의 상면 상에 차례로 형성된 제 5 셀 식각 패턴(109a) 및 제 6 셀 식각 패턴(111a)을 포함할 수 있다. 제 2 식각 패턴 구조체(ES2)는 제 4 식각막(107)의 상면 상에 차례로 형성된 제 5 주변 식각 패턴(109b) 및 제 6 주변

식각 패턴(111b)을 포함할 수 있다.

[0012] 일 예에 있어서, 제 1 식각 패턴 구조체(ES1)의 상면(1)과 제 2 식각 패턴 구조체(ES2)의 상면(3)은 서로 동일한 레벨에 위치할 수 있다. 제 1 식각 패턴 구조체(ES1)의 상면(1)은 제 6 셀 식각 패턴(111a)의 상면에 해당할 수 있고, 제 2 식각 패턴 구조체(ES2)의 상면(3)은 제 6 주변 식각 패턴(111b)의 상면에 해당할 수 있다. 일 예에 있어서, 제 1 식각 패턴 구조체(ES1)의 두께(T1)는 제 2 식각 패턴 구조체(ES2)의 두께(T2)와 실질적으로 동일할 수 있다. 예를 들어, 제 5 셀 식각 패턴(109a)의 두께(t1)는 제 5 주변 식각 패턴(109b)의 두께(t1')와 실질적으로 동일할 수 있고, 제 6 셀 식각 패턴(111a)의 두께(t2)는 제 6 주변 식각 패턴(111b)의 두께(t2')와 실질적으로 동일할 수 있다. 이와 달리, 식각 패턴(111a)의 두께(t2)는 제 6 주변 식각 패턴(111b)의 두께(t2')보다 작을 수 있다. 하지만, 식각 패턴(111a)의 두께(t2)와 제 6 주변 식각 패턴(111b)의 두께(t2')의 차이에도 1c를 참조하여 설명할 식각 공정을 생략할 정도의 충분한 차이는 발생하지 않을 수 있다.

[0013] 도 1c를 참조하면, 제 1 식각 패턴 구조체(ES1) 및 제 2 식각 패턴 구조체(ES2)에 식각 공정이 수행될 수 있다. 예를 들어, 식각 공정은 제 6 셀 식각 패턴(111a) 및 제 6 주변 식각 패턴(111b)에 대한 식각 가스를 사용할 수 있다. 예를 들어, 식각 가스는 CF₄ 및 CHF₃을 포함할 수 있다. 제 6 셀 및 제 6 주변 식각 패턴들(111a, 111b)에 대한 식각 공정 시, 제 1 및 제 2 식각 패턴 구조체들(ES1, ES2)에 의해 노출된 제 4 식각막(107)이 식각될 수 있다. 이에 따라, 제 1 및 제 2 식각 패턴 구조체들(ES1, ES2)에 의해 노출된 제 4 식각막(107)의 상면 일부분들이 리세스될 수 있다. 다른 예에 있어서, 제 4 식각막(107)이 폴리 실리콘막 및 실리콘 산화막을 포함하는 제 6 식각막과 다른 물질인 경우, 제 4 식각막(107)의 상면 일부분들은 거의 리세스되지 않을 수 있다.

[0014] 식각 공정으로 인해, 제 1 식각 패턴 구조체(ES1)의 두께(T1)는 제 2 식각 패턴 구조체(ES2)의 두께(T2)보다 작아질 수 있다(T1<T2). 일 예로, 식각 공정으로 인해, 제 6 셀 식각 패턴(111a)의 두께(t2)는 감소될 수 있고, 제 6 주변 식각 패턴(111b)의 두께(t2')는 감소될 수 있다. 이 경우, 제 6 셀 식각 패턴(111a)의 두께(t2)는 제 6 주변 식각 패턴(111b)의 두께(t2')보다 작을 수 있다. 즉, 제 6 셀 식각 패턴(111a)의 식각량은 제 6 주변 식각 패턴(111b)의 식각량보다 클 수 있다. 다른 예로, 식각 공정으로 인해, 제 6 셀 식각 패턴(111a)의 두께(t2)는 감소될 수 있고, 제 6 주변 식각 패턴(111b)의 두께(t2')는 거의 감소되지 않을 수 있다. 즉, 제 6 주변 식각 패턴(111b)은 제 6 셀 식각 패턴(111a)이 식각되는 동안 거의 식각되지 않을 수 있다. 식각 공정으로 인해, 제 1 식각 패턴 구조체(ES1)의 상면(1) 레벨은 제 2 식각 패턴 구조체(ES2)의 상면(3) 레벨들과 다를 수 있다. 예를 들어, 제 6 셀 식각 패턴(111a)의 상면(1) 레벨은 제 6 셀 식각 패턴(111a)의 상면(3) 레벨보다 낮을 수 있다. 제 6 셀 식각 패턴(111a)은 상면(1)은 돔(dome) 형상을 가질 수 있다.

[0015] 실시예에 있어서, 제 6 셀 식각 패턴(111a)의 제 1 폭(W1)이 제 6 주변 식각 패턴(111b)의 제 2 폭(W2)보다 작을 경우, 제 6 셀 식각 패턴(111a)은 제 6 셀 식각 패턴(111a)의 상면(1)에 대한 식각과 및 모서리 부분에 대한 식각이 서로 중첩되어 수직 방향으로의 식각 소모량 클 수 있다. 반면에, 제 6 주변 식각 패턴(111b)은 제 6 주변 식각 패턴(111b)의 상면(3)에 대한 식각 및 모서리 부분에 대한 식각이 서로 중첩되지 않으므로, 수직 방향으로의 식각 소모량이 제 6 셀 식각 패턴(111a)보다 작을 수 있다. 즉, 동일한 식각 공정에 대해서 제 6 셀 식각 패턴(111a)에서의 식각 저항은 제 6 주변 식각 패턴(111b)에서의 식각 저항보다 작을 수 있다. 이 경우, 동일한 식각 공정 및 동일한 식각 레서피에 대해서, 제 6 셀 식각 패턴(111a)의 식각량은 제 6 주변 식각 패턴(111b)의 식각량보다 클 수 있는, 이른바 3차원 식각 효과가 발생할 수 있다. 제 6 셀 식각 패턴(111a) 및 제 6 주변 식각 패턴(111b) 간의 두께 차이 및/또는 제 6 셀 식각 패턴(111a)의 상면과 제 6 주변 식각 패턴(111b)의 상면 간의 단차 차이는 제 6 셀 식각 패턴(111a) 및 제 6 주변 식각 패턴(111b) 간의 선평 차이가 클수록 커질 수 있다. 다만 셀 식각 패턴(111a)의 크기가 커서 제 6 셀 식각 패턴(111a) 및 제 6 주변 식각 패턴(111b) 간의 두께 차이 및/또는 제 6 셀 식각 패턴(111a)의 상면과 제 6 주변 식각 패턴(111b)의 상면 간의 단차 차이가 부족하더라도 제 6 셀 식각막 두께 상향 및 제 6 셀 식각 공정을 강화하여 추가적인 두께차이 혹은 단차 차이를 확보할 수 있다.

[0016] 도 1d를 참조하면, 제 1 스페이서막(115)이 제 4 식각막(107) 상에 형성될 수 있다. 제 1 스페이서막(115)은 제 1 및 제 2 식각 패턴 구조체들(ES1, ES2)의 표면들, 및 제 1 및 제 2 식각 패턴 구조체들(ES1, ES2)에 의해 노출된 제 4 식각막(107)의 상면을 컨포말하게 덮을 수 있다. 예를 들어, 제 1 스페이서막(115)은 제 5 셀 및 제 5 주변 식각 패턴들(109a, 109b)의 측면들을 컨포말하게 덮을 수 있고, 제 6 셀 및 제 6 주변 식각 패턴들(111a, 111b)의 상면들 및 측면들을 컨포말하게 덮을 수 있다. 제 1 스페이서막(115)은 원자 층 증착법으로 형성될 수 있다. 제 1 스페이서막(115)은 예를 들어, 산화막일 수 있다.

[0017] 도 1e를 참조하면, 제 1 스페이서막(115)에 식각 공정을 수행하여 제 1 스페이서(SP1) 및 제 2 스페이서(SP2)가

형성될 수 있다. 제 1 스페이서(SP1)는 제 5 셀 식각 패턴(109a)의 측면 상에 형성될 수 있고, 제 2 스페이서(SP2)는 제 2 식각 패턴 구조체(ES2)의 측면 상에 형성될 수 있다. 제 1 및 제 2 스페이서들(SP1, SP2)을 형성하는 것은 제 6 셀 및 제 6 주변 식각 패턴들(111a, 111b)의 상면들(1, 3)이 노출되도록 제 1 스페이서막(115)을 식각하는 것 및 [제 6 셀 및 제 6 주변 식각 패턴들(111a, 111b)을 식각하여] 제 6 셀 식각 패턴(111a)의 식각 및 제 6 주변 식각 패턴(111b)을 부분 식각을 통하여 제 5 셀 식각 패턴(109a)의 상면을 노출하는 것을 포함할 수 있다. 제 6 주변 식각 패턴(111b)의 두께(t2')는 제 6 셀 식각 패턴(111a)의 두께(t2)보다 충분히 커, 제 6 주변 식각 패턴(111b)은 제 6 셀 식각 패턴(111a)이 완전히 식각되어 제 5 셀 식각 패턴(109a)의 상면이 노출될 때까지 제 5 주변 식각 패턴(109b)의 상면 상에 남을 수 있다. 이에 따라, 제 5 주변 식각 패턴(109b)의 상면은 제 6 주변 식각 패턴(111b)으로 덮여 있어, 후속 공정을 위한 제 5 주변 식각 패턴(109b)이 안정적으로 확보될 수 있다. 식각 공정은 제 6 주변 식각 패턴(111b)의 상면(3) 및 측면, 및 제 5 주변 식각 패턴(109b)의 측면을 덮는 제 1 스페이서막(115)이 노출된 상태에서 수행될 수 있다. 다시 말해, 기관(100)의 주변회로 영역(20) 상에 형성된 제 1 스페이서막(115)은 어떠한 마스크 패턴에 의해 덮이지 않은 상태에서 식각 공정이 수행될 수 있다. 제 1 스페이서(SP1)의 높이(T3)는 제 5 셀 식각 패턴(109a)의 높이(t1)보다 클 수 있고, 제 2 스페이서(SP2)의 높이(T4)는 제 2 식각 패턴 구조체(ES2)의 높이(T2)보다 클 수 있다. 제 1 스페이서(SP1)의 높이(T3)는 제 2 스페이서(SP2)의 높이(T4) 보다 작을 수 있다(T3<T4). 식각 공정은 에치백 공정 또는 건식 식각 공정이 수행될 수 있다.

[0018] 도 1f를 참조하면, 제 5 셀 식각 패턴(109a)이 제거되어, 제 1 스페이서(SP1)의 내측벽(IS1)이 노출될 수 있다. 제 5 주변 식각 패턴(109b)은 제 6 주변 식각 패턴(111b) 및 제 2 스페이서(SP2)에 의해 보호되어 제 5 셀 식각 패턴(109a)이 제거되는 동안 제거되지 않을 수 있다. 제거 공정은 예를 들어, in-situ 건식식각 혹은 에싱 공정이 수행될 수 있다.

[0019] 도 1g를 참조하면, 제 1 스페이서(SP1), 제 2 스페이서(SP2), 및 제 2 식각 패턴 구조체(ES2)를 식각 마스크로 사용하여, 제 4 식각막(107) 및 제 3 식각막(105)을 차례로 식각할 수 있다. 이에 따라, 제 3 셀 식각 패턴(105a) 및 제 4 셀 식각 패턴(107a)이 기관(100)의 셀 영역(10) 상에 형성될 수 있고, 제 3 주변 식각 패턴(105b) 및 제 4 주변 식각 패턴(107b)이 기관(100)의 주변회로 영역(20) 상에 형성될 수 있다. 본 발명의 실시예에 있어서, 식각 공정은 제 2 스페이서(SP2) 및 제 2 식각 패턴 구조체(ES2) 상에 어떠한 마스크 패턴에 의해 덮이지 않은 상태에서 수행될 수 있다. 제 3 셀 식각 패턴(105a) 및 제 4 셀 식각 패턴(107a)은 제 2 식각막(103)의 상면 상에 차례로 형성될 수 있고, 제 3 주변 식각 패턴(105b) 및 제 4 주변 식각 패턴(107b)은 제 2 식각막(103)의 상면 상에 차례로 형성될 수 있다. 제 1 스페이서(SP1), 제 2 스페이서(SP2), 및 제 2 식각 패턴 구조체(ES2)은 제 4 식각막(107) 및 제 3 식각막(105)이 식각될 때 같이 식각되어 제거될 수 있다.

[0020] 제 1 스페이서(SP1)의 높이(T3)는 제 2 스페이서(SP2)의 높이(T4) 및 제 2 식각 패턴 구조체(ES2)의 높이(T2)보다 작고 제 3 셀 식각 패턴(105a)를 식각하는 동안 제 4 셀 식각패턴(107a)에 3차원 식각 효과가 발생하기 때문에, 제 1 스페이서(SP1)를 식각 마스크로 사용하여 형성된 제 3 셀 식각 패턴(105a)의 두께(T5)와 제 4 셀 식각 패턴(107a)의 두께(T6)의 합은 제 2 스페이서(SP2) 및 제 2 식각 패턴 구조체(ES2)를 식각 마스크로 사용하여 형성된 제 3 주변 식각 패턴(105b)의 두께(T7)와 제 4 주변 식각 패턴(107b)의 두께(T8)의 합보다 작을 수 있다(T5+T6<T7+T8). 제 3 셀 식각 패턴(105a)의 두께(T5)는 제 3 주변 식각 패턴(105b)의 두께(T7)와 실질적으로 동일할 수 있고(T5=T7), 제 4 셀 식각 패턴(107a)의 두께(T6)는 제 4 주변 식각 패턴(107b)의 두께(T8)보다 작을 수 있다(T6<T8). 즉, 제 4 셀 식각 패턴(107a)의 상면(5) 레벨은 제 4 주변 식각 패턴(107b)의 상면(7) 레벨보다 낮을 수 있다. 식각 공정은 예를 들어, 건식 식각 공정이 수행될 수 있다.

[0021] 본 발명의 실시예에 따르면, 제 1 스페이서막(115)을 형성하기 전에, 3차원 식각 효과를 활용하여, 제 6 셀 식각 패턴(111a)의 상면(1)과 제 6 주변 식각 패턴(111b)의 상면(3)의 레벨의 차이를 증가시켜 충분히 서로 다른 레벨을 갖도록 형성할 수 있다. 이에 따라, 제 5 셀 식각 패턴(109a)을 식각 하는 동안 기관(100)의 주변회로 영역(20) 상에 마스크로 사용되어야 하는 넓은 폭을 갖는 제 5 주변 식각 패턴(109b)을 보존하기 위해, 제 1 스페이서막(115)을 형성한 후에 기관(100)의 셀 영역(10)에만 국부적으로 노출시키기 위한 기관(100)의 주변회로 영역(20) 상의 마스크 패턴을 형성하는 공정을 생략할 수 있다. 제 1 스페이서막(115)을 형성한 후에 기관(100)의 셀 영역(10)에만 국부적으로 노출시키기 위한 기관(100)의 주변회로 영역(20) 상의 마스크 패턴을 형성하는 공정을 생략할 수 있다. 그 결과, 공정이 단순화될 수 있다.

[0022] 도 1h를 참조하면, 제 2 스페이서막(120)이 제 2 식각막(103) 상에 형성될 수 있다. 제 2 스페이서막(120)은 제 4 주변 식각 패턴(107b)의 상면 및 측면, 제 3 주변 식각 패턴(105b)의 측면, 제 3 셀 식각 패턴(105a)의 측면, 제 4 셀 식각 패턴(107a)의 상면, 및 제 3 셀 및 주변 식각 패턴들(105a, 105b)에 의해 노출된 제 2 식각막

(103)의 상면 일부분들을 컨포말하게 덮을 수 있다. 제 2 스페이서막(120)은 원자 층 증착법으로 형성될 수 있다. 제 2 스페이서막(120)은 예를 들어, 산화막일 수 있다.

[0023] 도 1i를 참조하면, 제 2 스페이서막(120) 및 제 2 식각막(103)을 식각하여 제 2 셀 식각 패턴(103a), 제 3 스페이서(SP3), 제 2 주변 식각 패턴(103b), 및 제 4 스페이서(SP4)가 형성될 수 있다. 제 2 셀 식각 패턴(103a) 및 제 3 스페이서(SP3)가 기관(100)의 셀 영역(10) 상에 형성될 수 있고, 제 2 주변 식각 패턴(103b) 및 제 4 스페이서(SP4)가 기관(100)의 주변회로 영역(20) 상에 형성될 수 있다. 제 3 스페이서(SP3) 및 제 4 스페이서(SP4)는 제 2 스페이서막(120)에 식각 공정을 수행하여, 제 3 셀 식각 패턴(105a)의 상면 및 제 4 주변 식각 패턴(107b)의 상면을 노출시킬 수 있다. 식각 공정으로, 제 4 셀 식각 패턴(107a)이 제거될 수 있다. 제 3 스페이서(SP3)는 제 3 셀 식각 패턴(105a)의 측면 상에 형성될 수 있고, 제 4 스페이서(SP4)는 제 3 주변 식각 패턴(105b)의 측면 및 제 4 주변 식각 패턴(107b)의 측면 상에 형성될 수 있다.

[0024] 제 3 셀 식각 패턴(105a)이 제거될 수 있다. 제 3 셀 식각 패턴(105a)이 제거될 동안, 제 3 스페이서(SP3), 제 4 스페이서(SP4), 제 3 주변 식각 패턴(105b) 및 제 4 주변 식각 패턴(107b)이 식각되지 않을 수 있다. 제 3 셀 식각 패턴(105a)에 대해 식각 선택성을 갖지 않는 제 3 주변 식각 패턴(105b)은 제 4 주변 식각 패턴(107b) 및 제 4 스페이서(SP4)에 의해 덮여, 제 3 셀 식각 패턴(105a)이 제거될 때 같이 제거되지 않을 수 있다. 제 3 셀 식각 패턴(105a)은 건식 식각 또는 애싱(ashing) 공정으로 제거될 수 있다.

[0025] 제 2 셀 식각 패턴(103a) 및 제 2 주변 식각 패턴(103b)은 제 3 스페이서(SP3), 제 4 스페이서(SP4), 제 3 주변 식각 패턴(105b), 및 제 4 주변 식각 패턴(107b)을 식각 마스크로 사용하여, 제 2 식각막(103)을 식각하여 형성될 수 있다. 제 2 식각막(103)을 식각하는 동안, 제 4 주변 식각 패턴(107b)은 제거되어 제 3 주변 식각 패턴(105b)의 상면이 노출될 수 있고, 제 3 및 제 4 스페이서들(SP3, SP4)의 두께들은 감소될 수 있다. 제 3 스페이서(SP3)는 제 2 셀 식각 패턴(103a)의 상면 상에 배치될 수 있고, 제 4 스페이서(SP4)는 제 2 주변 식각 패턴(103b)의 상면 및 제 3 주변 식각 패턴(105b)의 측면 상에 배치될 수 있다. 제 2 셀 식각 패턴(103a)의 폭(W4)은 제 3 스페이서(SP3)의 폭(W3)과 비례하게 형성될 수 있고($W4 \propto W3$), 제 2 주변 식각 패턴(103b)의 폭(W7)은 제 4 스페이서(SP4)의 폭(W5) 및 제 3 주변 식각 패턴(105b)의 폭(W6)의 합과 비례하게 형성될 수 있다 ($W7 \propto W5+W6$).

[0026] 도 1i 이후의 후속 공정은 활성 핀(AF) 및 주변 핀(PF)을 형성하는 공정을 설명하도록 한다.

[0027] 도 2a 및 도 2b를 참조하면, 제 3 주변 식각 패턴(105b)이 제거될 수 있다. 이에 따라, 제 2 주변 식각 패턴(103b)의 상면이 노출될 수 있다. 제 3 주변 식각 패턴(105b)이 식각될 동안, 제 3 주변 식각 패턴(105b)에 대해 식각 선택성을 갖는 제 3 및 제 4 스페이서들(SP3, SP4) 및 제 2 주변 식각 패턴(103b)은 식각되지 않을 수 있다. 제 7 식각막(130)이 제 1 식각막(101) 상에 형성될 수 있다. 제 7 식각막(130)은 제 2 주변 식각 패턴(103b), 제 3 및 제 4 스페이서들(SP3, SP4), 제 2 셀 식각 패턴(103a), 및 제 2 셀 및 제 2 주변 식각 패턴들(103a, 103b)에 의해 노출된 제 1 식각막(101)의 상면을 덮을 수 있다. 제 7 식각막(130)은 제 3 스페이서(SP3)에 대한 식각 선택성을 갖는 물질을 포함할 수 있다. 예를 들어, 제 7 식각막(130)은 에스오에이치막(spin on hardmask; SOH) 또는 비정질 탄소막(amorphous carbon layer; ACL)일 수 있다.

[0028] 제 2 마스크 패턴(140)이 제 7 식각막(130) 상에 형성될 수 있다. 제 2 마스크 패턴(140)은 제 7 식각막(130)의 상면을 덮을 수 있다. 제 2 마스크 패턴(140)은 제 1 개구부들(P1) 및 제 2 개구부들(P2)을 포함할 수 있다. 제 1 개구부들(P1)은 기관(100)의 셀 영역(10) 상에 배치될 수 있고, 제 2 개구부(P2)는 기관(100)의 주변 회로 영역(20) 상에 배치될 수 있다. 제 1 개구부들(P1)은 기관(100)의 셀 영역(10) 상에 배치된 제 7 식각막(130)의 일부분들, 제 2 셀 식각 패턴(103a)의 일부분들, 및 제 3 스페이서(SP3)의 일부분들과 수직적으로 중첩할 수 있다. 제 2 개구부(P2)는 기관(100)의 주변회로 영역(20) 상에 배치된 제 7 식각막(130)의 일부분, 및 제 2 주변 식각 패턴(103b)의 일부분과 수직적으로 중첩할 수 있다. 제 2 마스크 패턴(140)은 예를 들어, 실리콘 질화 산화막일 수 있다.

[0029] 도 3a 및 도 3b를 참조하면, 제 2 마스크 패턴(140)을 식각 마스크로 사용하여, 제 7 식각막(130), 제 3 스페이서(SP3), 제 2 셀 식각 패턴(103a), 및 제 2 주변 식각 패턴(103b)을 식각할 수 있다. 이에 따라, 제 3 스페이서(SP3)는 복수 개의 제 3 스페이서 패턴들(SP3')로 분리될 수 있고, 제 2 셀 식각 패턴(103a)은 복수 개의 분리 패턴들(103a')로 분리될 수 있다. 제 2 주변 식각 패턴(103b)은 복수 개의 주변 분리 패턴들(103b')로 분리될 수 있다. 식각 공정이 끝난 후, 제 2 마스크 패턴(140) 및 제 7 식각막(130)은 제거되어, 복수 개의 분리 패턴들(103a'), 복수 개의 제 3 스페이서 패턴들(SP3'), 제 4 스페이서(SP4), 및 복수 개의 주변 분리 패턴들(103b')이 노출될 수 있다.

- [0030] 도 4를 참조하면, 복수 개의 분리 패턴들(103a'), 복수 개의 제 3 스페이서 패턴들(SP3'), 제 4 스페이서(SP4), 및 복수 개의 주변 분리 패턴들(103b')을 식각 마스크로 사용하여, 제 1 식각막(101)을 패터닝할 수 있다. 이에 따라, 제 1 셀 식각 패턴(101a) 및 제 1 주변 식각 패턴들(101b)이 형성될 수 있다. 제 1 셀 식각 패턴(101a)은 기관(100)의 셀 영역(10) 상에 형성될 수 있고, 제 1 주변 식각 패턴들(101b)은 기관(100)의 주변회로 영역(20) 상에 형성될 수 있다. 식각 공정 동안에, 제 4 스페이서(SP4) 및 제 3 스페이서 패턴들(SP3')은 제거될 수 있고, 복수 개의 분리 패턴들(103a')의 두께들 및 주변 분리 패턴들(103b')의 두께는 감소될 수 있다. 복수 개의 분리 패턴들(103a') 각각은 제 1 셀 식각 패턴(101a)의 상면 상에 남아있을 수 있고, 제 2 주변 식각 패턴(103b)은 제 1 주변 식각 패턴(101b)의 상면 상에 남아있을 수 있다.
- [0031] 도 5를 참조하면, 분리 패턴(103a'), 제 1 셀 식각 패턴(101a), 및 제 2 주변 식각 패턴(103b), 및 제 1 주변 식각 패턴(101b)을 식각 마스크로 사용하여 기관(100)을 식각하여, 활성 핀(AF) 및 주변 핀(PF)이 형성될 수 있다. 활성 핀(AF)은 기관(100)의 셀 영역(10) 상에 형성될 수 있고, 주변 핀(PF)은 기관(100)의 주변회로 영역(20) 상에 형성될 수 있다. 활성 핀(AF) 및 주변 핀(PF)은 기관(100)의 일부를 식각하여 형성된 트렌치(T)의 바닥면으로부터 돌출될 수 있다. 식각 공정 동안에, 분리 패턴(103a') 및 제 2 주변 식각 패턴(103b)은 제거될 수 있고, 제 1 셀 식각 패턴(101a)의 두께 및 제 1 주변 식각 패턴(101b)의 두께는 감소될 수 있다. 제 1 셀 식각 패턴(101a)은 활성 핀(AF)의 상면 상에 남아있을 수 있고, 제 1 주변 식각 패턴(101b)은 주변 핀(PF)의 상면 상에 남아있을 수 있다.
- [0032] 도 6을 참조하면, 기관(100) 상에 존재하는 제 1 셀 식각 패턴(101a) 및 제 1 주변 식각 패턴(101b)을 제거 할 수 있다. 제거 공정은 습식 식각을 수행할 수 있다.
- [0033] 도 7a 내지 도 7d는 본 발명의 실시예에 따른 반도체 장치의 제조 방법을 나타낸 단면도들이다. 설명의 간결함을 위해, 본 발명의 실시예에 따른 반도체 장치에서 설명된 동일한 구성요소에 대해서는 동일한 도면부호를 사용하며, 중복되는 설명은 생략하기로 한다.
- [0034] 도 1a 및 도 7a를 같이 참조하면, 제 1 마스크 패턴(113)을 식각 마스크로 사용하여 제 6 식각막(111)을 식각하여, 제 6 셀 식각 패턴(111a) 및 제 6 주변 식각 패턴(111b)을 형성할 수 있다. 제 6 셀 식각 패턴(111a)의 두께(t2)는 제 6 주변 식각 패턴(111b)의 두께(t2')와 실질적으로 동일할 수 있다. 제 6 셀 식각 패턴(111a)의 상면(1) 레벨과 제 6 주변 식각 패턴(111b)의 상면(3) 레벨은 실질적으로 동일할 수 있다. 제 6 셀 식각 패턴(111a) 및 제 6 주변 식각 패턴(111b)을 식각 마스크로 사용하여, 제 5 식각막(109)의 상면 일부분들을 리세스할 수 있다. 리세스 공정은 제 6 셀 식각 패턴(111a) 및 제 6 주변 식각 패턴(111b)에 대한 식각 선택성을 갖는 제 1 식각 조건을 사용할 수 있다. 다시 말해, 제 1 식각 조건은 제 6 셀 식각 패턴(111a) 및 제 6 주변 식각 패턴(111b) 보다 제 5 식각막(109)을 더 빨리 식각할 수 있다. 본 발명의 실시예에 있어서, 제 1 식각 조건은 제 6 셀 식각 패턴(111a) 및 제 6 주변 식각 패턴(111b)에 대한 식각 선택성을 갖는 제 1 식각 가스를 사용하는 것을 포함할 수 있다. 제 6 셀 식각 패턴(111a)의 폭(W1)은 제 6 주변 식각 패턴(111b)의 폭(W2) 보다 작을 수 있다(W1<W2).
- [0035] 예를 들어, 제 5 식각막(109)은 제 6 셀 식각 패턴(111a) 아래에 배치된 제 1 부분(P1), 제 6 주변 식각 패턴(111b) 아래에 배치된 제 2 부분(P2), 제 6 셀 식각 패턴(111a)과 제 6 주변 식각 패턴(111b) 사이에 위치하는 제 3 부분(P3), 및 서로 인접하는 복수 개의 제 6 셀 식각 패턴들(111a) 사이에 위치하는 제 4 부분(P4)을 포함할 수 있다. 제 1 부분(P1)의 두께(Ta)와 제 2 부분(P2)의 두께(Tb)는 서로 동일할 수 있다(Ta=Tb). 제 3 부분(P3)의 두께(Tc)와 제 4 부분(P4)의 두께(Td)는 서로 동일할 수 있다(Tc=Td). 제 1 부분(P1)의 두께(Ta)와 제 2 부분(P2)의 두께(Tb)는 제 3 부분(P3)의 두께(Tc) 및 제 4 부분(P4)의 두께(Td)보다 클 수 있다(Ta, Tb>Tc, Td).
- [0036] 도 7b를 참조하면, 제 6 셀 식각 패턴(111a) 및 제 6 주변 식각 패턴(111b)을 식각할 수 있다. 이에 따라, 3차원 식각 효과로 인해, 제 6 셀 식각 패턴(111a)이 제 6 주변 식각 패턴(111b) 보다 더 많이 식각될 수 있다. 예를 들어, 제 6 셀 식각 패턴(111a)의 두께(t2)는 제 6 주변 식각 패턴(111b)의 두께(t2') 보다 작을 수 있다(t2<t2'). 제 6 셀 식각 패턴(111)의 상면(1) 레벨과 제 6 주변 식각 패턴(111b)의 상면(3) 레벨은 서로 다를 수 있다. 예를 들어, 제 6 셀 식각 패턴(111a)의 상면(1) 레벨은 제 6 주변 식각 패턴(111b)의 상면(3) 레벨 보다 낮을 수 있다. 식각 공정은 제 5 식각막(109)에 대한 식각 선택성을 갖는 제 2 식각 가스를 사용할 수 있다. 다시 말해, 제 2 식각 가스는 제 5 식각막(109) 보다 제 6 셀 및 제 6 주변 식각 패턴들(111a, 111b)을 더 빨리 식각할 수 있다. 제 6 셀 식각 패턴(111a)의 상면(1)은 볼록한 돔 형상을 가질 수 있다.
- [0037] 도 7c를 참조하면, 제 6 셀 식각 패턴(111a) 및 제 6 주변 식각 패턴(111b)을 식각 마스크로 사용하여, 제 5 식

각막(109)의 제 3 부분(P3) 및 제 4 부분(P4)을 식각할 수 있다. 이에 따라, 제 5 셀 식각 패턴(109a) 및 제 5 주변 식각 패턴(109b)이 형성될 수 있다. 식각 공정으로, 제 4 식각막(107)의 상면 일부분들이 노출될 수 있다. 식각 공정은 제 1 식각 조건을 사용할 수 있다. 제 5 셀 식각 패턴(109a)의 두께(t1)는 제 5 식각막(109)의 제 1 부분(P1)의 두께(Ta, 도 6b 참조)와 실질적으로 동일할 수 있고, 제 5 주변 식각 패턴(109b)의 두께(t2)는 제 5 식각막(109)의 제 2 부분(P2)의 두께(Tb, 도 6b 참조)와 실질적으로 동일할 수 있다.

[0038] 도 7d를 참조하면, 제 2 식각 조건을 사용하여, 제 6 셀 식각 패턴(111a)의 두께(t2)를 감소시킬 수 있다. 본 발명의 실시예에 있어서, 제 2 식각 조건은 제 6 셀 식각 패턴(111a)의 두께(t2)를 감소시키는 제 2 식각 가스를 사용하는 것을 포함할 수 있다. 이에 따라, 제 2 식각 조건을 사용하여 식각된 제 6 셀 식각 패턴(111a)은 식각 공정 전의 두께(t2) 보다 작은 두께(t3)를 갖도록 형성될 수 있다. 즉, 3차원 식각 효과로 인해, 제 6 셀 식각 패턴(111a)의 상면(1)과 제 6 주변 식각 패턴(111b)의 상면(3) 사이의 단차는 도 6b에 도시된 제 6 셀 식각 패턴(111a)의 상면(1)과 제 6 주변 식각 패턴(111b)의 상면 사이의 단차 보다 더 커질 수 있다. 제 4 식각막(107)은 제 6 셀 및 제 6 주변 식각 패턴들(111a, 111b)과 동일한 물질을 포함하고 있어, 제 5 셀 식각 패턴(109a) 및 제 5 주변 식각 패턴(109b)에 노출된 제 4 식각막(107)의 상면이 리세스될 수 있다. 이후의 공정은 도 1d 내지 도 1i를 참조하여 설명한 것과 동일하므로 생략하도록 한다.

[0039] 도 8a 및 도 8b는 본 발명의 실시예에 따른 반도체 장치의 제조 방법을 나타낸 단면도들이다. 설명의 간결함을 위해, 본 발명의 실시예에 따른 반도체 장치에서 설명된 동일한 구성요소에 대해서는 동일한 도면부호를 사용하며, 중복되는 설명은 생략하기로 한다.

[0040] 도 8a를 참조하면, 제 6 셀 식각 패턴(111a) 및 제 6 주변 식각 패턴(111b)을 식각 마스크로 사용하여, 제 5 식각막(109)의 상면 일부분들을 리세스할 수 있다. 제 6 셀 식각 패턴(111a) 및 제 6 주변 식각 패턴(111b)에 대한 식각 선택성을 갖는 제 1 식각 조건을 사용할 수 있다. 본 발명의 실시예에 있어서, 제 1 식각 조건은 식각 선택성을 갖기 위하여 낮은 바이어스 전압을 사용하는 것을 포함할 수 있다.

[0041] 도 8b를 참조하면, 제 6 셀 식각 패턴(111a) 및 제 6 주변 식각 패턴(111b)을 식각 마스크로 사용하여, 제 5 식각막(109)의 제 3 부분(P3) 및 제 4 부분(P4)을 식각할 수 있다. 이에 따라, 제 5 셀 식각 패턴(109a) 및 제 5 주변 식각 패턴(109b)이 형성될 수 있다. 식각 공정은 제 5 식각막(109)에 대한 식각 선택성을 낮추고 3차원 효과가 높은 위한 제 2 식각 조건을 사용할 수 있다. 본 발명의 실시예에 있어서, 제 2 식각 조건은 제 1 식각 조건 보다 높은 바이어스 전압을 사용하는 것을 포함할 수 있으며, 동일한 식각 가스를 사용할 수 있다. 높은 바이어스 전압으로 인해, 제 1 식각 조건으로 제 5 식각막(109) 및 제 6 셀 및 제 6 주변 식각 패턴들(111a, 111b)이 같이 식각될 수 있다. 3차원 식각 효과로 인해, 제 2 식각 조건으로 제 6 셀 식각 패턴(111a)이 제 6 주변 식각 패턴(111b) 보다 더 많이 식각될 수 있다. 예를 들어, 제 6 셀 식각 패턴(111a)의 두께(t2)는 제 6 주변 식각 패턴(111b)의 두께(t2') 보다 작을 수 있다(t2 < t2'). 그리고, 제 6 셀 식각 패턴(111a)의 상면(1) 레벨은 제 6 주변 식각 패턴(111b)의 상면(3) 레벨 보다 낮을 수 있다. 제 4 식각막(107)은 제 6 셀 및 제 6 주변 식각 패턴들(111a, 111b)과 동일한 물질을 포함하고 있어, 제 5 셀 식각 패턴(109a) 및 제 5 주변 식각 패턴(109b)에 노출된 제 4 식각막(107)의 상면이 리세스될 수 있다. 제 2 식각 조건만으로 제 5 식각막(109)을 식각하여도 제 6 셀 식각 패턴(111a)의 잔량이 충분한 경우 제 2 식각 조건만으로 제 5 식각막(109)을 식각하면서 동시에 제 6 식각막(111a, 111b)의 레벨 차이를 구현할 수 있다. 이후의 공정은 도 1d 내지 도 1i를 참조하여 설명한 것과 동일하므로 생략하도록 한다.

[0042] 도 9a 및 도 9b는 본 발명의 실시예에 따른 반도체 장치의 제조 방법을 나타낸 단면도들이다. 설명의 간결함을 위해, 본 발명의 실시예에 따른 반도체 장치에서 설명된 동일한 구성요소에 대해서는 동일한 도면부호를 사용하며, 중복되는 설명은 생략하기로 한다.

[0043] 도 1a 및 도 9a를 같이 참조하면, 제 1 마스크 패턴(113)을 식각 마스크로 사용하여 제 6 식각막(111) 및 제 5 식각막(109)을 패터닝할 수 있다. 이에 따라, 제 1 식각 패턴 구조체(ES1) 및 제 2 식각 패턴 구조체(ES2)가 기판(100) 상에 형성될 수 있다. 도 8a에 대한 설명은 도 1b에 대한 설명과 동일하므로, 생략하도록 한다.

[0044] 도 9b를 참조하면, 클리닝 공정을 수행하여, 제 1 식각 패턴 구조체(ES1) 및 제 2 식각 패턴 구조체(ES2)를 식각할 수 있다. 클리닝 공정은 예를 들어, 불산(HF)을 사용할 수 있다. 3차원 식각 효과로 인해, 제 6 셀 식각 패턴(111a)이 제 6 주변 식각 패턴(111b) 보다 더 많이 식각될 수 있다. 제 1 식각 패턴 구조체(ES1)의 두께(T1)가 제 2 식각 패턴 구조체(ES2)의 두께(T2) 보다 작아질 수 있고(T1 < T2), 제 1 식각 패턴 구조체(ES1)의 상면(1) 레벨은 제 2 식각 패턴 구조체(ES2)의 상면(3) 레벨보다 낮을 수 있다. 예를 들어, 제 6 셀 식각 패턴(111a)의 두께(t2)는 제 6 주변 식각 패턴(111b)의 두께(t2') 보다 충분히 작아질 수 있다(t2 < t2'). 제 5 셀

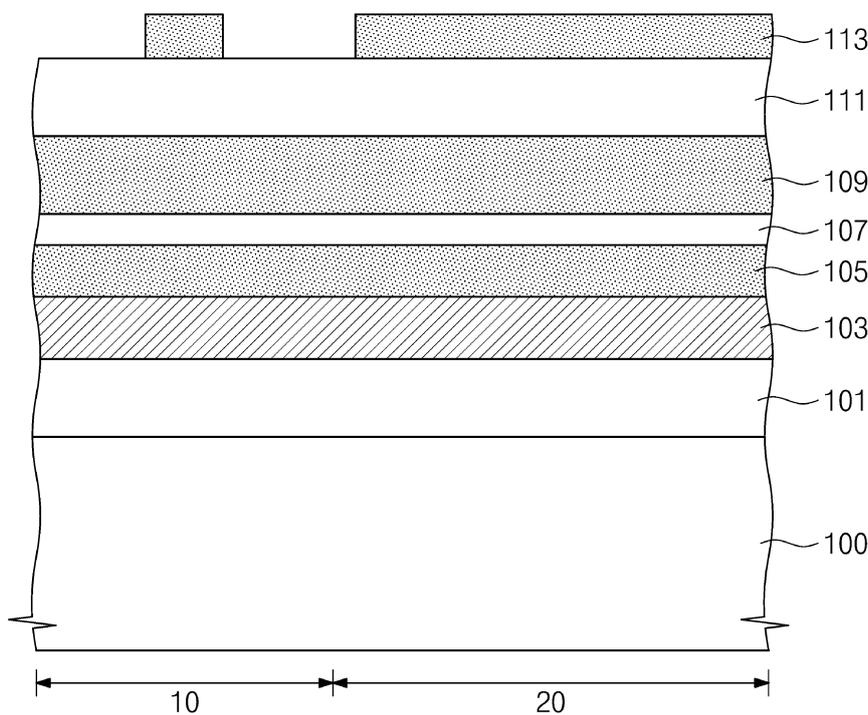
식각 패턴(109a)의 두께(t1)는 제 5 주변 식각 패턴(109b)의 두께(t1')와 실질적으로 동일할 수 있다(t1=t1'). 제 6 셀 식각 패턴(111a)의 상면(1) 레벨은 제 6 주변 식각 패턴(111b)의 상면(3) 레벨보다 낮을 수 있다. 제 4 식각막(107)은 제 6 셀 및 제 6 주변 식각 패턴들(111a, 111b)과 동일한 물질을 포함하고 있어, 제 5 셀 식각 패턴(109a) 및 제 5 주변 식각 패턴(109b)에 노출된 제 4 식각막(107)의 상면이 리세스될 수 있다. 이후의 공정은 도 1d 내지 도 1i를 참조하여 설명한 것과 동일하므로 생략하도록 한다.

[0045]

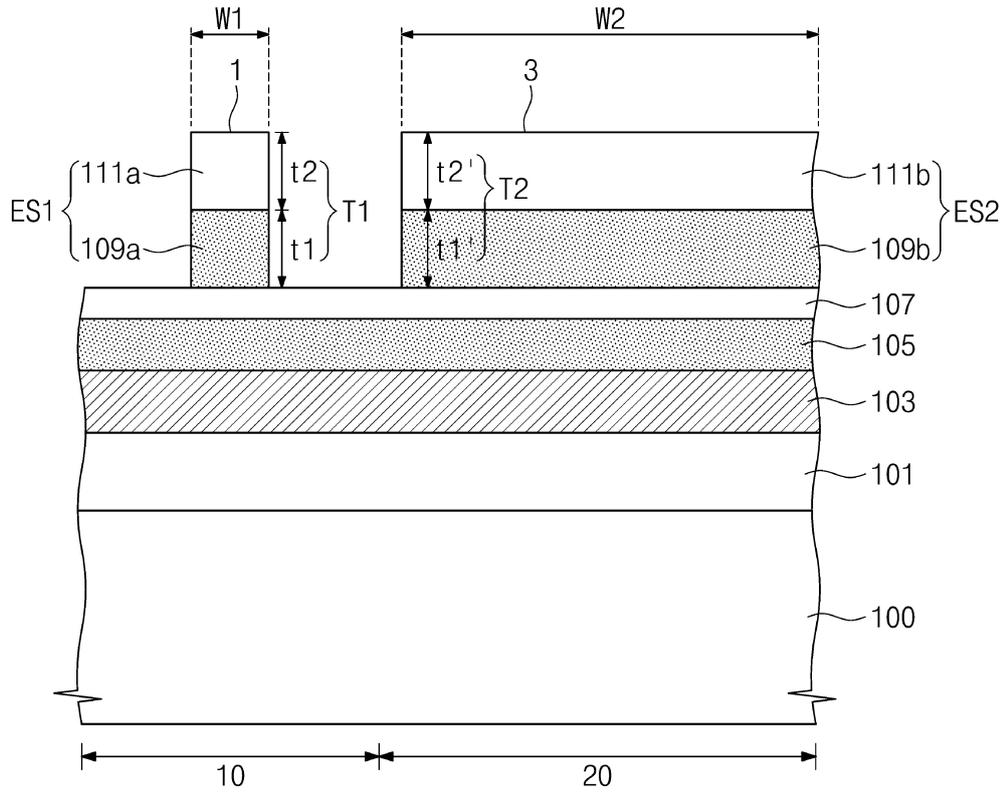
이상, 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예에는 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

도면

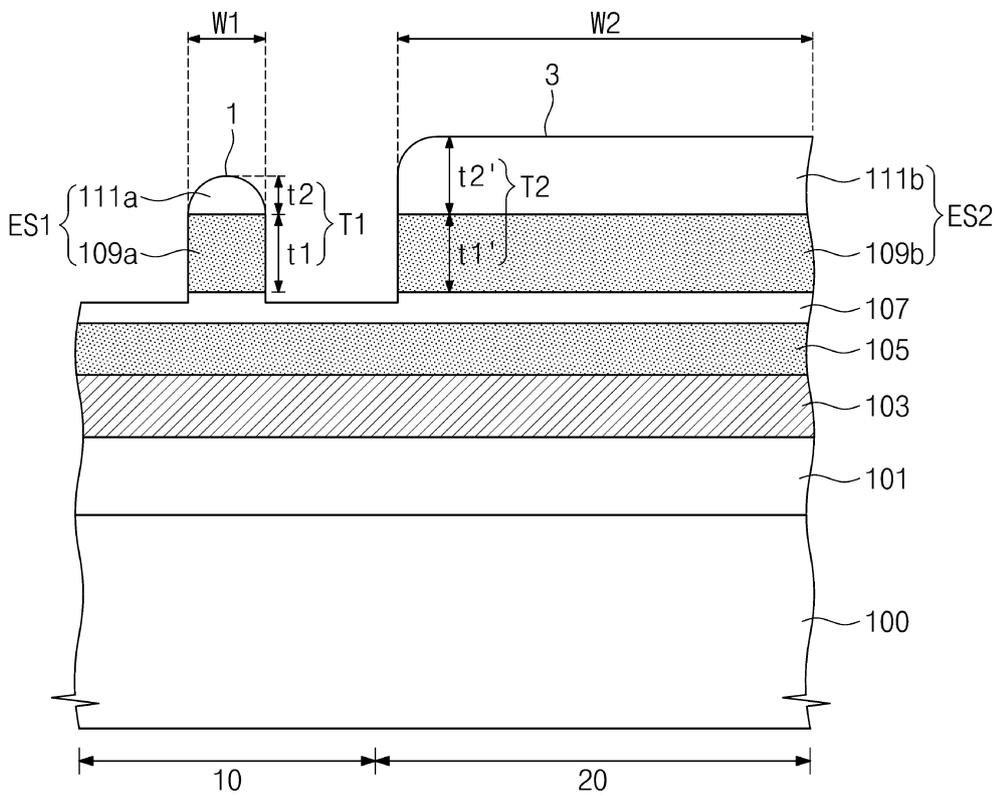
도면1a



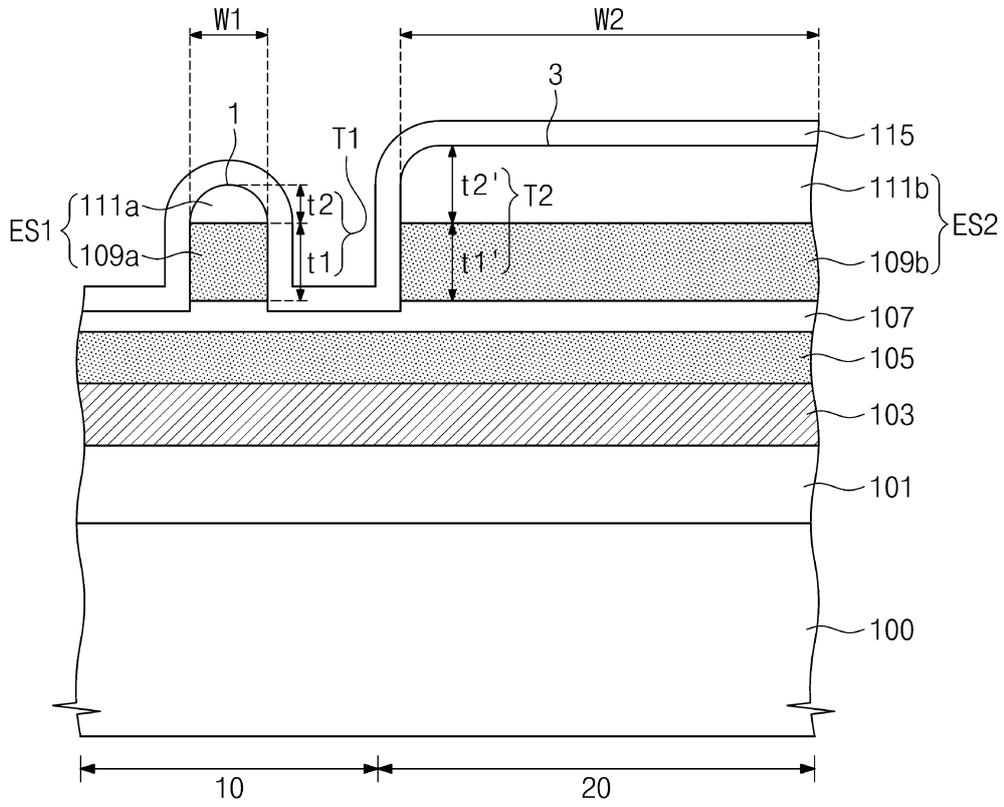
도면1b



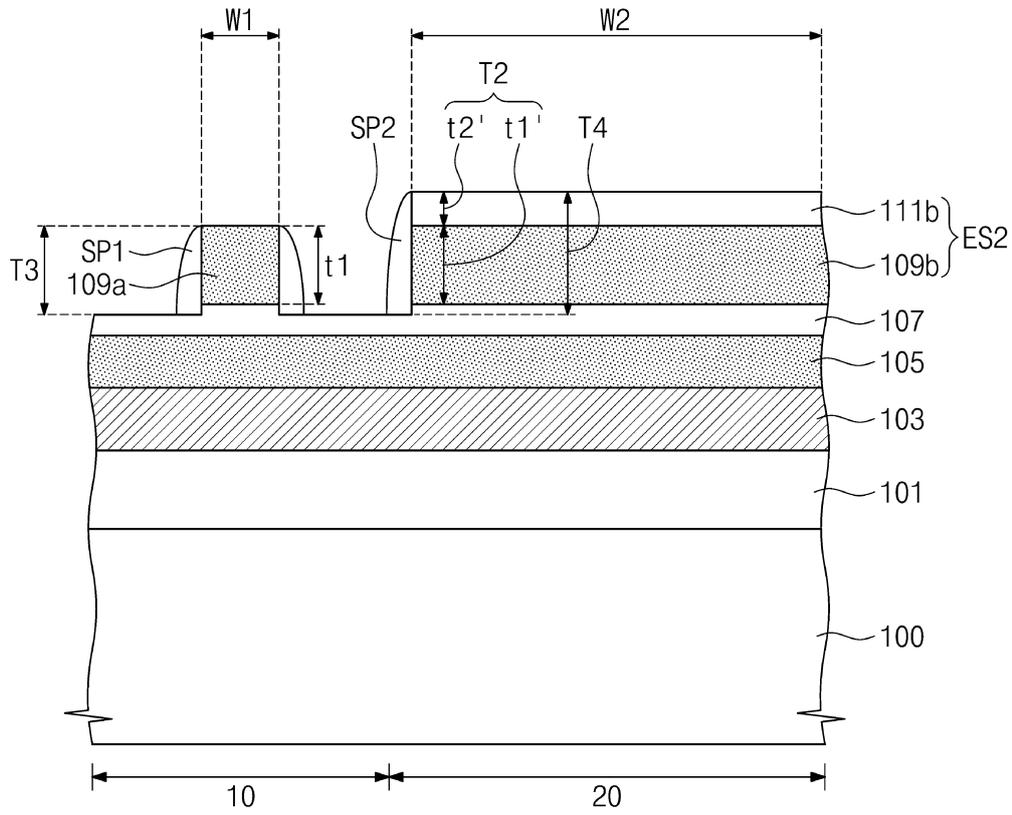
도면1c



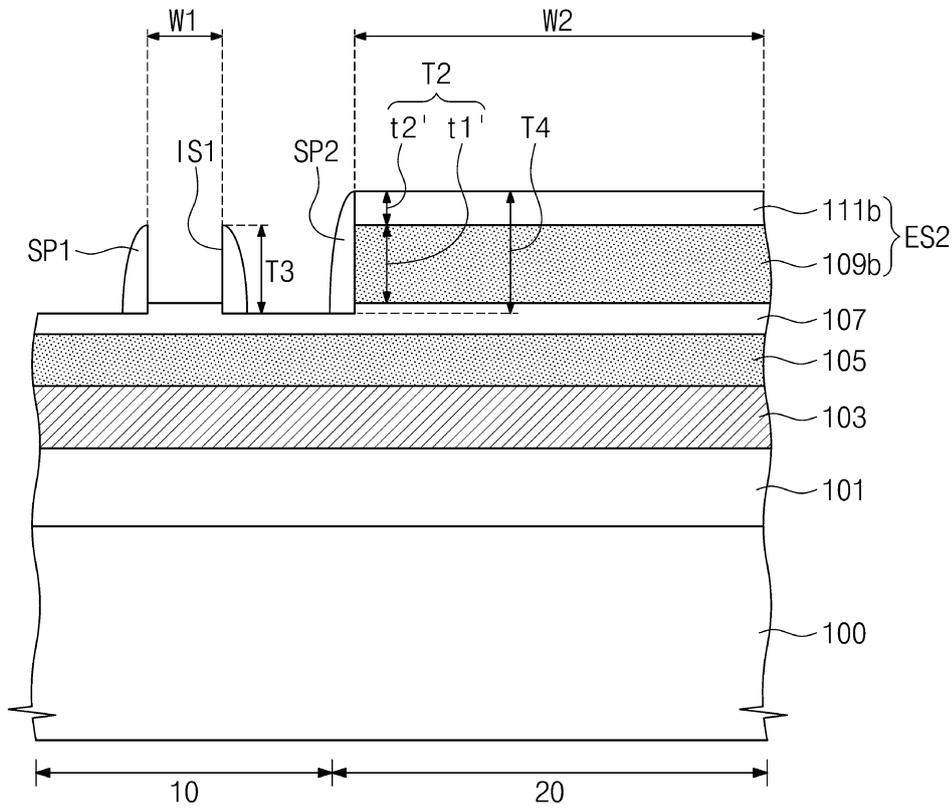
도면1d



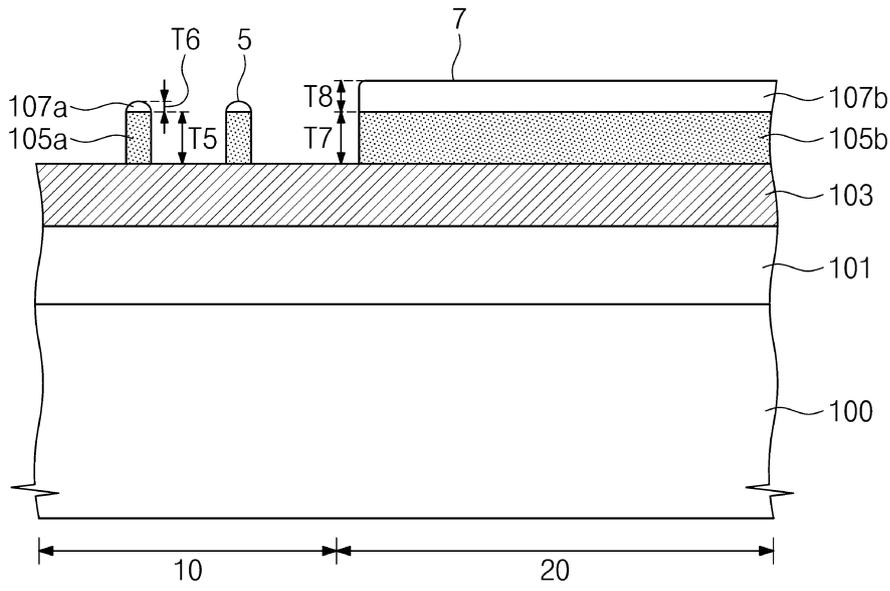
도면1e



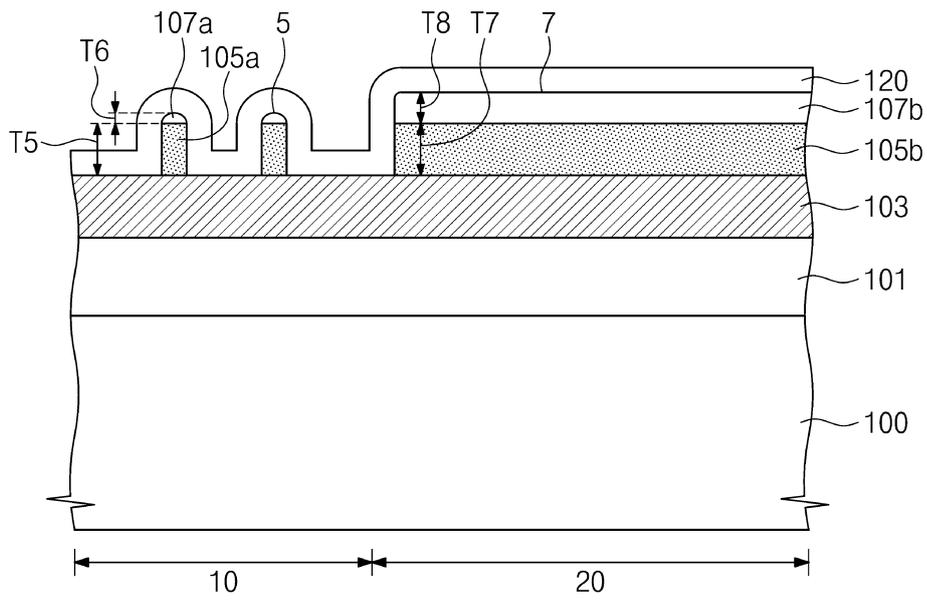
도면1f



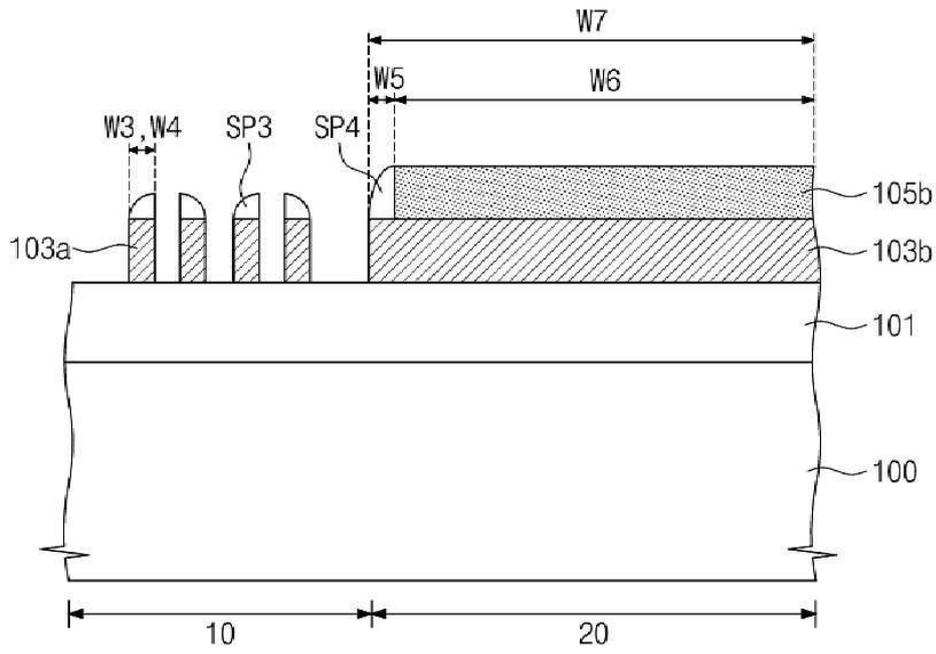
도면1g



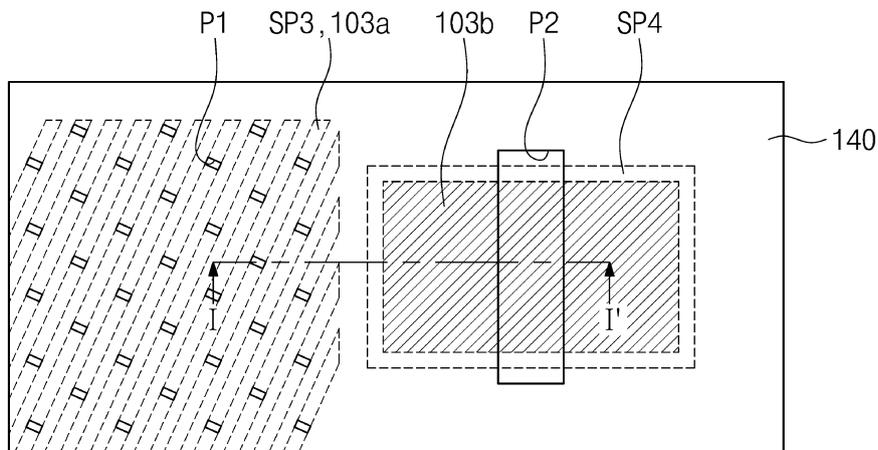
도면1h



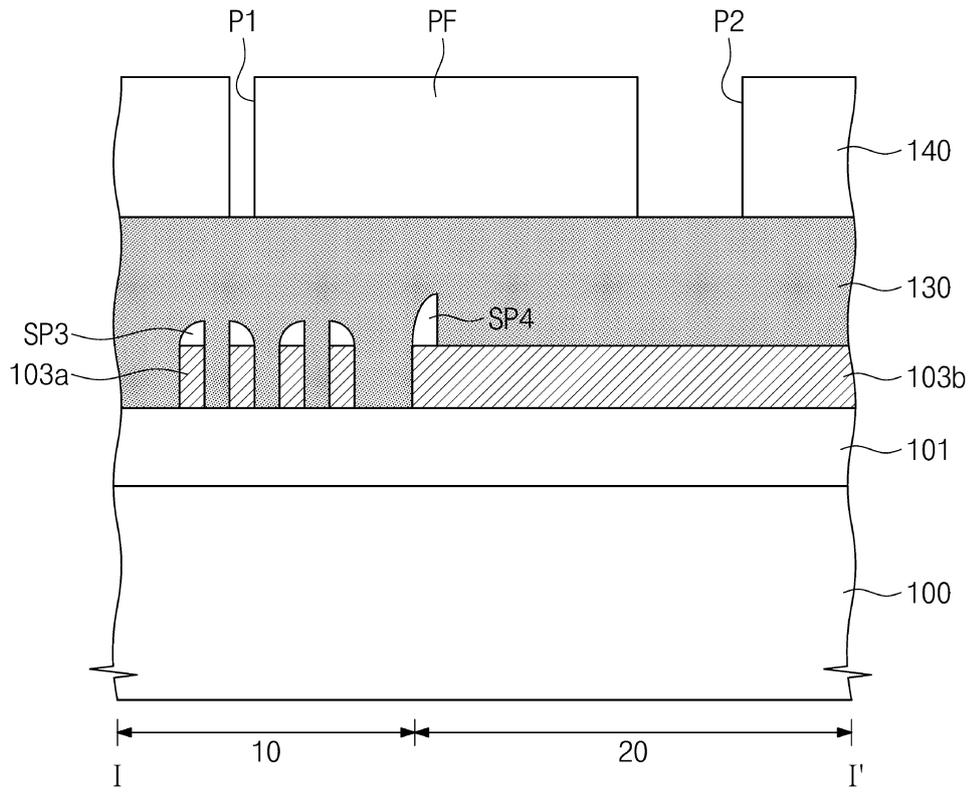
도면1i



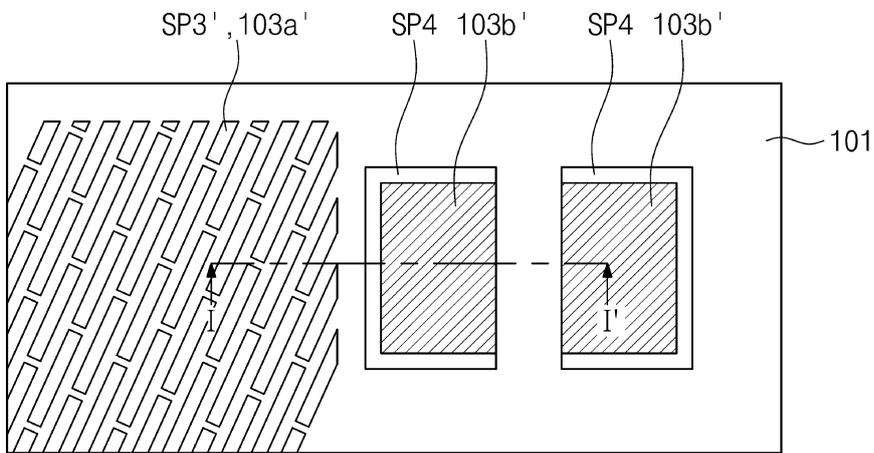
도면2a



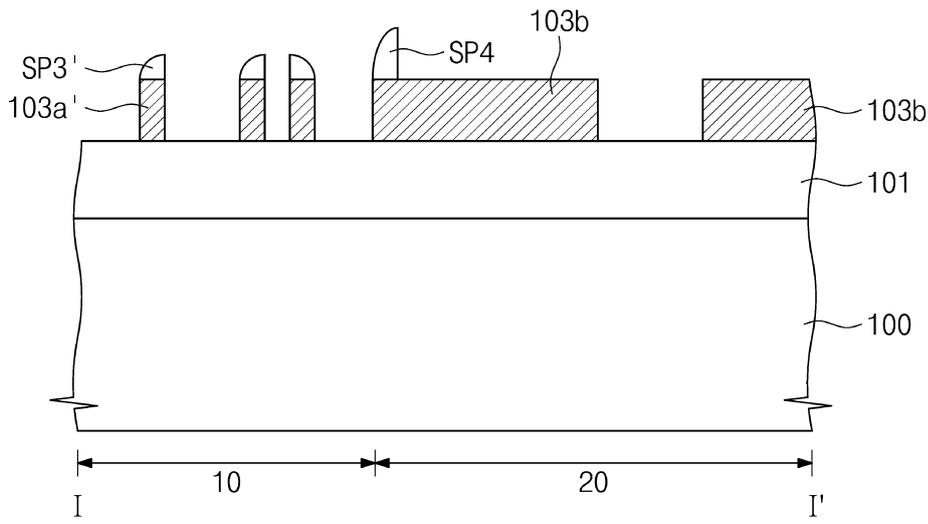
도면2b



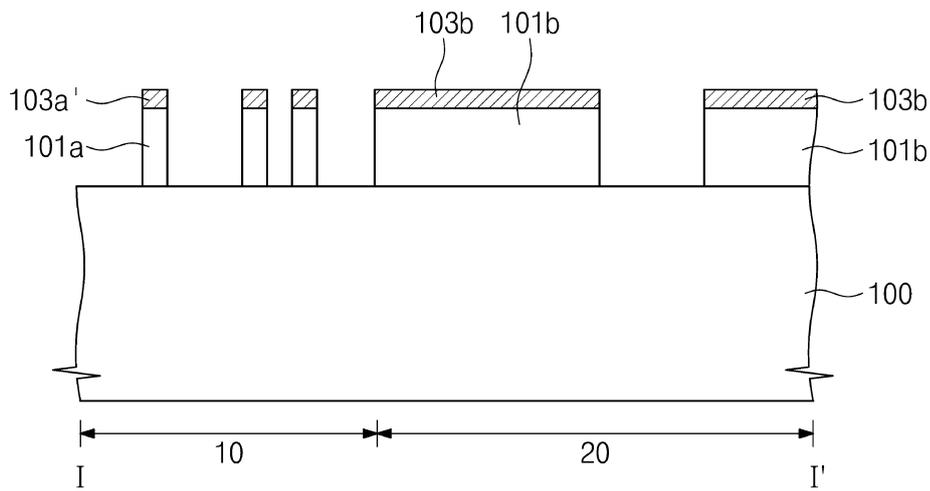
도면3a



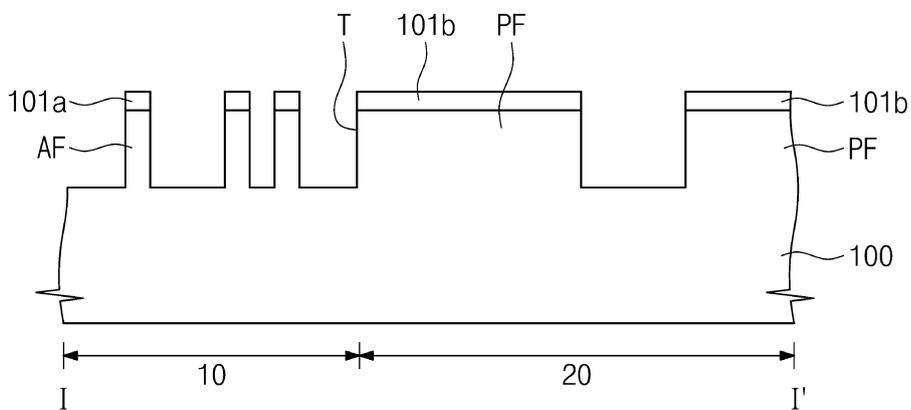
도면3b



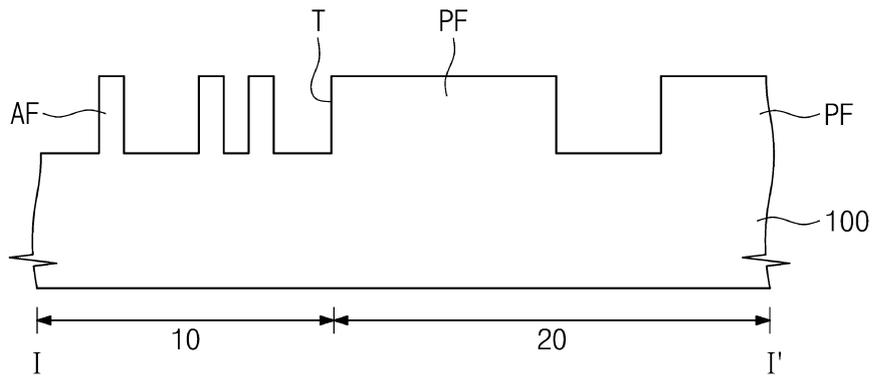
도면4



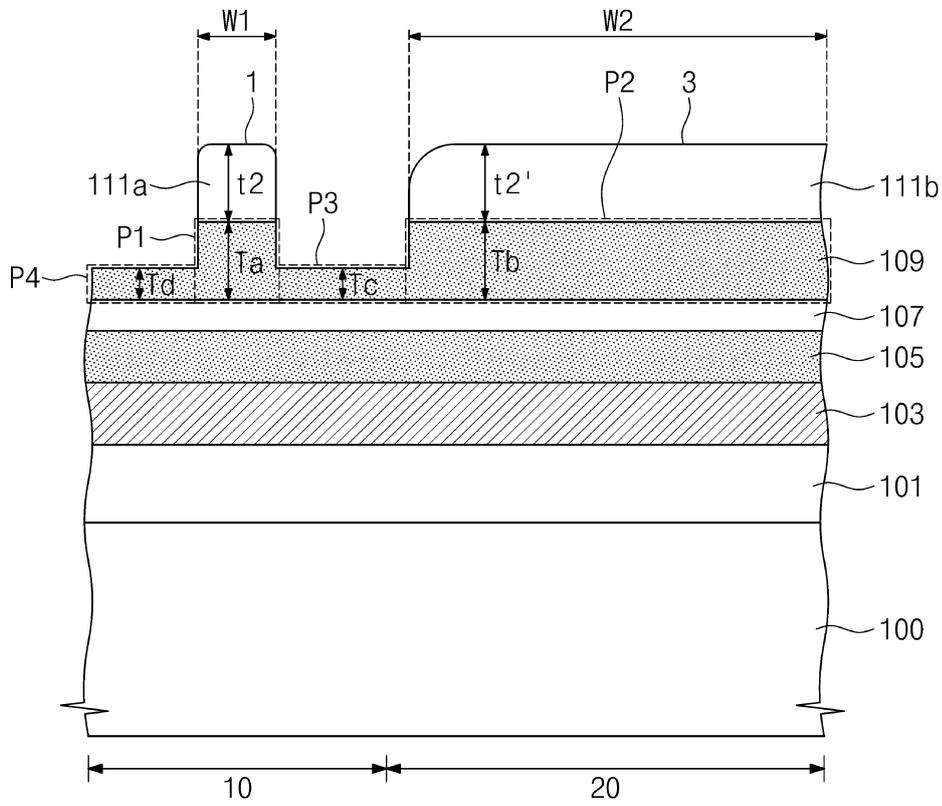
도면5



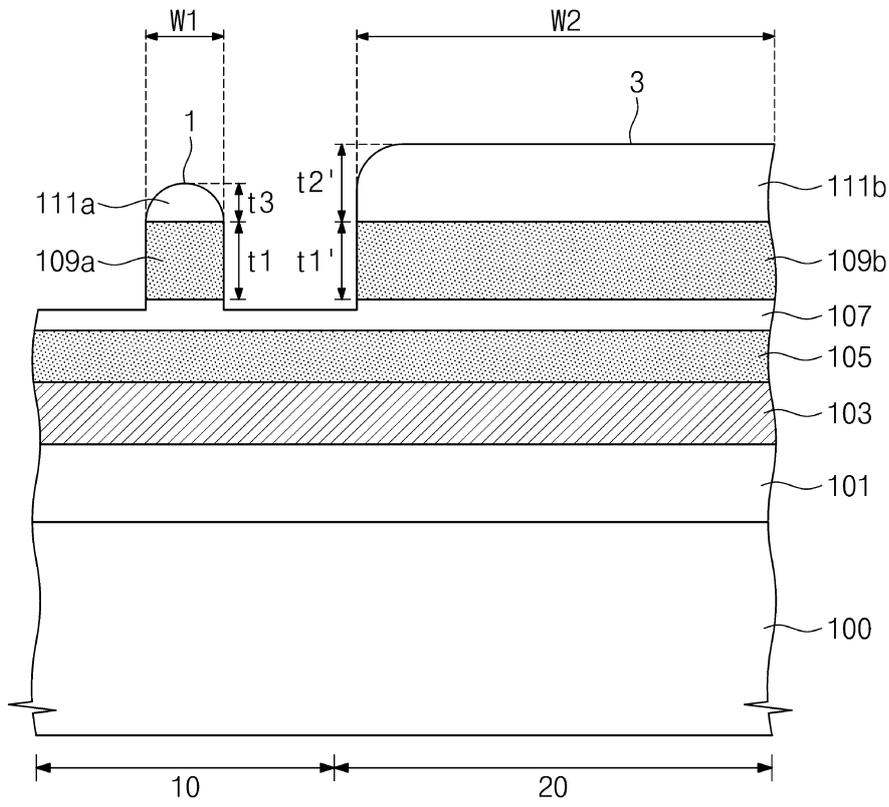
도면6



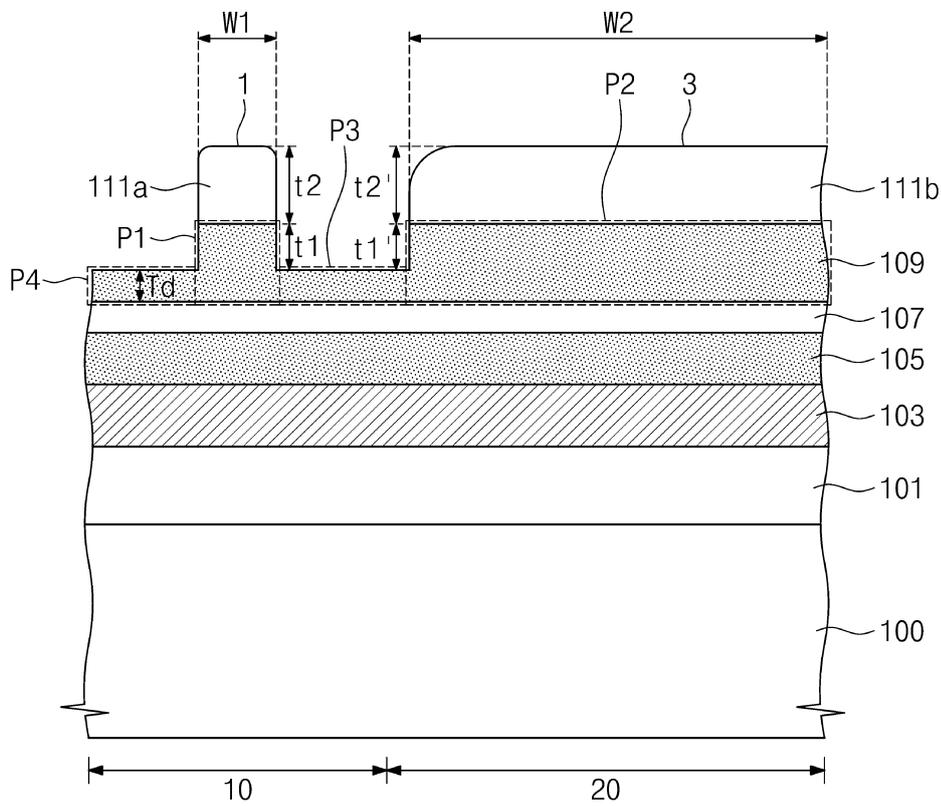
도면7a



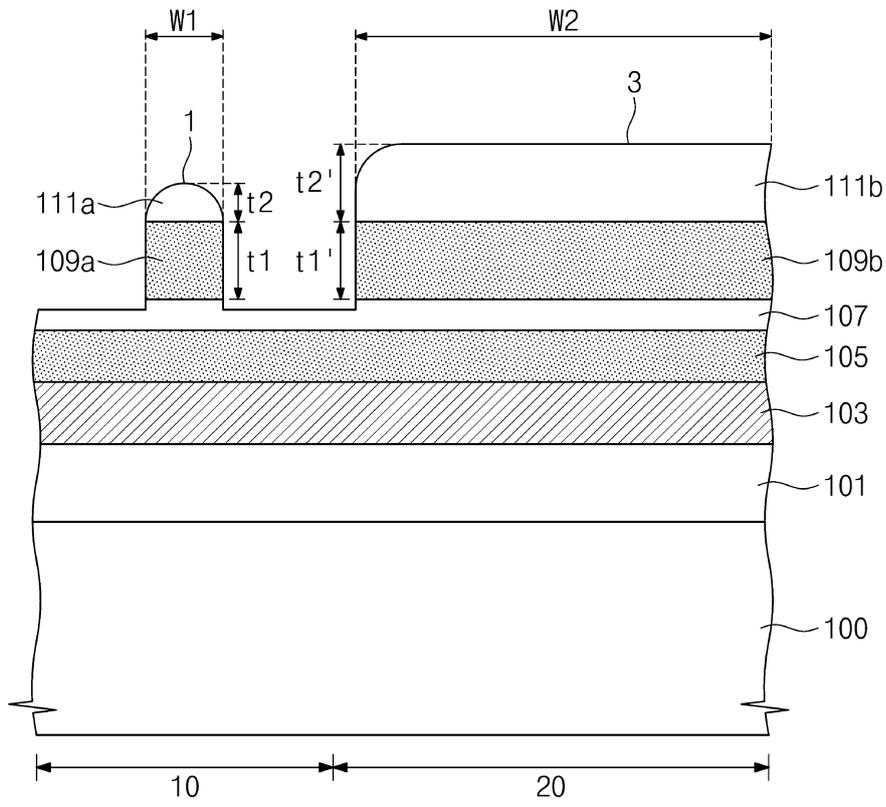
도면7d



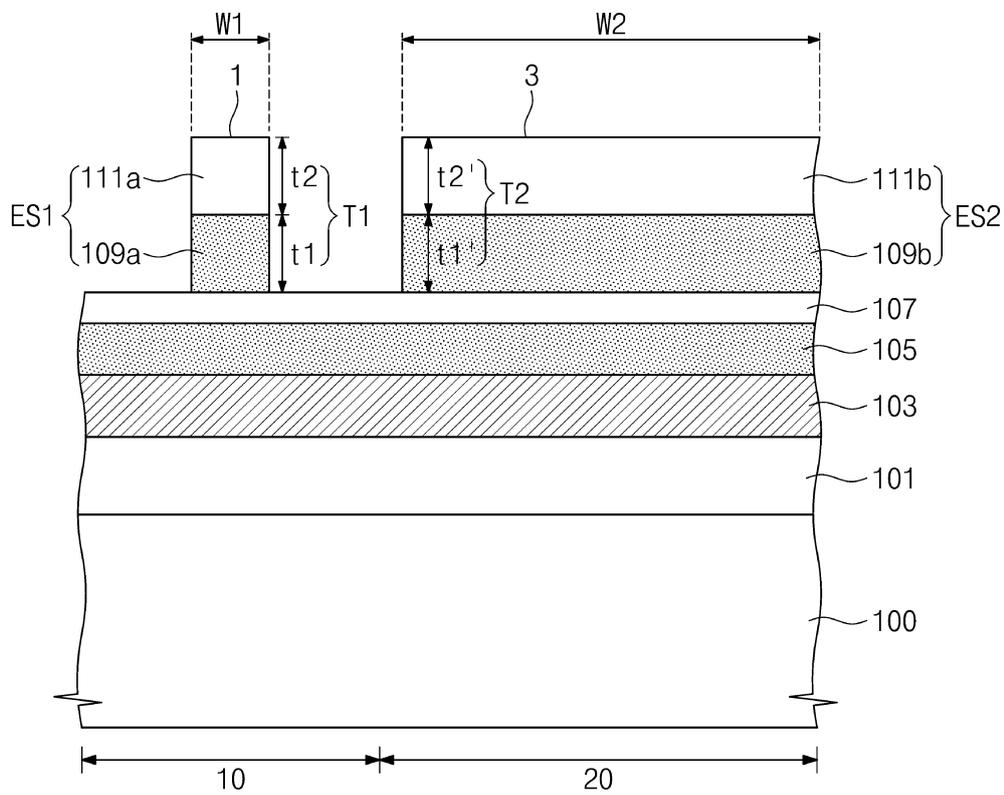
도면8a



도면8b



도면9a



도면9b

