



(12) 发明专利申请

(10) 申请公布号 CN 120188593 A

(43) 申请公布日 2025. 06. 20

(21) 申请号 202380011227.3

(22) 申请日 2023.10.18

(85) PCT国际申请进入国家阶段日
2023.10.19

(86) PCT国际申请的申请数据
PCT/CN2023/125283 2023.10.18

(87) PCT国际申请的公布数据
W02025/081391 ZH 2025.04.24

(71) 申请人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路10号
申请人 云南创视界光电科技有限公司

(72) 发明人 杨一帆 张福刚 孔令辰 侯晓燕
谭彬 张大成

(74) 专利代理机构 北京安信方达知识产权代理有限公司 11262

专利代理师 贺淑东 曲鹏

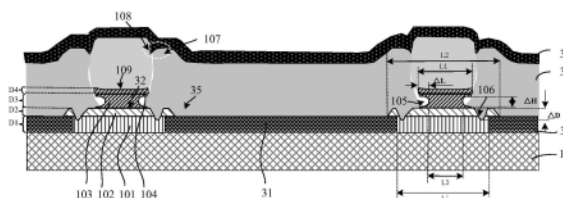
(51) Int. Cl.
H10K 59/122 (2023.01)
H10K 59/124 (2023.01)
H10K 71/00 (2023.01)

(54) 发明名称

显示基板及其制备方法、显示装置

(57) 摘要

一种显示基板及其制作方法、显示装置。显示基板包括设置在衬底基板(10)上的多个第一电极(31)和多个像素定义结构(32),像素定义结构(32)设置在相邻的第一电极(31)之间,并形成暴露出第一电极(31)的像素开口(35);像素定义结构(32)至少包括第一绝缘层(101)、第二绝缘层(102)、第三绝缘层(103)以及第四绝缘层(104)。第二绝缘层(102)在衬底基板上的正投影与第一电极(31)在衬底基板上的正投影至少部分交叠;第二绝缘层(102)的表面设置有第二内陷(106),第二内陷(106)靠近衬底基板一侧的内壁位于第一电极(31)远离衬底基板一侧的表面与靠近衬底基板一侧的表面之间。



(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2025年4月24日 (24.04.2025)



(10) 国际公布号
WO 2025/081391 A1

- (51) 国际专利分类号:
H10K 59/122 (2023.01)
- (21) 国际申请号: PCT/CN2023/125283
- (22) 国际申请日: 2023年10月18日 (18.10.2023)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路10号100015 (CN)。云南创视界光电科技有限公司 (YUNNAN INVENSIGHT OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国云南省昆明市滇中新区空港大道658号650211 (CN)。
- (72) 发明人: 杨一帆 (YANG, Yifan); 中国北京市大兴区北京经济技术开发区地泽路9号100176 (CN)。张福刚 (ZHANG, Fugang); 中国北京市大兴区北京经济技术开发区地泽路9号100176 (CN)。孔令辰 (KONG, Lingchen); 中国北京市大兴区北京经济技术开发区地泽路9号100176 (CN)。侯晓燕 (HOU, Xiaoyan); 中国北京市大兴区北京经济技术开发区地泽路9号100176 (CN)。谭彬 (TAN, Bin); 中国北京市大兴区北京经济技术开发区地泽路9号100176 (CN)。张大成 (ZHANG, Dacheng); 中国北京市大兴区北京经济技术开发区地泽路9号100176 (CN)。
- (74) 代理人: 北京安信方达知识产权代理有限公司 (AFD CHINA INTELLECTUAL PROPERTY LAW

(54) Title: DISPLAY SUBSTRATE AND MANUFACTURING METHOD THEREFOR, AND DISPLAY DEVICE

(54) 发明名称: 显示基板及其制备方法、显示装置

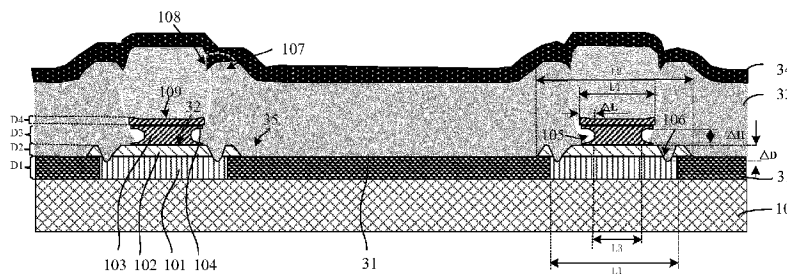


图4

(57) Abstract: A display substrate and a manufacturing method therefor, and a display device. The display substrate comprises a plurality of first electrodes (31) and a plurality of pixel definition structures (32) which are arranged on a base substrate (10), wherein each pixel definition structure (32) is arranged between adjacent first electrodes (31), and forms a pixel opening (35) exposing the first electrodes (31); and each pixel definition structure (32) comprises at least a first insulating layer (101), a second insulating layer (102), a third insulating layer (103) and a fourth insulating layer (104). The orthographic projection of the second insulating layer (102) on the base substrate (10) at least partially overlaps the orthographic projection of the first electrode (31) on the base substrate (10); second recesses (106) are provided in the surface of the second insulating layer (102); and an inner wall on the side of each second recess (106) close to the base substrate (10) is located between the surface on the side of the first electrode (31) away from the base substrate (10) and the surface on the side of the first electrode (31) close to the base substrate (10).

(57) 摘要: 一种显示基板及其制作方法、显示装置。显示基板包括设置在衬底基板(10)上的多个第一电极(31)和多个像素定义结构(32), 像素定义结构(32)设置在相邻的第一电极(31)之间, 并形成暴露出第一电极(31)的像素开口(35); 像素定义结构(32)至少包括第一绝缘层(101)、第二绝缘层(102)、第三绝缘层(103)以及第四绝缘层(104)。第二绝缘层(102)在衬底基板(10)上的正投影与第一电极(31)在衬底基板(10)上的正投影至少部分交叠; 第二绝缘层(102)的表面设置有第二内陷(106), 第二内陷(106)靠近衬底基板(10)一侧的内壁位于第一电极(31)远离衬底基板(10)一侧的表面与靠近衬底基板(10)一侧的表面之间。



WO 2025/081391 A1

OFFICE: 中国北京市海淀区学清路 38 号
(B座)21层2108 100083 (CN)。

- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。
- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

显示基板及其制备方法、显示装置

技术领域

5 本发明实施例涉及但不限于显示技术领域，尤指一种显示基板及其制作方法、显示装置。

背景技术

10 微型有机发光二极管(Micro Organic Light-Emitting Diode, 简称 Micro-OLED)是近年来发展起来的微型显示器，硅基 OLED 是其中的一种。硅基 OLED 不仅可以实现像素的有源寻址，并且可以实现在硅基衬底上制备像素驱动电路等结构，有利于减小系统体积，实现轻量化。硅基 OLED 采用成熟的互补金属氧化物半导体(Complementary Metal Oxide Semiconductor, 简称 CMOS)集成电路工艺制备，具有体积小、高分辨率(Pixels Per Inch, 简称 PPI)、高刷新率等优点，广泛应用于虚拟现实(Virtual Reality, 简称 VR)或增强现实(Augmented Reality, 简称 AR)近眼显示领域中。

15

发明内容

以下是对本文详细描述的主题的概述。本概述并非是为了限制权利要求的保护范围。

20 作为本公开实施例的第一个方面，本公开实施例提供一种显示基板，包括衬底基板、设置在所述衬底基板上的多个第一电极和多个像素定义结构，所述像素定义结构设置在相邻的所述第一电极之间，并形成暴露出所述第一电极的像素开口；在垂直于所述衬底基板的
25 的方向上，所述像素定义结构至少包括设置在所述衬底基板上的第一绝缘层、设置在所述第一绝缘层远离所述衬底基板一侧的第二绝缘层、设置在所述第二绝缘层远离所述衬底基板一侧的第三绝缘层以及设置在所述第三绝缘层远离所述衬底基板一侧的第四绝缘层，所述
30 第一绝缘层、所述第三绝缘层和所述第四绝缘层在所述衬底基板上的正投影与所述第一电极在所述衬底基板上的正投影没有交叠，所述第二绝缘层在所述衬底基板上的正投影与
所述第一电极在所述衬底基板上的正投影至少部分交叠；所述第二绝缘层远离所述衬底基板的表面设置有向所述衬底基板方向凹陷的第二内陷，所述第二内陷靠近所述衬底基板
35 一侧的内壁位于所述第一电极远离所述衬底基板一侧的表面与所述第一电极靠近所述衬底基板一侧的表面之间。

30 在示例性实施方式中，所述第二内陷的第二深度为 $0.01\mu\text{m}$ 至 $0.06\mu\text{m}$ ，所述第二深度为所述第二内陷靠近所述衬底基板一侧的内壁与所述第二绝缘层远离所述衬底基板一侧的表面之间的最大距离。

35 在示例性实施方式中，所述第一绝缘层远离所述衬底基板一侧的表面与所述第一电极远离所述衬底基板一侧的表面平齐，或者，所述第一绝缘层远离所述衬底基板一侧的表面低于所述第一电极远离所述衬底基板一侧的表面。

在示例性实施方式中，所述第一绝缘层具有第一宽度，所述第二绝缘层具有第二宽度，所述第二宽度大于所述第一宽度，所述第一宽度和所述第二宽度为平行于所述衬底基板方向上的尺寸。

在示例性实施方式中，所述第二宽度与所述第一宽度的差值大于或等于 $0.1\mu\text{m}$ 。

在示例性实施方式中,所述第三绝缘层的材料和所述第四绝缘层的材料不同,所述第二绝缘层的材料和所述第四绝缘层的材料相同。

5 在示例性实施方式中,所述第三绝缘层具有第三宽度,所述第四绝缘层具有第四宽度,所述第四宽度小于所述第二宽度,所述第四宽度小于所述第一宽度,所述第三宽度小于所述第四宽度,所述第三宽度和所述第四宽度为平行于所述衬底基板方向上的尺寸。

在示例性实施方式中,所述第四宽度与所述第二宽度的差值大于或等于 $0.3\mu\text{m}$,所述第四宽度与所述第三宽度的差值为 $0.1\mu\text{m}$ 至 $0.4\mu\text{m}$ 。

10 在示例性实施方式中,所述第四绝缘层相对于所述第三绝缘层的侧壁具有突出部,所述突出部和所述第三绝缘层的侧壁形成向远离所述像素开口方向凹陷的第一内陷,所述第一内陷的第一深度大于所述第二内陷的第二深度,所述第一深度为所述第四绝缘层靠近所述像素开口一侧的侧壁与所述第三绝缘层靠近所述像素开口一侧的侧壁之间的最大距离。

在示例性实施方式中,所述第一内陷的第一深度为 $0.05\mu\text{m}$ 至 $0.2\mu\text{m}$ 。

15 在示例性实施方式中,所述第一内陷的第一高度大于所述第二内陷的第二深度,所述第一内陷的第一高度为所述第一内陷靠近所述衬底基板一侧表面与所述第一内陷远离所述衬底基板一侧表面之间的最大距离。

在示例性实施方式中,所述第四绝缘层远离所述衬底基板一侧的表面设置有平滑的向所述衬底基板方向凹陷的第三内陷。

在示例性实施方式中,所述第三内陷的曲率小于所述第一内陷的曲率或所述第二内陷的曲率。

20 在示例性实施方式中,所述显示基板还包括设置在所述第一电极和所述像素定义结构远离所述衬底基板一侧的有机发光层,所述有机发光层包括多个膜层,至少一个膜层在所述第四绝缘层的边缘处断开,所述有机发光层的膜层在断开处设置畸变区。

在示例性实施方式中,所述畸变区可以包括至少一个裂缝,所述畸变区在所述衬底基板上的正投影与所述像素开口在所述衬底基板上的正投影没有交叠。

25 在示例性实施方式中,所述显示基板还包括设置在所述有机发光层远离所述衬底基板一侧的第二电极,所述第二电极设有穿刺尖端,所述穿刺尖端设置在所述畸变区的裂缝中,所述穿刺尖端在所述衬底基板上的正投影与所述第一电极在所述衬底基板上的正投影没有交叠;

30 所述穿刺尖端的端点在所述衬底基板上的正投影位于所述第一绝缘层在所述衬底基板上的正投影的范围之内,所述穿刺尖端的端点为所述穿刺尖端上最靠近所述衬底基板的边界点。

35 在示例性实施方式中,所述有机发光层包括叠设的第一器件、电荷产生层和第二器件,所述第一器件和所述电荷产生层具有第一器件厚度,所述第二器件具有第二器件厚度,所述第一器件厚度小于所述第二器件厚度,所述第一器件厚度和所述第二器件厚度是垂直于所述衬底基板方向上的尺寸。

在示例性实施方式中,所述第一器件厚度小于 $1/2$ *第二器件厚度。

在示例性实施方式中,所述第三绝缘层具有第三厚度 $D3$,第三厚度 $D3$ 为垂直于所述衬底基板方向上的尺寸;所述第三厚度小于所述第一器件厚度,且所述第三厚度大于 $1/2$ *第一器件厚度。

40 作为本公开实施例的第二方面,本公开实施例提供一种显示装置,包括前述的显示基

板。

5 作为本公开实施例的第三方面，本公开实施例提供一种显示基板的制备方法，所述制备方法包括：在衬底基板上形成多个第一电极和多个像素定义结构，所述像素定义结构设置在相邻的所述第一电极之间，并形成暴露出所述第一电极的像素开口；在垂直于所述衬底基板的表面上，所述像素定义结构至少包括设置在所述衬底基板上的第一绝缘层、设置在所述第一绝缘层远离所述衬底基板一侧的第二绝缘层、设置在所述第二绝缘层远离所述衬底基板一侧的第三绝缘层以及设置在所述第三绝缘层远离所述衬底基板一侧的第四绝缘层，所述第一绝缘层、所述第三绝缘层和所述第四绝缘层在所述衬底基板上的正投影与
10 所述第一电极在所述衬底基板上的正投影没有交叠，所述第二绝缘层在所述衬底基板上的正投影与所述第一电极在所述衬底基板上的正投影至少部分交叠；所述第二绝缘层远离所述衬底基板的表面设置有向所述衬底基板方向凹陷的第二内陷，所述第二内陷靠近所述衬底基板一侧的内壁位于所述第一电极远离所述衬底基板一侧的表面与所述第一电极靠近所述衬底基板一侧的表面之间。

在阅读并理解了附图和详细描述后，可以明白其他方面。

15

附图概述

附图用来提供对本申请技术方案的理解，并且构成说明书的一部分，与本申请的实施例一起用于解释本申请的技术方案，并不构成对本申请技术方案的限制。附图中各部件的形状和大小不反映真实比例，目的只是示意说明本公开内容。

20

图 1 为一种显示装置的结构示意图；

图 2 为一种显示基板的平面结构示意图；

图 3 为一种显示基板的剖面结构示意图；

图 4 为本公开示例性实施例一种显示基板的结构示意图；

图 5 为本公开示例性实施例一种显示基板的像素定义结构放大图；

25

图 6 为本公开示例性实施例形成第一导电层图案后的示意图；

图 7A 为本公开示例性实施例形成像素定义结构图案后示意图一；

图 7B 为本公开示例性实施例形成像素定义结构图案后示意图二；

图 7C 为本公开示例性实施例形成像素定义结构图案后示意图三；

图 7D 为本公开示例性实施例形成像素定义结构图案后示意图四；

30

图 7E 为本公开示例性实施例形成像素定义结构图案后示意图五；

图 7F 为本公开示例性实施例形成像素定义结构图案后示意图六；

图 7G 为本公开示例性实施例形成像素定义结构图案后示意图七；

图 7H 为本公开示例性实施例形成像素定义结构图案后示意图八；

图 8 为本公开示例性实施例形成有机发光层图案后示意图；

35

图 9 为本公开示例性实施例形成第二导电层图案后示意图；

图 10 为本公开示例性实施例一种有机发光层的结构示意图；

图 11 为本公开示例性实施例另一种有机发光层的结构示意图。

附图标记说明:

10-衬底基板;	20-驱动电路层;	30-发光结构层;
31-第一电极;	32-像素定义结构;	33-有机发光层;
34-第二电极;	35-像素开口;	40-第一封装层;
50-彩膜结构层;	60-第二封装层;	70-盖板层;
101-第一绝缘层;	102-第二绝缘层;	103-第三绝缘层;
104-第四绝缘层;	105-第一内陷;	106-第二内陷;
107-畸变区;	108-穿刺尖端;	109-第三内陷;
111-第一光刻胶图案;	112-第二光刻胶图案;	33-1-第一器件;
33-2 电荷产生层;	33-3-第二器件。	

详述

5 本文中的实施方式可以以多个不同形式来实施。所属技术领域的普通技术人员可以很容易地理解一个事实,就是实现方式和内容可以在不脱离本公开的宗旨及其范围的条件下被变换为各种各样的形式。因此,本公开不应该被解释为仅限定在下面的实施方式所记载的内容中。在不冲突的情况下,本公开中的实施例及实施例中的特征可以相互任意组合。

10 本公开中的附图比例可以作为实际工艺中的参考,但不限于此。例如:沟道的宽长比、各个膜层的厚度和间距、各个信号线的宽度和间距,可以根据实际需要进行调整。显示基板中像素的个数和每个像素中子像素的个数也不是限定为图中所示的数量,本公开中所描述的附图仅是结构示意图,本公开的一个方式不局限于附图所示的形状或数值等。

本文中的“第一”、“第二”、“第三”等序数词是为了避免构成要素的混同而设置,而不是为了在数量方面上进行限定的。

15 在本文中,为了方便起见,使用“中部”、“上”、“下”、“前”、“后”、“竖直”、“水平”、“顶”、“底”、“内”、“外”等指示方位或位置关系的词句以参照附图说明构成要素的位置关系,仅是为了便于描述实施方式和简化描述,而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作,因此不能理解为对本公开的限制。构成要素的位置关系可根据描述的构成要素的方向进行适当地改变。因此,不局限于在文中说明的词句,根据情况可以适当地更换。

20 在本文中,除非另有明确的规定和限定,术语“安装”、“相连”、“连接”应做广义理解。例如,可以是固定连接,或可拆卸连接,或一体地连接;可以是机械连接,或电连接;可以是直接相连,或通过中间件间接相连,或两个元件内部的连通。对于本领域的普通技术人员而言,可以根据情况理解上述术语在本公开中的含义。

25 在本文中,晶体管是指至少包括栅电极、漏电极以及源电极这三个端子的元件。晶体管在漏电极(或称漏电极端子、漏区域或漏电极)与源电极(或称源电极端子、源区域或源电极)之间具有沟道区域,并且电流能够流过漏电极、沟道区域以及源电极。在本文中,沟道区域是指电流主要流过的区域。

30 在本文中,第一极可以为漏电极、第二极可以为源电极,或者第一极可以为源电极、第二极可以为漏电极。在使用极性相反的晶体管的情况或电路工作中的电流方向变化的情况下,“源电极”及“漏电极”的功能有时可以互相调换。因此,在本文中,“源电极”和“漏

电极”可以互相调换。

在本文中，“电连接”包括构成要素通过具有某种电作用的元件连接在一起的情况。“具有某种电作用的元件”只要可以进行连接的构成要素间的电信号的授受，就对其没有特别的限制。“具有某种电作用的元件”例如可以是电极或布线，或者是晶体管等开关元件，或者是电阻器、电感器或电容器等其它功能元件等。

在本文中，“平行”是指两条直线形成的角度为 -10° 以上且 10° 以下的状态，因此，也包括该角度为 -5° 以上且 5° 以下的状态。另外，“垂直”是指两条直线形成的角度为 80° 以上且 100° 以下的状态，因此，也包括 85° 以上且 95° 以下的角度的状态。

在本文中，“膜”和“层”可以相互调换。例如，有时可以将“导电层”换成为“导电膜”。与此同样，有时可以将“绝缘膜”换成为“绝缘层”。

本文中的“约”，是指不严格限定界限，允许工艺和测量误差范围内的数值。

图 1 为一种显示装置的结构示意图。如图 1 所示，OLED 显示装置可以包括时序控制器、数据信号驱动器、扫描信号驱动器、发光信号驱动器和像素阵列，像素阵列可以包括多个扫描信号线（S1 到 Sm）、多个数据信号线（D1 到 Dn）、多个发光信号线（E1 到 Eo）和多个子像素 P_{xij}。在示例性实施方式中，时序控制器可以将适合于数据信号驱动器的规格的灰度值和控制信号提供到数据信号驱动器，可以将适合于扫描信号驱动器的规格的时钟信号、扫描起始信号等提供到扫描信号驱动器，可以将适合于发光信号驱动器的规格的时钟信号、发射停止信号等提供到发光信号驱动器。数据信号驱动器可以利用从时序控制器接收的灰度值和控制信号来产生将提供到数据信号线 D1、D2、D3、……和 Dn 的数据电压。例如，数据信号驱动器可以利用时钟信号对灰度值进行采样，并且以像素行为单位将与灰度值对应的数据电压施加到数据信号线 D1 至 Dn，n 可以是自然数。扫描信号驱动器可以通过从时序控制器接收时钟信号、扫描起始信号等来产生将提供到扫描信号线 S1、S2、S3、……和 Sm 的扫描信号。例如，扫描信号驱动器可以将具有导通电平脉冲的扫描信号顺序地提供到扫描信号线 S1 至 Sm。例如，扫描信号驱动器可以被构造为移位寄存器的形式，并且可以以在时钟信号的控制下顺序地将以导通电平脉冲形式提供的扫描起始信号传输到下一级电路的方式产生扫描信号，m 可以是自然数。发光信号驱动器可以通过从时序控制器接收时钟信号、发射停止信号等来产生将提供到发光信号线 E1、E2、E3、……和 Eo 的发射信号。例如，发光信号驱动器可以将具有截止电平脉冲的发射信号顺序地提供到发光信号线 E1 至 Eo。例如，发光信号驱动器可以被构造为移位寄存器的形式，并且可以以在时钟信号的控制下顺序地将以截止电平脉冲形式提供的发光停止信号传输到下一级电路的方式产生发光信号，o 可以是自然数。像素阵列可以包括多个子像素 P_{xij}。每个子像素 P_{xij} 可以连接到对应的数据信号线、对应的扫描信号线和对应的发光信号线，i 和 j 可以是自然数。子像素 P_{xij} 可以指其中晶体管连接到第 i 扫描信号线且连接到第 j 数据信号线的子像素。在示例性实施方式中，像素阵列可以设置在显示基板上。

图 2 为一种显示基板的平面结构示意图。如图 2 所示，显示基板可以包括以矩阵方式排布的多个像素单元 P，多个像素单元 P 的至少一个包括出射第一颜色光线的第一子像素 P1、出射第二颜色光线的第二子像素 P2 和出射第三颜色光线的第三子像素 P3，第一子像素 P1、第二子像素 P2 和第三子像素 P3 均包括像素驱动电路和发光器件。第一子像素 P1、第二子像素 P2 和第三子像素 P3 中的像素驱动电路分别与扫描信号线、数据信号线和发光信号线连接，像素驱动电路被配置为在扫描信号线和发光信号线的控制下，接收数据信号线传输的数据电压，向所述发光器件输出相应的电流。第一子像素 P1、第二子像素 P2 和第三子像素 P3 中的发光器件分别与所在子像素的像素驱动电路连接，发光器件被配置

为响应所在子像素的像素驱动电路输出的电流发出相应亮度的光。

在示例性实施方式中，像素单元 P 中可以包括红色 (R) 子像素、绿色 (G) 子像素和蓝色 (B) 子像素，或者可以包括红色子像素、绿色子像素、蓝色子像素和白色子像素，本公开在此不做限定。在示例性实施方式中，像素单元中子像素的形状可以是矩形状、菱形、五边形或六边形。像素单元包括三个子像素时，三个子像素可以采用水平并列、竖直并列或品字方式排列，像素单元包括四个子像素时，四个子像素可以采用水平并列、竖直并列或正方形 (Square) 方式排列，本公开在此不做限定。

图 3 为一种显示基板的剖面结构示意图，示意了一种采用白光+彩膜方式实现全彩的结构。如图 3 所示，硅基 OLED 显示装置的显示基板可以包括：衬底基板 10，设置在衬底基板 10 上的驱动电路层 20，设置在驱动电路层 20 远离衬底基板 10 一侧的发光结构层 30，设置在发光结构层 30 远离衬底基板 10 一侧的第一封装层 40，设置在第一封装层 40 远离衬底基板 10 一侧的彩膜结构层 50，设置在彩膜结构层 50 远离衬底基板 10 一侧的第二封装层 60，以及设置在第二封装层 60 远离衬底基板 10 一侧的盖板层 70。在一些可能的实现方式中，显示基板可以包括其它膜层，本公开在此不做限定。

在示例性实施方式中，衬底基板 10 可以为体硅基底或者绝缘层上硅 (Silicon-On-Insulator, 简称 SOI) 基底。驱动电路层 20 可以通过硅半导体工艺 (例如 CMOS 工艺) 制备在衬底基板 10 上，驱动电路层 20 可以包括多个电路单元，至少一个电路单元可以包括像素驱动电路，像素驱动电路分别与扫描信号线和数据信号线连接，至少一个像素驱动电路可以包括多个晶体管和存储电容，图 3 中仅以像素驱动电路包括一个晶体管作为示例。晶体管可以包括控制极、第一极和第二极，控制极、第一极和第二极可以通过钨金属填充的过孔 (即钨过孔, W-via) 分别与相应的连接电极连接，并可以通过连接电极与其它电学结构 (如走线等) 进行连接。

在示例性实施方式中，发光结构层 30 可以包括多个发光器件，发光结构层 30 的发光器件可以为有机发光二极管 (OLED) 或量子点发光二极管 (QLED) 等，本公开实施例对于发光器件的类型不作限定，发光器件可以至少包括第一电极、有机发光层和第二电极，第一电极可以通过连接电极与晶体管的第二极连接，有机发光层与第一电极连接，第二电极与有机发光层连接，第二电极与第二电源线连接，有机发光层在第一电极和第二电极驱动下出射光线。第一电极可以设置在驱动电路层 20 远离衬底基板 10 的一侧，有机发光层和第二电极依次叠设于第一电极的远离衬底基板 10 一侧。

在示例性实施方式中，发光结构层 30 还可以包括像素定义层，每个子像素的像素定义层上设置有像素开口，像素开口暴露出第一电极，使得有机发光层通过像素开口与第一电极连接。

在示例性实施方式中，由于有机发光层是在像素定义层所设置的像素开口区域出射光线，因而子像素可以包括像素发光区和像素间隔区，像素发光区为发光区域，像素开口以外区域为像素间隔区，像素间隔区位于发光区域的外围。

在示例性实施方式中，第一封装层 40 和第二封装层 60 可以采用薄膜封装 (Thin Film Encapsulation, 简称 TFE) 方式，可以保证外界水汽无法进入有机发光层，盖板层 70 可以采用玻璃，或者采用具可挠特性的塑胶类无色聚酰亚胺等。

在示例性实施方式中，彩膜结构层 50 可以包括黑矩阵 (BM) 和彩色滤光片 (CF)，彩色滤光片分别设置在红色子像素、绿色子像素和蓝色子像素，将发光器件出射的白光过滤成红色 (R) 光、绿色 (G) 光和蓝色 (B) 光，黑矩阵可以位于相邻的彩色滤光片之间。

在示例性实施方式中，有机发光层被配置为出射白光，可以采用蒸镀方式或者喷墨打

印方式制备，所有子像素的有机发光层可以是连接在一起的共通层。

5 硅基 OLED 屏幕分辨率和亮度要求趋高，其亮度已超 5000nits，分辨率要求已超 3000PPI，亚像素间距进入 1 μ m 水平，更加暴露了有机发光层中部分膜层的横向漏电、相邻子像素之间的横向电流串扰等问题。目前，针对横向电流串扰问题，相关技术提出了多种解决方案，例如，调整像素间距，调整高导电有机膜层材料，经研究发现，这些解决方案不仅截断横向漏电的效果有限，而且会影响发光器件的电压，降低发光效率，使亮度损失较大。

10 本公开实施例提供了一种显示基板，包括衬底基板、设置在所述衬底基板上的多个第一电极和多个像素定义结构，所述像素定义结构设置在相邻的所述第一电极之间，并形成暴露出所述第一电极的像素开口；在垂直于所述衬底基板的的方向上，所述像素定义结构至少包括设置在所述衬底基板上的第一绝缘层、设置在所述第一绝缘层远离所述衬底基板一侧的第二绝缘层、设置在所述第二绝缘层远离所述衬底基板一侧的第三绝缘层以及设置在所述第三绝缘层远离所述衬底基板一侧的第四绝缘层，所述第一绝缘层、所述第三绝缘层和所述第四绝缘层在所述衬底基板上的正投影与所述第一电极在所述衬底基板上的正投影没有交叠，所述第二绝缘层在所述衬底基板上的正投影与所述第一电极在所述衬底基板上的正投影至少部分交叠；所述第二绝缘层远离所述衬底基板的表面设置有向所述衬底基板方向凹陷的第二内陷，所述第二内陷靠近所述衬底基板一侧的内壁位于所述第一电极远离所述衬底基板一侧的表面与所述第一电极靠近所述衬底基板一侧的表面之间

20 本实施例提供的显示基板，可通过像素定义结构对有机发光层起到隔断作用，以截断横向漏电，同时避免第二电极发生断裂，提高显示效果。

在示例性实施方式中，所述第二内陷的第二深度为 0.01 μ m 至 0.06 μ m，所述第二深度为所述第二内陷靠近所述衬底基板一侧的内壁与所述第二绝缘层远离所述衬底基板一侧的表面之间的最大距离。

25 在示例性实施方式中，所述第一绝缘层远离所述衬底基板一侧的表面与所述第一电极远离所述衬底基板一侧的表面平齐，所述第一绝缘层远离所述衬底基板一侧的表面低于所述第一电极远离所述衬底基板一侧的表面。

在示例性实施方式中，所述第三绝缘层的材料和所述第四绝缘层的材料不同，所述第二绝缘层的材料和所述第四绝缘层的材料相同。

30 在示例性实施方式中，所述第四绝缘层相对于所述第三绝缘层的侧壁具有突出部，所述突出部和所述第三绝缘层的侧壁形成向远离所述像素开口方向凹陷的第一内陷，所述第一内陷的第一深度大于所述第二内陷的第二深度，所述第一深度为所述第四绝缘层靠近所述像素开口一侧的侧壁与所述第三绝缘层靠近所述像素开口一侧的侧壁之间的最大距离。

35 在示例性实施方式中，所述显示基板还包括设置在所述第一电极和所述像素定义结构远离所述衬底基板一侧的有机发光层，所述有机发光层包括多个膜层，至少一个膜层在所述第四绝缘层的边缘处断开，所述有机发光层的膜层在断开处形成畸变区。

40 图 4 为本公开示例性实施例一种显示基板的结构示意图，图 5 为图 4 中像素定义结构放大图。如图 4 和 5 所示所示，本示例性实施的显示基板可以包括衬底基板 10、设置在衬底基板 10 上的多个第一电极 31 和多个像素定义结构 32、设置在第一电极 31 和像素定义结构 32 远离衬底基板 10 一侧的有机发光层 33、以及设置在有机发光层 33 远离衬底基板 10 一侧的第二电极 34。

在示例性实施方式中，像素定义结构 32 设置在相邻的第一电极 31 之间，并形成暴露

出第一电极 31 的像素开口 35, 像素定义结构 32 可以包括在衬底基板 10 上叠设的多个无机层。

5 在示例性实施方式中, 像素定义结构 32 的多个无机层可以至少包括设置在衬底基板 10 上的第一绝缘层 101、设置在第一绝缘层 101 远离衬底基板 10 一侧的第二绝缘层 102、设置在第二绝缘层 102 远离衬底基板 10 一侧的第三绝缘层 103、以及设置在第三绝缘层 103 远离衬底基板 10 一侧的第四绝缘层 104。

在示例性实施方式中, 第一绝缘层 101 设置在相邻的第一电极 31 之间, 第一绝缘层 101 的侧表面可以与第一电极 31 的侧表面贴合, 第一绝缘层 101 在衬底基板 10 上的正投影与第一电极 31 在衬底基板 10 上的正投影没有交叠。

10 在示例性实施方式中, 第一绝缘层 101 远离衬底基板 10 一侧的表面与第一电极 31 远离衬底基板 10 一侧的表面基本上平齐, 第一绝缘层 101 远离衬底基板 10 一侧的表面低于第一电极 31 远离衬底基板 10 一侧的表面。

在示例性实施方式中, 第一绝缘层 101 具有第一宽度 L1, 第一宽度 L1 为第一绝缘层 101 在平行于衬底基板 10 方向上的尺寸。

15 在示例性实施方式中, 第一宽度 L1 可以约为 1.0 μm 至 1.2 μm 。例如, 第一宽度 L1 可以约为 1.1 μm 左右。

在示例性实施方式中, 第二绝缘层 102 在衬底基板 10 上的正投影与第一电极 31 在衬底基板 10 上的正投影至少部分交叠, 第二绝缘层 102 具有第二宽度 L2, 第二宽度 L2 为第二绝缘层 102 在平行于衬底基板 10 方向上的尺寸。

20 在示例性实施方式中, 第二绝缘层 102 的第二宽度 L2 大于第一绝缘层 101 的第一宽度 L1, 即 $L2 > L1$ 。

在示例性实施方式中, 第二宽度 L2 与第一宽度 L1 的差值大于或等于 0.1 μm 。第二宽度 L2 可以约为 1.2 μm 至 1.6 μm 。例如, 第二宽度 L2 可以约为 1.4 μm 左右。

25 在示例性实施方式中, 第二绝缘层 102 与第一电极 31 交叠区域的宽度大于或等于 0.1 μm , 使得第二绝缘层 102 可以对第一电极 31 的边缘进行有效包覆。也就是说, 像素定义结构 32 不暴露第一电极 31 的边缘, 是通过形成比第一绝缘层 101 更宽的第二绝缘层 102 来提供。

在示例性实施方式中, 第二宽度 L2 与第一宽度 L1 的差值可以约为 0.3 μm 左右, 使得第二绝缘层 102 对第一电极 31 的单边有效包覆 0.15 μm 左右。

30 在示例性实施方式中, 第三绝缘层 103 在衬底基板 10 上的正投影与第一电极 31 在衬底基板 10 上的正投影没有交叠, 第四绝缘层 104 在衬底基板 10 上的正投影与第一电极 31 在衬底基板 10 上的正投影没有交叠。

35 在示例性实施方式中, 第三绝缘层 103 的材料可以和第四绝缘层 104 的材料不同, 第二绝缘层 102 的材料可以和第四绝缘层 104 的材料相同, 这样可以因两种材料的刻蚀率存在差异制作出内陷结构。例如, 第二绝缘层 102 和第四绝缘层 104 的材料可以均为氧化硅 (SiO_x), 第三绝缘层 103 的材料可以为氮化硅 (SiN_x)。

在示例性实施方式中, 第三绝缘层 103 具有第三宽度 L3, 第四绝缘层 104 具有第四宽度 L4, 第四宽度 L4 可以大于第三宽度 L3, 第三宽度 L3 和第四宽度 L4 为平行于衬底基板 10 方向上的尺寸。

40 在示例性实施方式中, 第三宽度 L3 可以是第三绝缘层 103 的最小宽度, 第四宽度 L4

可以是第四绝缘层 104 的最大宽度，或者，第三宽度 L3 可以是第三绝缘层 103 的平均宽度，第四宽度 L4 可以是第四绝缘层 104 的平均宽度。

在示例性实施方式中，第四宽度 L4 与第三宽度 L3 的差值可以约为 0.1 μm 至 0.4 μm 。

5 在示例性实施方式中，第三宽度 L3 可以约为 0.3 μm 至 0.5 μm 。在示例性实施方式中，第三宽度 L3 可以约为 0.4 μm 。第四宽度 L4 可以约为 0.5 μm 至 0.7 μm 。例如，第四宽度 L4 可以约为 0.6 μm 左右。

在示例性实施方式中，第四宽度 L4 可以小于第一宽度 L1，即 $L4 < L1$ 。

在示例性实施方式中，第四宽度 L4 可以小于第二宽度 L2，即 $L4 < L2$ 。第四宽度 L4 与第二宽度 L2 差值大于或等于 0.3 μm 。

10 在示例性实施方式中，第四绝缘层 104 相对于第三绝缘层 103 的侧壁具有突出部，突出部和第三绝缘层 103 的侧壁形成向远离像素开口 35 方向凹陷的第一内陷 105。第一内陷 105 可以为具有曲率的曲面形状。

15 在示例性实施方式中，第一内陷 105 可以具有第一深度 ΔL ，第一深度 ΔL 可以为第四绝缘层 104 靠近像素开口 35 一侧的侧壁与第三绝缘层 103 靠近像素开口 35 一侧的侧壁之间的最大距离，第一深度 ΔL 可以为平行于衬底基板 10 方向上的尺寸。

在示例性实施方式中，第一内陷 105 的第一深度 ΔL 可以为第四宽度 L4 与第三宽度 L3 的差值的一半，其中 $\Delta L = (L4 - L3) / 2$ 。

在示例性实施方式中，第一内陷 105 的第一深度 ΔL 可以约为 0.05 μm 至 0.2 μm ；

20 在示例性实施方式中，第二宽度 L2 与第四宽度 L4 之差可以约为 0.8 μm 左右，使得第一内陷 105 在衬底基板 10 上的正投影与像素开口 35 在衬底基板 10 上的正投影没有交叠。

在示例性实施方式中，第四宽度 L4 可以小于第二宽度 L2，第三宽度 L3 可以小于第四宽度 L4，即 $L3 < L4 < L2$ 。

25 在示例性实施方式中，第二绝缘层 102 远离衬底基板 10 一侧的表面设置有向衬底基板 10 方向凹陷的第二内陷 106，第二内陷 106 靠近衬底基板 10 一侧的内壁位于第一电极 31 远离衬底基板 10 一侧的表面与第一电极 31 靠近衬底基板 10 一侧的表面之间。第二内陷 106 可以为具有曲率的曲面形状。第二内陷 106 可具有第二深度 ΔD ，第二深度 ΔD 可以为第二内陷 106 靠近衬底基板 10 一侧的内壁与第二绝缘层 102 远离衬底基板 10 一侧的表面之间的最大距离，第二深度 ΔD 可以为第二内陷在垂直于衬底基板 10 方向上的尺寸。

30 在示例性实施方式中，第二内陷 106 的第二深度 ΔD 可以约为 0.01 μm 至 0.06 μm ；在远离衬底基板 10 方向上，第二内陷 106 的横截面尺寸逐渐变大。

在示例性实施方式中，第一内陷 105 的第一深度 ΔL 大于第二内陷 106 的第二深度 ΔD 。

35 在示例性实施方式中，第一内陷 105 的第一高度 ΔH 大于第二内陷 106 的第二深度 ΔD ，第一内陷 105 的第一高度 ΔH 为第一内陷 105 靠近衬底基板 10 一侧表面与第一内陷 105 远离衬底基板 10 一侧表面之间的最大距离。

在示例性实施方式中，第四绝缘层 104 远离衬底基板 10 一侧的表面设置有平滑的向衬底基板 10 方向凹陷的第三内陷 109。第三内陷 109 可以为具有曲率的曲面形状。第三内陷 109 的曲率小于第一内陷 105 的曲率或第二内陷 106 的曲率。

40 在示例性实施方式中，显示基板还包括设置在第一电极 31 和像素定义结构 32 远离衬底基板 10 一侧的有机发光层 33，有机发光层 33 包括多个膜层，至少一个膜层在第四绝

缘层 104 的边缘处断开,有机发光层 33 的膜层在断开处设置畸变区 107,如虚线框所示。在示例性实施方式中,畸变区 107 可以包括至少一个裂缝,裂缝两侧的有机发光层 33 因断开形成段差。

5 在示例性实施方式中,畸变区 107 在衬底基板 10 上的正投影与像素开口 35 在衬底基板 10 上的正投影没有交叠。

在示例性实施方式中,显示基板还包括设置在有机发光层 33 远离衬底基板 10 一侧的第二电极 34,第二电极 34 设有穿刺尖端 108,穿刺尖端 108 设置在畸变区 107 的裂缝中,穿刺尖端 108 在衬底基板 10 上的正投影与第一电极 31 在衬底基板上 10 的正投影没有交叠。

10 穿刺尖端 108 的端点在衬底基板 10 上的正投影位于第一绝缘层 101 在衬底基板 10 上的正投影的范围之内,穿刺尖端 108 的端点为穿刺尖端 108 上最靠近衬底基板 10 的边界点。

15 在示例性实施方式中,像素定义结构 32 中第一绝缘层 101 具有第一厚度 D1,第二绝缘层 102 具有第二厚度 D2,第三绝缘层 103 具有第三厚度 D3,第四绝缘层 104 具有第四厚度 D4,第一厚度 D1,第二厚度 D2,第三厚度 D3 和第四厚度 D4 为垂直于衬底基板 10 方向上的尺寸。第一厚度 D1 可以约为 900 埃至 1100 埃,例如,第一厚度 D1 可以约为 1000 埃。第二厚度 D2 可以约为 300 埃至 500 埃,例如,第二厚度 D2 可以约为 400 埃左右。第三厚度 D3 可以约为 500 埃至 700 埃,例如,第三厚度 D3 可以约为 600 埃左右。第四厚度 D4 可以约为 100 埃至 300 埃,例如,第四厚度 D4 可以约为 200 埃左右。

20 下面通过显示基板的制备过程进行示例性说明。本公开所说的“图案化工艺”,对于金属材料、无机材料或透明导电材料,包括沉积膜层、在膜层上涂覆光刻胶、掩模曝光、显影、刻蚀、剥离光刻胶等处理,对于有机材料,包括涂覆有机材料、掩模曝光和显影等处理。沉积可以采用溅射、蒸镀、化学气相沉积中的任意一种或多种,涂覆可以采用喷涂、旋涂和喷墨打印中的任意一种或多种,刻蚀可以采用干刻和湿刻中的任意一种或多种,本公开不做限定。“薄膜”是指将某一种材料在衬底基板上利用沉积、涂覆或其它工艺制作出的一层薄膜。若在整个制作过程当中该“薄膜”无需图案化工艺,则该“薄膜”还可以称为“层”。若在整个制作过程当中该“薄膜”需图案化工艺,则在图案化工艺前称为“薄膜”,图案化工艺后称为“层”。经过图案化工艺后的“层”中包含至少一个“图案”。本公开所说的“A 和 B 同层设置”是指, A 和 B 通过同一次图案化工艺同时形成,本公开示例性实施例中,30 “B 的正投影位于 A 的正投影的范围之内”或者“ A 的正投影包含 B 的正投影”,是指 B 的正投影的边界落入 A 的正投影的边界范围内,或者 A 的正投影的边界与 B 的正投影的边界重叠。

在示例性实施方式中,以显示基板的三个子像素为例,显示基板的制备过程可以包括如下操作。

35 A.形成第一导电层图案。在示例性实施方式中,形成第一导电层图案可以包括:在衬底基板 10 上沉积第一导电薄膜,通过图案化工艺对第一导电薄膜进行图案化,形成第一导电层图案,第一导电层图案至少包括位于每个子像素中的第一电极 31,如图 6 所示。

40 示例性实施方式中,第一电极 31 可以采用金属材料或者透明导电材料,金属材料可以包括银 (Ag)、铜 (Cu)、铝 (Al)、钛 (Ti) 和钼 (Mo) 中的任意一种或更多种,或上述金属的合金材料,透明导电材料可以包括氧化铟锡 (ITO) 或氧化铟锌 (IZO)。在示例性实施方式中,第一电极 31 可以是单层结构,或者是多层复合结构。在示例性实施方式中,多层复合结构可以包括沿着远离衬底基板 10 方向依次设置的 Ti 层、Al 层、

氮化钛 (TiN) 层和 ITO 层, 可以满足发光器件高反射率、低粗糙度和功函数匹配的常规要求。

5 在示例性实施方式中, 第一电极 31 具有第一电极厚度, 第一电极厚度可以约为 900 埃至 1100 埃, 第一电极厚度为垂直于衬底基板 10 方向上的尺寸。例如, 第一厚度 D1 可以约为 1000 埃。

B. 形成像素定义结构图案。在示例性实施方式中, 像素定义结构图案至少包括位于每个子像素中的像素定义结构 32, 像素定义结构 32 设置在相邻的第一电极 31 之间, 并形成暴露出第一电极 31 的像素开口。形成像素定义结构图案可以包括:

10 B1. 形成第一绝缘层图案。在示例性实施方式中, 形成第一绝缘层图案可以包括: 在形成前述图案的基板上, 先沉积第一绝缘薄膜, 如图 7A 所示。随后, 通过整面回刻工艺, 对第一绝缘薄膜进行刻蚀, 形成第一绝缘层 101, 如图 7B 所示。

在示例性实施方式中, 第一绝缘层 101 设置在相邻的第一电极 31 之间, 第一绝缘层 101 在衬底基板 10 上的正投影与第一电极 31 在衬底基板 10 上的正投影没有交叠, 第一绝缘层 101 的侧表面可以与第一电极 31 的侧表面贴合。

15 在示例性实施方式中, 通过整面回刻工艺, 第一绝缘层 101 远离衬底基板 10 一侧的表面与第一电极 31 远离衬底基板 10 一侧的表面基本上平齐, 第一绝缘层 101 远离衬底基板 10 一侧的表面低于第一电极 31 远离衬底基板 10 一侧的表面。

20 在示例性实施方式中, 第一绝缘层 101 可以为平坦化层。通过第一绝缘层 101 的侧表面可以与第一电极 31 的侧表面贴合, 使得第一绝缘层 101 与第一电极相接触处形成一个预设宽度的平坦区。第一绝缘层 101 具有第一宽度 L1, 第一宽度 L1 为平行于衬底基板 10 方向上的尺寸。在示例性实施方式中, 第一宽度 L1 可以约为 1.0 μm 至 1.2 μm 。例如, 第一宽度 L1 可以约为 1.1 μm 左右。

在示例性实施方式中, 第一绝缘层 101 可以具有第一厚度 D1。第一厚度 D1 可以约为 900 埃至 1100 埃。例如, 第一厚度 D1 可以约为 1000 埃左右。

25 在示例性实施方式中, 第一绝缘层 101 的材质为无机材料, 例如, 第一绝缘层 101 的材质为氧化硅 (SiO_x)。

B2. 形成第二绝缘薄膜、第三绝缘薄膜和第四绝缘薄膜图案。在示例性实施方式中, 形成第二绝缘薄膜、第三绝缘薄膜和第四绝缘薄膜图案可以包括: 在形成前述图案的基板上依次沉积第二绝缘薄膜、第三绝缘薄膜和第四绝缘薄膜, 如图 7C 所示。

30 在示例性实施方式中, 像素定义结构 32 中的第二绝缘 102 层具有第二厚度 D2, 第二厚度 D2 为第二绝缘层 102 在垂直于衬底基板 10 方向上的尺寸, 第二厚度 D2 可以约为 300 埃至 500 埃。例如, 第二厚度 D2 可以约为 400 埃左右。在示例性实施方式中, 第三绝缘层 103 具有第三厚度 D3, 第三厚度 D3 为第三绝缘层 103 在垂直于衬底基板 10 方向上的尺寸, 第三厚度 D3 可以约为 500 埃至 700 埃。例如, 第三厚度 D3 可以约为 600 埃左右。在示例性实施方式中, 第四绝缘层 104 具有第四厚度 D4, 第四厚度 D4 为第四绝缘层 104 层在垂直于衬底基板 10 方向上的尺寸, 第四厚度 D4 可以约为 100 埃至 300 埃。例如, 第四厚度 D4 可以约为 200 埃左右。

40 在示例性实施方式中, 第二绝缘薄膜、第三绝缘薄膜和第四绝缘薄膜均为无机材料, 第三绝缘薄膜的材料可以和第四绝缘薄膜的材料不同, 第二绝缘薄膜的材料可以和第四绝缘薄膜的材料相同。例如, 第二绝缘薄膜和第四绝缘薄膜的材料均为氧化硅 (SiO_x), 第三绝缘薄膜的材料为氮化硅 (SiN_x)。

B3. 首先,在第四绝缘薄膜上涂覆光刻胶,通过曝光和显影形成第一光刻胶图案 111,如图 7D 所示。

在示例性实施方式中,第一光刻胶图案 111 具有第二宽度 L2,第二宽度 L2 为第二光刻胶图案 112 在平行于衬底基板 10 方向上的尺寸,第二宽度 L2 可以大于第一宽度 L1。

5 在示例性实施方式中,第二宽度 L2 可以约为 1.2 μm 至 1.6 μm 。例如,第二宽度 L2 可以约为 1.4 μm 左右。

随后,对未被光刻胶涂覆的第二绝缘薄膜、第三绝缘薄膜和第四绝缘薄膜进行刻蚀,形成第一过渡图案,如图 7E 所示。

10 在示例性实施方式中,第一过渡图案可以包括叠设的第二绝缘层 102、第三绝缘层 103 和第四绝缘层 104,第二绝缘层 102、第三绝缘层 103 和第四绝缘层 104 具有基本上相同的第二宽度 L2。

在示例性实施方式中,第二绝缘层 102 在衬底基板 10 上的正投影包含第一绝缘层 101 在衬底基板 10 上的正投影,第二绝缘层 102 在衬底基板 10 上的正投影与第一电极 31 在衬底基板 10 上的正投影至少部分交叠。

15 在示例性实施方式中,第二绝缘层 102 在衬底基板 10 上的正投影与第一电极 31 在衬底基板 10 上的正投影至少部分交叠,并且至少部分露出第一电极 31。

20 在示例性实施方式中,第二绝缘层 102 的第二宽度 L2 与第一绝缘层 101 的第一宽度 L1 的差值大于或等于 0.1 μm 。第二绝缘层 102 与第一电极 31 交叠区域的宽度可以大于 0.1 μm ,使得第二绝缘层 102 可以对第一电极 31 的边缘进行有效包覆。也就是说像素定义结构 32 不暴露第一电极 31 的边缘,是通过形成比第一绝缘层 101 更宽的第二绝缘层 102 来提供。

在示例性实施方式中,第二宽度 L2 与第一宽度 L1 的差值可以约为 0.3 μm 左右,使得第二绝缘层 102 对第一电极 31 的单边有效包覆 0.15 μm 左右。

25 B4.首先,采用光刻胶缩进方法减小光刻胶图案的宽度,形成第二光刻胶图案 112,如图 7F 所示。

在示例性实施方式中,第二光刻胶图案 113 具有第四宽度 L4,第四宽度 L4 为第三光刻胶图案 113 在平行于衬底基板 10 方向上的尺寸,第四宽度 L4 可以约为 0.5 μm 至 0.7 μm ,例如,第四宽度 L4 可以约为 0.6 μm 左右。

30 随后,对暴露出的第三绝缘层 103 和第四绝缘层 104 进行刻蚀,形成第二过渡图案的图案,如图 7G 所示。

在示例性实施方式中,第二过渡图案可以包括叠设的第三绝缘层 103 和第四绝缘层 104,第三绝缘层 103 和第四绝缘层 104 具有基本上相同的第四宽度 L4。

35 在示例性实施方式中,第三绝缘层 103 在衬底基板 10 上的正投影与第一电极 31 在衬底基板 10 上的正投影没有交叠,第四绝缘层 104 在衬底基板 10 上的正投影与第一电极 31 在衬底基板 10 上的正投影没有交叠。

在示例性实施方式中,第四宽度 L4 可以小于第一宽度 L1,即 $L4 < L1$ 。

在示例性实施方式中在示例性实施方式中,第四宽度 L4 可以小于第二宽度 L2,即 $L4 < L2$ 。第四宽度 L4 与第二宽度 L2 的差值可以大于或等于 0.3 μm 。

40 随后,通过改变刻蚀气体的比例,对第三绝缘层 103 的侧表面进行刻蚀,使得第四绝缘层 104 相对于第三绝缘层 103 的侧壁具有突出部,突出部和第三绝缘层 103 的侧壁形成

第一内陷 105。在本次刻蚀工艺中，刻蚀气体会对第二绝缘层 102 远离衬底基板 10 一侧的表面进行刻蚀，在第二绝缘层 102 的表面形成第二内陷 106。在本次刻蚀工艺中，刻蚀气体会对第四绝缘层 104 远离衬底基板 10 一侧的表面进行刻蚀形成第三内陷 109，移除剩余的光刻胶后，形成像素定义结构图案，如图 7H 所示。

5 在示例性实施方式中，像素定义结构 32 可以包括在第一绝缘层 101 上依次设置的第二绝缘层 102、第三绝缘层 103 和第四绝缘层 104，第一绝缘层 101 在衬底基底上的正投影位于第二绝缘层 102 在衬底基底上的正投影的范围之内，第四绝缘层 104 在衬底基底上的正投影位于第一绝缘层 101 在衬底基底上的正投影的范围之内，第三绝缘层 103 在衬底基底上的正投影位于第四绝缘层 104 在衬底基底上的正投影的范围之内。

10 在示例性实施方式中，第一绝缘层 101 具有第一宽度 L1，第二绝缘层 102 具有第二宽度 L2，第三绝缘层 103 具有第三宽度 L3，第四绝缘层 104 具有第四宽度 L4，在示例性实施方式中，第一宽度 L1 可以小于第二宽度 L2，第四宽度 L4 可以小于第一宽度 L1，第三宽度 L3 可以小于第四宽度 L4，即 $L3 < L4 < L1 < L2$ ，第一宽度 L1，第二宽度 L2，第三宽度 L3 和第四宽度 L4 为平行于衬底基板 10 方向上的尺寸。

15 在示例性实施方式中，第三宽度 L3 可以是第三绝缘层 103 的最小宽度，第四宽度 L4 可以是第四绝缘层 104 的最大宽度，或者，第三宽度 L3 可以是第三绝缘层 103 的平均宽度，第四宽度 L4 可以是第四绝缘层 104 的平均宽度。

在示例性实施方式中，第四宽度 L4 与第三宽度 L3 的差值可以约为 $0.1\mu\text{m}$ 至 $0.4\mu\text{m}$ 。

20 在示例性实施方式中，第三宽度 L3 可以约为 $0.3\mu\text{m}$ 至 $0.5\mu\text{m}$ 。在示例性实施方式中，第三宽度 L3 可以约为 $0.4\mu\text{m}$ 。

在示例性实施方式中，第四绝缘层 104 相对于第三绝缘层 103 的侧壁具有突出部，突出部和第三绝缘层 103 的侧壁形成向远离像素开口 35 方向凹陷的第一内陷 105。第一内陷 105 可以为具有曲率的曲面形状。

25 在示例性实施方式中，第一内陷 105 可以具有第一深度 ΔL ，第一深度 ΔL 可以为第四绝缘层 104 靠近像素开口 35 一侧的侧壁与第三绝缘层 103 靠近像素开口 35 一侧的侧壁之间的最大距离。

在示例性实施方式中，第一内陷 105 的第一深度 ΔL 可以为第四宽度 L4 与第三宽度 L3 的差值的一半，其中 $\Delta L = (L4 - L3) / 2$ 。

在示例性实施方式中，第一内陷 105 的第一深度 ΔL 可以约为 $0.05\mu\text{m}$ 至 $0.2\mu\text{m}$ ；

30 在示例性实施方式中，第二宽度 L2 与第四宽度 L4 之差可以约为 $0.8\mu\text{m}$ 左右，使得第一内陷 105 在衬底基板 10 上的正投影与像素开口 35 在衬底基板 10 上的正投影没有交叠。

35 在示例性实施方式中，第二绝缘层 102 远离衬底基板 10 一侧的表面设置有向衬底基板 10 方向凹陷的第二内陷 106，第二内陷 106 靠近衬底基板 10 一侧的内壁位于第一电极 31 远离衬底基板 10 一侧的表面与第一电极 31 靠近衬底基板 10 一侧的表面之间。第二内陷 106 可以为具有曲率的曲面形状。第二内陷 106 可以为具有曲率的曲面形状。第二内陷 106 可具有第二深度 ΔD ，第二深度 ΔD 可以为第二内陷 106 靠近衬底基板 10 一侧的内壁与第二绝缘层 102 远离衬底基板 10 一侧的表面之间的最大距离，第二深度 ΔD 可以为第二内陷在垂直于衬底基板 10 方向上的尺寸。

40 在示例性实施方式中，第二内陷 106 的第二深度 ΔD 可以约为 $0.01\mu\text{m}$ 至 $0.06\mu\text{m}$ ；在远离衬底基板 10 方向上，第二内陷 106 的横截面尺寸逐渐变大。

在示例性实施方式中,第一内陷 105 的第一深度 ΔL 大于第二内陷 106 的第二深度 ΔD 。

在示例性实施方式中,第一内陷 105 的第一高度 ΔH 大于第二内陷 106 的第二深度 ΔD ,第一内陷 105 的第一高度 ΔH 为第一内陷 105 靠近衬底基板 10 一侧表面与第一内陷 105 远离衬底基板 10 一侧表面之间的最大距离。

- 5 在示例性实施方式中,第四绝缘层 104 远离衬底基板 10 一侧的表面设置有平滑的向衬底基板 10 方向凹陷的第三内陷 109。第三内陷 109 可以为具有曲率的曲面形状。第三内陷 109 的曲率小于第一内陷 105 的曲率或第二内陷 106 的曲率。

- 10 C.形成有机发光层图案。在示例性实施方式中,形成有机发光层图案可以包括:通过蒸镀等方式形成有机发光层图案,每个子像素的有机发光层 33 通过像素开口 35 与所在子像素的第一电极 31 连接,如图 8 所示。

在示例性实施方式中,有机发光层 33 可以包括多个膜层,至少一个膜层在第四绝缘层 104 的边缘处断开。在示例性实施方式中,有机发光层 33 的膜层在断开处设置畸变区 107,如虚线框所示,在畸变区 107 会出现有机发光层 33 的膜层断裂。在示例性实施方式中,畸变区 107 可以包括至少一个裂缝,裂缝两侧的有机发光层 33 因断开形成段差。

- 15 在示例性实施方式中,畸变区 107 在衬底基板 10 上的正投影与像素开口 35 在衬底基板 10 上的正投影没有交叠。

D.形成第二导电层图案。在示例性实施方式中,形成第二导电层图案可以包括:通过蒸镀或者沉积等方式形成第二电极 34,第二电极 34 设置在有机发光层 33 远离衬底基板 10 的一侧,为整面结构,如图 9 所示。

- 20 在示例性实施方式中,由于有机发光层 33 形成有畸变区 107,使得第二电极 34 设有穿刺尖端 108,穿刺尖端 108 设置在畸变区 107 的裂缝中。

穿刺尖端 108 的端点在衬底基板 10 上的正投影位于第一绝缘层 101 在衬底基板 10 上的正投影的范围之内,穿刺尖端 108 的端点为穿刺尖端 108 上最靠近衬底基板 10 的边界点。

- 25 在示例性实施方式中,穿刺尖端 108 在衬底基板 10 上的正投影与第一电极 31 在衬底基板 10 上的正投影没有交叠。

- 30 在示例性实施方式中,第二电极 34 可以采用金属材料或者透明导电材料,金属材料可以包括镁(Mg)、银(Ag)、铝(Al)、铜(Cu)和锂(Li)中的任意一种或多种,或上述金属的合金材料,透明导电材料可以包括氧化铟锌(IZO)。在示例性实施方式中,第二电极 34 可以是单层结构,或者是多层复合结构,如 Mg/Ag 等。

在示例性实施方式中,可以在形成第二导电层图案后形成光学耦合层图案,光学耦合层设置在第二电极 34 上,光学耦合层的折射率可以大于第二电极 34 的折射率,有利于光取出并增加出光效率,光学耦合层的材料可以采用有机材料,或者采用无机材料,或者采用有机材料和无机材料,可以是单层、多层或复合层,本公开在此不做限定。

- 35 至此,制备完成显示基板,显示基板可以包括衬底基板 10、第一电极 31、像素定义结构 32、有机发光层 33 和第二电极 34,有机发光层 33 在第一电极 31 和第二电极 34 的驱动下出射光线。

后续制备中,可以包括形成第一封装层 40、彩膜结构层 50、第二封装层 60 和盖板层 70 等工艺,这里不再赘述。

- 40 本公开提供的显示基板,通过设置包括多个绝缘层的像素定义结构,且像素定义结构

中的第二绝缘层上形成第二内陷,且第二内陷靠近衬底基板一侧的内壁位于第一电极的上表面和下表面之间,可以保证在像素定义结构隔断有机发光层的同时,避免第二电极断裂,保证第二电极的连续性。本公开提出的像素定义结构,通过在像素定义结构的侧壁形成第一内陷,使得有机发光层在像素定义结构的边缘处断开,可以有效阻断有机发光层中的横向电流。本公开提出的像素定义结构,使得有机发光层形成畸变区,畸变区在衬底基板上的正投影与像素开口在衬底基板上的正投影没有交叠,即畸变区位于像素开口之外,远离有效发光区,提高了发光效率,减小了亮度损失。本公开提出的像素定义结构,使得第二电极的穿刺尖端在衬底基板上的正投影与第一电极在衬底基板上的正投影没有交叠,即穿刺尖端位于第一电极所在区域之外,可以有效避免第二电极和第一电极之间的短路,通过将穿刺尖端设置在平坦的第一绝缘层所在区域内,可以进一步保证第二电极的连续性,不会出现虚接或断开情况。

有机发光层在像素定义结构的边缘处断开,能够有效避免电荷产生层传递载流子造成的串扰,可极大降低有机发光器件纵向漏电风险,提升发光效率,提高显示效果。

图 10 为本公开示例性实施例一种有机发光层的结构示意图。如图 10 所示,有机发光层 33 可以包括设置在第一电极和第二电极之间的空穴注入层、空穴传输层、电子阻挡层、发光材料层、空穴阻挡层、电子传输层和电子注入层。

图 11 为本公开示例性实施例另一种有机发光层的结构示意图。如图 11 所示,有机发光层 33 可以包括设置在第一电极和第二电极之间的第一器件 33-1、电荷产生层 33-2 和第二器件 33-3,第一器件 33-1 和第二器件 33-3 均包括叠设的空穴注入层、空穴传输层、电子阻挡层、发光材料层、空穴阻挡层、电子传输层和电子注入层。

在示例性实施方式中,在垂直于衬底基板 10 的方向上,第一器件 33-1 和电荷产生层 33-2 具有第一器件厚度 $T1$,第二叠层器件 33-3 具有第二厚度 $T2$,第一器件厚度 $T1$ 可以小于第二器件厚度 $T2$,即 $T1 < T2$ 。

在示例性实施方式中,第一器件厚度 $T1$ 可以小于第二器件厚度 $T2$ 的一半, $T1 < 1/2 * T2$,以确保内切结构有效隔断有机发光层 33 的同时,不会造成第二电极 34 的虚接或断裂。

在示例性实施方式中,第三厚度 $D3$ 可以小于第一器件厚度 $T1$,且第三厚度 $D3$ 可以大于第一器件厚度 $T1$ 的一半,即 $1/2 * T1 < D3 < T1$,确保有机发光层 33 中的至少一个膜层在与像素定义结构 32 对应的位置处断开,尤其是隔断有机发光层 33 中的电荷产生层 33-2。

在示例性实施方式中,有机发光层 33 的总厚度可以约为 2900 埃至 3100 埃,其中第一器件厚度 $T1$ 可以约为 900 埃左右,第二器件厚度 $T2$ 可以约为 2100 埃左右。

经研究发现,不仅像素定义结构中无机层的宽度会影响发光器件的效率和寿命,而且有机发光层的厚度也是影响发光器件质量的因素。本公开通过设置第三绝缘层与有机发光层的厚度关系,不仅进一步有效阻隔像素间横向漏电,而且可以减小有机发光层的畸变导致的纵向漏电。

公开示例性实施例还提供了一种显示基板的制备方法。在示例性实施方式中,所述制备方法包括:在衬底基板上形成多个第一电极和多个像素定义结构;所述像素定义结构设置在相邻的所述第一电极之间,并形成暴露出所述第一电极的像素开口;在垂直于所述衬底基板的方向上,所述像素定义结构至少包括设置在所述衬底基板上的第一绝缘层、设置在所述第一绝缘层远离所述衬底基板一侧的第二绝缘层、设置在所述第二绝缘层远离所述衬底基板一侧的第三绝缘层以及设置在所述第三绝缘层远离所述衬底基板一侧的第四绝缘层,所述第一绝缘层、所述第三绝缘层和所述第四绝缘层在所述衬底基板上的正投影与所述第一电极在所述衬底基板上的正投影没有交叠,所述第二绝缘层在所述衬底基板上

的正投影与所述第一电极在所述衬底基板上的正投影至少部分交叠;所述第二绝缘层远离所述衬底基板的表面设置有向所述衬底基板方向凹陷的第二内陷,所述第二内陷靠近所述衬底基板一侧的内壁位于所述第一电极远离所述衬底基板一侧的表面与所述第一电极靠近所述衬底基板一侧的表面之间。

- 5 本公开还提供了一种显示装置,包括前述实施例的显示基板。显示装置可以为:手机、平板电脑、电视机、显示器、笔记本电脑、数码相框或导航仪等任何具有显示功能的产品或部件。

- 10 虽然本公开所揭露的实施方式如上,但所述的内容仅为便于理解本公开而采用的实施方式,并非用以限定本公开。任何本公开所属领域内的技术人员,在不脱离本公开所揭露的精神和范围的前提下,可以在实施的形式及细节上进行任何的修改与变化,但本申请的专利保护范围,仍须以所附的权利要求书所界定的范围为准。

权 利 要 求 书

1. 一种显示基板，包括衬底基板、设置在所述衬底基板上的多个第一电极和多个像素定义结构，所述像素定义结构设置在相邻的所述第一电极之间，并形成暴露出所述第一电极的像素开口；在垂直于所述衬底基板的的方向上，所述像素定义结构至少包括设置在所述衬底基板上的第一绝缘层、设置在所述第一绝缘层远离所述衬底基板一侧的第二绝缘层、设置在所述第二绝缘层远离所述衬底基板一侧的第三绝缘层以及设置在所述第三绝缘层远离所述衬底基板一侧的第四绝缘层，所述第一绝缘层、所述第三绝缘层和所述第四绝缘层在所述衬底基板上的正投影与所述第一电极在所述衬底基板上的正投影没有交叠，所述第二绝缘层在所述衬底基板上的正投影与所述第一电极在所述衬底基板上的正投影至少部分交叠；所述第二绝缘层远离所述衬底基板的表面设置有向所述衬底基板方向凹陷的第二内陷，所述第二内陷靠近所述衬底基板一侧的内壁位于所述第一电极远离所述衬底基板一侧的表面与所述第一电极靠近所述衬底基板一侧的表面之间。

2. 根据权利要求 1 所述的显示基板，其中，所述第二内陷的第二深度为 $0.01\mu\text{m}$ 至 $0.06\mu\text{m}$ ，所述第二深度为所述第二内陷靠近所述衬底基板一侧的内壁与所述第二绝缘层远离所述衬底基板一侧的表面之间的最大距离。

3. 根据权利要求 1 所述的显示基板，其中，所述第一绝缘层远离所述衬底基板一侧的表面与所述第一电极远离所述衬底基板一侧的表面平齐，或者，所述第一绝缘层远离所述衬底基板一侧的表面低于所述第一电极远离所述衬底基板一侧的表面。

4. 根据权利要求 1 所述的显示基板，其中，所述第一绝缘层具有第一宽度，所述第二绝缘层具有第二宽度，所述第二宽度大于所述第一宽度，所述第一宽度和所述第二宽度为平行于所述衬底基板方向上的尺寸。

5. 根据权利要求 4 所述的显示基板，其中，所述第二宽度与所述第一宽度的差值大于或等于 $0.1\mu\text{m}$ 。

6. 根据权利要求 1 所述的显示基板，其中，所述第三绝缘层的材料和所述第四绝缘层的材料不同，所述第二绝缘层的材料和所述第四绝缘层的材料相同。

7. 根据权利要求 4 所述的显示基板，其中，所述第三绝缘层具有第三宽度，所述第四绝缘层具有第四宽度，所述第四宽度小于所述第二宽度，所述第四宽度小于所述第一宽度，所述第三宽度小于所述第四宽度，所述第三宽度和所述第四宽度为平行于所述衬底基板方向上的尺寸。

8. 根据权利要求 7 所述的显示基板，其中，所述第四宽度与所述第二宽度的差值大于或等于 $0.3\mu\text{m}$ ，所述第四宽度与所述第三宽度的差值为 $0.1\mu\text{m}$ 至 $0.4\mu\text{m}$ 。

9. 根据权利要求 2 所述的显示基板，其中，所述第四绝缘层相对于所述第三绝缘层的侧壁具有突出部，所述突出部和所述第三绝缘层的侧壁形成向远离所述像素开口方向凹陷的第一内陷，所述第一内陷的第一深度大于所述第二内陷的第二深度，所述第一深度为所述第四绝缘层靠近所述像素开口一侧的侧壁与所述第三绝缘层靠近所述像素开口一侧的侧壁之间的最大距离。

10. 根据权利要求 9 所述的显示基板，其中，所述第一内陷的第一深度为 $0.05\mu\text{m}$ 至 $0.2\mu\text{m}$ 。

11. 根据权利要求 9 所述的显示基板，其中，所述第一内陷的第一高度大于所述第二内陷的第二深度，所述第一内陷的第一高度为所述第一内陷靠近所述衬底基板一侧表面与

所述第一内陷远离所述衬底基板一侧表面之间的最大距离。

12. 根据权利要求 11 所述的显示基板, 其中, 所述第四绝缘层远离所述衬底基板一侧的表面设置有平滑的向所述衬底基板方向凹陷的第三内陷。

5 13. 根据权利要求 12 所述的显示基板, 其中, 所述第三内陷的曲率小于所述第一内陷的曲率或所述第二内陷的曲率。

14. 根据权利要求 1 至 13 任一项所述的显示基板, 其中, 所述显示基板还包括设置在所述第一电极和所述像素定义结构远离所述衬底基板一侧的有机发光层, 所述有机发光层包括多个膜层, 至少一个膜层在所述第四绝缘层的边缘处断开, 所述有机发光层的膜层在断开处设置畸变区。

10 15. 根据权利要求 14 所述的显示基板, 其中, 所述畸变区可以包括至少一个裂缝, 所述畸变区在所述衬底基板上的正投影与所述像素开口在所述衬底基板上的正投影没有交叠。

15 16. 根据权利要求 15 所述的显示基板, 其中, 所述显示基板还包括设置在所述有机发光层远离所述衬底基板一侧的第二电极, 所述第二电极设有穿刺尖端, 所述穿刺尖端设置在所述畸变区的裂缝中, 所述穿刺尖端在所述衬底基板上的正投影与所述第一电极在所述衬底基板上的正投影没有交叠;

所述穿刺尖端的端点在所述衬底基板上的正投影位于所述第一绝缘层在所述衬底基板上的正投影的范围之内, 所述穿刺尖端的端点为所述穿刺尖端上最靠近所述衬底基板的边界点。

20 17. 根据权利要求 14 所述的显示基板, 其中, 所述有机发光层包括叠设的第一器件、电荷产生层和第二器件, 所述第一器件和所述电荷产生层具有第一器件厚度, 所述第二器件具有第二器件厚度, 所述第一器件厚度小于所述第二器件厚度, 所述第一器件厚度和所述第二器件厚度是垂直于所述衬底基板方向上的尺寸。

25 18. 根据权利要求 17 所述的显示基板, 其中, 所述第一器件厚度小于 $1/2 * \text{第二器件厚度}$ 。

19. 根据权利要求 17 所述的显示基板, 其中, 所述第三绝缘层具有第三厚度 D_3 , 第三厚度 D_3 为垂直于所述衬底基板方向上的尺寸; 所述第三厚度小于所述第一器件厚度, 且所述第三厚度大于 $1/2 * \text{第一器件厚度}$ 。

20. 一种显示装置, 其中, 包括如权利要求 1 至 19 中任一项所述的显示基板。

30 21. 一种显示基板的制备方法, 其中, 所述制备方法包括:

35 在衬底基板上形成多个第一电极和多个像素定义结构, 所述像素定义结构设置在相邻的所述第一电极之间, 并形成暴露出所述第一电极的像素开口; 在垂直于所述衬底基板的
40 方向上, 所述像素定义结构至少包括设置在所述衬底基板上的第一绝缘层、设置在所述第一绝缘层远离所述衬底基板一侧的第二绝缘层、设置在所述第二绝缘层远离所述衬底基板
一侧的第三绝缘层以及设置在所述第三绝缘层远离所述衬底基板一侧的第四绝缘层, 所述
第一绝缘层、所述第三绝缘层和所述第四绝缘层在所述衬底基板上的正投影与所述第一电
极在所述衬底基板上的正投影没有交叠, 所述第二绝缘层在所述衬底基板上的正投影与所
述第一电极在所述衬底基板上的正投影至少部分交叠; 所述第二绝缘层远离所述衬底基
板的表面设置有向所述衬底基板方向凹陷的第二内陷, 所述第二内陷靠近所述衬底基板一
侧的内壁位于所述第一电极远离所述衬底基板一侧的表面与所述第一电极靠近所述衬底基
板一侧的表面之间。

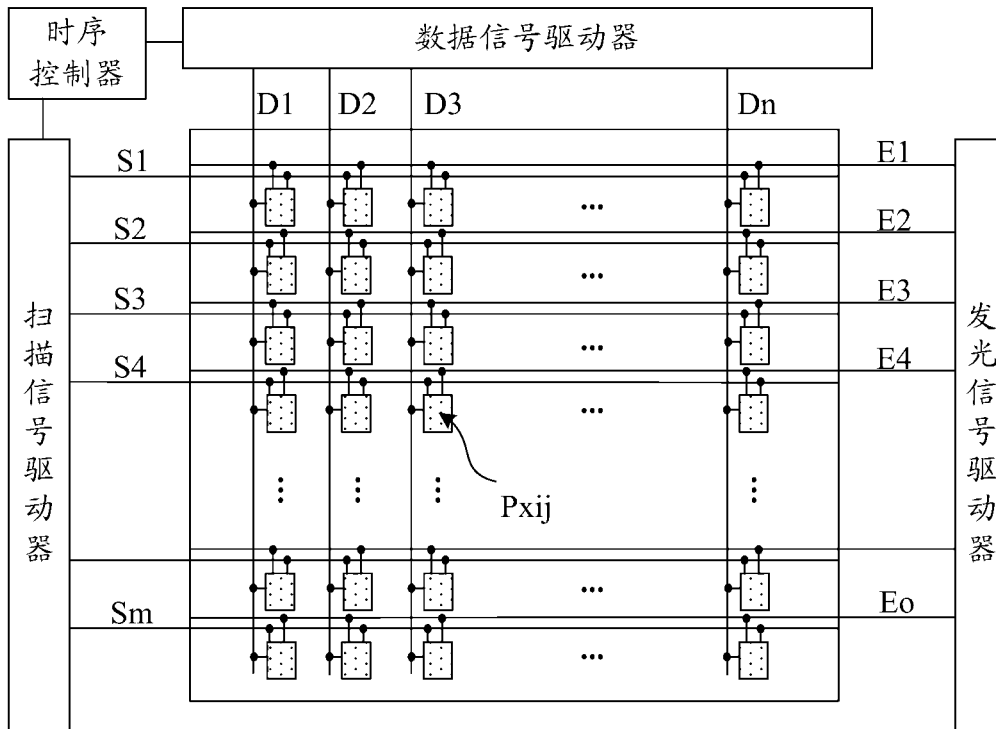


图 1

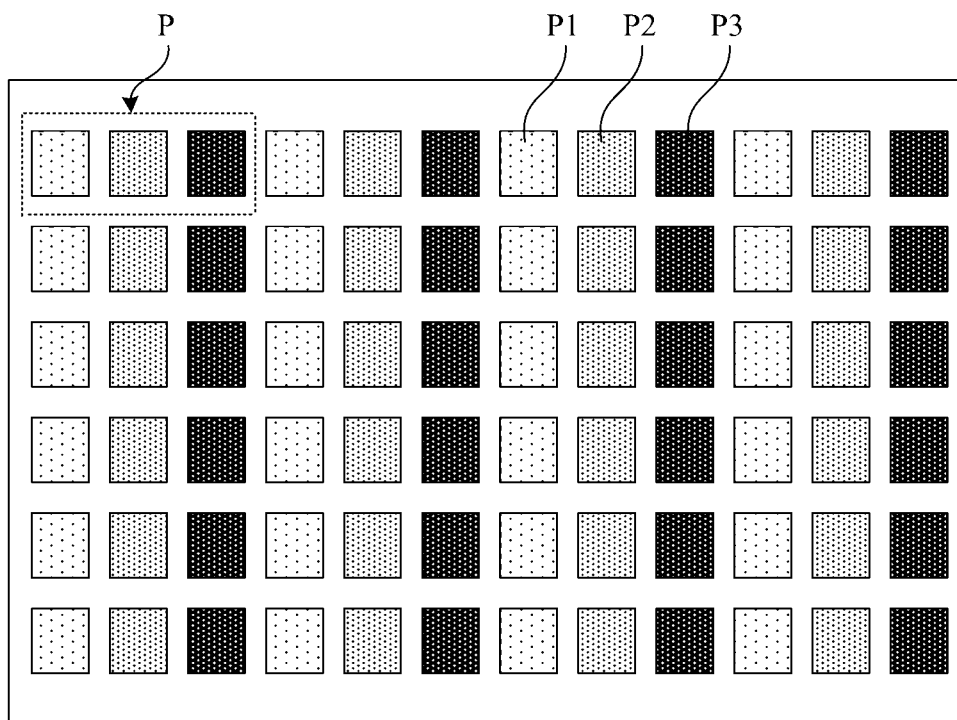


图 2

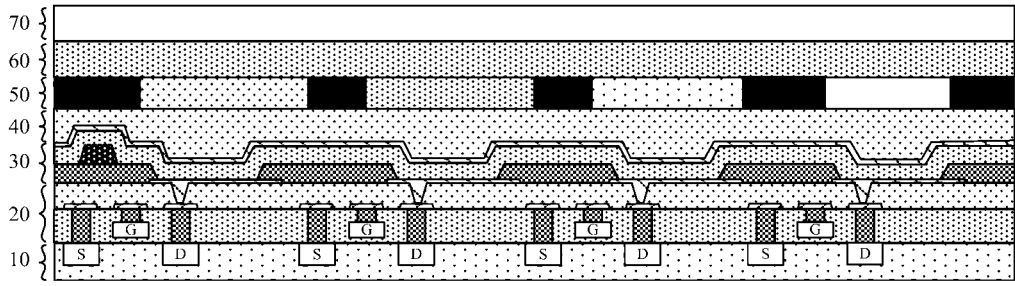


图 3

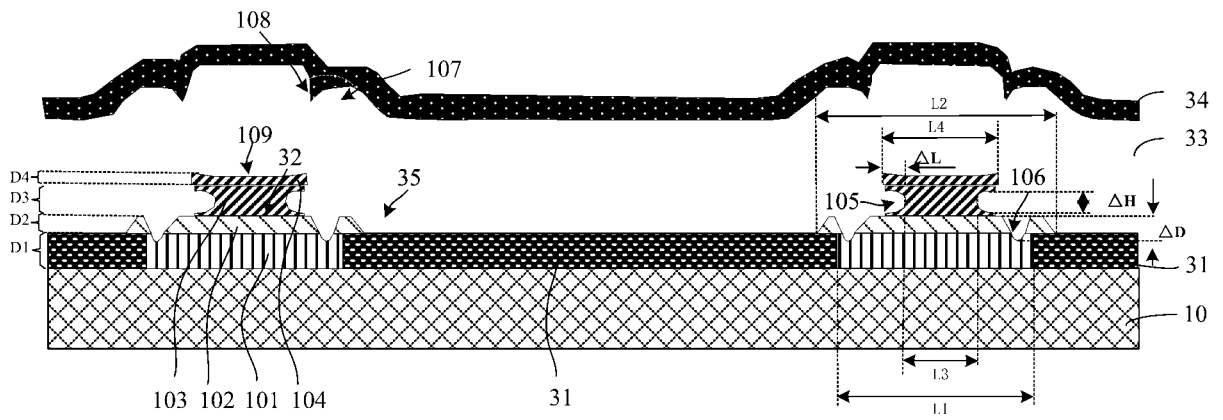


图 4

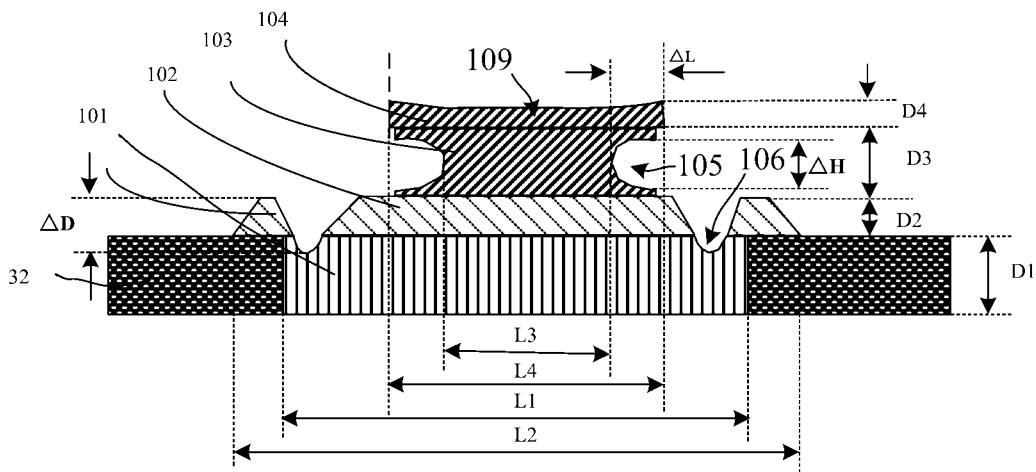


图 5

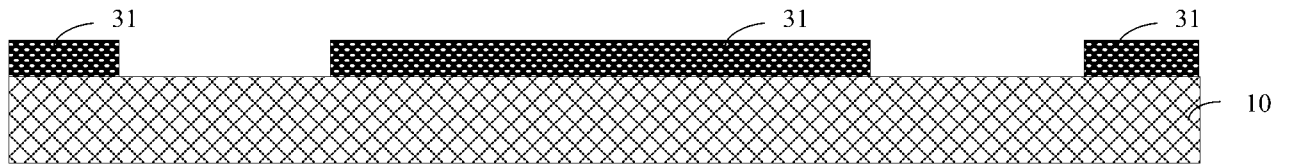


图 6

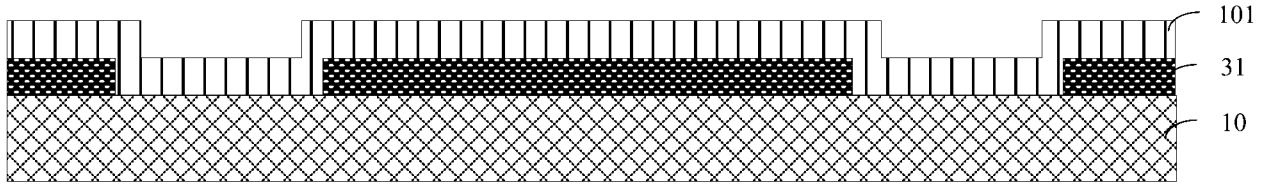


图 7A

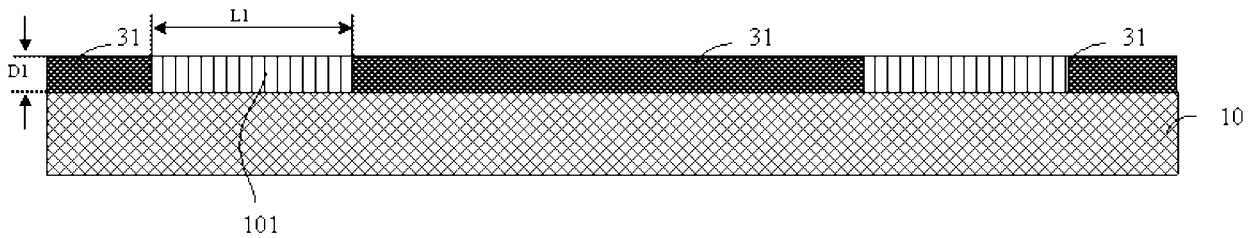


图 7B

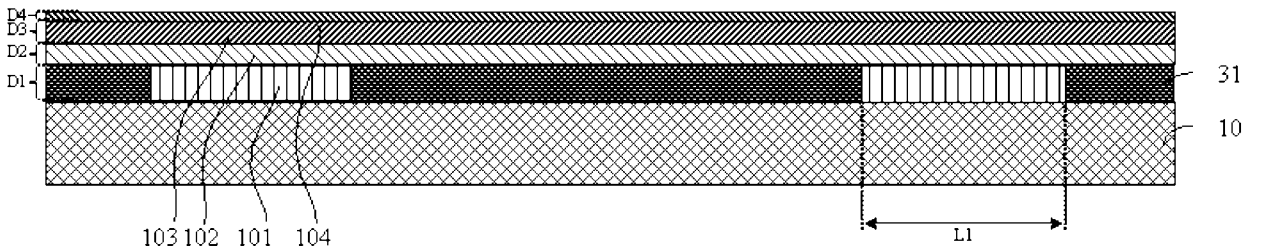


图 7C

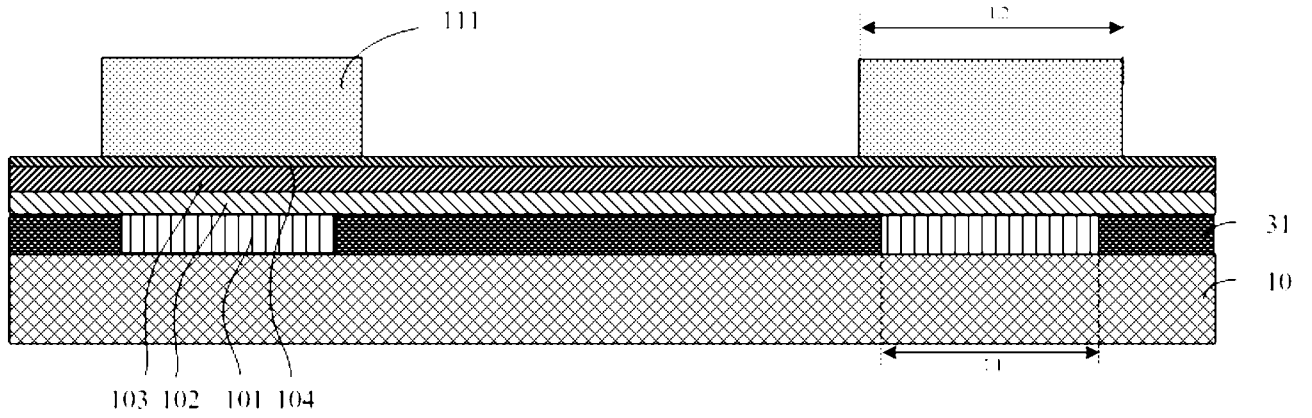


图 7D

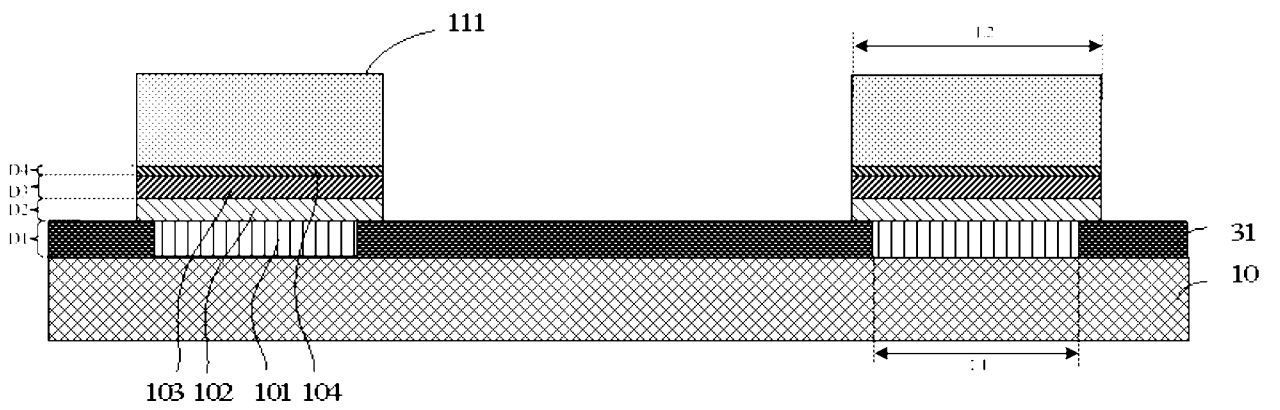


图 7E

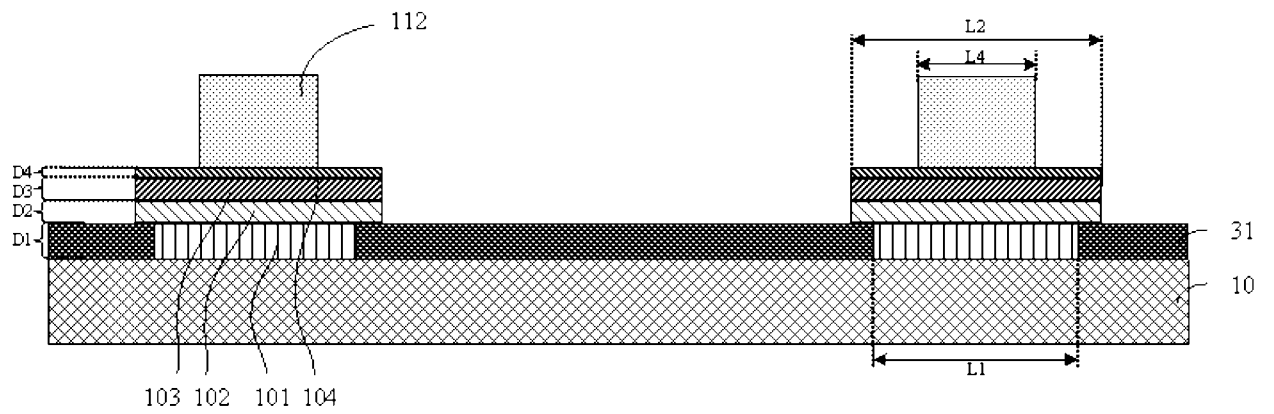


图 7F

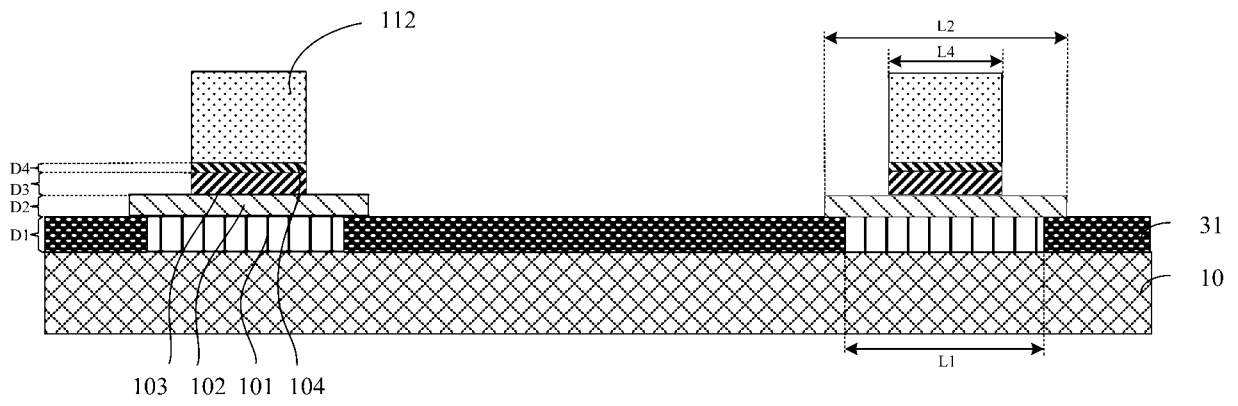


图 7G

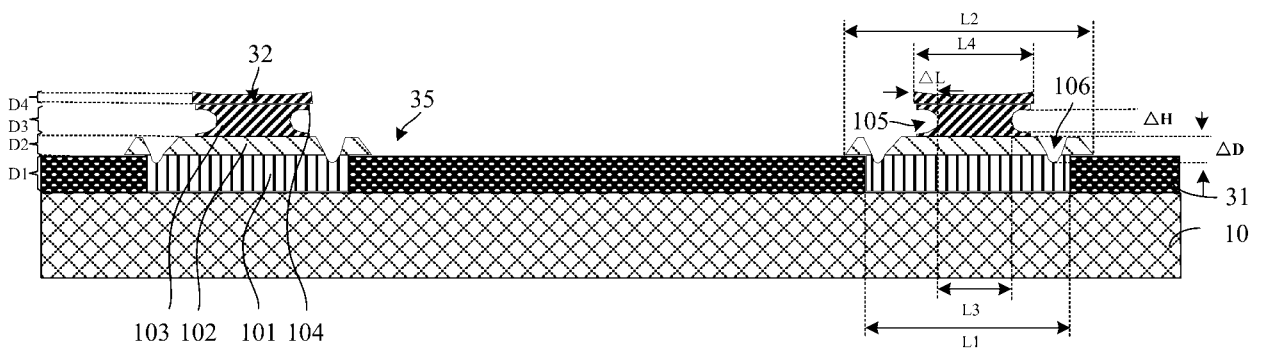


图 7H

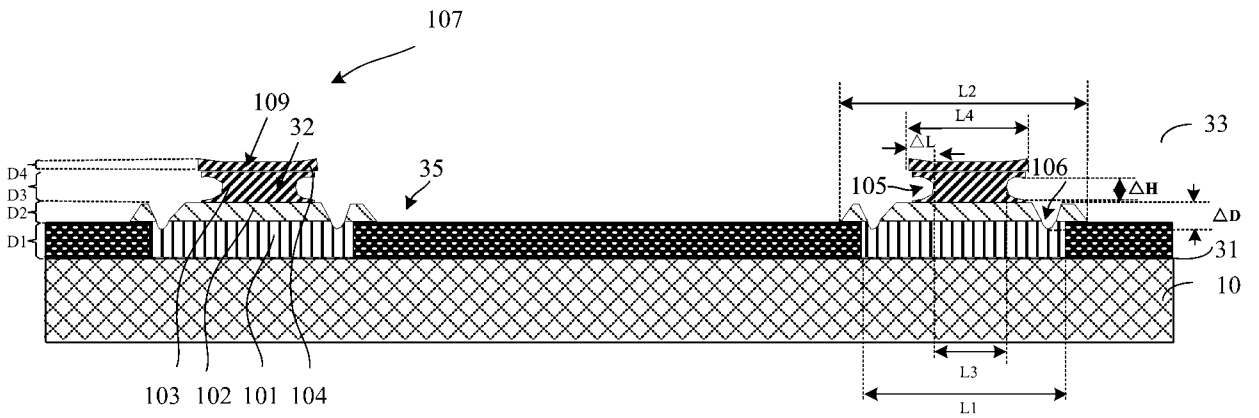


图 8

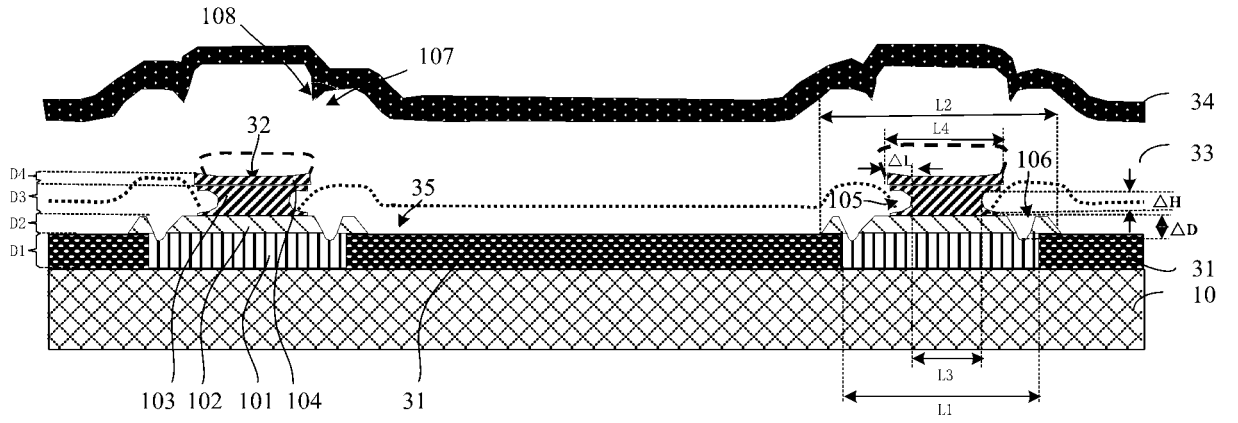


图 9

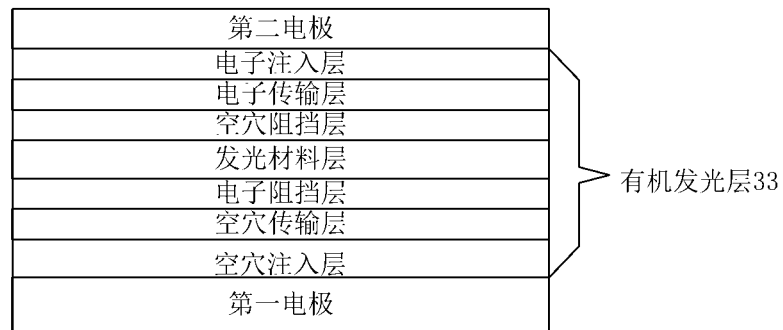


图 10

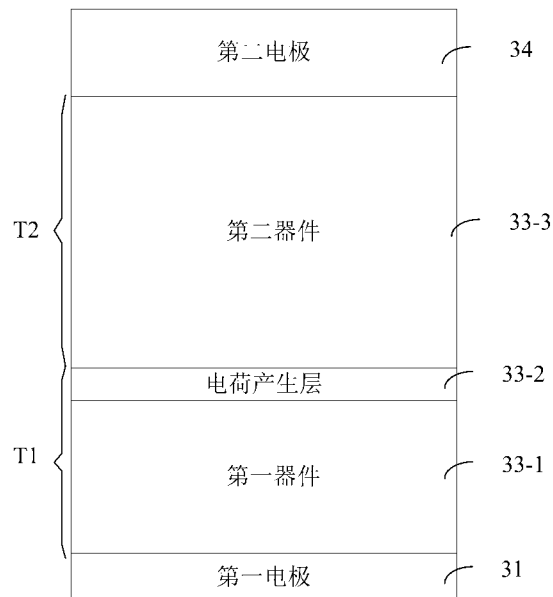


图 11

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/125283

A. CLASSIFICATION OF SUBJECT MATTER		
H10K59/122(2023.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
IPC: H10K59/-		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
CNTXT, WPABSC, ENTXTC: 京东方, 像素, 象素, 隔, 断, 绝缘, 凹, 陷, 有机发光, OLED, 电极, pixel?, part+, separate, barrier, hollow, depress+		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 115623822 A (BOE TECHNOLOGY GROUP CO., LTD.) 17 January 2023 (2023-01-17) description, paragraphs 0055-0056, 0067, and 0118-0120, and figures 1-9	1-21
A	CN 114284458 A (HEFEI XINSHENG OPTOELECTRONICS TECHNOLOGY CO., LTD. et al.) 05 April 2022 (2022-04-05) entire document	1-21
A	KR 20020088940 A (LG ELECTRONICS INC.) 29 November 2002 (2002-11-29) entire document	1-21
A	KR 20090108931 A (SAMSUNG ELECTRONICS CO., LTD.) 19 October 2009 (2009-10-19) entire document	1-21
A	CN 101340754 A (CANON K.K.) 07 January 2009 (2009-01-07) entire document	1-21
A	CN 110265583 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 20 September 2019 (2019-09-20) entire document	1-21
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
07 December 2023		15 December 2023
Name and mailing address of the ISA/CN		Authorized officer
China National Intellectual Property Administration (ISA/CN) China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088		Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2023/125283

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	115623822	A	17 January 2023	None			

CN	114284458	A	05 April 2022	None			

KR	20020088940	A	29 November 2002	None			

KR	20090108931	A	19 October 2009	US	2009256477	A1	15 October 2009
				US	7948167	B2	24 May 2011
				KR	101525804	B1	05 June 2015

CN	101340754	A	07 January 2009	JP	2009032673	A	12 February 2009
				JP	5008606	B2	22 August 2012
				KR	20090004672	A	12 January 2009
				KR	100970607	B1	16 July 2010

CN	110265583	A	20 September 2019	US	2021028249	A1	28 January 2021
				US	11476309	B2	18 October 2022

<p>A. 主题的分类</p> <p>H10K59/122(2023.01)i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																							
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>IPC: H10K59/-</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CNTEXT, WPABSC, ENTXTC: 京东方, 像素, 象素, 隔, 断, 绝缘, 凹, 陷, 有机发光, OLED, 电极, pixel?, part+, separate, barrier, hollow,depress+</p>																							
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>CN 115623822 A (京东方科技集团股份有限公司) 2023年1月17日 (2023 - 01 - 17) 说明书第0055-0056、0067、0118-0120段, 附图1-9</td> <td>1-21</td> </tr> <tr> <td>A</td> <td>CN 114284458 A (合肥鑫晟光电科技有限公司等) 2022年4月5日 (2022 - 04 - 05) 全文</td> <td>1-21</td> </tr> <tr> <td>A</td> <td>KR 20020088940 A (LG ELECTRONICS INC.) 2002年11月29日 (2002 - 11 - 29) 全文</td> <td>1-21</td> </tr> <tr> <td>A</td> <td>KR 20090108931 A (SAMSUNG ELECTRONICS CO., LTD.) 2009年10月19日 (2009 - 10 - 19) 全文</td> <td>1-21</td> </tr> <tr> <td>A</td> <td>CN 101340754 A (佳能株式会社) 2009年1月7日 (2009 - 01 - 07) 全文</td> <td>1-21</td> </tr> <tr> <td>A</td> <td>CN 110265583 A (京东方科技集团股份有限公司等) 2019年9月20日 (2019 - 09 - 20) 全文</td> <td>1-21</td> </tr> </tbody> </table> <p><input type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。</p> <p>* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “D” 申请人在国际申请中引证的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件</p>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	A	CN 115623822 A (京东方科技集团股份有限公司) 2023年1月17日 (2023 - 01 - 17) 说明书第0055-0056、0067、0118-0120段, 附图1-9	1-21	A	CN 114284458 A (合肥鑫晟光电科技有限公司等) 2022年4月5日 (2022 - 04 - 05) 全文	1-21	A	KR 20020088940 A (LG ELECTRONICS INC.) 2002年11月29日 (2002 - 11 - 29) 全文	1-21	A	KR 20090108931 A (SAMSUNG ELECTRONICS CO., LTD.) 2009年10月19日 (2009 - 10 - 19) 全文	1-21	A	CN 101340754 A (佳能株式会社) 2009年1月7日 (2009 - 01 - 07) 全文	1-21	A	CN 110265583 A (京东方科技集团股份有限公司等) 2019年9月20日 (2019 - 09 - 20) 全文	1-21
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
A	CN 115623822 A (京东方科技集团股份有限公司) 2023年1月17日 (2023 - 01 - 17) 说明书第0055-0056、0067、0118-0120段, 附图1-9	1-21																					
A	CN 114284458 A (合肥鑫晟光电科技有限公司等) 2022年4月5日 (2022 - 04 - 05) 全文	1-21																					
A	KR 20020088940 A (LG ELECTRONICS INC.) 2002年11月29日 (2002 - 11 - 29) 全文	1-21																					
A	KR 20090108931 A (SAMSUNG ELECTRONICS CO., LTD.) 2009年10月19日 (2009 - 10 - 19) 全文	1-21																					
A	CN 101340754 A (佳能株式会社) 2009年1月7日 (2009 - 01 - 07) 全文	1-21																					
A	CN 110265583 A (京东方科技集团股份有限公司等) 2019年9月20日 (2019 - 09 - 20) 全文	1-21																					
<p>国际检索实际完成的日期</p> <p>2023年12月7日</p>	<p>国际检索报告邮寄日期</p> <p>2023年12月15日</p>																						
<p>ISA/CN的名称和邮寄地址</p> <p>中国国家知识产权局 中国北京市海淀区蓟门桥西土城路6号 100088</p>	<p>授权官员</p> <p>李闻</p> <p>电话号码 (+86) 010-53962412</p>																						

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2023/125283

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	115623822	A	2023年1月17日	无			
CN	114284458	A	2022年4月5日	无			
KR	20020088940	A	2002年11月29日	无			
KR	20090108931	A	2009年10月19日	US	2009256477	A1	2009年10月15日
				US	7948167	B2	2011年5月24日
				KR	101525804	B1	2015年6月5日
CN	101340754	A	2009年1月7日	JP	2009032673	A	2009年2月12日
				JP	5008606	B2	2012年8月22日
				KR	20090004672	A	2009年1月12日
				KR	100970607	B1	2010年7月16日
CN	110265583	A	2019年9月20日	US	2021028249	A1	2021年1月28日
				US	11476309	B2	2022年10月18日