

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2014 年 2 月 6 日 (06.02.2014)



(10) 国际公布号
WO 2014/019261 A1

- (51) 国际专利分类号:
H01L 29/04 (2006.01) H01L 21/8238 (2006.01)
- (21) 国际申请号: PCT/CN2012/080323
- (22) 国际申请日: 2012 年 8 月 17 日 (17.08.2012)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201210276441.5 2012 年 8 月 3 日 (03.08.2012) CN
- (71) 申请人 (对除美国外的所有指定国): 中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市朝阳区北土城西路 3#, Beijing 100029 (CN)。
- (72) 发明人; 及
- (75) 发明人/申请人 (仅对美国): 尹海洲 (YIN, Haizhou) [CN/US]; 美国纽约州波基普西市洛克科劳斯特街 11#, New York 12603 (US)。 刘云飞 (LIU, Yunfei) [CN/CN]; 中国北京市朝阳区华严北里 53 号楼, Beijing 100029 (CN)。

(74) 代理人: 北京汉昊知识产权代理事务所 (普通合伙) (HANHOW INTELLECTUAL PROPERTY PARTNERS); 中国北京市东城区东长安街 1 号东方广场西 1 区 11 层 1111 室朱海波, Beijing 100738 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,

[见续页]

(54) Title: SEMICONDUCTOR STRUCTURE AND MANUFACTURING METHOD THEREOF

(54) 发明名称: 一种半导体结构及其制造方法

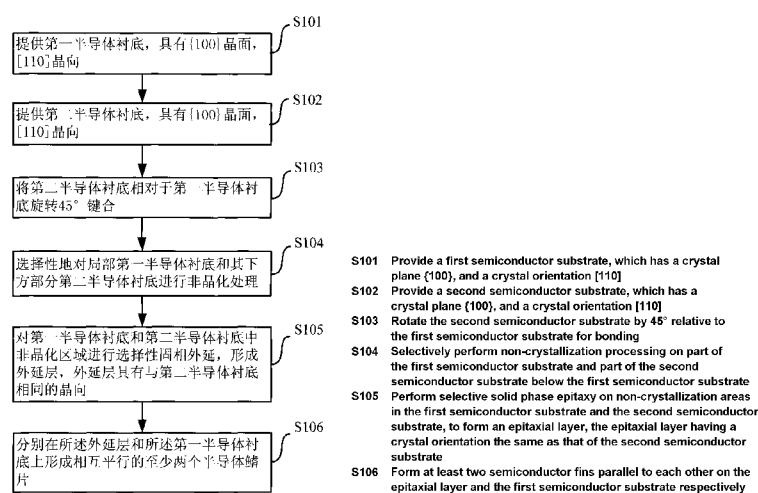


图 3 / FIG.3

(57) Abstract: The present invention provides a semiconductor structure, comprising a semiconductor substrate and at least two semiconductor fins located above the semiconductor substrate. Directions of the at least two semiconductor fins are parallel to each other; and crystal planes of parallel sides of the at least two semiconductor fins are different from each other. The present invention further provides a method for manufacturing the foregoing semiconductor structure. Technical solutions provided in the present invention have the following advantages: by changing the crystal orientation of part of the substrate, two semiconductor fins have different side crystal planes can be formed in parallel on a surface of the substrate; the side crystal planes of the two semiconductor fins are respectively {100} and {110}, which are respectively used for forming an NMOS device and a PMOS device, thereby facilitating improvement of whole performances of a CMOS circuit; the two semiconductor fins are parallel in the structure, so reduction of photolithography difficulty is facilitated, and wafer area waste is avoided.

(57) 摘要:

[见续页]



WO 2014/019261 A1

RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, **本国际公布:**

CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

— 包括国际检索报告(条约第 21 条(3))。

本发明提供一种半导体结构，包括半导体衬底和位于半导体衬底上方的至少两个半导体鳍片，其中：所述至少两个半导体鳍片的方向相互平行；以及所述至少两个半导体鳍片相互平行的侧面的晶面互不相同。本发明还提供一种用于制造上述半导体结构的方法。本发明提供的技术方案具有如下优点：通过改变部分衬底的晶向，可以在衬底表面上形成平行的，具有不同侧面晶面的两种半导体鳍片；所述两种半导体鳍片侧面晶面分别为 $\{100\}$ 和 $\{110\}$ ，分别被用于形成 NMOS 和 PMOS 器件，有利于提高 CMOS 电路整体性能；由于两种半导体鳍片结构是平行的，利于减小光刻难度，以及避免晶圆面积浪费。

一种半导体结构及其制造方法

[0001] 本申请要求了2012月8月3日提交的、申请号为201210276441.5、发明名称为“一种半导体结构及其制造方法”的中国专利申请的优先权，其全部内
5 容通过引用结合在本申请中。

技术领域

[0002] 本发明涉及包含鳍片的半导体结构及其制造方法，具体地涉及用于FinFET的半导体鳍片及其制造方法。

10

背景技术

[0003] 体硅 FinFET（鳍式场效应晶体管）的常规制造工艺是从衬底形成延伸的薄鳍，之后形成栅极介质层和栅极，最终形成晶体管。研究发现，当晶体管沟道方向沿 $\{110\}$ 晶面的 $[110]$ 晶向时，PMOS的空穴迁移率最高，而当
15 晶体管沟道方向沿 $\{100\}$ 晶面的 $[110]$ 晶向时，NMOS的电子迁移率最高（如图1所示）。因此，为了提高CMOS电路性能，有人提出将PMOS和NMOS的鳍片半导体结构分别制作在侧面晶面为 $\{110\}$ 和 $\{100\}$ 的半导体鳍片上，其典型的工艺是采用晶面 $\{100\}$ ，晶向 $[110]$ 的衬底作为基底材料。方法是沿衬底 $[110]$ 晶向刻蚀形成第一种半导体鳍片，沿衬底 $[100]$ 晶向刻蚀形成第二种半
20 导体鳍片，分别以第一种半导体鳍片和第二种半导体鳍片为结构基础形成PMOS和NMOS器件。图2a示出了经典体硅FinFET结构示意图，图2b表明在一般方法中，采用旋转FinFET的方法形成所需要的鳍片侧面晶向结构。

[0004] 这种方式的缺点非常明显：PMOS和NMOS器件的鳍片结构不平行。这样的设计不仅会增加光刻难度，也导致浪费更多的晶圆面积，最终增加成
25 本。

[0005] 因此，需要对此方法进行改进。

发明内容

[0006] 本发明的目的是提供一种改进的半导体鳍片结构及其制造方法，有利

于减小光刻难度，以及避免晶圆面积浪费。

[0007] 本发明提供了一种半导体结构，包括半导体衬底和位于半导体衬底上方的至少两个半导体鳍片，其中：

[0008] 所述至少两个半导体鳍片的方向相互平行；以及

5 [0009] 所述至少两个半导体鳍片相互平行的侧面的晶面互不相同。

[0010] 本发明还提供了一种半导体结构的制造方法，其中包括如下步骤：

[0011] 提供第一半导体衬底，其具有第一晶面以及在所述第一晶面上预定第一晶向；

10 [0012] 提供第二半导体衬底，其具有第二晶面以及在所述第二晶面上预定第二晶向；

[0013] 将所述第二半导体衬底相对于所述第一半导体衬底旋转，使得所述第一晶向与所述第二晶向形成预定角度；

[0014] 将所述第一半导体衬底与所述第二半导体衬底进行键合；

15 [0015] 选择性地对局部的所述第一半导体衬底和其下方部分第二半导体衬底进行非晶化处理；

[0016] 对所述第一半导体衬底和所述第二半导体衬底中非晶化区域进行选择性地固相外延，形成外延层，所述外延层具有与所述第二半导体衬底相同的晶向；

20 [0017] 分别在所述外延层和所述第一半导体衬底上形成相互平行的至少两个半导体鳍片。

[0018] 与现有技术相比，采用本发明提供的技术方案具有如下优点：

25 [0019] 通过改变部分衬底的晶向，可以在衬底表面上形成平行的，具有不同侧面晶面的两种半导体鳍片；所述两种半导体鳍片侧面晶面分别为{100}和{110}，分别被用于形成NMOS和PMOS器件，有利于提高CMOS电路整体性能；由于两种半导体鳍片结构是平行的，利于减小光刻难度，以及避免晶圆面积浪费。

附图说明

[0020] 通过阅读参照以下附图所作的对非限制性实施例所作的详细描述，本

发明的其它特征、目的和优点将会变得更明显，附图中相同或相似的附图标记代表相同或相似的部件。

[0021] 图1所示为在不同晶向的Si衬底上，载流子速度作为所采用的掺杂浓度的函数的曲线图；

5 [0022] 图2a和2b所示为现有制造技术的体硅FinFet结构示意图和晶圆上的FinFet晶向选择示意图；

[0023] 图3为本发明方法所描述的半导体结构制造方法流程图；以及

[0024] 图4～图10为根据本发明的方法制造半导体结构的每个阶段的示意图。

10

具体实施方式

[0025] 下面详细描述本发明的实施例，所述实施例的示例在附图中示出。下面通过参考附图描述的实施例是示例性的，仅用于解释本发明，而不能解释为对本发明的限制。

15 [0026] 下文的公开提供了许多不同的实施例或例子用来实现本发明的不同结构。为了简化本发明的公开，下文中对特定例子的部件和设置进行描述。当然，它们仅仅为示例，并且目的不在于限制本发明。此外，本发明可以在不同例子中重复参考数字和/或字母。这种重复是为了简化和清楚的目的，其本身不指示所讨论各种实施例和/或设置之间的关系。此外，本发明提供了各种特定的工艺和材料的例子，但是本领域技术人员可以意识到其他工艺的可应用性和/或其他材料的使用。应当注意，在附图中所图示的部件不一定按比例绘制。本发明省略了对公知组件和处理技术及工艺的描述以避免不必要地限制本发明。

20

[0027] 本发明的半导体结构适合应用于CMOS器件电路。其主要形成过程为：首先将沿同一方向具有不同晶向的半导体衬底键合，形成一种组合半导体结构；其次利用离子注入将所述结构的部分区域非晶化，之后通过固相外延，形成具有至少两种晶向的半导体结构表面；然后，在所述具有不同晶向的半导体结构表面形成相互平行的半导体鳍片结构，所述半导体鳍片结构侧面具有不同的晶面，因此可针对性地形成不同类型器件，以利于提高电路性

25

能。

[0028] 本发明的主要优势在于：

[0029] 提供了一种结构和制造方法，在同一衬底表面形成具有不同侧面晶面的半导体鳍片结构，可用以提高CMOS电路性能，且所述半导体鳍片结构互相平行。平行的半导体鳍片结构有利于减小后续光刻工艺难度，降低几何结构复杂度，提高晶圆面积利用率，同时在电路设计中，平行的鳍片结构更有利于排版，布线，避免引入其他失效机制。

[0030] 所述平行的鳍片结构的侧面具有不同的晶面，因此可用于形成不同类型器件。鳍片结构的侧面平行于器件的沟道方向，当鳍片结构的侧面的晶面为{110}时，适于形成PMOS器件；当鳍片结构的侧面的晶面为{100}时，适于形成NMOS器件。根据不同半导体鳍片结构侧面晶面，选择合适的器件类型，以提升系统的整体性能。

[0031] 图3示出了本发明的一个实施例的流程图，具体如下：

[0032] 首先，在步骤S101和S102中，提供第一半导体衬底和第二半导体衬底，其都具有{100}晶面，在所述第一半导体衬底和第二半导体衬底上分别确定[110]晶向，所述[110]晶向平行于所述第一和第二半导体衬底的表面；之后，在步骤S103，将第二半导体衬底相对于第一半导体衬底旋转45°使得它们各自的[110]晶向形成45°夹角，然后将第一半导体衬底和第二半导体衬底相互键合；然后，在步骤S104，选择性地对局部第一半导体衬底和其下方部分第二半导体衬底进行非晶化处理；再后，在步骤S105对第一半导体衬底和第二半导体衬底中非晶化区域进行选择性的固相外延，外延层具有与第二半导体衬底相同的晶向；最后，在步骤S106，分别在所述外延层和所述第一半导体衬底上形成相互平行的至少两个半导体鳍片，其中在所述外延层上形成第一半导体鳍片的侧面的晶面可以为{110}或{100}，由于在外延层上的各个晶向相对于所述第一半导体衬底的相应晶向形成45°夹角，因此当在所述第一半导体衬底上形成与所述第一半导体鳍片相平行的第二半导体鳍片时，所述第二半导体鳍片的侧面的晶面对应地为{100}或{110}。当半导体鳍片的侧面晶面为{100}时，将该半导体鳍片制作为NMOS器件，当半导体鳍片的侧面晶面为{110}时，将该半导体鳍片制作为PMOS器件，可以提高载流子的迁移率，提

高器件的性能。通过在同一表面上形成相互平行并且具有不同的晶面的半导体鳍片可以降低制造工艺的难度，并且提高衬底的利用率。

[0033] 下面，结合图4-图10对本发明的一个实施例的制造过程进行描述；

[0034] 首先，如图4所示，提供第一半导体衬底200。其材料优选的为硅，也可以为锗等单质半导体。所述第一半导体衬底一般是圆形，为了区分或对准晶向而制作的缺口或对准边201，衬底直径常用的有50毫米、100毫米、200毫米、300毫米、450毫米等。所述第一半导体衬底可以是标准厚度，从400微米到1000微米不等。所述第一半导体衬底优选为{100}晶面、对准边201优选[110]晶向。

10 [0035] 随后，为了获得较薄的第一半导体衬底，可以通过根据SMARTCUT工艺指导，在所述第一半导体衬底300的一侧表面注入H；注入剂量在 $10^{16} \sim 2 \cdot 10^7$ 之间，注入深度在 $1 \sim 2 \mu\text{m}$ ，需要注意的是，所述注入深度优选大于最后形成半导体鳍片结构所需要的高度。然后通过后续工艺进行剥离形成 $1 \sim 2 \mu\text{m}$ 厚的第一半导体衬底。

15 [0036] 接着，如图5所示，提供第二半导体衬底300。其材料优选与所述第一半导体衬底相同材料，但掺杂特性不做限制。所述第二半导体衬底一般是圆形，为了区分或对准晶向而制作的缺口或对准边301，衬底直径常用的有50毫米、100毫米、200毫米、300毫米、450毫米等。所述第二半导体衬底可以是标准厚度，从400微米到1000微米不等。所述第二半导体衬底优选为{100}晶面、对准边301优选[110]晶向。其中所述第一半导体衬底的尺寸和晶面与
20 所述第二半导体衬底的尺寸和晶面相同。

[0037] 然后，如图6所示，将所述第二半导体衬底对准边301相对所述第一半导体衬底对准边201旋转 45° 角。将所述第一半导体衬底注入H的一侧表面与所述第二半导体衬底的一侧表面进行直接键合。所述键合工艺采用如下步骤：
25 对所述半导体衬底表面进行抛光，清洗，以及活化（ OH^- 溶液或等离子体）处理；在室温条件下，将所述半导体衬底表面贴合在一起。

[0038] 随后，如图7所示，将键合结构进行退火，退火温度为 $400^\circ\text{C} \sim 600^\circ\text{C}$ ，优选为 500°C ，退火时间 $30\text{min} \sim 120\text{min}$ 。此次退火目的在于使得注入衬底的H层与衬底结构剥离。

[0039] 之后，对键合结构进行第二次退火，表面抛光，减薄。退火温度为1000℃，退火时间为30min~8hr。此次退火目的在于增强第一半导体衬底和第二半导体衬底间的键合强度。经过所述表面抛光，减薄后，键合在所述第二半导体衬底上的第一半导体衬底的剥离部分的厚度优选略大于所述半导体鳍片的高度，最终形成所需要的预定深度的第一半导体衬底和第二半导体衬底的组合结构。

[0040] 接着，如图8所示，在所述第一半导体衬底的表面形成图案化掩膜层210，进行离子注入，形成所述第一半导体衬底和第二半导体衬底非晶化部分区域220。所述掩膜层优选采用光致抗蚀剂掩膜，具体可以使用包含曝光和显影的光刻工艺、电子束刻印（e-beam lithography）或其他合适的方法形成光致抗蚀剂掩膜。所述离子注入的目的在于非晶化所注入的半导体区域，注入粒子优选采用Ge，注入剂量范围 $1 \cdot 10^{13}/\text{cm}^2 \sim 1 \cdot 10^{15}/\text{cm}^2$ ，注入能量为400keV，离子注入深度需大于所述第一半导体衬底厚度，以将部分第二半导体衬底区域非晶化。

[0041] 再后，如图9所示，去除所述掩膜层，将所述非晶化区域选择性固相外延。通过所述固相外延工艺，使所述非晶化区域有序化和再结晶，形成具有与第二半导体衬底相同类型的晶面和晶向结构（{100}晶面、[110]晶向）的外延层200。

[0042] 然后，如图10a和10b所示，形成第一半导体鳍片200和第二半导体鳍片300结构。首先，在结构表面形成腐蚀掩蔽层；之后，采用湿法腐蚀或干法刻蚀，沿结构对准边0°或90°方向，形成相互平行的所述第一半导体鳍片和第二半导体鳍片结构。所述第一半导体鳍片结构侧面晶面由第一半导体衬底对准边晶向决定，为{110}；所述第二半导体鳍片结构侧面晶面由第二半导体衬底对准边旋转45°角晶向决定，为{100}。至此，已形成所述半导体结构。

[0043] 再后，在第一半导体鳍片和第二半导体鳍片表面形成栅极介质层，再在所述栅极介质层上形成栅极。最终以第一半导体鳍片和第二半导体鳍片为结构基础分别形成PMOS和NMOS器件。所述栅极介质层厚度在1nm-15nm，材料可为高K或低K材料。所述栅极厚度在20-90nm，材料可选自Poly-Si、

Ti、Co、Ni、Al、W、合金、金属硅化物。

[0044] 下面，对根据本发明的半导体结构进行描述：

5 [0045] 本发明提供一种半导体结构，包括半导体衬底和位于半导体衬底上方的至少两个半导体鳍片，其中：所述至少两个半导体鳍片的方向相互平行；以及所述至少两个半导体鳍片相互平行的侧面的晶面互不相同。

[0046] 所述半导体衬底的材料优选为硅或锗，并具有预定掺杂类型和浓度。所述半导体衬底的晶面优选为{100}晶面，所述两个半导体鳍片相互平行的侧面的晶面分别为{100}和{110}晶面。

10 [0047] 所述半导体衬底包括第一半导体衬底、其下方的第二半导体衬底以及所述第二半导体衬底的外延层。所述至少两个半导体鳍片分别由所述第一半导体衬底和所述第二半导体衬底的外延层形成。所述第一和第二半导体衬底之间相互键合在一起，并且其各自的[110]晶向形成45°交角。所述侧面的晶面为{100}和{110}晶面的半导体鳍片分别用于形成NMOS和PMOS器件。

15

[0048] 根据本发明的另一方面，考虑形成结构表面具有三种不同晶面的半导体结构的实施例。

20 [0049] 首先，提供第一、第二以及第三半导体衬底。其材料优选为硅，也可以为锗等单质半导体。所述第一、第二以及第三半导体衬底一般是圆形，为了区分或对准晶向而制作的缺口或对准边，衬底直径常用的有50毫米、100毫米、200毫米、300毫米、450毫米等。所述第一、第二以及第三半导体衬底可以是标准厚度，从400微米到1000微米不等。所述第一、第二以及第三半导体衬底优选{100}晶面、对准边优选[110]晶向。

25 [0050] 随后，根据SMARTCUT工艺指导，在所述第一半导体衬底的一侧表面注入H；注入剂量在 10^{16} ~ $2 \cdot 10^7$ 之间，注入深度在1 ~ 2 μ m，需要注意的是，所述注入深度优选大于最后形成半导体鳍片结构所需要的高度，

[0051] 然后，将所述第二半导体衬底对准边相对所述第一半导体衬底对准边旋转45°角。将所述第一半导体衬底注入H的一侧表面与所述第二半导体衬底的一侧表面进行直接键合。所述键合工艺采用如下步骤：对所述半导体衬

底表面进行抛光,清洗,以及活化(OH^- 溶液或等离子体)处理;在室温条件下,将所述半导体衬底表面贴合在一起。

[0052] 随后,将键合结构进行退火,退火温度为 $400^\circ\text{C}\sim 600^\circ\text{C}$,优选为 500°C ,退火时间 $30\text{min}\sim 120\text{min}$ 。此次退火目的在于使得注入衬底的H层与衬底结构

剥离。

[0053] 之后,对键合结构进行第二次退火,表面抛光,减薄。退火温度为 1000°C ,退火时间为 $30\text{min}\sim 8\text{hr}$ 。此次退火目的在于增强第一半导体衬底和第二半导体衬底间的键合强度。经过所述表面抛光,形成所需要的第一半导体衬底和第二半导体衬底的组合结构。

10 [0054] 之后,对第三半导体衬底重复前面工艺,即注入,键合、退火以及剥离工艺,从而在第一半导体衬底和第二半导体衬底的组合结构基础上增加形成第三半导体衬底结构。需要注意的,在键合工艺前,所述第三半导体相对于所述第一半导体衬底旋转 30° 角度;同时结构上的第三半导体衬底厚度略大于半导体鳍片高度。

15 [0055] 接着,在所述第三半导体衬底的表面形成图案化掩膜层,进行离子注入,在部分区域使得所述第三半导体衬底和部分第一半导体衬底区域非晶化,以及在部分区域使得所述第三半导体衬底,第一半导体衬底以及部分第二半导体衬底区域非晶化。所述掩膜层优选采用光致抗蚀剂掩膜,具体可以使用包含曝光和显影的光刻工艺、电子束刻印(e-beam lithography)或其他合适的方法形成光致抗蚀剂掩模。所述离子注入的目的在于非晶化所注入的半导体区域,注入粒子优选采用Ge,注入剂量范围 $1\cdot 10^{13}/\text{cm}^2\sim 1\cdot 10^{15}/\text{cm}^2$,注入能量为 400keV ,离子注入深度需大于所述第一半导体衬底厚度,以将部分第二半导体衬底区域非晶化。

20 [0056] 再后,去除所述掩膜层,将所述非晶化区域选择性固相外延。通过所述固相外延工艺,使所述非晶化区域有序化和再结晶,形成外延层结构。所述外延层结构部分区域具有与第一半导体衬底相同类型的晶面和晶向结构(($\{100\}$ 晶面、 $[110]$ 晶向)),所述外延层结构部分区域具有与第二半导体衬底相同类型的晶面和晶向结构($\{100\}$ 晶面、 $[100]$ 晶向)。

[0057] 然后,形成第一、第二以及第三半导体鳍片结构。首先,在结构表面

形成腐蚀掩蔽层；之后，采用湿法腐蚀或干法刻蚀，沿结构对准边 0° 或 90° 方向，形成相互平行的所述第一、第二以及第三半导体鳍片结构。所述第一半导体鳍片结构侧面晶面由第一半导体衬底对准边晶向决定，为 $\{110\}$ ；所述第二半导体鳍片结构侧面晶面由第二半导体衬底对准边旋转 45° 角晶向决定，为 $\{100\}$ ；所述第三半导体鳍片结构侧面晶面由第三半导体衬底对准边旋转 30° 角晶向决定，为 $\{210\}$ 。至此，已形成所述半导体结构。

[0058] 根据本发明的半导体结构及其制造方法，通过改变部分衬底的晶向，可以在衬底表面上形成平行的，具有不同侧面晶面的两种半导体鳍片；所述两种半导体鳍片侧面晶面分别为 $\{100\}$ 和 $\{110\}$ ，分别被用于形成NMOS和PMOS器件，有利于提高CMOS电路整体性能；由于两种半导体鳍片结构是平行的，利于减小光刻难度，以及避免晶圆面积浪费，降低几何结构复杂度，提高晶圆面积利用率，同时在电路设计中，平行的鳍片结构更有利于排版，布线，避免引入其他失效机制。

[0059] 虽然关于示例实施例及其优点已经详细说明，应当理解在不脱离本发明的精神和所附权利要求限定的保护范围的情况下，可以对这些实施例进行各种变化、替换和修改。对于其他例子，本领域的普通技术人员应当容易理解在保持本发明保护范围内的同时，工艺步骤的次序可以变化。

[0060] 此外，本发明的应用范围不局限于说明书中描述的特定实施例的工艺、机构、制造、物质组成、手段、方法及步骤。从本发明的公开内容，作为本领域的普通技术人员将容易地理解，对于目前已存在或者以后即将开发出的工艺、机构、制造、物质组成、手段、方法或步骤，其中它们执行与本发明描述的对应该实施例大体相同的功能或者获得大体相同的结果，依照本发明可以对它们进行应用。因此，本发明所附权利要求旨在将这些工艺、机构、制造、物质组成、手段、方法或步骤包含在其保护范围内。

权利要求

1、一种半导体结构，包括半导体衬底和位于半导体衬底上方的至少两个半导体鳍片，其中：

5 所述至少两个半导体鳍片的方向相互平行；以及

所述至少两个半导体鳍片相互平行的侧面的晶面互不相同。

2、根据权利要求1所述的半导体结构，其中所述两个半导体鳍片相互平行的侧面的晶面分别为{100}和{110}晶面。

10 3、根据权利要求1所述的半导体结构，其中所述半导体衬底包括第一半导体衬底、其下方的第二半导体衬底以及所述第二半导体衬底的外延层。

4、根据权利要求1所述半导体结构，其中所述至少两个半导体鳍片分别由所述第一半导体衬底和所述第二半导体衬底的外延层形成。

5、根据权利要求3所述半导体结构，其中所述第一和第二半导体衬底之间相互键合在一起，并且其各自的[110]晶向形成45°交角。

15 6、根据权利要求2所述的半导体结构，其中所述侧面的晶面为{100}和{110}晶面的半导体鳍片分别用于形成NMOS和PMOS器件。

20 7、根据权利要求1所述的半导体结构，其中还包括第三半导体鳍片，所述第三半导体鳍片与所述至少两个半导体鳍片的方向相互平行，并且所述第三半导体鳍片与所述至少两个半导体鳍片的相互平行的侧面的晶面互不相同。

8、根据权利要求7所述的半导体结构，其中所述半导体衬底由第一半导体衬底、其下方的第二半导体衬底、第三半导体衬底，以及所述第二和第三半导体衬底的外延层所形成。

25 9、根据权利要求7所述半导体结构，其中所述至少两个半导体鳍片分别由所述第一半导体衬底和所述第二半导体衬底的外延层形成，所述第三半导体鳍片形成在所述第三半导体衬底的外延层上。

10、一种半导体结构的制造方法，其中包括如下步骤：

提供第一半导体衬底，其具有第一晶面以及在所述第一晶面上预定第一晶向；

提供第二半导体衬底，其具有第二晶面以及在所述第二晶面上预定第二晶向；

将所述第二半导体衬底相对于所述第一半导体衬底旋转，使得所述第一晶向与所述第二晶向形成预定角度；

5 将所述第一半导体衬底与所述第二半导体衬底进行键合；

选择性地对局部的所述第一半导体衬底和其下方部分第二半导体衬底进行非晶化处理；

10 对所述第一半导体衬底和所述第二半导体衬底中非晶化区域进行选择
性固相外延，形成外延层，所述外延层具有与所述第二半导体衬底相同的晶向；

分别在所述外延层和所述第一半导体衬底上形成相互平行的至少两个半导体鳍片。

11、根据权利要求10所述的半导体结构制造方法，其中所述第一晶面与
所述第二晶面都为{100}晶面，所述第一晶向与所述第二晶向都为[110]晶向。

15 12、根据权利要求10或11所述的半导体结构制造方法，其中所述预定角
度为45°角。

13、根据权利要求10所述的半导体结构制造方法，其中还包括如下步骤：
在所述第一半导体衬底的一侧表面注入氢；

20 将注入氢后的第一半导体衬底的一侧表面与所述第二半导体衬底进行
键合；

对所述第一和第二半导体衬底进行退火，剥离注入氢离子的第一半导体
衬底；以及

对键合结构的剥离的表面进行减薄和抛光。

25 14、根据权利要求10所述的半导体结构制造方法，其中所述非晶化处理
包括如下步骤：

在所述第一半导体衬底上形成图案化掩膜层；

通过离子注入，在所述第一半导体衬底上和其下方部分第二半导体衬底
形成预定深度的非晶化区域。

15、根据权利要求14所述的半导体结构制造方法，其中用Ge进行所述离

子注入，注入剂量范围 $1 \cdot 10^{13}/\text{cm}^2 \sim 1 \cdot 10^{15}/\text{cm}^2$ ，注入能量400keV，离子注入深度大于所述第一半导体衬底厚度，以将部分所述第二半导体衬底区域非晶化。

16、根据权利要求14所述的半导体结构制造方法，其中所述的预定深度
5 大于所述第一半导体衬底厚度。

17、根据权利要求10或13所述的半导体结构制造方法，其中所述的键合包括如下步骤：

将所述第一和第二半导体衬底进行表面处理；

10 将所述第一半导体的一侧表面与所述第二半导体表面贴合；以及
经过退火处理形成键合。

18、根据权利要求10所述的半导体结构制造方法，其中所述形成至少两个半导体鳍片包括如下步骤：

在所述第一半导体衬底和所述外延层表面形成图案化掩膜层；

通过刻蚀，在衬底上形成所述至少两个半导体鳍片；

15 19、根据权利要求10或18所述半导体结构制造方法，其中还包括如下步骤：
步骤：

在所述至少两个半导体鳍片表面形成栅极介质层；

在所述栅极介质层上形成栅极。

20 20、根据权利要求10、18或19所述的半导体结构制造方法，其中，所述
第一半导体衬底区域的鳍片侧面的晶面为 $\{110\}$ ，所述外延层区域的鳍片侧面的晶面为 $\{100\}$ ；

对所述第一半导体衬底区域的鳍片形成PMOS器件，对所述外延层区域的的鳍片形成NMOS器件。

25 21、根据权利要求10、18或19所述的半导体结构制造方法，其中，所述
第一半导体衬底区域的鳍片侧面的晶面为 $\{100\}$ ，所述外延层区域的鳍片侧面的晶面为 $\{110\}$ ；

对所述第一半导体衬底区域的鳍片形成NMOS器件，对所述外延层区域的的鳍片形成PMOS器件。

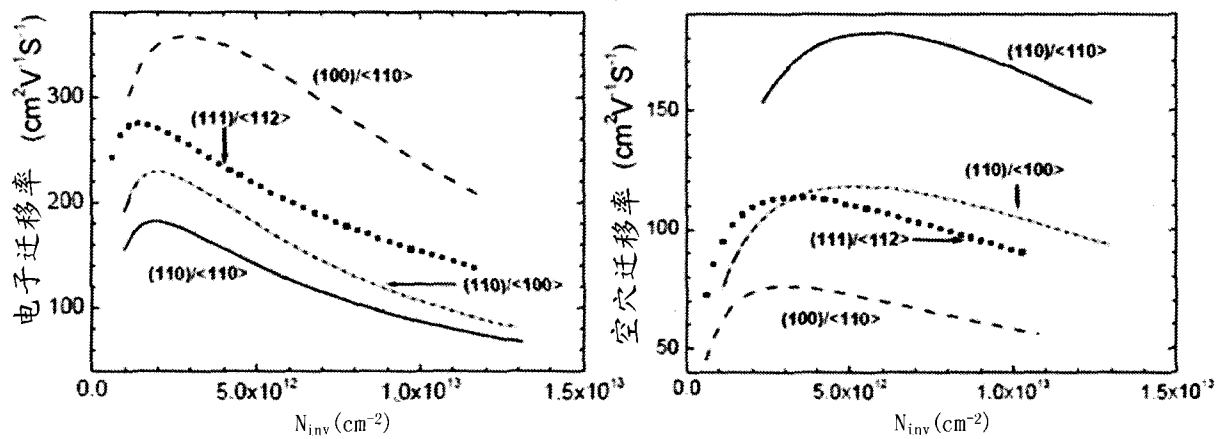


图1

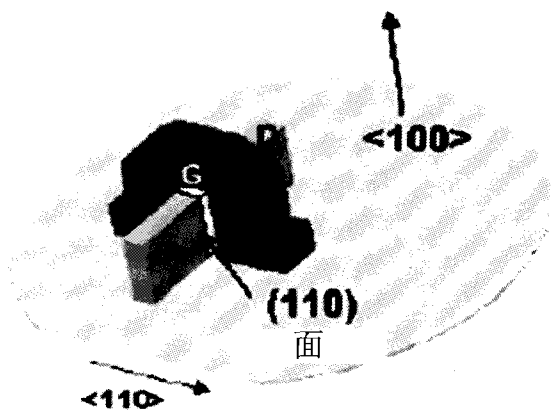


图2a

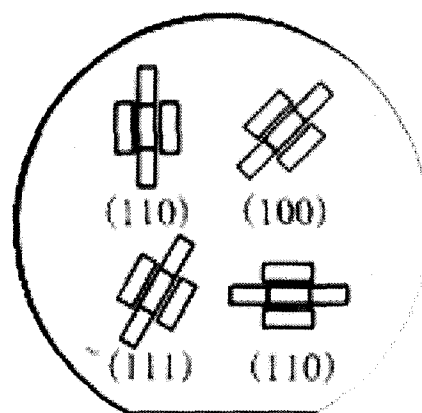


图2b

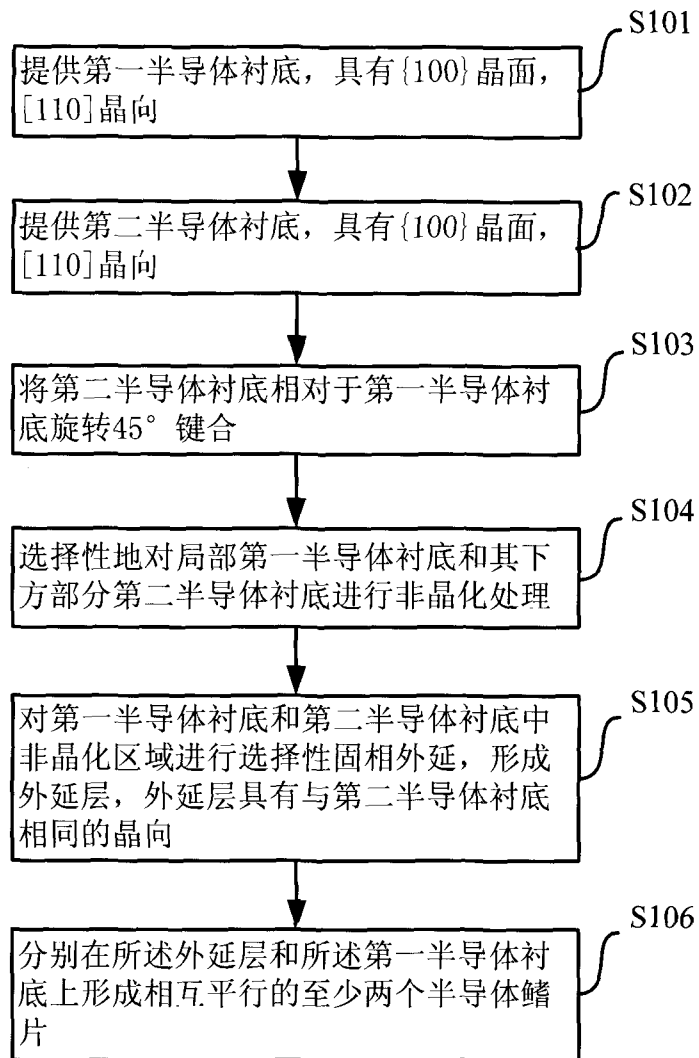


图3

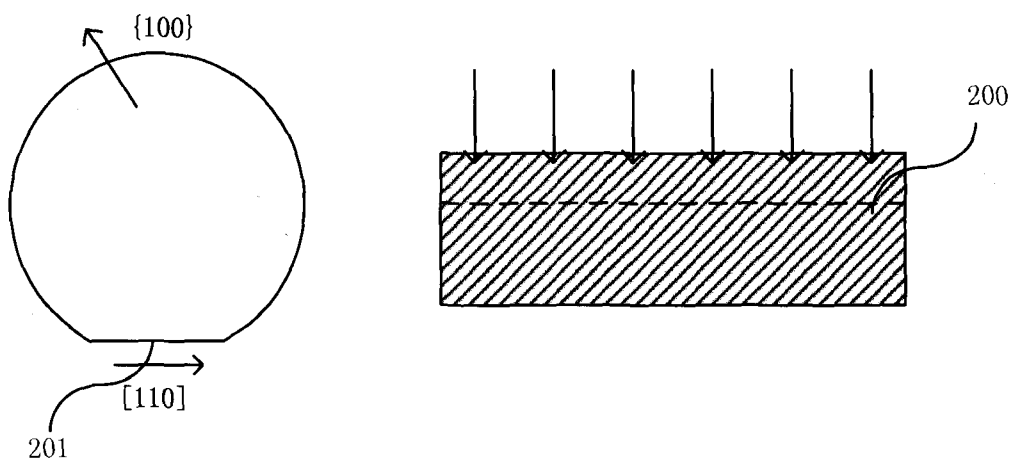


图4

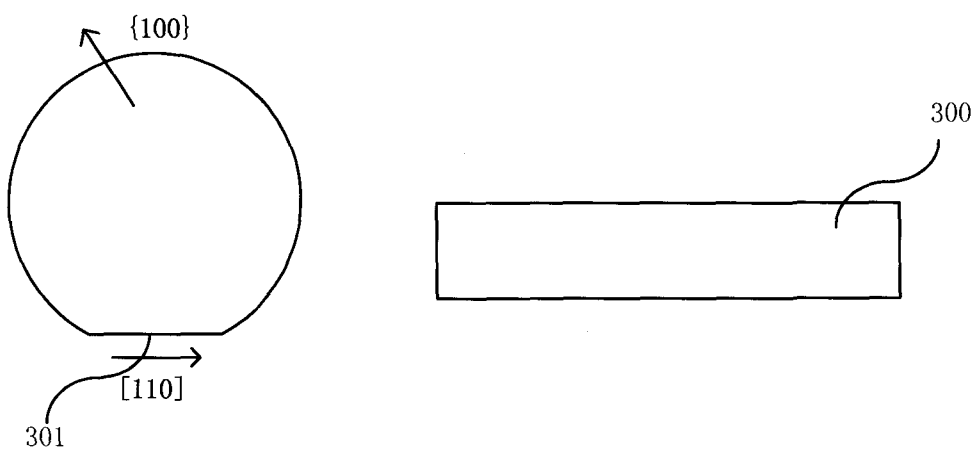


图5

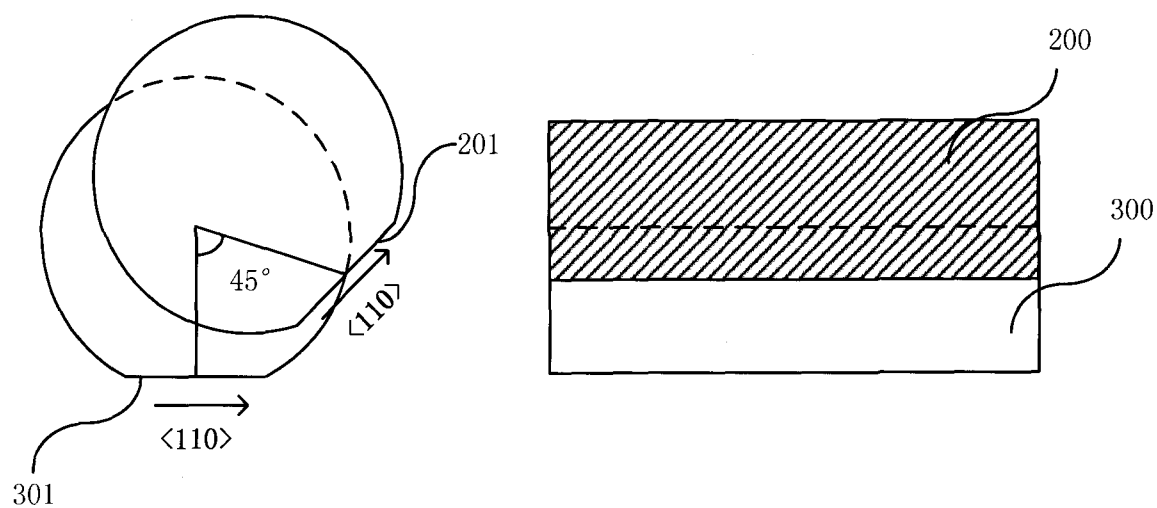


图6

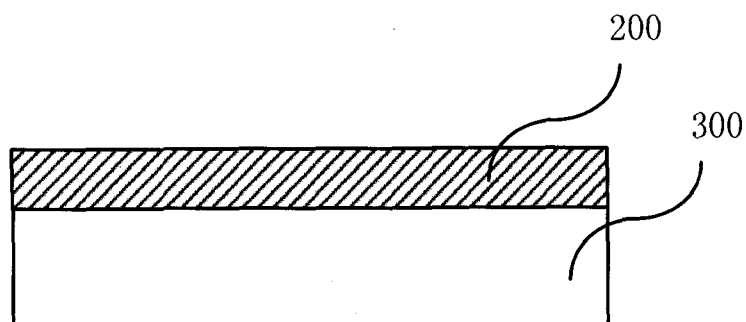


图7

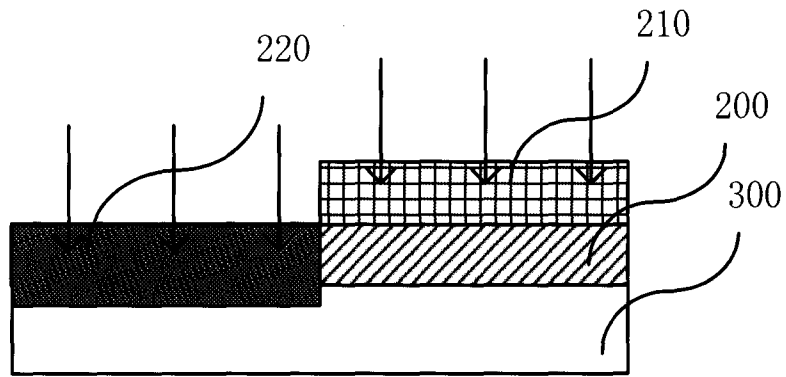


图8

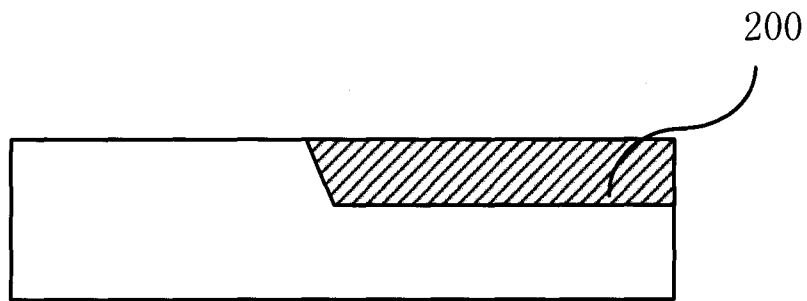


图9

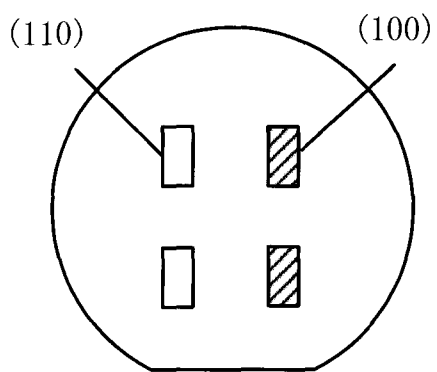


图10a

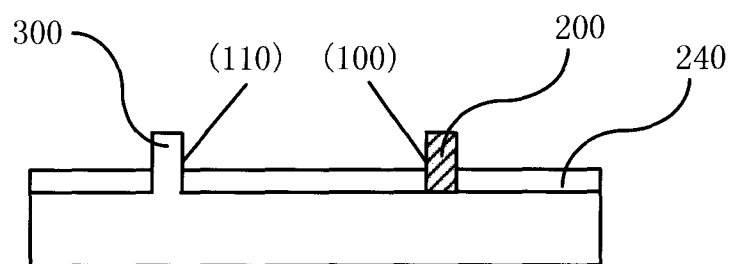


图10b

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2012/080323

A. CLASSIFICATION OF SUBJECT MATTER

See the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, CNABS, CNPAT: FinFET, fin?, crystal plane, crystal orientation, rotate, bond, CMOS

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2010044758 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 25 February 2010 (25.02.2010) description, paragraphs [0028]-[0058] and figures 2-12	1-21
X	US 2008227241 A1 (NAKABAYASHI Yukio et al.) 18 September 2008 (18.09.2008) description, paragraphs [0027]-[0054] and figures 1-8	1-9
A	US 2007187682 A1 (NEC CORP.) 16 August 2007 (16.08.2007) the whole document	1-21
A	US 2011121369 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 26 May 2011 (26.05.2011) the whole document	1-21
A	CN 1500291 A (TOKYO ELECTRON LTD., OHMI, Tadahiyo) 26 May 2004 (26.05.2004) the whole document	1-21
A	US 2007034971 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 15 February 2007 (15.02.2007) the whole document	1-21

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 05 April 2013 (05.04.2013)	Date of mailing of the international search report 09 May 2013 (09.05.2013)
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer LIU, Zhenling Telephone No. (86-10) 62413928

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2012/080323

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US 2010/0044758 A1	25.02.2010	US 8241970 B2	14.08.2012
		US 2012299067 A1	29.11.2012
		US 2012295426 A1	22.11.2012
US 2008227241 A1	18.09.2008	JP 2008227026 A	25.09.2008
US 2007187682 A1	16.08.2007	WO 2005022637 A1	10.03.2005
		JP 2005513479 T2	01.11.2007
US 2011121369 A1	26.05.2011	US 8125007 B2	28.02.2012
CN 1500291 A	26.05.2004	WO 03054962 A1	03.07.2003
		JP 2003188273 A	04.07.2003
		EP 1455393 A1	08.09.2004
		AU 2002354136 A1	09.07.2003
		KR 20040065262 A	21.07.2004
		TW 587337 A	11.05.2004
		US 2004245579 A1	09.12.2004
		TW 200307371 A	01.12.2003
		CN 1242480 C	15.02.2006
		KR 100557849 B1	10.03.2006
		US 7202534 B2	10.04.2007
		US 2007096175 A1	03.05.2007
		EP 1848039 A2	24.10.2007
		EP 1455393 B1	25.03.2009
		DE 60231743 E	07.05.2009
		JP 4265882 B2	20.05.2009
		JP 2009141376 A	25.06.2009
		US 7566936 B2	28.07.2009
		IL 157355 A	20.07.2009
		EP 1848039 B1	31.03.2010
		DE 60235850 E	12.05.2010
US 2007034971 A1	15.02.2007	US 7230287 B2	12.06.2007

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2012/080323

A. CLASSIFICATION OF SUBJECT MATTER:

H01L 29/04 (2006.01) i

H01L 21/8238 (2006.01) i

国际检索报告

国际申请号

PCT/CN2012/080323

A. 主题的分类

参见附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

WPI; EPODOC; CNABS; CNPAT: FinFET, 鳍片, CMOS, 晶向, 晶面, 旋转, 键合, fin?, crystal plane, crystal orientation, rotate, bond

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	US2010044758A1(INTERNATIONAL BUSINESS MACHINES CORPORATION)25.2 月 2010(25.02.2010)说明书第 0028 段至第 0058 段、说明书附图 2-12	1-21
X	US2008227241A1(NAKABAYASHI Yukio etc.)18.9 月 2008 (18.09.2008)说明书第 0027 段至第 0054 段、附图 1-8	1-9
A	US2007187682A1(NEC CORP.)16.8 月 2007(16.08.2007)全文	1-21
A	US2011121369A1(INTERNATIONAL BUSINESS MACHINES CORPORATION)26.5 月 2011 (26.05.2011) 全文	1-21
A	CN1500291A(东京毅力科创株式会社, 大见忠弘)26.5 月 2004(26.05.2004)全	1-21
A	US2007034971A1(INTERNATIONAL BUSINESS MACHINES CORPORATION)15.2 月 2007 (15.02.2007) 全文	1-21

☐ 其余文件在 C 栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

05.4 月 2013(05.04.2013)

国际检索报告邮寄日期

09.5 月 2013 (09.05.2013)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局

中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

受权官员

刘振玲

电话号码: (86-10) 62413928

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2012/080323

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
US2010/0044758A1	25.02.2010	US8241970B2	14.08.2012
		US2012299067A1	29.11.2012
		US2012295426 A1	22.11.2012
US2008227241A1	18.09.2008	JP2008227026A	25.09.2008
US2007187682A1	16.08.2007	WO2005022637A1	10.03.2005
		JP2005513479T2	01.11.2007
US2011121369A1	26.05.2011	US8125007B2	28.02.2012
CN1500291A	26.05.2004	WO03054962A1	03.07.2003
		JP2003188273A	04.07.2003
		EP1455393A1	08.09.2004
		AU2002354136A1	09.07.2003
		KR20040065262A	21.07.2004
		TW587337A	11.05.2004
		US2004245579A1	09.12.2004
		TW200307371A	01.12.2003
		CN1242480C	15.02.2006
		KR100557849B1	10.03.2006
		US7202534B2	10.04.2007
		US2007096175A1	03.05.2007
		EP1848039A2	24.10.2007
		EP1455393B1	25.03.2009
		DE60231743E	07.05.2009
		JP4265882B2	20.05.2009
		JP2009141376A	25.06.2009
		US7566936B2	28.07.2009
		IL157355A	20.07.2009
		EP1848039B1	31.03.2010
		DE60235850E	12.05.2010
US2007034971A1	15.02.2007	US7230287B2	12.06.2007

续：A.主题的分类

H01L29/04(2006.01)i

H01L21/8238(2006.01)i