(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2013-192006
(P2013-192006A)
(43)公開日　平成25年9月26日(2013.9.26)

(51)Int.Cl.			F I			テーマコード（参考）
H03C	1/22	(2006.01)	H03C	1/22		5J002
H03H	7/42	(2006.01)	H03H	7/42		
H01P	5/18	(2006.01)	H01P	5/18	F	
H01P	5/22	(2006.01)	H01P	5/22	A	

審査請求 未請求　請求項の数 21　ＯＬ　（全 35 頁）

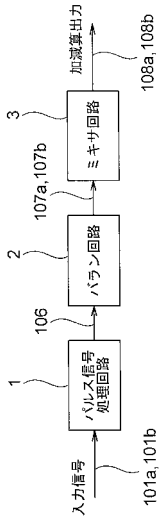
(21)出願番号　特願2012-56323(P2012-56323)
(22)出願日　平成24年3月13日(2012.3.13)

(71)出願人　303046277
旭化成エレクトロニクス株式会社
東京都千代田区神田神保町一丁目１０５番地
(74)代理人　100066980
弁理士　森　哲也
(74)代理人　100109380
弁理士　小西　恵
(74)代理人　100103850
弁理士　田中　秀▲てつ▼
(72)発明者　宮下　清
神奈川県厚木市岡田３０５０番地　旭化成エレクトロニクス株式会社内

Ｆターム(参考)　5J002 BB11　BB32　BB36　DD02　FF16

(54)【発明の名称】パルス生成回路

(57)【要約】
【課題】インパルス／ステップ応答の優れた微分器を用いてパルスの立ち上がり精度を良好にしたパルス生成回路を提供すること。
【解決手段】パルス信号処理回路１は、入力信号を微分してパルスの立ち上がりを捉える少なくとも１つの微分器と、少なくとも微分器からの信号を加減算して短パルス信号を出力する加減算器とを備えている。バラン回路２は、センタータップ付バラン回路で、パルス信号処理回路１からの短パルス信号を入力して任意のＤＣレベルの差動信号を生成する。ミキサ回路３は、ダブルバランスドミキサ回路で、バラン回路２から生成された差動信号にキャリアを重畳して差動パルス信号を生成する。キャリアの重畳されたショートパルスの発生と微分波形を利用したことに起因する高周波成分の発生を抑制して幅の短いパルスを発生させる。
【選択図】図３



【特許請求の範囲】
【請求項１】
制御信号によって間欠的に動作することで短パルス信号を生成するパルス生成回路において、
入力信号を微分してパルスの立ち上がりを捉える少なくとも１つの微分器と、少なくとも前記微分器からの信号を加減算して短パルス信号を出力する加減算器とを備えたパルス信号処理回路と、
該パルス信号処理回路からの短パルス信号を入力して任意のＤＣレベルの差動信号を生成するバラン回路と、
該バラン回路から生成された前記差動信号にキャリアを重畳して差動パルス信号を生成するダブルバランスドミキサ回路と
を備えていることを特徴とするパルス生成回路。
【請求項２】
前記バラン回路が、
前記短パルス信号が入力される１次側コイルと、
前記１次側コイルに隣接され、前記差動信号を出力する２次側コイルと、
前記ＤＣレベルを設定するセンタータップと
を備えていることを特徴とする請求項１に記載のパルス生成回路。
【請求項３】
前記バラン回路が、ＬＣ同調を用いて高周波の抑制を行う可変容量回路をさらに備えていることを特徴とする請求項１又は２に記載のパルス生成回路。
【請求項４】
前記２次側コイルに対する前記２次側コイルのインピーダンス比が２以上であることを特徴とする請求項２又は３に記載のパルス生成回路。
【請求項５】
前記ダブルバランスドミキサ回路が、ハイインピーダンス入力であることを特徴とする請求項１乃至４のいずれかに記載のパルス生成回路。
【請求項６】
前記パルス信号処理回路が、
第１の入力信号を微分する微分器と、該微分器からの信号の振幅を調整する減衰器と、前記第１の入力信号を積分する積分器と、前記第１の入力信号と逆位相の第２の入力信号の位相の変動量を調整する位相シフト回路と、前記減衰器からの信号と前記積分器からの信号と前記位相シフト回路からの信号とを加算して前記短パルス信号を出力する加減算器とを備えている特徴とする請求項１乃至５のいずれかに記載のパルス生成回路。
【請求項７】
前記微分器が、可変位相微分器であることを特徴とする請求項６に記載のパルス生成回路。
【請求項８】
前記積分器が、可変位相積分器であることを特徴とする請求項６又は７に記載のパルス生成回路。
【請求項９】
前記加減算器が、方向性結合器又はハイブリッドリングの構成であることを特徴とする請求項１乃至８のいずれかに記載のパルス生成回路。
【請求項１０】
前記微分器と前記積分器と前記位相シフト回路と前記減衰器の少なくとも１つは受動素子からなることを特徴とする請求項１乃至９のいずれかに記載のパルス生成回路。
【請求項１１】
前記パルス信号処理回路が、
第１の入力信号を微分する微分器と、前記第１の入力信号と逆位相の第２の入力信号を積分する積分器と、前記微分器からの信号と前記積分器からの信号とを加算して前記短パ

ルス信号を出力する加減算器とを備えていることを特徴とする請求項１乃至５のいずれかに記載のパルス生成回路。
【請求項１２】
前記微分器が、可変位相微分器であることを特徴とする請求項１１に記載のパルス生成回路。
【請求項１３】
前記積分器が、可変位相積分器であることを特徴とする請求項１１又は１２に記載のパルス生成回路。
【請求項１４】
前記加減算器が、方向性結合器又はハイブリッドリングの構成であることを特徴とする請求項１１，１２又は１３に記載のパルス生成回路。
【請求項１５】
前記微分器と前記積分器の少なくとも１つは受動素子からなることを特徴とする請求項１１乃至１４のいずれかに記載のパルス生成回路。
【請求項１６】
前記パルス信号処理回路が、
入力信号を直接的に微分してパルスの立ち上がりを捉える第１の微分器と、前記入力信号の位相の変動量を位相変動量調整信号によって調整してパルス幅を決定する位相シフト回路と、前記位相シフト回路からの信号の振幅を利得調整信号によって調整する減衰器と、該減衰器からの信号を微分して前記パルスの立ち下がりを捉える第２の微分器と、前記第１の微分器からの信号と前記第２の微分器からの信号とを加減算して短パルス信号を出力する加減算器とを備えていることを特徴とする請求項１乃至５のいずれかに記載のパルス生成回路。
【請求項１７】
前記第１及び第２の微分器は、可変位相微分器であることを特徴とする請求項１６に記載のパルス生成回路。
【請求項１８】
前記パルス信号処理回路が、
第１の入力信号を微分してパルスの立ち上がりを捉える微分器と、該微分器に入力される前記第１の入力信号と逆位相の第２の入力信号を積分する積分器と、該積分器からの信号を基準信号レベルによって帯域制限するハイパスフィルタと、前記微分器からの信号と前記ハイパスフィルタからの信号とを加減算して短パルス信号を出力する加減算器とを備えていることを特徴とする請求項１乃至５のいずれかに記載のパルス生成回路。
【請求項１９】
前記微分器が可変位相微分器で、前記積分器が可変位相積分器で、前記ハイパスフィルタがプログラマブル積分器であることを特徴とする請求項１８に記載のパルス生成回路。
【請求項２０】
前記加減算器は、コモンモード抽出回路の構成であることを特徴とする請求項１８又は１９に記載のパルス生成回路。
【請求項２１】
前記コモンモード抽出回路は、第１及び第２のソース接地増幅器を含む構成であることを特徴とする請求項２０に記載のパルス生成回路。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、パルス生成回路に関し、より詳細には、逓倍回路を間欠的に動作させる間欠逓倍回路を用いた短パルス生成技術を改良して更なる短パルス発生を可能にしたパルス生成回路に関する。
【背景技術】
【０００２】

従来から短パルス生成技術として、ＵＷＢ（Ｕｌｔｒａ　Ｗｉｄｅ　Ｂａｎｄ：超広帯域無線）技術の短パルス信号を用いた通信やレーダの開発が行なわれている。この超広帯域無線は、無線通信方式の一つで、近距離で高速通信が可能な無線技術で、データを１ＧＨｚ程度の極めて広い周波数帯に拡散して送受信を行うものである。それぞれの周波数帯に送信されるデータは、ノイズ程度の強さしかないため、同じ周波数帯を使う無線機器と混信することがなく、消費電力も少ないという利点があり、位置測定、レーダ、無線通信の３つの機能を合わせ持っており、極めて独特な無線応用技術である。

【０００３】

短パルス信号を所望の周波数帯域の成分のみを持つ信号とするには、パルス信号をフィルタによって周波数帯域制限して特定の周波数成分のみを抜き出す方法、パルス状の制御信号により発振回路を間欠的に動作させる方法、パルス状の制御信号をミキサに入力してキャリア信号を窓掛けすることで短パルス信号を生成する方法などがある。

これらの短パルス生成回路は、要求される性能として低消費電力動作、高いオン／オフ比がある。また、低消費電力動作は、如何なる機器に搭載する際にも重要な性能となる。このため、高いオン／オフ比は、短パルス信号を用いた通信において通信品質を向上させるために重要な性能である。

【０００４】

しかしながら、従来の短パルス生成回路では、高いオン／オフ比を実現するために増幅回路を用いているため、消費電力が増大するという課題を有し、また、回路規模が大きくなるという課題を有している。また、出力信号波形が歪むという課題も有している。

これらの問題を解決するために、例えば、特許文献１に記載のものは、逓倍回路を間欠的に動作させる間欠逓倍回路を用い、低消費電力で動作し、非常に高いオン／オフ比を実現する短パルス生成回路を提案したものである。

【０００５】

図１は、従来のパルス発生回路を説明するための回路構成図で、上述した特許文献１に記載のものである。図中符号１０１は発振回路、１０２は制御信号発生回路、１０３は間欠逓倍回路、１０４はフィルタ、１０５は出力端子、２０１～２０４は信号波形を示している。発振回路１０１及び間欠逓倍回路１０３は、能動素子で構成されるアクティブ回路である。発振回路１０１は、連続信号を出力し、間欠逓倍回路１０３に入力する。間欠逓倍回路１０３が、制御信号発生回路１０２から出力される制御信号によって、間欠的に動作することで短パルス信号を生成する。フィルタ１０４は、短パルス信号のスプリアス成分を除去する。

【０００６】

図２（ａ）乃至（ｄ）は、図１に示したブロック構成図における信号及び制御信号のタイミングチャートを示す図である。縦軸は全て電圧、横軸は全て時間である。発振回路１０１は、連続信号２０１を出力し、間欠逓倍回路１０３に入力する。制御信号発生回路１０２は、制御信号２０２を出力し、間欠逓倍回路１０３に入力する。制御信号２０２は、間欠逓倍回路１０３を構成する能動素子に作用する。間欠逓倍回路１０３を構成するＦＥＴは、制御信号２０２の電圧値によって動作点が制御される。ＦＥＴの動作点を制御することで、制御信号２０２の電圧値が高い区間（以下、オン区間）における変換利得を高く、電圧値が低い区間（以下、オフ区間）における変換利得を低くできる。そのため、信号２０３におけるオフ区間での主成分は周波数ｆ０／２の信号となり、間欠逓倍回路１０３から出力される周波数ｆ０の成分はオン区間とオフ区間で振幅値が大きく異なり、その差がオン／オフ比（単位：ｄＢ）となる。

【０００７】

間欠逓倍回路１０３から出力された信号２０３は、フィルタ１０４に入力される。フィルタ１０４は、周波数ｆ０帯の信号を通過させ、他の周波数帯成分を抑圧するスプリアス抑圧フィルタであり、例えば、ＢＰＦ（バンドパスフィルタ）、ＢＥＦ（バンドエリミネーションフィルタ）である。また、フィルタ１０４の帯域は、信号２０３のＯｎ区間のパルス幅の逆数の二倍以上の帯域を確保することが望ましく、これによりフィルタ１０４か

ら信号２０４が出力される際の波形なまりを防止できる。フィルタ１０４は、信号２０３の、周波数ｆ０帯の信号を通過させ、周波数ｆ０／２帯の信号を抑圧する。これにより、出力端１０５は、周波数ｆ０帯の周波数成分を有したオン／オフ比の高い短パルス信号２０４を出力することができる。

【０００８】

なお、バラン回路については、例えば、特許文献２に開示されている。また、ダブルバランスドミキサ回路については、例えば、特許文献３に開示されている。

【先行技術文献】

【特許文献】

【０００９】

【特許文献１】特開２００８－３５４６７号公報

【特許文献２】特開平１０－１２６１９６号公報

【特許文献３】特開２０１０－６２７５３号公報

【発明の概要】

【発明が解決しようとする課題】

【００１０】

しかしながら、上述した特許文献１に記載のパルス発生回路は、間欠逓倍回路や能動増幅素子の利用に起因する問題が生じる。つまり、入出力間の遅延や増幅器（トランジスタ）の回復時間の影響での短パルス発生が困難であるという問題や、発生するアプリアスを抑圧するためのフィルタ回路を必要とするため回路規模の簡素化が図れないといった問題がある。

【００１１】

本発明は、このような問題に鑑みてなされたもので、その目的とするところは、インパルス／ステップ応答の優れた微分器を用いてパルスの立ち上がり精度を良好にし、微分器の出力が発生する高周波成分の抑制機能を有するパルス生成回路を提供することにある。

【課題を解決するための手段】

【００１２】

本発明は、このような目的を達成するためになされたもので、請求項１に記載の発明は、制御信号によって間欠的に動作することで短パルス信号を生成するパルス生成回路において、入力信号を微分してパルスの立ち上がりを捉える少なくとも１つの微分器と、少なくとも前記微分器からの信号を加減算して短パルス信号を出力する加減算器とを備えたパルス信号処理回路と、該パルス信号処理回路からの短パルス信号を入力して任意のＤＣレベルの差動信号を生成するバラン回路と、該バラン回路から生成された前記差動信号にキャリアを重畳して差動パルス信号を生成するダブルバランスドミキサ回路とを備えていることを特徴とする。

【００１３】

また、請求項２に記載の発明は、請求項１に記載の発明において、前記バラン回路が、前記短パルス信号が入力される１次側コイルと、前記１次側コイルに隣接され、前記差動信号を出力する２次側コイルと、前記ＤＣレベルを設定するセンタータップとを備えていることを特徴とする。

また、請求項３に記載の発明は、請求項１又は２に記載の発明において、前記バラン回路が、ＬＣ同調を用いて高周波の抑制を行う可変容量回路をさらに備えていることを特徴とする。

【００１４】

また、請求項４に記載の発明は、請求項２又は３に記載の発明において、前記２次側コイルに対する前記２次側コイルのインピーダンス比が２以上であることを特徴とする。

また、請求項５に記載の発明は、請求項１乃至４のいずれかに記載の発明において、前記ダブルバランスドミキサ回路が、ハイインピーダンス入力であることを特徴とする。

また、請求項６に記載の発明は、請求項１乃至５のいずれかに記載の発明において、前記パルス信号処理回路が、第１の入力信号を微分する微分器と、該微分器からの信号の振

幅を調整する減衰器と、前記第１の入力信号を積分する積分器と、前記第１の入力信号と逆位相の第２の入力信号の位相の変動量を調整する位相シフト回路と、前記減衰器からの信号と前記積分器からの信号と前記位相シフト回路からの信号とを加算して前記短パルス信号を出力する加減算器とを備えている特徴とする。（実施例１）

【００１５】

また、請求項７に記載の発明は、請求項６に記載の発明において、前記微分器が、可変位相微分器であることを特徴とする。（実施例２）

また、請求項８に記載の発明は、請求項６又は７に記載の発明において、前記積分器が、可変位相積分器であることを特徴とする。（実施例２）

また、請求項９に記載の発明は、請求項１乃至８のいずれかに記載の発明において、前記加減算器が、方向性結合器又はハイブリッドリングの構成であることを特徴とする。

【００１６】

（実施例１，２）

また、請求項１０に記載の発明は、請求項１乃至９のいずれかに記載の発明において、前記微分器と前記積分器と前記位相シフト回路と前記減衰器の少なくとも１つは受動素子からなることを特徴とする。（実施例１，２）

また、請求項１１に記載の発明は、請求項１乃至５のいずれかに記載の発明において、前記パルス信号処理回路が、第１の入力信号を微分する微分器と、前記第１の入力信号と逆位相の第２の入力信号を積分する積分器と、前記微分器からの信号と前記積分器からの信号とを加算して前記短パルス信号を出力する加減算器とを備えていることを特徴とする。（実施例３）

【００１７】

また、請求項１２に記載の発明は、請求項１１に記載の発明において、前記微分器が、可変位相微分器であることを特徴とする。（実施例３）

また、請求項１３に記載の発明は、請求項１１又は１２に記載の発明において、前記積分器が、可変位相積分器であることを特徴とする。（実施例３）

また、請求項１４に記載の発明は、請求項１１，１２又は１３に記載の発明において、前記加減算器が、方向性結合器又はハイブリッドリングの構成であることを特徴とする。（実施例３）

また、請求項１５に記載の発明は、請求項１乃至１４のいずれかに記載の発明において、前記微分器と前記積分器の少なくとも１つは受動素子からなることを特徴とする。（実施例３）

【００１８】

また、請求項１６に記載の発明は、請求項１乃至５のいずれかに記載の発明において、前記パルス信号処理回路が、入力信号を直接的に微分してパルスの立ち上がりを捉える第１の微分器と、前記入力信号の位相の変動量を位相変動量調整信号によって調整してパルス幅を決定する位相シフト回路と、前記位相シフト回路からの信号の振幅を利得調整信号によって調整する減衰器と、該減衰器からの信号を微分して前記パルスの立ち下がりを捉える第２の微分器と、前記第１の微分器からの信号と前記第２の微分器からの信号とを加減算して短パルス信号を出力する加減算器とを備えていることを特徴とする。（実施例４）

【００１９】

また、請求項１７に記載の発明は、請求項１６に記載の発明において、前記第１及び第２の微分器は、可変位相微分器であることを特徴とする。（実施例５）

また、請求項１８に記載の発明は、請求項１乃至５のいずれかに記載の発明において、前記パルス信号処理回路が、第１の入力信号を微分してパルスの立ち上がりを捉える微分器と、該微分器に入力される前記第１の入力信号と逆位相の第２の入力信号を積分する積分器と、該積分器からの信号を基準信号レベルによって帯域制限するハイパスフィルタと、前記微分器からの信号と前記ハイパスフィルタからの信号とを加減算して短パルス信号を出力する加減算器とを備えていることを特徴とする。（実施例６）

また、請求項１９に記載の発明は、請求項１８に記載の発明において、前記微分器が可変位相微分器で、前記積分器が可変位相積分器で、前記ハイパスフィルタがプログラマブル積分器であることを特徴とする。（実施例７）

【００２０】

また、請求項２０に記載の発明は、請求項１８又は１９に記載の発明において、前記加減算器は、コモンモード抽出回路の構成であることを特徴とする。（実施例６，７）

また、請求項２１に記載の発明は、請求項２０に記載の発明において、前記コモンモード抽出回路は、第１及び第２のソース接地増幅器を含む構成であることを特徴とする。（実施例６，７）

【発明の効果】

【００２１】

本発明によれば、パルス発生回路を構成する微分器と積分器と減衰器と位相シフト回路と３入力加減算器の少なくとも１つは受動素子で構成し、微分器の出力が発生する高周波成分の抑制機能を有することで、消費電流や歪の発生を最小限にすることができるとともに、入力信号を作動信号としたので、不用放射にも配慮した周辺環境にも優しいパルス発生回路を実現することができる。

【図面の簡単な説明】

【００２２】

【図１】従来のパルス発生回路を説明するための回路構成図である。

【図２】（ａ）乃至（ｄ）は、図１に示したブロック構成図における信号及び制御信号のタイミングチャートを示す図である。

【図３】本発明に係るパルス発生回路の実施形態を説明するためのブロック構成図である。

【図４】本発明に係るパルス生成回路の実施例１を説明するための回路構成図である。

【図５】（ａ）乃至（ｉ）は、図４に示した本発明に係るパルス生成回路の各部のノード電圧を示す図である。

【図６】図４に示した微分器の具体的な回路構成図である。

【図７】（ａ），（ｂ）は、図６に示した微分器のステップ応答を示す図である。

【図８】図４に示した積分器の具体的な回路構成図である。

【図９】（ａ），（ｂ）は、図８に示した積分器のステップ応答を示す図である。

【図１０】（ａ），（ｂ）は、図４に示した位相シフト回路の具体的な回路構成図である。

【図１１】（ａ），（ｂ）は、図１０（ａ），（ｂ）に示した位相シフト回路における一次遅れ要素の利得－位相周波数特性を示す図である。

【図１２】（ａ），（ｂ）は、図４に示した位相シフト回路の他の例を示す具体的な回路構成図である。

【図１３】（ａ），（ｂ）は、図１２（ａ），（ｂ）に示した位相シフト回路における利得－位相周波数特性を示す図である。

【図１４】図４に示した減衰器の具体的な回路構成図である。

【図１５】図４に示した３入力加減算器の回路構成図である。

【図１６】図４に示した３入力加減算器の他の例を示す回路構成図である。

【図１７】図４に示した２入力加減算器としてのコモンモード抽出回路の具体的な回路構成図である。１７２の図１５「コモンモード抽出回路１」

【図１８】図１５に示した２入力加減算器としてのコモンモード抽出回路の他の具体的な回路構成図である。

【図１９】（ａ），（ｂ）は、加減算器としてのハイブリッドリングの構成図である。

【図２０】（ａ），（ｂ）は、加減算器としてのハイブリッドリングの構成図である。

【図２１】（ａ），（ｂ）は、加減算器としての更に他のハイブリッドリングの構成図である。

【図２２】図４に示した実施例１のセンタータップ付バラン回路の回路構成図である。

【図２３】図２２に示したセンタータップ付バラン回路の具体的な構造を示す図である。
【図２４】図４に示したダブルバランスドミキサ回路を示す回路構成図である。
【図２５】（ａ）乃至（ｃ）は、差動対の回路及びその特性を示す図である。
【図２６】本発明に係るパルス生成回路の実施例２を説明するための回路構成図である。
【図２７】（ａ）乃至（ｉ）は、図２６に示した本発明に係るパルス生成回路の各部のノード電圧を示す図である。
【図２８】図２６に示した可変位相微分器の具体的な回路構成図である。
【図２９】図２６に示した積分器型可変位相回路の具体的な回路構成図である。
【図３０】本発明に係るパルス生成回路の実施例３を説明するための回路構成図である。
【図３１】（ａ）乃至（ｇ）は、図３０に示した本発明に係るパルス生成回路の各部のノード電圧を示す図である。
【図３２】図３０に示した実施例１のセンタータップ付バラン回路の回路構成図である。
【図３３】本発明に係るパルス生成回路の実施例４におけるパルス信号処理回路を説明するための回路構成図である。
【図３４】本発明に係るパルス生成回路の実施例５におけるパルス信号処理回路を説明するための回路構成図である。
【図３５】本発明に係るパルス生成回路の実施例６におけるパルス信号処理回路を説明するための回路構成図である。
【図３６】本発明に係るパルス生成回路の実施例７におけるパルス信号処理回路を説明するための回路構成図である。
【発明を実施するための形態】
【００２３】
以下、図面を参照して本発明の実施の形態について説明する。
図３は、本発明に係るパルス発生回路の実施形態を説明するためのブロック構成図である。図中符号１はパルス信号処理回路、２はバラン回路、３はミキサ回路を示している。本発明のパルス発生回路は、制御信号によって間欠的に動作することで短パルス信号を生成するパルス生成回路である。
【００２４】
パルス信号処理回路１は、入力信号を微分してパルスの立ち上がりを捉える少なくとも１つの微分器と、少なくとも微分器からの信号を加減算して短パルス信号を出力する加減算器とを備えているものである。
また、本発明で使用しているバラン回路２は、センタータップ付バラン回路であって、パルス信号処理回路１からの短パルス信号を入力して任意のＤＣレベルの差動信号を生成するもので、短パルス信号が入力される１次側コイルと、１次側コイルに隣接され、差動信号を出力する２次側コイルと、ＤＣレベルを設定するセンタータップとを備えており、ＬＣ同調を用いて高周波の抑制を行う可変容量回路をさらに備えている。また、２次側コイルに対する２次側コイルのインピーダンス比が２以上であることが望ましい。このバラン（Ｂａｌｕｎ）回路は、同軸ケーブルと２線フィーダーなど、平衡と不平衡の状態にある電気信号を変換するための回路である。Ｂａｌｕｎとは、平衡（ｂａｌａｎｃｅ）と不平衡（ｕｎｂａｌａｎｃｅ）の頭文字を合成した用語で、一般的には、平衡－不平衡変換器と呼ばれている。
【００２５】
また、本発明で使用しているミキサ回路３は、ダブルバランスドミキサ回路であって、バラン回路２から生成された差動信号にキャリアを重畳して差動パルス信号を生成するもので、ハイインピーダンス入力である。一般的に、ダブルバランスドミキサ（Ｄｏｕｂｌｅ　Ｂａｌａｎｃｅｄ　Ｍｉｘｅｒ；ＤＢＭ）回路とは、二重平衡変調器と呼ばれ、局部発振器からの信号ＬＯと、アンテナからのＲＦ信号の両者が、差動で入力できるようになっている混合器（ミキサ）を意味している。
【００２６】
本発明のパルス生成回路は、キャリアの重畳されたショートパルスの発生と微分波形を

利用したことに起因する高周波成分の発生を抑制して、幅の短いパルスを発生させるようにしたものである。そのために、パルスの立ち上がりを高精度に捉えるために微分器及び減衰器と、ショートパルスの形状を高周波の少ないものに代えるための積分器と、パルスの立ち下がりエッジの作成のための位相シフト回路と、波形合成のために３入力加減算器と、ＤＣレベルを次段のダブルバランスドミキサに好適な値に設定するためのセンタータップ付バラン回路と、キャリアを重畳するためのダブルバランスドミキサ回路とを備え、微分器と減衰器と積分器とセンタータップ付バラン回路とは受動素子で構成しているので、本発明のパルス生成回路は、非常に低消費電力で使用することができる。また、微分器の出力のレベルを減衰器で調整し、その減衰器の出力と積分器の出力とを加減算することにより、微分器自体の出力及び矩形波出力に比べて高周波成分の少ない短パルスが得られる。

以下、図面を参照して本発明の各実施例について説明する。

【実施例１】

【００２７】

図４は、本発明に係るパルス生成回路の実施例１を説明するための回路構成図である。図中符号１０はパルス信号処理回路、１１は微分器、１２は積分器、１３は位相シフタ（位相シフタ回路）、１４は減衰器（Ａｔｔｅｎｕａｔｏｒ；アッテネータ）、１５は３入力加減算器、１６はセンタータップ付バラン回路、１７はダブルバランスドミキサ回路を示している。なお、パルス信号処理回路１０は図３に示したパルス信号処理回路１に相当し、センタータップ付バラン回路１６は、図３に示したバラン回路２に相当し、ダブルバランスドミキサ回路１７は、図３に示したミキサ回路３に相当している。

【００２８】

本発明のパルス生成回路は、制御信号によって間欠的に動作することで短パルス信号を生成するパルス生成回路である。パルス信号処理回路１０は、第１の入力信号を微分する微分器１１と、微分器１１からの信号の振幅を調整する減衰器１４と、第１の入力信号を積分する積分器１２と、第１の入力信号と逆位相の第２の入力信号の位相の変動量を調整する位相シフト回路１３と、減衰器１４からの信号と積分器１２からの信号と位相シフト回路１３からの信号とを加算して短パルス信号を出力する加減算器１５とを備えている。

【００２９】

また、センタータップ付バラン回路１６は、パルス信号処理回路１０からの短パルス信号を入力して任意のＤＣレベルの差動信号を生成するもので、短パルス信号が入力される１次側コイルと、１次側コイルに隣接され、差動信号を出力する２次側コイルと、ＤＣレベルを設定するセンタータップとを備えており、ＬＣ同調を用いて高周波の抑制を行う可変容量回路をさらに備えている。また、２次側コイルに対する２次側コイルのインピーダンス比が２以上であることが望ましい。

【００３０】

また、ダブルバランスドミキサ回路１７は、センタータップ付バラン回路１６から生成された差動信号にキャリアを重畳して差動パルス信号を生成するもので、ハイインピーダンス入力である。

つまり、微分器１１は、第１の入力信号１０１ａを微分してパルスの立ち上がりを捉えるものである。また、減衰器１４は、微分器１１からの信号１０２の振幅に利得調整信号１１２によって減衰量ＡＴＴを掛け合わせて調整するものである。

【００３１】

また、積分器１２は、第１の入力信号１０１ａを積分して高周波成分を抑制するものである。また、位相シフト回路１３は、第１の入力信号１０１ａと逆位相の第２の入力信号１０１ｂの位相の変動量を位相変化量制御信号１１０により調整するものである。また、３入力加減算器１５は、減衰器１４からの信号１０５と積分器１２からの信号１０３と位相シフト回路１３からの信号１０４とを加減算して短パルス信号１０６を出力するものである。

【００３２】

また、微分器１１は、ＲＣ微分器又はＬＣ微分器であってもよい。また、積分器２１２は、可変位相積分器であり、抵抗素子と容量素子を含む積分器の構成である。また、減衰器１４は、複数の抵抗素子と複数のスイッチを含む抵抗タップの構成である。

また、位相シフト回路１３は、抵抗素子と容量素子を含む積分器の構成である。また、位相シフト回路１３は、抵抗素子と容量素子を含むオールパスフィルタの構成である。また、加減算器１５は、方向性結合器又はハイブリッドリングの構成である。また、微分器１１と積分器１２と位相シフト回路１３と減衰器１４の少なくとも１つは受動素子からなる。

【００３３】

このような構成により、ＤＣレベルを次段のダブルバランスドミキサに好適な値に設定するためのセンタータップ付バラン回路と、キャリアを重畳するためのダブルバランスドミキサ回路とを備え、パルス発生回路を構成する微分器と積分器と位相シフト回路と減衰器の少なくとも１つは受動素子で構成し、微分器の出力が発生する高周波成分の抑制機能を有することで、消費電流や歪の発生を最小限にすることができるとともに、入力信号を作動信号としたので、不用放射にも配慮した周辺環境にも優しいパルス発生回路を実現することができる。

【００３４】

図５（ａ）乃至（ｉ）は、図４に示した本発明に係るパルス生成回路の各部のノード電圧を示す図で、図５（ａ）は第１及び第２の入力信号を示す図、図５（ｂ）は微分器からの信号を示す図、図５（ｃ）は積分器からの信号を示す図、図５（ｄ）は位相シフト回路からの信号を示す図、図５（ｅ）は減算器からの信号を示す図、図５（ｆ）は３入力加減算器（本実施例１においては加算器）から出力される短パルス信号を示す図、図５（ｇ）はセンタータップ付バラン回路からの信号を示す図、図５（ｈ）は差動クロック信号を示す図、図５（ｉ）はダブルバランスドミキサ回路からの信号を示す図である。

【００３５】

図５（ａ）に示した第１の入力信号１０１ａの振幅は＋Ａで、第２の入力信号１０１ｂの振幅は－Ａであり、第１の入力信号１０１ａと第２の入力信号１０１ｂは差動入力信号である。図５（ｂ）に示した微分器１１からの信号１０２の最大値は＋Ａで徐々に０に漸近する。

また、図５（ｃ）に示した積分器１２からの信号１０３は、ｔ＝０で振幅が０、ｔ＝ｔ２で＋Ａに漸近する。また、図５（ｄ）に示した位相シフト回路１３からの信号１０４は、ｔ＝ｔ１における振幅は－Ａである。また、図５（ｅ）に示した減算器１４からの信号１０５は、微分器１１からの信号１０２に利得調整信号１１２の情報に従った減衰量ＡＴＴを掛け合わせた出力信号である。この減衰量ＡＴＴ≦１である。

【００３６】

また、図５（ｆ）に示した３入力加減算器１５からの信号１０６は、減衰器１４からの信号１０５と積分器１２からの信号１０３と位相シフト回路１３からの信号１０４とを加算して短パルス信号で、ｔ＝０の近傍では微分器１１の信号１０２が支配的である。０＜ｔ＜ｔ１の範囲では支配要因が微分器から積分器へと遷移する。

すなわち、ｔが大きくなっていくにつれて積分器の出力の特徴である上に凸の波形が観測されるようになる。この種の波形は矩形波で見られる直線＋９０°角の組み合わせよりも正弦波に近く、したがって、高周波成分も少ない。

【００３７】

微分器１１のピーク振幅の高周波成分の影響を緩和すべく、積分器１２からの信号１０３が、減衰器１４を介して微分器１１からの信号１０２が加算されている。つまり、３入力加減算器１５においては、減衰器１４からの信号１０５と積分器１２からの信号１０３とが加算されている。さらに、積分器１２のＤＣ成分を打ち消して急峻な立ち下がりを得るために、ｔ＝ｔ１の時刻で位相シフト回路１３からの信号１０４の０から－Ａの遷移が加算されている。

【００３８】

つまり、ｔ＝ｔ１においては、位相シフト回路１３からの信号１０４が含んでいる－Ａのエッジの影響で失力は０近傍へと到達する。最終的には積分器の漸近時間ｔ＝ｔ２の時間経過後に３入力加減算器１５からの信号１０６は０になる。これによって、微分器１１からの信号１０２より、本発明の出力信号１０６はパルスの幅を短くできる。

また、図５（ｇ）に示したセンタータップ付バラン回路１６からの信号１０７ａ，１０７ｂは、ダブルバランスドミキサ回路１７を駆動するため、シングルから差動変換しつつ適切な動作点を設定するためにセンタータップ付バラン回路１６を通過して得られる出力である。ＤＣの動作点はセンタータップに加えられ、基準信号レベルで決定される。

【００３９】

また、図５（ｈ）に示した差動クロック信号１０９ａ，１０９ｂは、ダブルバランスドミキサ回路１７への差動入力信号である。また、図５（ｉ）に示したダブルバランスドミキサ回路１７からの信号１０８ａ，１０８ｂは、センタータップ付バラン回路１６からの信号１０７ａ，１０７ｂの包絡線（短パルス波形）の中で、差動クロック信号１０９ａ，１０９ｂが動作する。所望の出力が得られている。

【００４０】

本実施例１における微分器の出力信号の包絡線に起因する高周波成分は、１）減衰器で微分器の出力を減衰させて使用する。２）微分器の出力の下の凹部の信号に（減衰後）、積分器の出力の上の凸部の信号を（減衰なしで）加算したことにより、一般的な矩形波よりも積分器の出力の凸波形が勝った波形、言い換えれば矩形波よりも正弦波に近づいた波形の合成ができた。３）立ち下がりエッジの生成は微分波形よりも高周波成分の少ないステップ波形の加算を用いていること、つまり、立ち下がりエッジには。立ち上がりエッジほどの高周波成分が含まれていないことが想定できる。このような３つの理由により、微分器を単体で用いる場合に比べ、高周波成分を大幅に減らすことができる。

【００４１】

入力信号１０１ａ，１０１ｂに繰り返し信号を用いる場合には、立ち上がり又は立ち下がりの一方をマスクする回路を前置する必要がある。マスク回路は、通常、信号パスに直列に挿入されたスイッチとそれをオン／オフする制御信号とからなる。

図６は、図４に示した微分器の具体的な回路構成図である。図中符号Ｖｉ（ｔ）は入力電圧、ｉ（ｔ）は入力電流、Ｖｃ（ｔ）はコンデンサ端子電圧、V_R（ｔ）は抵抗端子電圧、ｑ（ｔ）はコンデンサの電荷を示している。

【００４２】

図６においては、ＲとＣとによる１次の微分器を示したが、ＬとＣとによる２次の微分器でも、更に高次の微分器も用いることができる。つまり、微分器１１は、ＲＣ微分器であってもＬＣ微分器であってもかまわない。この種の微分器を用いることの最大の利点は、エッジの強調機能である。これによって、スイッチング素子などを用いた一般的な短パルス発生器に比べて精度の良好な立ち上がりエッジを発生させることが可能になる。

【００４３】

図６に示した微分器の時間応答は、V_R（ｔ）＝Ｖｉ（ｔ）－Ｖｃ（ｔ）となり、ｑ（ｔ）＝０であるので、V_R（ｔ）＝０（ｔ＜０）、Ｅｅｘｐ（－ｔ／R_1C_1）（ｔ≧０）で示される。

図７（ａ），（ｂ）は、図６に示した微分器のステップ応答を示す図で、図７（ａ）は微分器のステップ入力信号、図７（ｂ）はそのステップ入力信号に対応する応答信号を示している。この図７（ａ），（ｂ）によると、ステップ応答は、入力の微係数に比例して立ち上がり、時定数R_1C_1を持ったエクスポネンシャル関数にしたがって減衰して０に漸近することがわかる。

【００４４】

図８は、図４に示した積分器の具体的な回路構成図である。この積分器も上述した微分器と同様に、ＲとＣによる１次の微分器を示したが、ＬとＣとによる２次の積分器でも、更に高次の積分器も用いることができる。また、図８に示した積分器の時間応答は、V_C（ｔ）＝０（ｔ＜０）、Ｅ（１－ｅｘｐ（－ｔ／R_2C_2））（ｔ≧０）で示される。

図９（ａ），（ｂ）は、図８に示した積分器のステップ応答を示す図で、図９（ａ）はステップ入力、図９（ｂ）はステップ応答を示している。積分器の過渡状態における時定数は、微分器の時定数と同じく、ＲとＣとの積で表わすことが確認できた。

【００４５】

図１０（ａ），（ｂ）は、図４に示した位相シフト回路の具体的な回路構成図で、図１０（ａ）は位相変動量調整信号がない状態の回路構成図で、図１０（ｂ）は位相変動量調整信号がある場合の回路構成図を示している。この例では位相変動量調整信号１１０によって、Ｒ又はＣに直列なＳｃ，S_{2R}をオン／オフさせることで位相変動量を可変としている。また、ＳｃとC_{2B}の代わりに可変容量制御回路（バラクタ）などの回路を用いてもよい。

【００４６】

また、位相シフト回路１３は、抵抗素子と容量素子を含む積分器（一次遅れ要素）の構成である。この場合の伝達関数は、

$$H(s)=V2/V1=1/(1+SC_2R_2)$$

で表される。

【００４７】

図１１（ａ），（ｂ）は、図１０（ａ），（ｂ）に示した位相シフト回路における一次遅れ要素の利得－位相周波数特性を示す図である。図１１（ａ）は利得－周波数特性を示し、図１１（ｂ）は位相－周波数特性を示している。上述した位相シフト回路は、極の周波数が$1/2\pi R_2C_2$において位相が４５°遅れるという特徴を有する。

図１２（ａ），（ｂ）は、図４に示した位相シフト回路の他の例を示す具体的な回路構成図で、図１２（ａ）は位相変動量調整信号がない状態の回路構成図で、図１２（ｂ）は位相変動量調整信号がある場合の回路構成図を示している。この位相シフト回路は、抵抗素子と容量素子を含むオールパスフィルタの構成である。

この例では位相変動量調整信号１１０によって、Ｃに直列なＳｃのオン／オフを切り替えることで位相変動量を可変としている。この回路でも、図１２（ｂ）のようにＲを切り替えたり、Ｃを可変容量制御回路（バラクタ）に変更するなどしても同様の効果を奏する。

【００４８】

図１３（ａ），（ｂ）は、図１２（ａ），（ｂ）に示した位相シフト回路における利得－位相周波数特性を示す図である。図１３（ａ）は利得－周波数特性を示し、図１３（ｂ）は位相－周波数特性を示している。

オールパスフィルタとは、図１３（ａ），（ｂ）に示すように、利得－周波数特性がフラットで位相のみの変化するものの総称である。図１２（ａ），（ｂ）に示した位相シフト回路にとどまらず多数の回路が存在する。

【００４９】

この位相シフト回路も一次遅れ要素の回路と同様にＲ，Ｃを変化させることで任意の位相シフト量を得ることができる。

位相シフト量θは、$\theta=-2\tan^{-1}(\omega/2\pi\alpha_0)$で表される。

ω＝０の時に、θ＝０

$\omega=2\pi\alpha_0$の時に、θ＝－９０°

ω＝∞の時に、θ＝－１８０°

となる。

また、伝達関数は、

$$H(s)=(S-\alpha_0)/(S+\alpha_0)\quad \alpha_0=1/R_0C_0$$

$$\theta=-2\tan^{-1}(\omega/2\pi\alpha_0)$$

で表される。

【００５０】

図１４は、図４に示した減衰器の具体的な回路構成図である。この減衰器１４は、複数の抵抗素子Ｒａ，Ｒｂ，Ｒｃと複数のスイッチＳａ，Ｓｂ，Ｓｃを含む抵抗タップの構成

である。

この減衰器１４の減衰量を遅延パルスの立ち上がりタイミングでの加減算器の入力の振幅が同じとなるように調整することで立ち下がりの鋭いパルスが得られる。このことは図５（ｆ）に示されている。

この場合の伝達関数は、

Ｈ（ｓ）＝Ｖ２／Ｖ１＝１（Ｓａ；閉時）＝（Ｒｃ＋Ｒｂ）／（Ｒａ＋Ｒｂ＋Ｒｃ）（Ｓｂ；閉時）

で表される。

【００５１】

減衰器の利得調整信号Ｃａ，Ｃｂ，ＣｃとスイッチＳａ，Ｓｂ，Ｓｃの状態間の真理値表とそれに対応した伝達関数を以下の表１に示す。

【００５２】

【表１】

Ｃａ	Ｃｂ	Ｃｃ	Ｓａ	Ｓｂ	Ｓｃ	伝達関数
Ｈ	Ｌ	Ｌ	ＯＮ	ＯＦＦ	ＯＦＦ	１
Ｌ	Ｈ	Ｌ	ＯＦＦ	ＯＮ	ＯＦＦ	（Ｒｂ＋Ｒｃ）／（Ｒａ＋Ｒｂ＋Ｒｃ）
Ｌ	Ｌ	Ｈ	ＯＦＦ	ＯＦＦ	ＯＮ	Ｒｃ／（Ｒａ＋Ｒｂ＋Ｒｃ）

【００５３】

図１５は、図４に示した３入力加減算器の具体的な回路構成図で、図中符号１５ａ，１５ｂは第１及び第２の２入力加減算器を示している。本実施例における３入力加減算器１５は、第１及び第２の２入力加減算器１５ａ，１５ｂを縦続接続することで達成できる。パッシブな加減算器には必ず損失があるため、入力１０２，１０３，１０４間ではパス損失が異なる。減衰器４を間に挟む微分器１１の出力１０２を３入力加減算器１５のポート１０４に導くのは好ましくなく、ポート１０２又は１０３へ接続されるべきである。ポート１０４へ積分器１２の出力を接続するか、位相シフト回路１３の出力１０４を接続するかは、回路構成に起因するパス損失に多く依存するが、以下の説明では動作の理解が容易となるように、ポート１０５（減衰器の出力）を図１９（ａ）（後述する）の入力１（ポートＡ）に接続し、ポート１０３（積分器の出力）を図１９（ａ）（後述する）の入力２（ポートＣ）に接続すると、第１の加算器１５ａの加算出力は、図１９（ａ）（後述する）のポートＢに出力され、この第１の加算器１５ａの加算出力を第２の加算器１５ｂの入力として入力１（ポートＡ）に接続し、ポート１０４（位相シフト回路の出力）を図１９（ａ）（後述する）の入力２（ポートＣ）に接続すると、第２の第２の加算器１５ｂの加算出力は、図１９（ａ）（後述する）のポートＢに出力される。

【００５４】

図１６は、図４に示した３入力加減算器の他の具体的な回路構成図で、３つのＭＯＳトランジスタを用いたワイヤードＯＲタイプの３入力加減算器を示している。この回路は、独立した３つのソース接地増幅器と負荷抵抗R_Lとで構成されている。Ｍ１，Ｍ２，Ｍ３の（Ｗ／Ｌ；チャンネル幅（Ｗ）とチャンネル長（Ｌ）の比）が同じ時、３入力加減算器１５の出力として、入力１０５，１０３，１０４の加算値に比例した出力１０６が得られる。この回路を用いた場合、Ｍ１のＷ／Ｌ＜Ｍ２，Ｍ３のＷ／Ｌに選ぶことで減衰器と同等の機能を実現することができるため、減衰器を省略することができる。

【００５５】

図１７は、図１５に示した２入力加減算器としてのコモンモード抽出回路の具体的な回路構成図である。上述した加減算器１５は、コモンモード抽出回路の構成である。このコ

モンモード抽出回路は、複数の抵抗素子を含む抵抗分割の構成である。
このコモンモード抽出回路の伝達関数は、Ｖｃｏｍ＝（Ｖ１＋Ｖ２）／２で表わされる。この伝達関数と利得が加算回路の半分になってしまうという欠点を有するものの、広帯域である点や小型化が可能である点、高精度が得られるという多くの利点を有している。
【００５６】
図１８は、図１５に示した２入力加減算器としてのコモンモード抽出回路の他の具体的な回路構成図で、２つの独立したソース接地増幅器のワイヤードＯＲタイプの回路構成を用いることでコモンモード信号を抽出している。また、３入力のコモンモードを抽出するには更に拡張して３つの独立したソース接地増幅器のワイヤードＯＲタイプの回路構成を用いてもよい。なお、Ｍ１，Ｍ２はコモンモード増幅用トランジスタ、R_Lは負荷抵抗、Ｍ０はＩｂａｓ、Ｒ１，Ｒ２はバイアス電圧発生回路、Ｖａｃ１，Ｖａｃ２は入力電圧、Ｖｏｕｔは出力電圧、Ｖｄｄは正の電源電圧を示している。Ｖｏｕｔは、Ｖａｃ１＋Ｖａｃ２にほぼ比例し、２つのソース接地増幅器をワイヤードＯＲ接続したものである。
【００５７】
図１９（ａ），（ｂ）は、加減算器として用いられるラットレースハイブリッドリングの構成図で、加減算器のポートＡが入力の時の各ポートの状態を示す図である。図１９（ａ）はポートＣとＡとが絶縁されている図で、図１９（ｂ）にはポートＢとDにはポートＡ入力の－３ｄＢされた信号が出力されている図である。
図２０（ａ），（ｂ）は、加減算器として用いられるラットレースハイブリッドリングの構成図で、加減算器のポートＣが入力の時の各ポートの状態を示す図で、図２０（ａ）はポートＣとＡとが絶縁されている図で、図２０（ｂ）はポートＢとDにはポートＣ入力の－３ｄＢされた信号が出力されている図である。
【００５８】
上述した図１９（ａ），（ｂ）及び図２０（ａ），（ｂ）のいずれにおいても、絶縁を取るためには０（又は３６０°）位相の信号と１８０°位相の信号とを距離の関数として実現することで達成し、－３ｄＢ信号はλ／４×ｎ（ｎ＝１、３、５・・・奇数）を同じく距離の関数として実現していることがわかる。
【００５９】
ラットレースハイブリッドリングは、高周波回路においては一般的に知られた回路である。ポートＡ－Ｂ，Ｂ－Ｃ，Ｃ－Ｄ間はλ／４だけ離れて配置され、ポートＡ－Ｄ間は３λ／４離れて配置されている。この配置によって各ポート間の入出力関係は、以下の通りである。まず、ポートＣに信号を入力した場合、ポートＢには、ポートＣから時計回りに５λ／４だけリングを進んだ波と、ポートＣから反時計回りにλ／４進んだ波が到達する。これらの２波は同相になるので、足し合わされたものがポートＢに出力される。ポートＤもＢも同様に、時計回りと反時計回りの波が足し合わされて出力される。ポートＡには、ポートＣから時計回りにλ進んだ波と、ポートＣから反時計回りにλ／２進んだ波が到達する。これらの２波は逆相になるので打ち消され、ポートＡはポートＣからＩｓｏｌａｔｅされた形になる。したがって、ポートＡは全く関係なくなり、ポートＣから見るとポートＢとＤの２つのポートが対称に配置された回路のようになる。つまり、ポートＣからの入力は、ポートＢとＤに等分配されて出力される。この時、ポートＢとＤからの出力は同相になる。次に、ポートＡに信号を入力した場合、同様にして、ポートＣは全く関係なくなり、ポートＡから見るとポートＢとＤの２つのポートが配置された回路のようになる。つまり、ポートＡからの入力は、ポートＢとＤに分配されて出力される。この時、ポートＢとＤからの出力の位相は逆相（１８０°位相が異なる）になる。
【００６０】
図２１（ａ），（ｂ）は、加減算器として用いられる更に他のラットレースハイブリッドリングの構成図で、図２１（ａ）は出力ポートＢの振る舞いを示す図で、図２１（ｂ）は出力ポートＤの振る舞いを示す図である。
ポートＡを入力１、ポートＣを入力２、ポートＢを加算ポート、ポートＤを減算ポートとして実現したものを加減算器として示している。ポートＡ，Ｃから同距離のポートＢを

位相の基準とすると、ポートＣからの信号はポートＢとＤとで同位相となり、ポートＡからの信号はポートＢとＤとで逆位相となっていることから、ポートＢは加算、ポートＤは減算であることがわかる。

【００６１】

図２２は、図４に示した実施例１のセンタータップ付バラン回路の回路構成図である。一般にバラン回路はシングルエンドを差動変換用に用いる回路のことで、ＤＣがカットでき、２次側を任意のＤＣレベルで動作させることのできるセンタータップ付バラン回路が好ましい。１次側がシングルエンドで、２次側が差動のバランスを使うことを想定している。なお、Ｌ１は１次側コイル、Ｌ２は２次側コイル、１次側の入力端子には３入力加減算器１５からの信号１０６が入力される。また、２次側差動出力端子にはセンタータップ付バラン回路１６からの信号１０７ａ，１０７ｂが出力される。センタータップへの信号１１１は基準信号レベルで、出力信号のＤＣ動作点を設定する。

【００６２】

図２３は、図２２に示したセンタータップ付バラン回路の具体的な構造を示す図である。図中の内側が図２２に示したＬ１部分の１次側コイル、外側が図２２に示したＬ２部分の２次側コイルを示している。１０ＧＨｚ以上の周波数でもインピーダンス比２以上を達成できるバラン回路の例を示している。インピーダンス比Ｌ２／Ｌ１＞２を得るためには、通常、巻線比を√２以上にすればよい。しかしながら、本発明は、基本周波数１０ＧＨｚ以上の応用を想定しているため、巻線比の達成は困難である。しかしながら、最近になって図２３に示した構造の配線幅を設計パラメータに加えることでインピーダンス比が３以上、周波数も１００ＧＨｚ近傍まで使用できるバラン回路が報告されている。本発明で使用するバラン回路も図２３に示した構造を基本にして２次側にセンタータップを付加したバラン回路の使用を想定している。

【００６３】

図２４は、図４に示したダブルバランスドミキサ回路を示す回路構成図である。このダブルバランスドミキサ回路の特徴は、入力１０６ａ，１０６ｂがＤＣの時、出力１０７ａ，１０７ｂからはキャリア成分が出力されないので、本発明においてもこの特徴を利用してキャリアの重畳された短パルスの生成を行っている。さらに、このダブルバランスドミキサ回路は、高入力インピーダンス、小さな信号でのオン／オフ動作も重要な要求事項であり、この観点からも上述したダブルバランスドミキサ回路は好適である。なお、Ｑ１，Ｑ２はＮＰＮトランジスタ、R_Lは負荷抵抗、Ｉｔａｉｌはテイルカレントソースを流れる電流を示しており、ＮＰＮトランジスタＱ１，Ｑ２にはセンタータップ付バラン回路１７からの信号１０７ａ，１０７ｂが入力され、ＮＰＮトランジスタＱ３，Ｑ４，Ｑ５，Ｑ６には差動クロック信号１０９ａ，１０９ｂが入力され、ダブルバランスドミキサ回路１７からは信号１０８ａ，１０８ｂが出力される。

【００６４】

図２５（ａ）乃至（ｃ）は、差動対の回路及びその特性を示す図で、図２５（ａ）は、差動対の回路図、図２５（ｂ）は差動対のＤＣ特性で、差動入力電圧に対するコレクタ電流の関係、図２５（ｃ）は差動対のＤＣ特性で、差動入力電圧に対する差動出力電圧の関係を示している。図２５（ｂ）及び図２５（ｃ）の横軸は、熱電圧（Ｖｔ）で示され、

$$Vt = kT/q$$

（ｋはボルツマン定数、Ｔは温度、ｑは電子の電荷）

がほぼ２６ｍＶ（３００Ｋ時）である。特に、図２５（ｂ）においては、バイポーラトランジスタ（ＢＪＴ）を流れる電流をオン／オフさせるためには、４×Ｖｔ　１００ｍＶが必要であることがわかった。

【実施例２】

【００６５】

図２６は、本発明に係るパルス生成回路の実施例２を説明するための回路構成図である。図中符号２０はパルス信号処理回路、２１は微分器形可変位相回路（可変位相微分器）、２２は積分器形可変位相回路（可変位相積分器）、２３は位相シフト回路、２４は減衰器（Ａｔｔｅｎｕａｔｏｒ；アッテネータ）、２５は３入力加減算器、２６はセンタータ

ップ付バラン回路、２７はダブルバランスドミキサ回路を示している。

【００６６】

つまり、図２６に示したパルス生成回路は、パルス信号処理回路２０とセンタータップ付バラン回路２６とダブルバランスドミキサ回路２７とで構成され、パルス信号処理回路２０は、微分器形可変位相回路２１と積分器形可変位相回路２２と位相シフト回路２３と減衰器２４と３入力加減算器２５とで構成されている。

本実施例２のパルス生成回路においては、図３に示した実施例１における微分器１１及び積分器１２にそれぞれ位相可変機能を持たせて微分器形可変位相回路（可変位相微分器）２１及び積分器形可変位相回路（可変位相積分器）２２とするとともに、微分器形可変位相回路２１の出力２０２に減衰器２４による利得調整機能をもたせ、さらに位相シフト回路２３を用いて、３入力加減算器２５に、微分器形可変位相回路２１の出力２０５と積分器形可変位相回路２２の出力２０３と位相シフト回路２３の出力２０４とを入力させるように構成したものである。

【００６７】

本実施例２のパルス生成回路は、上述した実施例１と同様に、制御信号によって間欠的に動作することで短パルス信号を生成するパルス生成回路である。微分器形可変位相回路２１は、第１の位相変化量制御信号２１０によって位相可変され、第１の入力信号２０１ａを微分してパルスの立ち上がりを捉えるものである。また、減衰器２４は、微分器２１からの信号２０２の振幅に利得調整信号２１４によって減衰量ＡＴＴを掛け合わせて調整するものである。また、積分器形可変位相回路２２は、第２の位相変化量制御信号２１１によって位相可変され、第１の入力信号２０１ａを積分して高周波成分を抑制するものである。

【００６８】

また、位相シフト回路２３は、第１の入力信号２０１ａと逆位相の第２の入力信号２０１ｂの位相の変動量を第３の位相変化量制御信号２１２により調整するものである。また、３入力加減算器２５は、減衰器２４からの信号２０５と積分器形可変位相回路２２からの信号２０３と位相シフト回路２３からの信号２０４とを加減算して短パルス信号２０６を出力するものである。

【００６９】

また、センタータップ付バラン回路２６は、パルス信号処理回路２０からの短パルス信号を入力して任意のＤＣレベルの差動信号を生成するもので、短パルス信号が入力される１次側コイルと、１次側コイルに隣接され、差動信号を出力する２次側コイルと、ＤＣレベルを設定するセンタータップとを備えており、ＬＣ同調を用いて高周波の抑制を行う可変容量回路をさらに備えている。また、２次側コイルに対する２次側コイルのインピーダンス比が２以上であることが望ましい。

【００７０】

また、ダブルバランスドミキサ回路２７は、センタータップ付バラン回路２６から生成された差動信号にキャリアを重畳して差動パルス信号を生成するもので、ハイインピーダンス入力である。

このように、実施例２におけるパルス生成回路は、上述した実施例１よりも更に高周波成分の抑制を達成するためのもので、微分器と積分器の位相を変化させる機能を付加したものである。これにより、自由度の増加で短パルス波形の非エッジ（中間部分）の波形を正弦波に近付け、高周波を減少させることができる。

【００７１】

また、ＤＣレベルを次段のダブルバランスドミキサに好適な値に設定するためのセンタータップ付バラン回路と、キャリアを重畳するためのダブルバランスドミキサ回路とを備え、パルス発生回路を構成する微分器と積分器と位相シフト回路と減衰器の少なくとも１つは受動素子で構成し、微分器の出力が発生する高周波成分の抑制機能を有することで、消費電流や歪の発生を最小限にすることができるとともに、入力信号を作動信号としたので、不用放射にも配慮した周辺環境にも優しいパルス発生回路を実現することができる。

【００７２】
図２７（ａ）乃至（ｉ）は、図２６に示した本発明に係るパルス生成回路の各部のノード電圧を示す図で、図２７（ａ）は第１及び第２の入力信号を示す図、図２７（ｂ）は微分器型可変位相回路からの信号を示す図、図２７（ｃ）は積分器型可変位相回路からの信号を示す図、図２７（ｄ）は位相シフト回路からの信号を示す図、図２７（ｅ）は減算器からの信号を示す図、図２７（ｆ）は３入力加減算器（本実施例２においては加算器）から出力される短パルス信号を示す図、図２７（ｇ）はセンタータップ付バラン回路からの信号を示す図、図２７（ｈ）は差動クロック信号を示す図、図２７（ｉ）はダブルバランスドミキサ回路からの信号を示す図である。

【００７３】
図２７（ａ）に示した第１の入力信号２０１ａの振幅は＋Ａで、第２の入力信号２０１ｂの振幅は－Ａであり、第１の入力信号２０１ａと第２の入力信号２０１ｂは差動入力信号である。図２７（ｂ）に示した微分器型可変位相回路２１からの信号２０２の位相時定数は、第１の位相変動量制御信号２１０を通じて制御される。ただし、この第１の位相変動量制御信号２１０はピーク振幅には影響を与えない。最大値は＋Ａで徐々に０に漸近する。また、図２７（ｃ）に示した積分器型可変位相回路２２からの信号２０３の位相時定数は、第２の位相変動量制御信号２１１を通じて制御される。この信号２０３は、ｔ＝０で振幅が０、ｔ＝ｔ２で＋Ａに漸近する。

【００７４】
また、図２７（ｄ）に示した位相シフト回路２３からの信号２０４は、ｔ＝ｔ1における振幅は－Ａである。また、図２７（ｅ）に示した減算器２４からの信号２０５は、微分器型可変位相回路２１からの信号２０２に利得調整信号２１４の情報に従った減衰量ＡＴＴを掛け合わせた出力信号である。この減衰量ＡＴＴ≦１である。
また、図２７（ｆ）に示した３入力加減算器２５からの信号２０６は、減衰器２４からの信号２０５と積分器型可変位相回路２２からの信号２０３と位相シフト回路２３からの信号２０４とを加算して短パルス信号で、ｔ＝０の近傍では微分器型可変位相回路２１の信号２０２が支配的である。０＜ｔ＜ｔ１の範囲では支配要因が微分器から積分器へと遷移する。

【００７５】
すなわち、ｔが大きくなっていくにつれて積分器の出力の特徴である上に凸の波形が観測されるようになる。この種の波形は矩形波で見られる直線＋９０°角の組み合わせよりも正弦波に近く、したがって、高周波成分も少ない。ｔ＝ｔ１においては、位相シフト回路２３からの信号２０４が含んでいる－Ａのエッジの影響で失力は０近傍へと到達する。最終的には積分器の漸近時間ｔ＝ｔ２の時間経過後に３入力加減算器２５からの信号２０６は０になる。

【００７６】
つまり、微分器型可変位相回路２１のピーク振幅の高周波成分の影響を緩和すべく、積分器型可変位相回路２２からの信号２０３が、減衰器２４を介して微分器型可変位相回路２１からの信号２０２が加算されている。つまり、３入力加減算器２５においては、減衰器２４からの信号２０５と積分器型可変位相回路２２からの信号２０３とが加算されている。さらに、積分器型可変位相回路２２のＤＣ成分を打ち消して急峻な立ち下がりを得るために、ｔ＝ｔ１の時刻で位相シフト回路２３からの信号２０４の０から－Ａの遷移が加算されている。これによって、微分器型可変位相回路２１からの信号２０２より、本発明の出力信号２０６はパルスの幅を短くできる。

【００７７】
また、図２７（ｇ）に示したセンタータップ付バラン回路２６からの信号２０７ａ，２０７ｂは、ダブルバランスドミキサ回路２７を駆動するため、シングルから差動変換しつつ適切な動作点を設定するためにセンタータップ付バラン回路２６を通過して得られる出力である。ＤＣの動作点はセンタータップに加えられ、基準信号レベルで決定される。
また、図２７（ｈ）に示した差動クロック信号２０９ａ，２０９ｂは、ダブルバランス

ドミキサ回路２７への差動入力信号である。また、図２７（ｉ）に示したダブルバランスドミキサ回路２７からの信号２０８ａ，２０８ｂは、センタータップ付バラン回路２６からの信号２０７ａ，２０７ｂの包絡線（短パルス波形）の中で、差動クロック信号２０９ａ，２０９ｂが動作する。所望の出力が得られている。

【００７８】

本実施例２における微分器の出力信号の包絡線に起因する高周波成分は、１）減衰器で微分器の出力を減衰させて使用する。２）微分器の出力の下の凹部の信号に（減衰後）、積分器の出力の上の凸部の信号を（減衰なしで）加算したことにより、一般的な矩形波よりも積分器の出力の凸波形が勝った波形、言い換えれば矩形波よりも正弦波に近づいた波形の合成ができた。３）立ち下がりエッジの生成は微分波形よりも高周波成分の少ないステップ波形の加算を用いていること、つまり、立ち下がりエッジには。立ち上がりエッジほどの高周波成分が含まれていないことが想定できる。このような３つの理由により、微分器を単体で用いる場合に比べ、高周波成分を大幅に減らすことができる。

【００７９】

入力信号２０１ａ，２０１ｂに繰り返し信号を用いる場合には、立ち上がり又は立ち下がりの一方をマスクする回路を前置する必要がある。マスク回路は、通常、信号パスに直列に挿入されたスイッチとそれをオン／オフする制御信号とからなる。

図２８は、図２６に示した微分器形可変位相回路の具体的な回路構成図である。この微分器形可変位相回路（可変位相微分器）の時定数を位相変化量制御信号Ｃｎｔ１Ａにしたがって、直列容量の値を切り替えることで位相変化量を変化させている。例えば、S_{1A}がオンし、微分器の容量がC_1+C_{1A}になった時に、微分器の減衰は容量がC_1のみの時よりなだらかになる。ここでは“位相”を基準に時刻から一定時間経過した点にあける振幅及び振幅の集合体とする。これにより、時定数の大きい系は、位相が遅れることが理解できる。

【００８０】

微分器形可変位相回路の動作真理値及び直列容量の値を以下の表２に示す。

【００８１】

【表２】

Ｃｎｔ１Ａ	S_{1A}	直列容量値
Ｌ	ＯＦＦ	C_1
Ｈ	ＯＮ	C_1+C_{1A}

【００８２】

なお、実施例２においても、上述した実施例１と同様な効果を奏することも明らかである。

図２９は、図２６に示した積分器型可変位相回路の具体的な回路構成図である。この積分器型可変位相回路（可変位相積分器）の時定数を位相変化量制御信号Ｃｎｔ２Ａにしたがって並列容量の値を切り替えることで位相変化量を変化させている。Ｃを切り替える代わりにＲを切り替えることでも等価な回路状態の変化が得られる。表３に可変位相積分器の動作真理値及び並列容量を示している。

【００８３】

【表３】

Ｃｎｔ２Ａ	S_{2A}	並列容量値
Ｌ	ＯＦＦ	C_2
Ｈ	ＯＮ	C_2+C_{2A}

【００８４】
図２６に示した本発明に係るパルス生成回路の減衰器の具体的な回路構成図は、図１４に示した減衰器と同様である。減衰器２４は、複数の抵抗素子Ｒａ，Ｒｂ，Ｒｃと複数のスイッチＳａ，Ｓｂ，Ｓｃを含む抵抗タップの構成である。
減衰器２４の減衰量を遅延パルスの立ち上がりタイミングでの加減算器の入力の振幅が同じとなるように調整することで立ち下がりの鋭いパルスが得られる。このことは図２７（ｆ）に示されている。
【実施例３】
【００８５】
図３０は、本発明に係るパルス生成回路の実施例３を説明するための回路構成図である。図中符号３０はパルス信号処理回路、３１は微分器形可変位相回路（可変位相微分器）、３２は積分器形可変位相回路（可変位相積分器）、３３は加減算器、３４はセンタータップ付バラン回路、３５はダブルバランスドミキサ回路を示している。
つまり、図３０に示したパルス生成回路は、パルス信号処理回路３０とセンタータップ付バラン回路３４とダブルバランスドミキサ回路３５とで構成され、パルス信号処理回路３０は、微分器形可変位相回路３１と積分器形可変位相回路３２と加減算器３３とで構成されている。
【００８６】
本実施例３のパルス生成回路においては、図２６に示した実施例２における減衰器２４と位相シフト回路２３を除いた構成になっている。
本実施例３のパルス生成回路は、上述した実施例１及び２と同様に、制御信号によって間欠的に動作することで短パルス信号を生成するパルス生成回路である。微分器形可変位相回路３１は、第１の位相変化量制御信号３０８によって位相可変され、第１の入力信号３０１ａを微分してパルスの立ち上がりを捉えるものである。また、積分器形可変位相回路３２は、第２の位相変化量制御信号３０９によって位相可変され、第１の入力信号３０１ｂを積分して高周波成分を抑制するものである。
【００８７】
また、加減算器３３は、微分器形可変位相回路３１からの信号３０２と積分器形可変位相回路３２からの信号３０３とを加減算して短パルス信号３０４を出力するものである。
また、センタータップ付バラン回路３４は、パルス信号処理回路３０からの短パルス信号３０４を入力して任意のＤＣレベルの差動信号を生成するもので、短パルス信号が入力される１次側コイルと、１次側コイルに隣接され、差動信号を出力する２次側コイルと、ＤＣレベルを設定するセンタータップとを備えており、ＬＣ同調を用いて高周波の抑制を行う可変容量回路をさらに備えている。また、２次側コイルに対する２次側コイルのインピーダンス比が２以上であることが望ましい。
また、ダブルバランスドミキサ回路３５は、センタータップ付バラン回路３４から生成された差動信号にキャリアを重畳して差動パルス信号を生成するもので、ハイインピーダンス入力である。
【００８８】
このように、実施例３におけるパルス生成回路は、ダブルバランスドミキサ回路の入力を正弦波入力に近付けることで高周波を抑制するのではなく、ダブルバランスドミキサ回路を正常にオン・オフさせることで微分波形固有の高周波を出力に伝達させないようにし

たものである。具体的には、１）センタータップ付バラン回路の１次、２次間のインピーダンス比を１：２以上にして高利得を得ること、２）電圧利得を有効利用するためにダブルバランスドミキサ回路をＨｉｚ入力とし、使用するＴｒは小振幅でオン・オフするバイポーラトランジスタ（ＢＪＴ）とすること、３）センタータップ付バラン回路に同調機能を持たせることで入力の高周波の低減を図ること、４）上記条件が開示された場合のオン・オフに必要な入力振幅条件を解析的に明らかにし、電力を消費しない高周波抑圧型の短パルス発生回路を実現したものである。

【００８９】

図３１（ａ）乃至（ｇ）は、図３０に示した本発明に係るパルス生成回路の各部のノード電圧を示す図で、図３１（ａ）は第１及び第２の入力信号を示す図、図３１（ｂ）は微分器型可変位相回路からの信号を示す図、図３１（ｃ）は積分器型可変位相回路からの信号を示す図、図３１（ｄ）は加減算器（本実施例３においては加算器）から出力される短パルス信号を示す図、図３１（ｅ）はセンタータップ付バラン回路からの信号を示す図、図３１（ｆ）は差動クロック信号を示す図、図３１（ｇ）はダブルバランスドミキサ回路からの信号を示す図である。

【００９０】

ここで重要なことは、１）トランスのインピーダンス比が１：２以上であること、２）ダブルバランスドミキサ回路の入力部は、トランス側５０Ω、ミキサ側Ｈｉｚであること、３）ダブルバランスドミキサ回路のオン・オフする瞬間のミキサ入力は１００ｍV_{OP}以上必要であることである。

【００９１】

次に、上記１）乃至３）により、ダブルバランスドミキサ回路がオン・オフするのに必要な入力差動信号入力レベルを求める。まず、３）よりダブルバランスドミキサ回路入力では、１００ｍV_{OP}が２００ｍV_{PP}、シングルエンドが４００ｍV_{PP}の差動入力が必要なことがわかる。電圧振幅は５０ΩからＨｉｚで２倍、トランスのインピーダンス比で２倍されるため、入力端では１／４の１００ｍV_{PP}の差動入力が必要なことがわかる。

【００９２】

これによって期待される効果は、１）ミキサのオン時にＴｒはオン状態にスイッチングされる。２）ミキサのオフ時にＴｒはオフ状態にスイッチングされる。３）上記理由により、ダブルバランスドミキサ回路の出力には、微分波形が元来有する高周波成分が現れない。更に加えるなら、高周波成分の抑圧のため、トランス入力部にはＬＣ同調回路を実装している。

【００９３】

図３１（ａ）に示した第１の入力信号３０１ａの振幅は＋Ａで、第２の入力信号３０１ｂの振幅は－Ａであり、第１の入力信号３０１ａと第２の入力信号３０１ｂは差動入力信号である。図３１（ｂ）に示した微分器型可変位相回路３１からの信号３０２の位相時定数は、第１の位相変動量制御信号３０８を通じて制御される。ただし、この第１の位相変動量制御信号３０８はピーク振幅には影響を与えない。最大値は＋Ａでｔ＝ｔ１で振幅がＥとなって徐々に０に漸近する。また、図３１（ｃ）に示した積分器型可変位相回路３２からの信号３０３の位相時定数は、第２の位相変動量制御信号３０９を通じて制御される。この信号３０３は、ｔ＝０で振幅が０、ｔ＝ｔ２で－Ｅに漸近する。

【００９４】

また、図３１（ｄ）に示した加減算器３３からの信号３０４は、微分器型可変位相回路３１からの信号３０２と積分器型可変位相回路３２からの信号３０３とを加算して短パルス信号で、ｔ＝０の近傍では微分器型可変位相回路３１の信号３０２が支配的である。０＜ｔ＜ｔ１の範囲では支配要因が微分器から積分器へと遷移する。加減算器３３からの信号３０４はｔ＝ｔ１において＋５０ｍＶで、ｔ＝ｔ２でゼロクロスし、積分器型可変位相回路３２の影響で時間経過後に－Ａに向かって漸近する。

【００９５】

つまり、加減算器３３においては、微分器型可変位相回路３１のピーク振幅の高周波成

分の影響を緩和すべく、積分器型可変位相回路３２からの信号３０３が微分器型可変位相回路３１からの信号３０２が加算されている。これによって、微分器型可変位相回路３１からの信号３０２より、加減算器３３の出力信号３０４はパルスの幅を短くできる。

また、図３１（ｅ）に示したセンタータップ付バラン回路３４からの信号３０５ａ，３０５ｂは、ダブルバランスドミキサ回路３５を駆動するため、シングルから差動変換しつつ適切な動作点を設定するためにセンタータップ付バラン回路３４を通過して得られる出力である。入力部に配置されたＬＣ同調器の影響で積分器の出力の低周波成分は除去される。トランスがＤＣ成分を除去する効果を有するためＨＰＦを必要としない。このトランスのＤＣカットとセンタータップによって出力信号のＤＣレベルを、次段のダブルバランスドミキサ回路が動作しやすい点に設定する。ＬＣ同調回路の周波数は、同調周波数制御信号によって制御され、ＤＣレベルは基準信号レベルによって定められる。

【００９６】

また、図３１（ｆ）に示した差動クロック信号３０７ａ，３０７ｂは、ダブルバランスドミキサ回路３５への差動入力信号である。また、図３１（ｇ）に示したダブルバランスドミキサ回路３５からの信号３０６ａ，３０６ｂは、センタータップ付バラン回路３４からの信号３０５ａ，３０５ｂの包絡線（短パルス波形）の中で、差動クロック信号３０７ａ，３０７ｂが動作する。キャリアを短パルスでオン・オフした所望の波形出力が得られている。

【００９７】

図３２は、図３０に示した実施例３のセンタータップ付バラン回路の回路構成図で、１次側にＬＣ同調回路を有し、かつインピーダンス比（Ｌ２／Ｌ１）が２以上であるようなセンタータップ付バラン回路を示している。本実施例３においては、上述した実施例１及び２のような高周波成分の抑圧機能がないため、ＬＣ同調を用いて高周波成分の抑圧を行っている。発生する短パルスの基本周波数がｆ０である時に、ｆ０＝１／２π√Ｌ１Ｌ１となるように、帯域制御信号を通じて可変容量Ｃ１の容量を調整する。

以下に、本発明に係るパルス生成回路の各種のパルス信号処理回路について説明する。

【実施例４】

【００９８】

図３３は、本発明に係るパルス生成回路の実施例４におけるパルス信号処理回路を説明するための回路構成図である。図中符号４０はパルス信号処理回路、４１は位相シフト回路、４２は減衰器（Ａｔｔｅｎｕａｔｏｒ；アッテネータ）、４３ａは第１の微分器、４３ｂは第２の微分器、４４は加減算器を示している。

本実施例４におけるパルス信号処理回路４０は、位相シフト回路４１と減衰器４２と第１の微分器４３ａと第２の微分器４３ｂと加減算器４４とから構成されている。

【００９９】

本発明のパルス生成回路は、制御信号によって間欠的に動作することで短パルス信号を生成するパルス生成回路である。第１の微分器４３ａは、入力信号４０１を直接的に微分してパルスの立ち上がりを捉えるものである。また、位相シフト回路４１は、入力信号４０１の位相の変動量を位相変動量調整信号４０７によって調整してパルス幅を決定するものである。

【０１００】

また、減衰器４２は、位相シフト回路４１からの信号４０２の振幅を利得調整信号４０８によって調整するものである。また、第２の微分器４３ｂは、減衰器４２からの信号４０３を微分してパルスの立ち下がりを捉えるものである。また、加減算器４４は、第１の微分器４３ａからの信号４０４と第２の微分器４３ｂからの信号４０５とを加減算して短パルス信号４０６を出力するものである。

【０１０１】

つまり、パルス信号処理回路は、入力信号を直接的に微分してパルスの立ち上がりを捉える第１の微分器４３ａと、入力信号の位相の変動量を位相変動量調整信号４０７によって調整してパルス幅を決定する位相シフト回路４１と、位相シフト回路４１からの信号の

振幅を利得調整信号４０８によって調整する減衰器４２と、減衰器４２からの信号を微分してパルスの立ち下がりを捉える第２の微分器４３ｂと、第１の微分器４３ａからの信号４０４と第２の微分器４３ｂからの信号４０５とを加減算して短パルス信号４０６を出力する加減算器４４とを備えている。

【０１０２】

本発明に係るパルス生成回路の各部のノード電圧について以下に説明すると、入力信号４０１の振幅はＡである。位相シフト回路４１からの信号４０２は、位相シフト回路４１の位相変動によりより短いパルスを生成することができ、入力信号４０１が位相シフト回路４１を通過することでｔ１だけ遅延したことを示している。この信号４０２が減衰器２の入力信号になる。

【０１０３】

また、第１の微分器４３ａの信号４０４は、時刻ｔ１において振幅がＡ×ＡＴＴ（減衰率）となっている。また、減衰器４２からの信号４０３は、第２の微分器４３ｂの入力がＡ×ＡＴＴとなるように調整される。減衰器４２の減衰率（ＡＴＴ）は１以下である。

また、第２の微分器４３ｂの出力信号４０５は、加減算器４４に入力される。第１の微分器４３ａと第２の微分器４３ｂとは同一の構造を有しているので、減衰器４２と第２の微分器４３ｂとの順番を入れ替えても動作に影響を与えない。また、第１の微分器４３ａからの信号４０４及びは第２の微分器４３ｂからの信号４０５の傾きは、容量素子Ｃ１と抵抗素子Ｒ１からなる微分器の時定数τが等しい時に、τ＝Ｒ１Ｃ１によって決まる。

【０１０４】

また、第１の微分器４３ａの出力４０４と第２の微分器４３ｂの出力４０５との加減算を終えた出力信号４０６は、第１の微分器４３ａの信号４０４と比べると、加減算を終えた出力信号４０６のパリス幅の方が狭く、かつ立ち下がりのエッジが鋭くなっている。つまり、また、減算器４４から出力される短パルスの出力信号４０６は、第２の微分器４３ｂからの信号４０５が立ち上がるタイミングの第１の微分器４３ａからの信号４０４の振幅と第２の微分器４３ｂからの信号４０５のピーク振幅とが同じになるように減衰器４２を調整することで立ち下りエッジもシャープな短パルスが得られる。

【実施例５】

【０１０５】

図３４は、本発明に係るパルス生成回路の実施例５におけるパルス信号処理回路を説明するための回路構成図である。図中符号５０はパルス信号処理回路、５１は位相シフト回路、５２は減衰器（Ａｔｔｅｎｕａｔｏｒ；アッテネータ）、５３ａは第１の可変位相微分器、５３ｂは第２の可変位相微分器、５４は加減算器を示している。つまり、図３３に示した第１の微分器４３ａと第２の微分器４３ｂは、第１の可変位相微分器５３ａと第２の可変位相微分器５３ｂで構成されている。

【０１０６】

本実施例５のパルス生成回路は、実施例４と同様に、制御信号によって間欠的に動作することで短パルス信号を生成するパルス生成回路である。第１の可変位相微分器５３ａは入力信号５０１を直接的に微分してパルスの立ち上がりを捉えるもので、第１の時定数調整信号５０９によって位相が可変されるものである。位相シフト回路５１は、入力信号５０１の位相の変動量を位相変動量調整信号５０７によって調整してパルス幅を決定するものである。

【０１０７】

また、減衰器５２は、位相シフト回路５１からの信号５０２の振幅を利得調整信号５０８によって調整するものである。第２の可変位相微分器５３ｂは、減衰器５２からの信号５０３を微分してパルスの立ち下がりを捉えるもので、第２の時定数調整信号５１０によって位相が可変されるものである。減算器５４は、第１の可変位相微分器５３ａからの信号５０４と第２の可変位相微分器５３ｂからの信号５０５とを減算して短パルス信号を出力するものである。

【０１０８】

このように、実施例５におけるパルス生成回路は、２つの可変位相微分器５３ａ，５３ｂを用い、パルスエッジ間の包絡線の形を任意に設定できる。この２つの可変位相微分器５３ａ，５３ｂの時定数は、第１の時定数調整信号５０９と第２の時定数調整信号５１０とによってその時定数が変えられる。

本発明に係るパルス生成回路の各部のノード電圧について以下に説明すると、入力信号５０１の振幅はＡである。位相シフト回路５１からの信号５０２は、位相シフト回路５１の位相変動によりより短いパルスを生成することができ、入力信号５０１が位相シフト回路５１を通過することでｔ１だけ遅延したことを示している。この信号５０２が減衰器５２の入力信号になる。

【０１０９】

また、第１の可変位相微分器５３ａの信号５０４の時定数は、第２の可変位相微分器５３ｂからの信号５０５の時定数より大きく選ぶことがパルス波形を矩形に近づける観点から好ましい。実施例４と同様に、ｔ＝ｔ１での第１の可変位相微分器１３ａの出力振幅はＡ×ＡＴＴ（減衰率）となっている。

また、減衰器５２からの信号５０３は、第２の可変位相微分器５３ｂの入力がＡ×ＡＴＴとなるように調整される。

【０１１０】

また、第２の可変位相微分器５３ｂの出力信号５０５の時定数は、第１の可変位相微分器５３ａの時定数よりも小さく選ばれる。また、実施例５においても、実施例４と同様に、減衰器５２と第２の可変位相微分器５３ｂとの順番を入れ替えても動作に影響を与えない。

また、第１の可変位相微分器５３ａの信号５０４と第２の可変位相微分器５３ｂの信号５０５との加減算を終えた出力信号５０６は、第１の可変位相微分器５３ａの時定数が、第２の可変位相微分器５３ｂの時定数よりも大きいため、ｔ＞ｔ１の領域で＋の低周波信号が存在している。他方、パルスの形は矩形に近づいており、目的通りの動作をしていることがわかる。

【実施例６】

【０１１１】

図３５は、本発明に係るパルス生成回路の実施例６におけるパルス信号処理回路を説明するための回路構成図である。図中符号６０はパルス信号処理回路、６１は微分器、６２は積分器、６３は第１のハイパスフィルタ（ＨＰＦ）、６４は加減算器を示している。

本実施例６におけるパルス信号処理回路６０は、微分器６１と積分器６２と第１のハイパスフィルタ（ＨＰＦ）６３と加減算器６４とから構成されている。

【０１１２】

本発明のパルス生成回路は、制御信号によって間欠的に動作することで短パルス信号を生成するパルス生成回路である。微分器６１は、第１の入力信号６０１を微分してパルスの立ち上がりを捉えるものである。また、積分器６２は、微分器６１に入力される第１の入力信号６０１と逆位相の第２の入力信号６０２を積分するものである。また、第１のハイパスフィルタ６３は、積分器６２からの信号６０４を基準信号レベル６０８によって帯域制限するものである。

【０１１３】

また、加減算器６４は、微分器６１からの信号６０３（６０５）と第１のハイパスフィルタ６３からの信号６０６とを加減算して短パルス信号６０７を出力するものである。なお、本実施例６においては、微分器６１からの信号６０３は、第１のハイパスフィルタ６３を介することなく信号６０５となって加減算器６４に入力される。

また、微分器６１は、ＲＣ微分器又はＬＣ微分器であってもよい。また、積分器６２は、抵抗素子と容量素子を含む積分器の構成である。また、第１のハイパスフィルタ６３は、プログラマブル積分器であってもよく、抵抗素子と容量素子を含む構成である。

【０１１４】

また、加減算器６４は、方向性結合器又はハイブリッドリングの構成である。また、微

分器６１と加減算器６４との間に微分器６１からの信号を帯域制限する第２のハイパスフィルタ（図示せず）をさらに備えてもよい。また、微分器６１と積分器６２と第１のハイパスフィルタ６３の少なくとも１つは受動素子からなる。

つまり、パルス信号処理回路６０は、第１の入力信号６０１を微分してパルスの立ち上がりを捉える微分器６１と、微分器６１に入力される第１の入力信号６０１と逆位相の第２の入力信号６０２を積分する積分器６２と、積分器６２からの信号を基準信号レベル６０８によって帯域制限するハイパスフィルタ６３と、微分器６１からの信号６０３とハイパスフィルタ６３からの信号６０５とを加減算して短パルス信号６０７を出力する加減算器６４とを備えている。

【０１１５】

このような構成により、パルス発生回路を構成する微分器と積分器とハイパスフィルタと加減算器との少なくとも１つは受動素子で構成することで、消費電流や歪の発生を最小限にすることができるとともに、入力信号を作動信号としたので、不用放射にも配慮した周辺環境にも優しいパルス発生回路を実現することができる。

【０１１６】

本発明に係るパルス生成回路の各部のノード電圧について以下に説明すると、第１の入力信号６０１の振幅は＋Ａである。第２の入力信号６０２の振幅は－Ａである。微分器６１からの信号６０３の最大値は＋Ａで、その時定数$\tau_1 = R_1C_1$で、０に漸近する。また、ｔ＝ｔ１での振幅はＥとする。また、微分器６１からの信号６０３の第１のハイパスフィルタ６３を通過後の信号６０５は、影響がないので信号６０３と同じである。

【０１１７】

また、積分器６２からの信号６０４は、ｔ＝０で０、時定数$\tau_2 = R_2C_2$で、－Ａに漸近する。R_2C_2の値は、ｔ＝ｔ１での振幅が－Ｅとなるように設計する。また、第１のハイパスフィルタ６３からの信号６０６は、積分器２からの信号６０４の第１のハイパスフィルタ６３を通過した後の信号で、その出力６０６が０に向かって漸近し始める時刻をｔ２とする。

【０１１８】

また、加減算器６４からの信号６０７は、微分器６１からの信号６０３の第１のハイパスフィルタ６３を通過後の信号６０５と、積分器６２からの信号６０４の第１のハイパスフィルタ６３を通過した後の信号６０６との加算した出力信号である。ｔ＝ｔ１での振幅が、信号６０５では＋Ｅで、信号６０６では－Ｅなので、出力信号６０７では０になる。これによって、微分器６１の信号６０３より、本発明の出力信号６０７はパルスの幅を短くできる。

【実施例７】

【０１１９】

図３６は、本発明に係るパルス生成回路の実施例７におけるパルス信号処理回路を説明するための回路構成図である。図中符号７０はパルス信号処理回路、７１は微分器形可変位相回路（可変位相微分器）、７２は積分器形可変位相回路（可変位相積分器）、７３は減衰器（Ａｔｔｅｎｕａｔｏｒ；アッテネータ）、７４はプログラマブルハイパスフィルタ（ＨＰＦ）、７５はコモンモード抽出回路を示している。つまり、図３６に示したパルス生成回路は、微分器形可変位相回路７１と積分器形可変位相回路７２と減衰器７３とプログラマブルハイパスフィルタ７４とコモンモード抽出回路７５とで構成されている。

【０１２０】

本実施例７のパルス生成回路においては、図３５に示した実施例６における微分器６１及び積分器６２にそれぞれ位相可変機能を持たせて微分器形可変位相回路７１及び積分器形可変位相回路７２とするとともに、積分器形可変位相回路７２の出力に減衰器７３による利得調整機能をもたせ、さらに加減算器６４の代わりにコモンモード抽出回路７５を用いたものである。

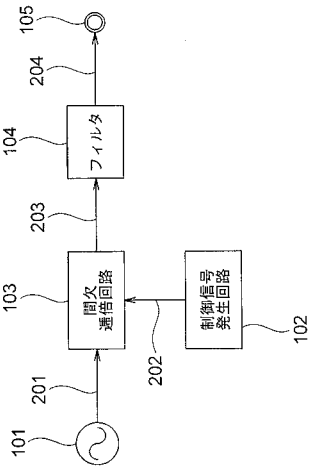
【０１２１】

本実施例７のパルス生成回路は、上述した実施例６と同様に、制御信号によって間欠的

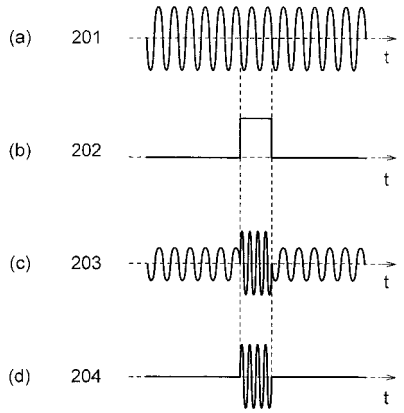
に動作することで短パルス信号を生成するパルス生成回路である。
微分器形可変位相回路７１は、位相変化量制御信号７０９によって位相可変され、第１の入力信号７０１を微分してパルスの立ち上がりを捉えるものである。また、積分器形可変位相回路７２は、位相変化量制御信号７０９によって位相可変され、微分器形可変位相回路７１に入力される第１の入力信号７０１と逆位相の第２の入力信号７０２を積分するものである。また、減衰器７３は、積分器形可変位相回路７２からの信号７０４の振幅を利得調整信号７１０によって調整するもので、複数の抵抗素子と複数のスイッチを含む抵抗タップの構成である。
【０１２２】
また、プログラマブルハイパスフィルタ７４は、減衰器７３からの信号７０５を基準信号レベル７１１によって帯域制限するものである。また、コモンモード抽出回路７５は、微分器形可変位相回路７１からの信号７０３とプログラマブルハイパスフィルタ７４からの信号７０７を入力として加減算して短パルス信号７０８を出力するもので、このコモンモード抽出回路７５は、複数の抵抗素子を含む抵抗分割の構成である。また、コモンモード抽出回１５は、第１及び第２のソース接地増幅器を含む構成である。
【０１２３】
このように、実施例７におけるパルス生成回路は、位相可変機能と減衰器とを組み合わせることで得られるパルスの幅を任意に選べるようになる。さらに、コモンモード抽出回路を用いることで、信号の周波数によらない信号処理が行えるようになり、回路の広帯域化が達成できる。本実施例７では、上述した実施例６における加減算器６４からの出力信号６０７のｔ＝ｔ２の近傍で発生している余剰の信号を最小化することが目的である。
【０１２４】
本発明に係るパルス生成回路の各部のノード電圧について以下に説明すると、　第１の入力信号７０１の振幅は＋Ａである。第２の入力信号７０２の振幅は－Ａである。この第１の入力信号７０１と第２の入力信号７０２とで差動入力を構成している。
また、微分器形可変位相回路７１からの信号７０３の最大値は＋Ａで、その時定数で０に漸近する。また、ｔ＝ｔ１での振幅はＡ／２とする。また、積分器形可変位相回路７２からの信号７０４は、ｔ＝０で０、その時定数で－Ａに漸近する。微分器形可変位相回路７１の振幅がＡ／２の時刻と積分器形可変位相回路７２の振幅が最大になる時刻とが同じになるように積分器形可変位相回路７２の位相を位相変化量制御信号７０９で調整する。つまり、ｔ＝ｔ１において信号７０４の振幅がおおよそ－Ａとなるように位相変化量制御信号７０９を用いて積分器形可変位相回路７２の時定数を調整する。
【０１２５】
また、減衰器７３からの信号７０５は、時刻ｔ１における振幅が－Ａ／２となる。つまり、利得調整信号７１０を用いて積分器形可変位相回路７２の振幅が半分になるように調整する。また、プログラマブルハイパスフィルタ７４からの信号７０７は、このプログラマブルハイパスフィルタ７４のＲの大きさを、位相変化量制御信号７０９を用いて増減させることで、信号７０７のｔａｉｌの長さを増減させる。この波形において０に漸近していく部分（尾の部分）を“ｔａｉｌ”という。また、コモンモード抽出回路７５から出力される短パルス信号７０８は、プログラマブルハイパスフィルタ７４の時定数を調整してｔａｉｌを打ち消す。つまり、位相変化量制御信号７０９を用いてｔａｉｌを調整し、短パルス信号７０８のｔ＞ｔ１以降の成分が０になるように調整する。したがって、コモンモード抽出回路７５から出力される短パルス信号７０８は、微分器形可変位相回路７１からの信号７０３のパルス幅よりも短くなっている。
【０１２６】
このように、上述した図３３乃至図３６に示したパルス信号処理回路４０，５０，６０，７０にセンタータップ付バラン回路及びダブルバランスドミキサ回路を接続して、本発明のようなパルス生成回路を構成することが可能となり、このような構成により、上述した実施例１乃至３に記載したようなパルス生成回路と同様な効果を奏することができる。
【符号の説明】

【０１２７】
１　パルス信号処理回路
２　バラン回路
３　ミキサ回路
１１，６１　微分器
１２，６２　積分器
１３，２３，４１，５１　位相シフト回路
１４，２４，４２，５２，７３　減衰器
１５，２５　３入力加減算器
１５ａ，１５ｂ　２入力加減算器
１６，２６，３４　センタータップ付バラン回路
１７，２７，３５　ダブルバランスドミキサ回路
２０，３０，４０，５０，６０，７０　パルス信号処理回路
２１，３１，７１　微分器型可変位相回路（可変位相微分器）
２２，３２，７２　積分器型可変位相回路（可変位相積分器）
３３，４４，５４，６４　加減算器
４３ａ　第１の微分器
４３ｂ　第２の微分器
５３ａ　第１の可変位相微分器
５３ｂ　第２の可変位相微分器
６３　第１のハイパスフィルタ（ＨＰＦ）
７４　プログラマブルハイパスフィルタ（ＨＰＦ）
７５　コモンモード抽出回路
１０１　発振回路
１０２　制御信号発生回路
１０３　間欠逓倍回路
１０４　フィルタ
１０５　出力端子
２０１～２０４　信号波形

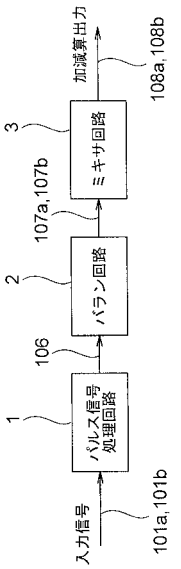
【図１】


105
204
フィルタ
104
203
逓倍回路
103
制御信号
発生回路
102
202
201
101

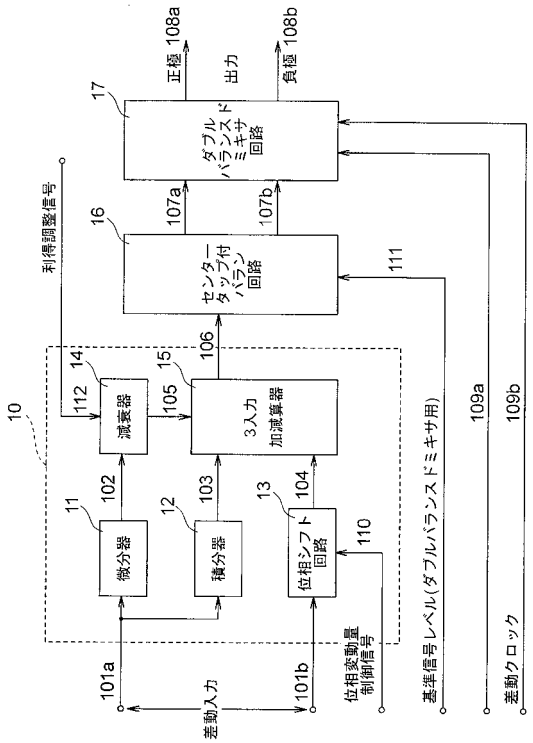
【図２】


(a) 201
(b) 202
(c) 203
(d) 204
t

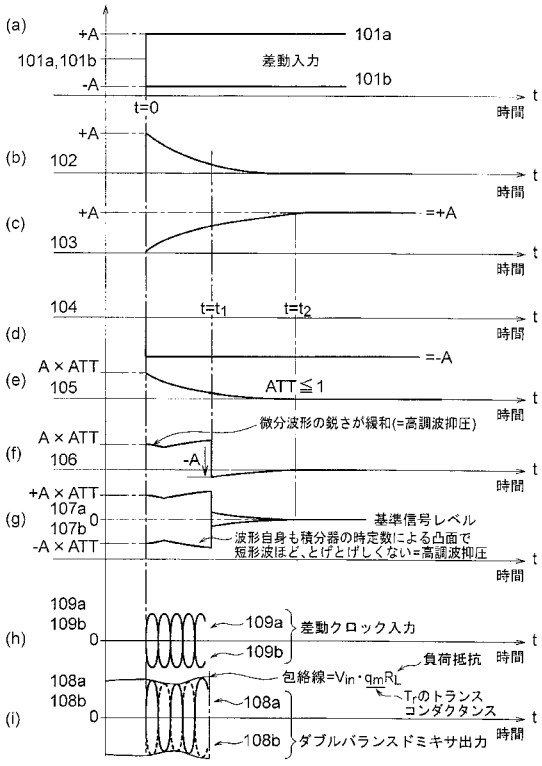
【図３】


加減算出力
108a,108b
3
ミキサ回路
107a,107b
2
バラン回路
106
1
パルス信号
処理回路
入力信号
101a,101b

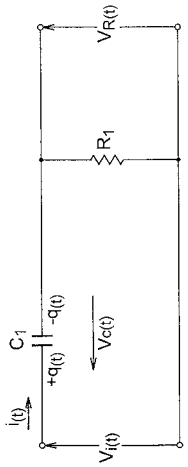
【図４】


正極 108a
出力
負極 108b
17
ダブル
バランスド
ミキサ
回路
107a
107b
16
センター
タップ付
バラン
回路
111
利得調整信号
106
14
15
112
減衰器
105
3入力
加減算器
10
11
12
13
102
103
104
微分器
積分器
位相シフト
回路
110
101a
101b
差動入力
位相変動量
制御信号
基準信号レベル(ダブルバランスドミキサ用)
109a
差動クロック
109b

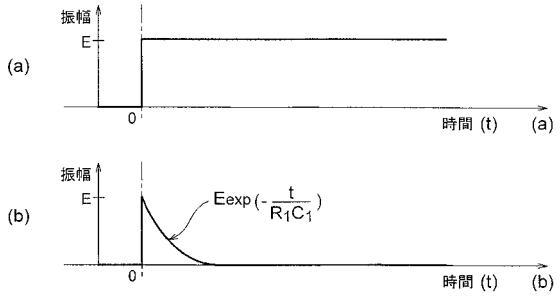
【図５】



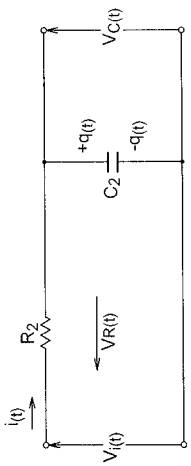
【図６】



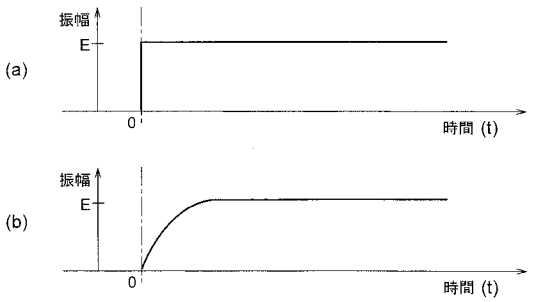
【図７】



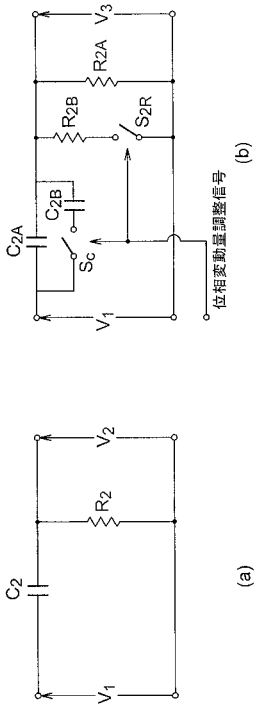
【図８】



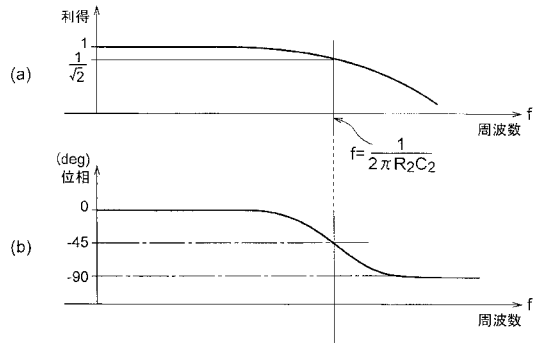
【図９】



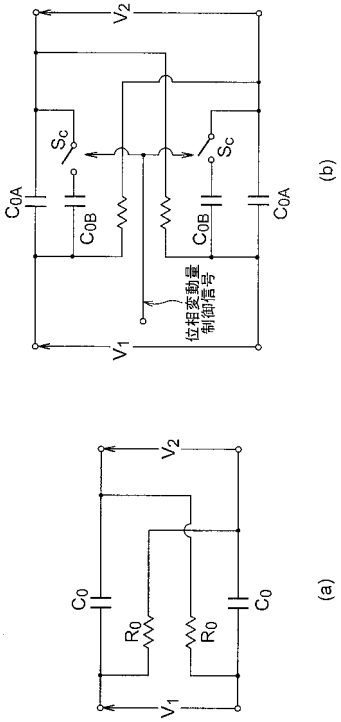
【図１０】



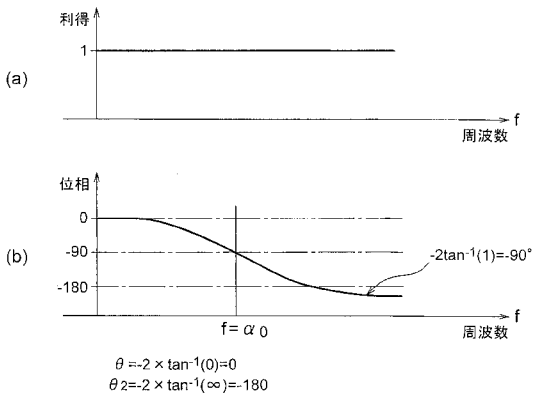
【図１１】



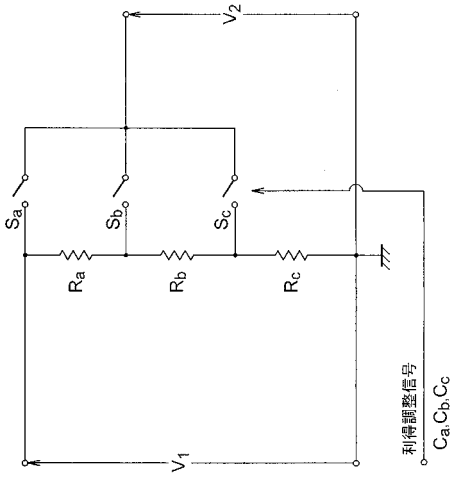
【図１２】



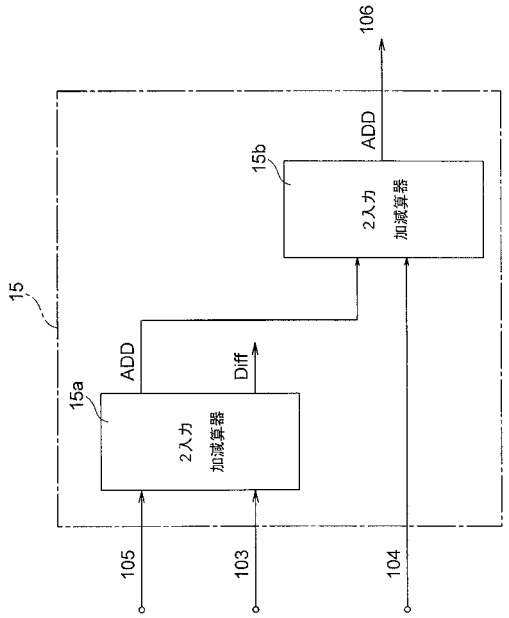
【図１３】



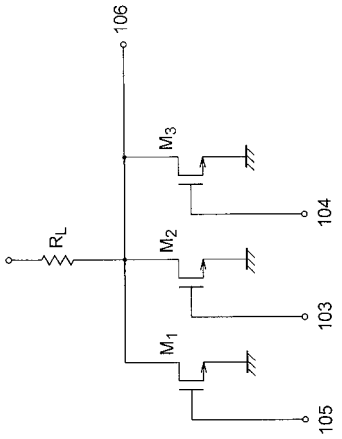
【図１４】



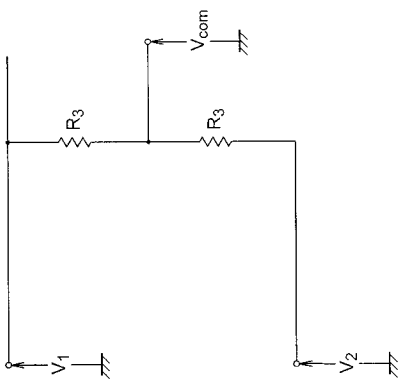
【図１５】



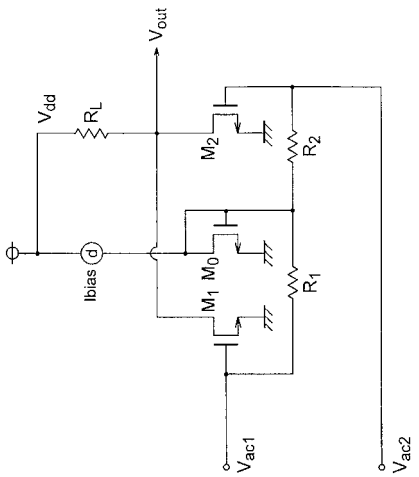
【図１６】



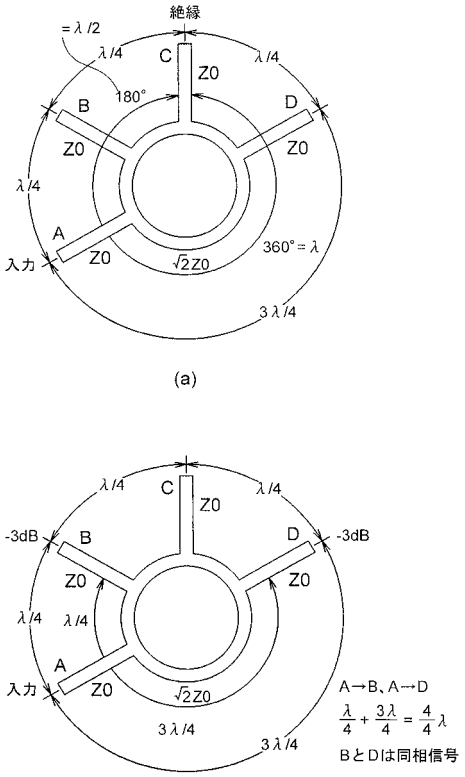
【図１７】



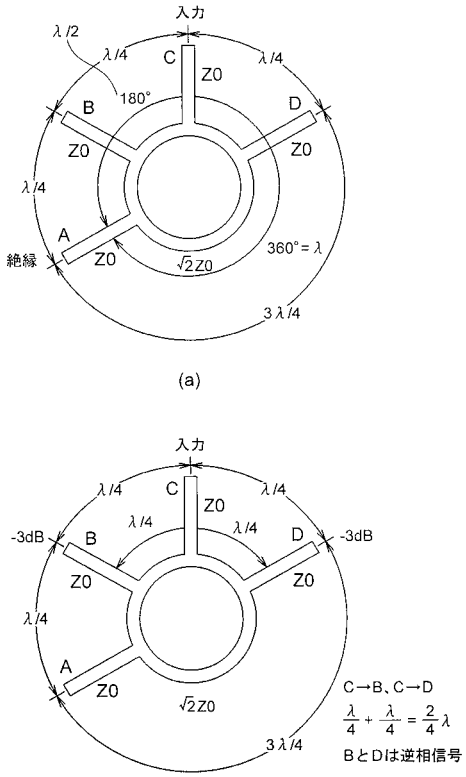
【図１８】



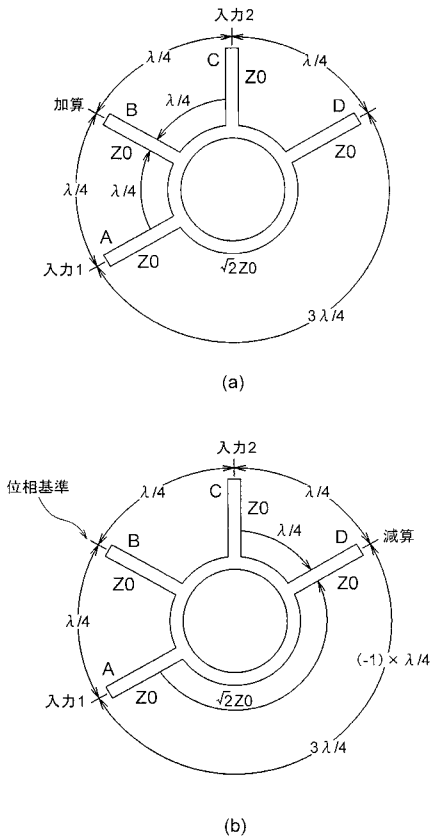
【図１９】



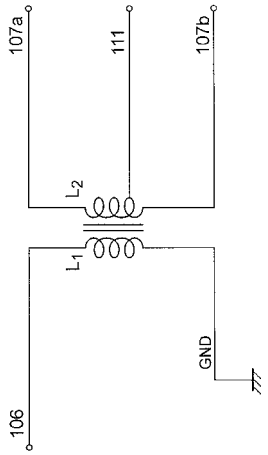
【図２０】



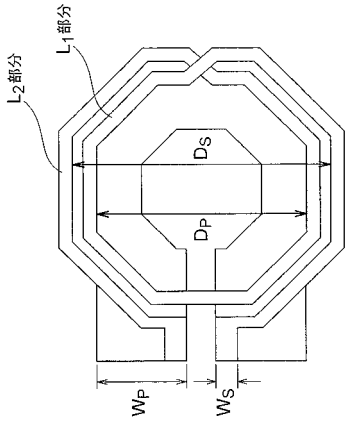
【図２１】



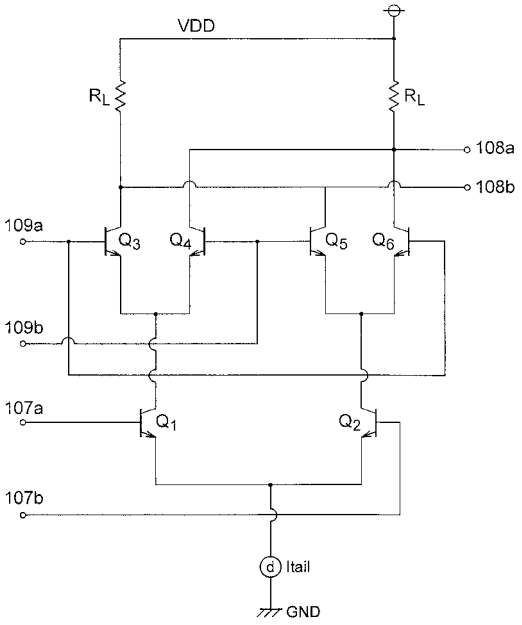
【図２２】



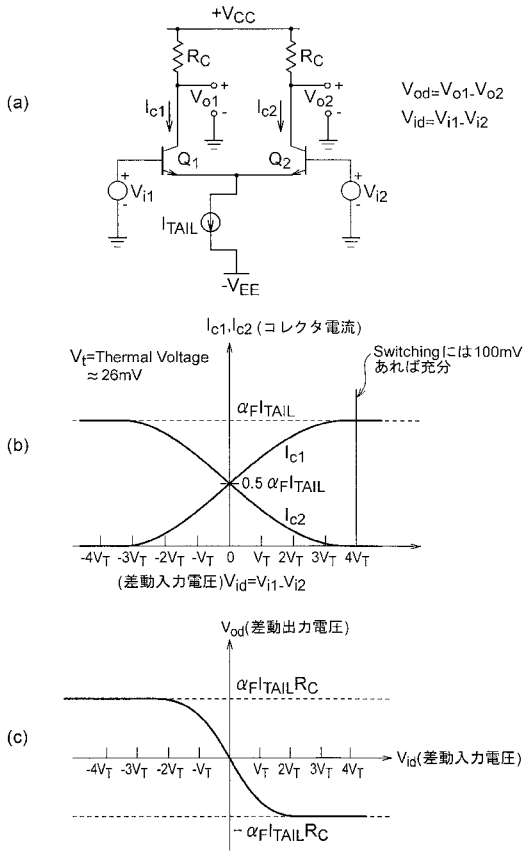
【図２３】



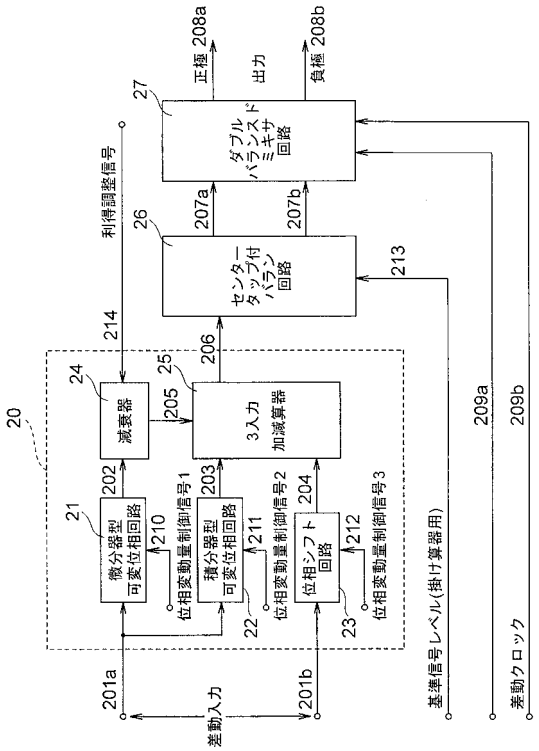
【図２４】



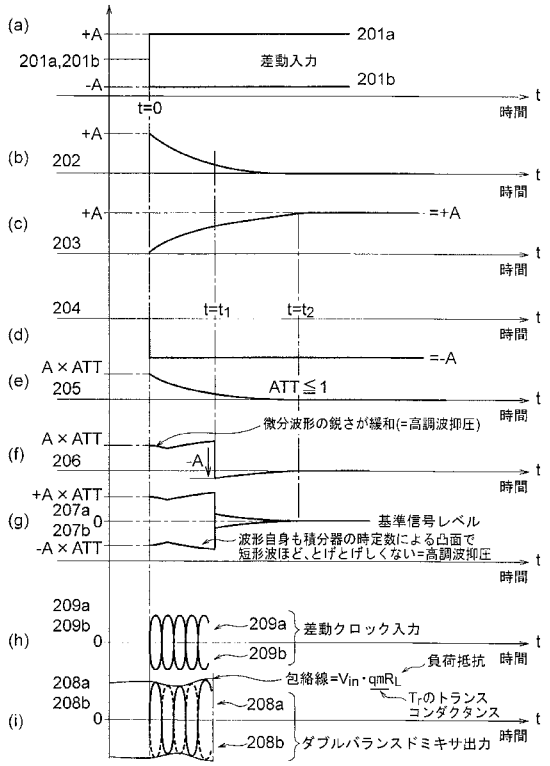
【図２５】



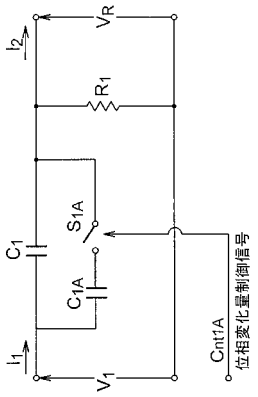
【図２６】



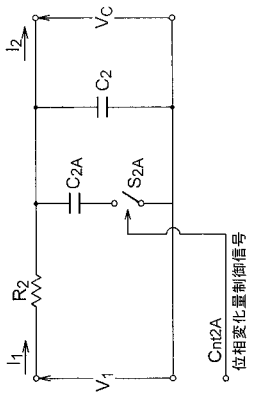
【図２７】



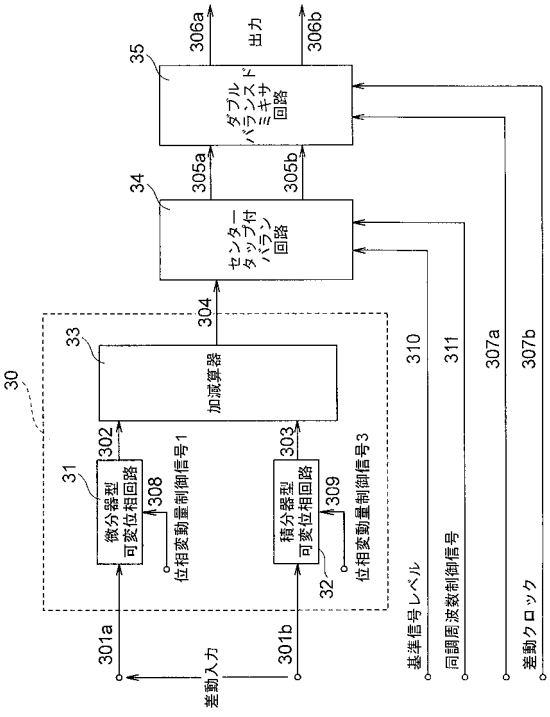
【図２８】



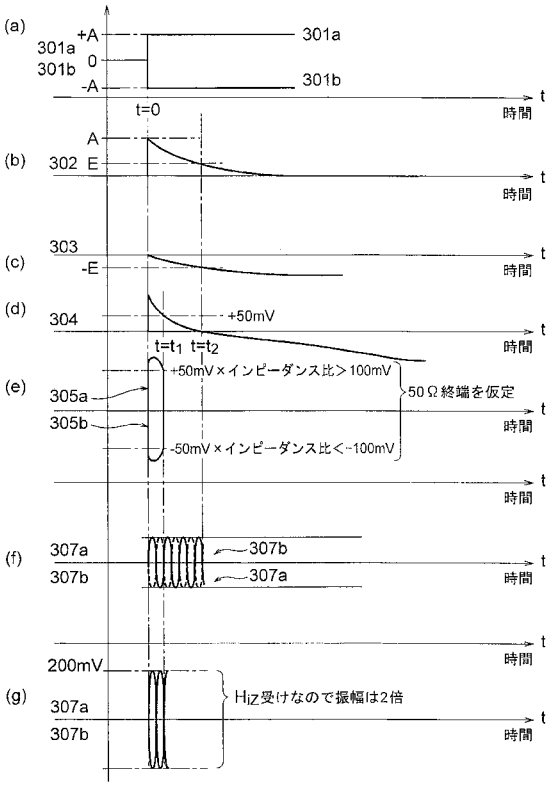
【図２９】



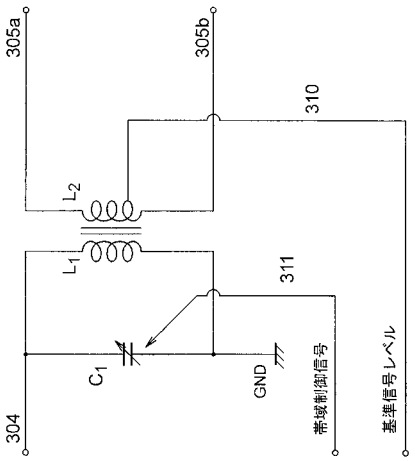
【図３０】



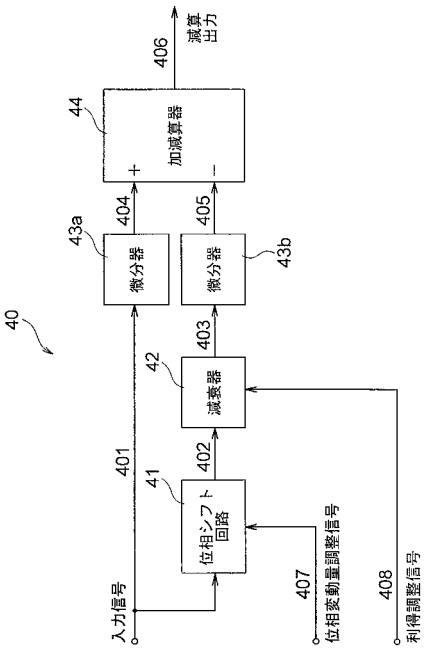
【図３１】



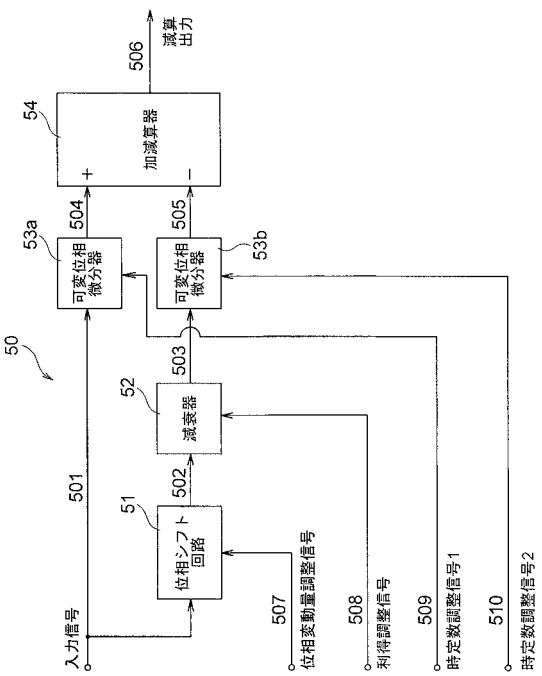
【図３２】



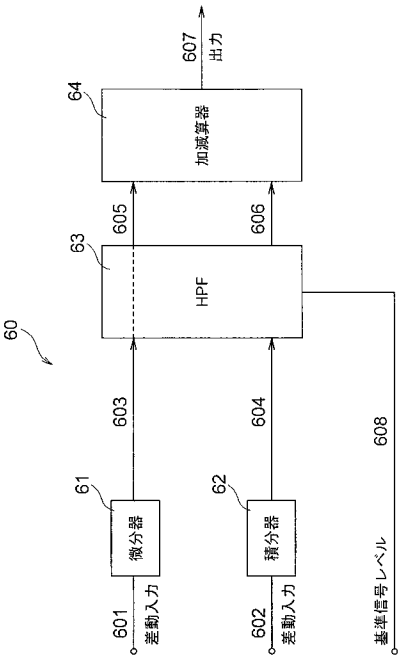
【図３３】



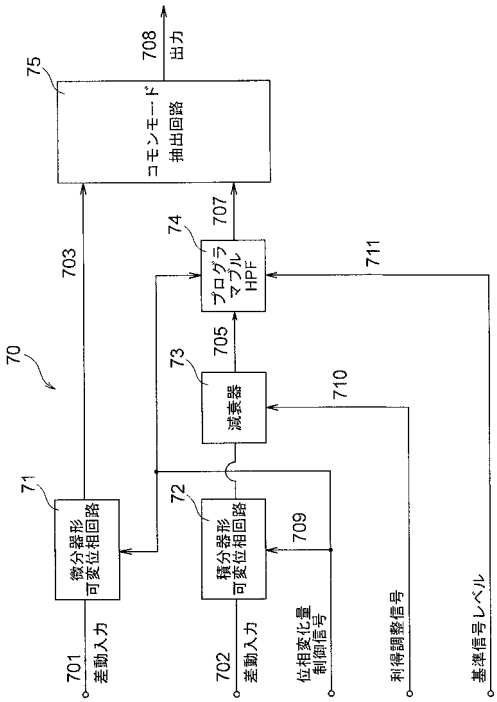
【図３４】



【図３５】


60
61
微分器
601
差動入力
62
積分器
602
差動入力
63
HPF
603
604
605
606
64
加減算器
607
出力
608
基準信号レベル

【図３６】


70
71
微分器形
可変位相回路
701
差動入力
72
積分器形
可変位相回路
702
差動入力
73
減素器
74
プログラマブル
HPF
75
コモンモード
抽出回路
703
705
707
708
出力
709
位相変化量
制御信号
710
利得調整信号
711
基準信号レベル