



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I492062 B

(45)公告日：中華民國 104 (2015) 年 07 月 11 日

(21)申請案號：102125813

(22)申請日：中華民國 102 (2013) 年 07 月 18 日

(51)Int. Cl. : G06F13/16 (2006.01)

G06F5/06 (2006.01)

G06F9/46 (2006.01)

G06F12/02 (2006.01)

(30)優先權：2012/07/18 美國

13/552,492

(71)申請人：美光科技公司 (美國) MICRON TECHNOLOGY, INC. (US)

美國

(72)發明人：諾耶思 哈洛德 B NOYES, HAROLD B (US) ; 布朗 大衛 R BROWN, DAVID R.

(US)

(74)代理人：陳長文

(56)參考文獻：

TW 201211897A

US 2005/0254456A1

US 2011/0307433A1

US 2012/0069691A1

審查人員：簡大翔

申請專利範圍項數：25 項 圖式數：10 共 46 頁

(54)名稱

用於程式化狀態機引擎之方法與裝置

METHODS AND DEVICES FOR PROGRAMMING A STATE MACHINE ENGINE

(57)摘要

本發明揭示一種狀態機引擎(14)，其具有一程式緩衝器(156)。該程式緩衝器(156)經組態以經由一匯流排介面(130)接收用於組態一狀態機晶格(30)之組態資料。該狀態機引擎(14)亦包含一修復映射緩衝器(158)，該修復映射緩衝器(158)經組態以經由該匯流排介面(130)將修復映射資料提供至一外部裝置。該狀態機晶格(30)包含多個可程式化元件(34、36)。各可程式化元件(34、36)包含經組態以分析資料並輸出該分析之一結果之多個記憶體單元(80)。

A state machine engine (14) having a program buffer (156). The program buffer (156) is configured to receive configuration data via a bus interface (130) for configuring a state machine lattice (30). The state machine engine (14) also includes a repair map buffer (158) configured to provide repair map data to an external device via the bus interface (130). The state machine lattice (30) includes multiple programmable elements (34, 36). Each programmable element (34, 36) includes multiple memory cells (80) configured to analyze data and to output a result of the analysis.

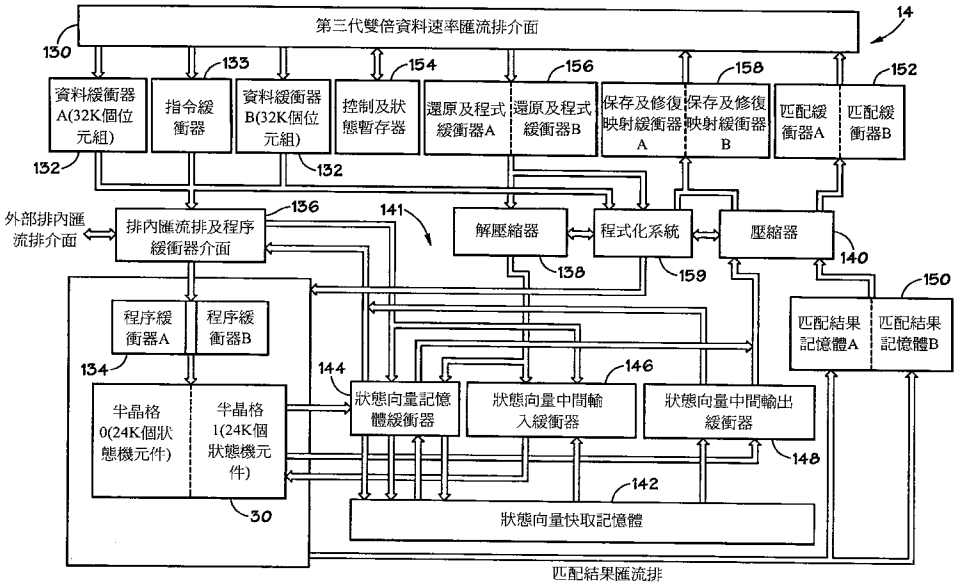


圖9

- 14 . . . 狀態機引擎
- 30 . . . 有限狀態機 (FSM) 晶格
- 130 . . . 第三代雙倍資料速率(DDR3)匯流排介面
- 132 . . . 資料緩衝器
- 133 . . . 指令緩衝器/指令佇列
- 134 . . . 程序緩衝器
- 136 . . . 排間(IR)匯流排及程序緩衝器介面
- 138 . . . 解壓縮器
- 140 . . . 壓縮器
- 141 . . . 狀態向量系統
- 142 . . . 狀態向量快取記憶體
- 144 . . . 狀態向量記憶體緩衝器
- 146 . . . 狀態向量中間輸入緩衝器
- 148 . . . 狀態向量中間輸出緩衝器
- 150 . . . 匹配結果記憶體
- 152 . . . 匹配緩衝器
- 154 . . . 控制及狀態暫存器
- 156 . . . 修復映射及程式緩衝器/還原映射及程式緩衝器/程式緩衝器
- 158 . . . 保存及修復映射緩衝器
- 159 . . . 晶格程式化系統

發明摘要

公告本

※ 申請案號：102125813

※ 申請日：102.7.18

※ IPC 分類：G06F^{3/6} (2006.01)G06F^{5/6} (2003.01)G06F^{9/6} (2003.01)G06F^{12/6} (2003.01)

【發明名稱】

用於程式化狀態機引擎之方法與裝置

METHODS AND DEVICES FOR PROGRAMMING A STATE
MACHINE ENGINE

【中文】

本發明揭示一種狀態機引擎(14)，其具有一程式緩衝器(156)。該程式緩衝器(156)經組態以經由一匯流排介面(130)接收用於組態一狀態機晶格(30)之組態資料。該狀態機引擎(14)亦包含一修復映射緩衝器(158)，該修復映射緩衝器(158)經組態以經由該匯流排介面(130)將修復映射資料提供至一外部裝置。該狀態機晶格(30)包含多個可程式化元件(34、36)。各可程式化元件(34、36)包含經組態以分析資料並輸出該分析之一結果之多個記憶體單元(80)。

【英文】

A state machine engine (14) having a program buffer (156). The program buffer (156) is configured to receive configuration data via a bus interface (130) for configuring a state machine lattice (30). The state machine engine (14) also includes a repair map buffer (158) configured to provide repair map data to an external device via the bus interface (130). The state machine lattice (30) includes multiple programmable elements (34, 36). Each programmable element (34, 36) includes multiple memory cells (80) configured to analyze data and to output a result of the analysis.

**【代表圖】**

【本案指定代表圖】：第（ 9 ）圖。

【本代表圖之符號簡單說明】：

- 14 狀態機引擎
- 30 有限狀態機(FSM)晶格
- 130 第三代雙倍資料速率(DDR3)匯流排介面
- 132 資料緩衝器
- 133 指令緩衝器/指令佇列
- 134 程序緩衝器
- 136 排間(IR)匯流排及程序緩衝器介面
- 138 解壓縮器
- 140 壓縮器
- 141 狀態向量系統
- 142 狀態向量快取記憶體
- 144 狀態向量記憶體緩衝器
- 146 狀態向量中間輸入緩衝器
- 148 狀態向量中間輸出緩衝器
- 150 匹配結果記憶體
- 152 匹配緩衝器
- 154 控制及狀態暫存器
- 156 修復映射及程式緩衝器/還原映射及程式緩衝器/程式緩衝器
- 158 保存及修復映射緩衝器
- 159 晶格程式化系統

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

用於程式化狀態機引擎之方法與裝置

METHODS AND DEVICES FOR PROGRAMMING A STATE

MACHINE ENGINE

【技術領域】

本發明之實施例大體上係關於電子裝置，且更具體言之在某些實施例中係關於具有用於資料分析之平行裝置之電子裝置。

【先前技術】

對習知基於馮·諾伊曼(von Neumann)之電腦執行複雜資料分析(例如，型樣辨識)之效率可為低。然而，生物大腦(尤其人類大腦)善於執行複雜的資料分析。當前研究表明，人類大腦使用大腦新皮質中之一系列經階層式組織之神經元層執行資料分析。階層之較低層中之神經元分析來自(例如)感覺器官之「原始信號」，而較高層中之神經元分析來自較低層級中之神經元之信號輸出。大腦新皮質中之此階層式系統可能結合大腦之其他區域完成複雜資料分析，此使人類能夠執行諸如空間推理、意識思考及複雜語言之高階功能。

在計算領域中，例如型樣辨識任務愈來愈具有挑戰性。電腦之間傳輸的資料量不斷增大且使用者希望偵測之型樣數目日益增加。例如，通常藉由在一資料串流中搜尋型樣(例如，特定片語或程式碼片段)來偵測垃圾郵件或惡意軟體。型樣數目隨著垃圾郵件及惡意軟體之多樣化而增加，這係因為可實施新型樣以搜尋新變體。針對此等型樣之各者搜尋一資料串流可形成一計算瓶頸。通常，當接收到資料串流時，針對各型樣一次一個地搜尋資料串流。在系統準備搜尋資料串

流之下一部分之前的延遲隨型樣數目增加。因此，型樣辨識可使資料之接收減慢。

硬體已經設計以針對型樣搜尋一資料串流，但是此硬體通常不能在給定的時間量期間處理足夠的資料量。經組態以搜尋一資料串流之一些裝置藉由將資料串流散佈在複數個電路之間以在給定的時間量期間處理足夠的資料量。該等電路各自判定資料串流是否匹配一型樣之一部分。通常，大量電路並行操作，其等之各者大體上同時搜尋資料串流。然而，至今仍未存在實際上容許以與生物大腦之方式更相當之一方式執行複雜資料分析之一系統。可期望開發此一系統。

【圖式簡單說明】

圖1圖解說明根據本發明之各種實施例之具有一狀態機引擎之系統之一實例。

圖2圖解說明根據本發明之各種實施例之圖1之狀態機引擎之一有限狀態機(FSM)晶格之一實例。

圖3圖解說明根據本發明之各種實施例之圖2之FSM晶格之一區塊之一實例。

圖4圖解說明根據本發明之各種實施例之圖3之區塊之一列之一實例。

圖5圖解說明根據本發明之各種實施例之圖4之列之含兩個元件之群組之一實例。

圖6圖解說明根據本發明之各種實施例之一有限狀態機圖表之一實例。

圖7圖解說明根據本發明之各種實施例之使用FSM晶格實施之二層級階層之一實例。

圖8圖解說明根據本發明之各種實施例之一編譯器將原始程式碼轉換為二進制檔案以程式化圖2之FSM晶格之一方法之一實例。

圖9圖解說明根據本發明之各種實施例之一狀態機引擎。

圖10圖解說明展示根據本發明之各種實施例之用於程式化一狀態機引擎中之一FSM晶格之一方法之一流程圖。

【實施方式】

現在將參考該等圖，圖1圖解說明整體上由元件符號10指定之一基於處理器之系統之一實施例。系統10(例如，資料分析系統)可為諸如桌上型電腦、膝上型電腦、傳呼器、蜂巢式電話、個人記事簿、可攜式音訊播放器、控制電路、相機等等之多種類型之任一者。系統10亦可為一網路節點，諸如一路由器、一伺服器或一用戶端(例如，先前描述之電腦類型之一者)。系統10可為某個其他種類的電子裝置，諸如一影印機、一掃描器、一印表機、一遊戲控制台、一電視機、一機上式視訊散佈或記錄系統、一電纜箱、一個人數位媒體播放器、一工廠自動化系統、一汽車電腦系統或一醫療裝置。(用以描述系統之此等各種實例之術語(如本文中使用了許多其他術語)可共用一些參照物，且因此不應藉由所列之其他項加以狹隘地理解)。

在典型的基於處理器之裝置(諸如系統10)中，諸如微處理器之一處理器12控制系統10中之系統功能及請求之處理。進一步言之，處理器12可包括共用系統控制之複數個處理器。處理器12可直接或間接耦合至系統10中之元件之各者，使得處理器12藉由執行可儲存於系統10內或系統10外部之指令而控制系統10。

根據本文中描述之實施例，系統10包含可在處理器12之控制下操作之一狀態機引擎14。如本文中所使用，狀態機引擎14指代單個裝置(例如，單晶片)。狀態機引擎14可採用任何自動機理論。例如，狀態機引擎14可採用數個狀態機架構之一者，包含(但不限於)Mealy架構、Moore架構、有限狀態機(FSM)、確定性FSM(DFSM)、位元平行狀態機(BPSM)等等。雖然可使用多種架構，但是為論述目的，本申

請案引用FSM。然而，熟習此項技術者應了解，可使用多種狀態機架構之任一者來採用所述技術。

如下文進一步論述，狀態機引擎14可包含數個(例如，一或多個)有限狀態機(FSM)晶格(例如，一晶片之核心)。為本申請案之目的，術語「晶格」指代元件(例如，布林單元、計數器單元、狀態機元件、狀態轉變元件)之一組織框架(例如，路由矩陣、路由網路、訊框)。此外，「晶格」可具有任何合適的形狀、結構或階層式組織(例如，柵格、立方形、球形、級聯)。各FSM晶格可實施各自並行接收及分析相同資料之多個FSM。進一步言之，FSM晶格可配置成群組(例如，叢集)，使得FSM晶格之叢集可並行分析相同輸入資料。進一步言之，狀態機引擎14之FSM晶格之叢集可配置在一階層式結構中，其中來自階層式結構之一較低層級上之狀態機晶格之輸出可用作為至一較高層級上之狀態機晶格之輸入。藉由透過階層式結構使狀態機引擎14之平行FSM晶格之叢集串聯地級聯，可分析(例如，評估、搜尋等等)日益複雜的型樣。

進一步言之，基於狀態機引擎14之階層式平行組態，狀態機引擎14可用於利用高處理速度之系統中之複雜資料分析(例如，型樣辨識)。例如，本文中描述之實施例可併入具有1 GByte/sec之處理速度之系統中。因此，利用狀態機引擎14，可迅速分析來自高速記憶體裝置或其他外部裝置之資料。狀態機引擎14可根據若干準則(例如，搜尋項)大約同時(例如，在單個裝置循環期間)分析一資料串流。狀態機引擎14之一層級上之一FSM叢集內之FSM晶格之各者可各自大約同時自資料串流接收相同搜尋項，且平行FSM晶格之各者可以處理準則判定該項是否將狀態機引擎14推進至下一狀態。狀態機引擎14可根據相對較大數目個準則(例如，大於100個、大於110個或大於10,000個準則)分析諸項。因為FSM晶格並行操作，所以其等可將準則應用於具

有一相對較高頻寬之一資料串流(例如，大於或大體上等於1 GByte/sec之一資料串流)而不使資料串流減慢。

在一實施例中，狀態機引擎14可經組態以辨識(例如，偵測)一資料串流中之大量型樣。例如，狀態機引擎14可用以偵測使用者或其他實體可能希望分析之多種類型的資料串流之一或多者中之一型樣。例如，狀態機引擎14可經組態以分析經由一網路接收之一資料串流，諸如經由網際網路接收之封包或經由一蜂巢式網路接收之語音或資料。在一實例中，狀態機引擎14可經組態以分析垃圾郵件或惡意軟體之一資料串流。資料串流可被接收為一串列資料串流，其中以具有意義之一順序(諸如以時間、詞彙或語義顯著之順序)接收資料。或者，資料串流可經並行或無序接收，且接著藉由(例如)對經由網際網路接收之封包進行重新排序而轉換為一串列資料串流。在一些實施例中，資料串流可串列地呈現項，但是可並行接收表達該等項之各者之位元。資料串流可自系統10外部之一源接收，或可藉由詢問諸如記憶體16之一記憶體裝置及由儲存於記憶體16中之資料形成資料串流而形成。在其他實例中，狀態機引擎14可經組態以辨識拼寫某一字之一字元序列、指定一基因之一基因鹼基對序列、形成一影像之一部分之一圖像或視訊檔案中之一位元序列、形成一程式之一部分之一可執行檔案中之一位元序列或形成一歌曲或一口語片語之一部分之一音訊檔案中之一位元序列。待分析之資料串流可包含呈二進制格式或其他格式(例如，十進位、ASCII等等)之多個資料位元。該串流可編碼具有單個數位或多個數位(例如，若干二進制數位)之資料。

如應了解，系統10可包含記憶體16。記憶體16可包含揮發性記憶體，諸如動態隨機存取記憶體(DRAM)、靜態隨機存取記憶體(SRAM)、同步DRAM(SDRAM)、雙倍資料速率DRAM(DDR SDRAM)、DDR2 SDRAM、DDR3 SDRAM等等。記憶體16亦可包含

非揮發性記憶體，諸如唯讀記憶體(ROM)、PC-RAM、矽-氧化物-氮化物-氧化物-矽(SONOS)記憶體、金屬-氧化物-氮化物-氧化物-矽(MONOS)記憶體、基於多晶矽浮動閘極之記憶體及/或結合揮發性記憶體使用之各種架構之其他類型的快閃記憶體(例如，NAND記憶體、NOR記憶體等等)。記憶體16可包含可提供待由狀態機引擎14分析之資料之一或多個記憶體裝置，諸如DRAM裝置。如本文中所使用，術語「提供」一般可指代引導、輸入、插入、發送、傳送、傳輸、產生、給定、輸出、放置、寫入等等。此等裝置可稱為或包含固態磁碟(SSD)、多媒體卡(MMC)、安全數位(SD)卡、緊密快閃(CF)卡或任何其他合適的裝置。進一步言之，應了解，此等裝置可經由任何合適的介面(諸如通用串列匯流排(USB)、周邊組件互連(PCI)、PCI Express(PCI-E)、小型電腦系統介面(SCSI)、IEEE 1394(Firewire)或任何其他合適的介面)耦合至系統10。為促進記憶體16(諸如快閃記憶體裝置)之操作，系統10可包含一記憶體控制器(未圖解說明)。如應了解，記憶體控制器可為一獨立裝置或其可與處理器12成一體。此外，系統10可包含一外部儲存器18，諸如一磁性儲存裝置。外部儲存器亦可將輸入資料提供至狀態機引擎14。

系統10可包含數個額外元件。例如，如關於圖8更詳細地描述，一編譯器20可用以組態(例如，程式化)狀態機引擎14。一輸入裝置22亦可耦合至處理器12以容許一使用者將資料輸入至系統10中。例如，一輸入裝置22可用以將資料輸入至記憶體16中以供狀態機引擎14隨後分析。例如，輸入裝置22可包含按鈕、交換元件、一鍵盤、一光筆、一尖筆、一滑鼠及/或一語音辨識系統。諸如一顯示器之一輸出裝置24亦可耦合至處理器12。例如，顯示器24可包含一LCD、一CRT、LED及/或一音訊顯示器。該系統亦可包含用於介接一網路(諸如網際網路)之一網路介面裝置26，諸如一網路介面卡(NIC)。如應了解，取

決於系統10之應用，系統10可包含許多其他組件。

圖2至圖5圖解說明一FSM晶格30之一實例。在一實例中，FSM晶格30包括區塊32之一陣列。如將描述，各區塊32可包含對應於一FSM中之複數個狀態之複數個可選擇性地耦合之硬體元件(例如，可組態元件及/或專用元件)。類似於一FSM中之一狀態，一硬體元件可分析一輸入串流並基於輸入串流啟動一下游硬體元件。

可組態元件可經組態(例如，程式化)以實施許多不同功能。例如，可組態元件可包含階層式地組織成列38(圖3及圖4中所示)及區塊32(圖2及圖3中所示)中之狀態機元件(SME)34、36(圖5中所示)。SME亦可被視為狀態轉變元件(STE)。爲了在經階層式組織之SME 34、36之間路由信號，可使用可組態交換元件之一階層，包含區塊間交換元件40(圖2及圖3中所示)、區塊內交換元件42(圖3及圖4中所示)及列內交換元件44(圖4中所示)。

如上所述，交換元件可包含路由結構及緩衝器。SME 34、36可對應於由FSM晶格30實施之一FSM之一狀態。SME 34、36可藉由使用如下文描述之可組態交換元件而耦合在一起。因此，可藉由以下各者對FSM晶格30實施一FSM：組態SME 34、36以對應於狀態功能且選擇性地將SME 34、36耦合在一起以對應於FSM中之狀態之間的轉變。

圖2圖解說明一FSM晶格30之一實例之一整體視圖。FSM晶格30包含可選擇性地與可組態區塊間交換元件40耦合在一起之複數個區塊32。區塊間交換元件40可包含導體46(例如，導線、跡線等等)及緩衝器48以及50。在一實例中，包含緩衝器48及50以控制信號往返於區塊間交換元件40之連接及時序。如下文進一步描述，緩衝器48可經提供以緩衝在區塊32之間發送之資料，而緩衝器50可經提供以緩衝在區塊間交換元件40之間發送之資料。此外，區塊32可選擇性地耦合至用於接收信號(例如，資料)且將資料提供至區塊32之一輸入區塊52(例如，

一資料輸入埠)。區塊32亦可選擇性地耦合至用於將信號自區塊32提供至一外部裝置(例如，另一FSM晶格30)之一輸出區塊54(例如，一輸出埠)。FSM晶格30亦可包含一程式化介面56以(例如，經由一影像、程式)組態FSM晶格30。影像可組態(例如，設定)SME 34、36之狀態。即，影像可組態SME 34、36以依某一方式對輸入區塊52處之一給定輸入作出反應。例如，可設定SME 34、36以在輸入區塊52處接收到字元「a」時輸出一高信號。

在一實例中，輸入區塊52、輸出區塊54及/或程式化介面56可被實施為暫存器使得至暫存器之寫入或自暫存器之讀取提供資料至各自元件或自各自元件提供資料。因此，可將來自儲存於對應於程式化介面56之暫存器中之影像之位元載入於SME 34、36上。雖然圖2圖解說明一區塊32、輸入區塊52、輸出區塊54及一區塊間交換元件40之間的特定數目個導體(例如，導線、跡線)，但是應瞭解在其他實例中，可使用更少或更多個導體。

圖3圖解說明一區塊32之一實例。一區塊32可包含可選擇性地與可組態區塊內交換元件42耦合在一起之複數列38。此外，一列38可使用區塊間交換元件40選擇性地耦合至另一區塊32內之另一列38。一列38包含組織成在本文中稱為含兩個元件之群組(GOT)60之元件對之複數個SME 34、36。在一實例中，一區塊32包括十六(16)列38。

圖4圖解說明一列38之一實例。一GOT 60可藉由可組態列內交換元件44選擇性地耦合至列38內之其他GOT 60及任何其他元件(例如，一專用元件58)。一GOT 60亦可使用區塊內交換元件42耦合至其他列38中之其他GOT 60，或使用一區塊間交換元件40耦合至其他區塊32中之其他GOT 60。在一實例中，一GOT 60具有第一輸入62及第二輸入64以及一輸出66。如將參考圖5進一步圖解說明，第一輸入62耦合至GOT 60之一第一SME 34，且第二輸入64耦合至GOT 60之一第二

SME 36。

在一實例中，列38包含第一複數個列互連導體68及第二複數個列互連導體70。在一實例中，一GOT 60之一輸入62、64可耦合至一或多個列互連導體68、70，且一輸出66可耦合至一或多個列互連導體68、70。在一實例中，第一複數個列互連導體68可耦合至列38內之各GOT 60之各SME 34、36。第二複數個列互連導體70可耦合至列38內之各GOT 60之僅一SME 34、36，但無法耦合至GOT 60之另一SME 34、36。在一實例中，如將關於圖5更佳地圖解說明，第二複數個列互連導體70之一第一半部分可耦合至一列38內之SME 34、36之第一半部分(來自各GOT 60之一SME 34、36)，且第二複數個列互連導體70之一第二半部分可耦合至一列38內之SME 34、36之一第二半部分(來自各GOT 60之另一SME 34、36)。第二複數個列互連導體70與SME 34、36之間的有限連接能力在本文中被稱為「同位」。在一實例中，列38亦可包含一專用元件58，諸如計數器、可組態布林邏輯元件、查找表、RAM、場可組態閘陣列(FPGA)、特定應用積體電路(ASIC)、可組態處理器(例如，微處理器)或用於執行一專用功能之其他元件。

在一實例中，專用元件58包括一計數器(在本文中亦被稱為計數器58)。在一實例中，計數器58包括一12位元可組態遞減計數器。12位元可組態計數器58具有一計數輸入、一重設輸入及零計數輸出。計數輸入在經確證時使計數器58之值累減1。重設輸入在經確證時使計數器58自一相關暫存器載入一初始值。對於12位元計數器58，可載入至多一12位元數字作為初始值。當計數器58之值累減至零(0)時，確證零計數輸出。計數器58亦具有至少兩個模式：脈衝及保持。當將計數器58設定為脈衝模式時，零計數輸出在計數器58達到零及時脈循環時被確證。零計數輸出在計數器58之下一時脈循環期間被確證。導致計數器58在時間上偏離時脈循環。在下一時脈循環處，不再確證零計

數輸出。當將計數器58設定為保持模式時，零計數輸出在計數器58累減至零之時脈循環期間經確證，且保持確證直至藉由正經確證的重設輸入重設計數器58。

在另一實例中，專用元件58包括布林邏輯。例如，布林邏輯可用以執行邏輯函數，諸如AND、OR、NAND、NOR、積項之和(SoP)、否定輸出積項之和(NSoP)、否定輸出和項之積(NPoS)及和項之積(PoS)函數。此布林邏輯可用以自FSM晶格30中之終端狀態SME(如本文隨後論述，對應於一FSM之終端節點)提取資料。所提取的資料可用以將狀態資料提供至其他FSM晶格30及/或提供用以重組態FSM晶格30或重組態另一FSM晶格30之組態資料。

圖5圖解說明一GOT 60之一實例。GOT 60包含一第一SME 34及一第二SME 36，其等具有輸入62、64及其等耦合至一OR閘76及一3對1多工器78之輸出72、74。3對1多工器78可經設定以將GOT 60之輸出66耦合至第一SME 34、第二SME 36或OR閘76。OR閘76可用以將兩個輸出72、74耦合在一起以形成GOT 60之共同輸出66。在一實例中，如上文論述，第一SME 34及第二SME 36展現同位，在第一SME 34之輸入62可耦合至一些列互連導體68且第二SME 36之輸入64可耦合至其他列互連導體70之情況下，可產生可克服同位問題之共同輸出66。在一實例中，一GOT 60內之兩個SME 34、36可藉由設定交換元件79之任一者或二者而級聯及/或迴圈回至其等自身。SME 34、36可藉由將SME 34、36之輸出72、74耦合至另一SME 34、36之輸入62、64而級聯。SME 34、36可藉由將輸出72、74耦合至其等自身輸入62、64而迴圈回至其等自身。因此，第一SME 34之輸出72可不耦合至第一SME 34之輸入62及第二SME 36之輸入64、耦合至第一SME 34之輸入62及第二SME 36之輸入64之一者或二者。

在一實例中，一狀態機元件34、36包括並聯耦合至一偵測線82

之複數個記憶體單元80，諸如通常用於動態隨機存取記憶體(DRAM)中之記憶體單元。一此記憶體單元80包括可設定為一資料狀態(諸如對應於一高值或一低值(例如，1或0)之一資料狀態)之一記憶體單元。記憶體單元80之輸出耦合至偵測線82且至記憶體單元80之輸入基於資料串流線84上之資料接收信號。在一實例中，解碼輸入區塊52處之一輸入以選擇記憶體單元80之一或多者。選定記憶體單元80將其所儲存的資料狀態作為一輸出提供至偵測線82上。例如，可將輸入區塊52處接收之資料提供至一解碼器(未展示)且解碼器可選擇資料串流線84之一或多者。在一實例中，解碼器可將一8位元ACSII字元轉換至256個資料串流線84之對應1資料串流線。

因此，一記憶體單元80在其被設定為一高值且資料串流線84上之資料選擇該記憶體單元80時將一高信號輸出至偵測線82。當資料串流線84上之資料選擇記憶體單元80且記憶體單元80被設定為一低值時，記憶體單元80將一低信號輸出至偵測線82。偵測線82上來自記憶體單元80之輸出係藉由一偵測單元86加以感測。

在一實例中，一輸入線62、64上之信號將各自偵測單元86設定為一作用中狀態或非作用中狀態。當設定為非作用中狀態時，不顧慮各自偵測線82上之信號，偵測單元86在各自輸出72、74上輸出一低信號。當設定為一作用中狀態時，偵測單元86在各自SME 34、36之記憶體單元80之一者偵測到一高信號時在各自輸出72、74上輸出一高信號。當處於作用中狀態時，偵測單元86在來自各自SME 34、36之所有記憶體單元80之信號為低時在各自輸出72、74上輸出一低信號。

在一實例中，一SME 34、36包含256個記憶體單元80且各記憶體單元80耦合至一不同資料串流線84。因此，一SME 34、36可經程式化以在資料串流線84之一選定者或多者上具有一高信號時輸出一高信號。例如，SME 34可具有設定為高之一第一記憶體單元80(例如，位

元0)及設定為低之所有其他記憶體單元80(例如，位元1至255)。當各自偵測單元86處於作用中狀態時，SME 34在對應於位元0之資料串流線84上具有一高信號時在輸出72上輸出一高信號。在其他實例中，SME 34可經設定以在多個資料串流線84之一者上具有一高信號時藉由將適當的記憶體單元80設定為一高值而輸出一高信號。

在一實例中，可藉由自一相關暫存器讀取位元而將一記憶體單元80設定為高值或低值。因此，可藉由將由編譯器20產生之一影像儲存至暫存器中且將暫存器中之位元載入至相關記憶體單元80中來組態SME 34。在一實例中，由編譯器20產生之影像包含高及低(例如，1及0)位元之二進制影像。影像可組態FSM晶格30以藉由使SME 34、36級聯而實施一FSM。例如，可藉由將偵測單元86設定為作用中狀態而將一第一SME 34設定為一作用中狀態。第一SME 34可經設定以在對應於位元0之資料串流線84上具有一高信號時輸出一高信號。第二SME 36最初可被設定為一非作用中狀態，但是在作用中時可經設定以在對應於位元1之資料串流線84上具有一高信號時輸出一高信號。可藉由設定第一SME 34之輸出72以耦合至第二SME 36之輸入64而使第一SME 34及第二SME 36級聯。因此，當在對應於位元0之資料串流線84上感測到一高信號時，第一SME 34在輸出72上輸出一高信號且將第二SME 36之偵測單元86設定為一作用中狀態。當在對應於位元1之資料串流線84上感測到一高信號時，第二SME 36在輸出74上輸出一高信號以啟動另一SME 36或自FSM晶格30輸出。

在一實例中，在單個實體裝置上實施單個FSM晶格30，然而在其他實例中，可在單個實體裝置(例如，實體晶片)上實施兩個或更多個FSM晶格30。在一實例中，各FSM晶格30可包含一相異資料輸入區塊52、一相異輸出區塊54、一相異程式化介面56及一相異可組態元件集合。此外，各可組態元件集合可對其等對應資料輸入區塊52處之資料

作出反應(例如，輸出一高或低信號)。例如，對應於一第一FSM晶格30之一第一可組態元件集合可對對應於第一FSM晶格30之一第一資料輸入區塊52處之資料作出反應。對應於一第二FSM晶格30之一第二可組態元件集合可對對應於第二FSM晶格30之一第二資料輸入區塊52處之資料作出反應。因此，各FSM晶格30包含一可組態元件集合，其中不同可組態元件集合可對不同輸入資料作出反應。類似地，各FSM晶格30及各對應可組態元件集合可提供一相異輸出。在一些實例中，來自一第一FSM晶格30之一輸出區塊54可耦合至一第二FSM晶格30之一輸入區塊52，使得用於第二FSM晶格30之輸入資料可包含來自一系列FSM晶格30之一階層式配置中之第一FSM晶格30之輸出資料。

在一實例中，用於載入至FSM晶格30上之一影像包括用於組態FSM晶格30內之可組態元件、可組態交換元件及專用元件之複數個資料位元。在一實例中，可將影像載入至FSM晶格30上以組態FSM晶格30以基於某些輸入提供一所要輸出。輸出區塊54可基於可組態元件對資料輸入區塊52處之資料之反應而提供來自FSM晶格30之輸出。來自輸出區塊54之一輸出可包含指示一給定型樣之一匹配之單個位元、包括指示匹配及不匹配複數個型樣之複數個位元之一字組及對應於所有或某些可組態元件在給定時刻之狀態之一狀態向量。如所述，一狀態機引擎(諸如狀態機引擎14)中可包含數個FSM晶格30以執行資料分析，諸如型樣辨識(例如，話音辨識、影像辨識等等)、信號處理、成像、電腦視覺、密碼編譯及其他。

圖6圖解說明可藉由FSM晶格30實施之一有限狀態機(FSM)之一例示性模型。FSM晶格30可組態(例如，程式化)為一FSM之一實體實施方案。可將FSM表示為圖90(例如，有向圖、無向圖、偽圖)，其含有一或多個根節點92。除根節點92之外，FSM亦可由透過一或多個邊緣98連接至根節點92及其他標準節點94之若干標準節點94及終端節點

96構成。一節點92、94、96對應於FSM中之一狀態。邊緣98對應於狀態之間的轉變。

節點92、94、96之各者可處於作用中或非作用中狀態。當處於非作用中狀態時，節點92、94、96並未對輸入資料作出反應(例如，回應)。當處於作用中狀態時，節點92、94、96可對輸入資料作出反應。當輸入資料匹配由一上游節點92、94與該節點下游之一節點94、96之間之一邊緣98指定之準則時，上游節點92、94可藉由啟動下游節點94、96而對輸入資料作出反應。例如，當指定字元「b」之一第一節點94處於作用中且接收字元「b」作為輸入資料時，該第一節點94將啟動藉由一邊緣98連接至該第一節點94之一第二節點94。如本文中使用，「上游」指代一或多個節點之間之一關係，其中在一或多個其他節點上游(或在迴圈或回饋組態之情況中，在其自身上游)之一第一節點指代其中第一節點可啟動該一或多個其他節點(或在迴圈之情況中，可啟動其自身)之情境。類似地，「下游」指代其中在一或多個其他節點下游(或在迴圈之情況中，在其自身下游)之一第一節點可藉由該一或多個其他節點啟動(或在迴圈之情況中，可藉由其自身啟動)之一關係。因此，術語「上游」及「下游」在本文中係用以指代一或多個節點之間之關係，但是此等術語並不排除使用迴圈或節點之間之其他非線性路徑。

在圖90中，根節點92可最初經啟動且在輸入資料匹配來自根節點92之一邊緣98時可啟動下游節點94。當輸入資料匹配來自節點94之一邊緣98時，節點94可啟動節點96。在接收輸入資料時，可以此方式啟動貫穿圖90之節點94、96。一終端節點96對應於輸入資料之一所關注序列之一匹配。因此，啟動一終端節點96指示已接收所關注序列作為輸入資料。在FSM晶格30實施一型樣辨識功能之背景下，到達一終端節點96可指示已在輸入資料中偵測到一所關注特定型樣。

在一實例中，各根節點92、標準節點94及終端節點96可對應於FSM晶格30中之一可組態元件。各邊緣98可對應於可組態元件之間之連接。因此，轉變至另一標準節點94或一終端節點96(例如，具有連接至另一標準節點94或一終端節點96之一邊緣98)之一標準節點94對應於轉變至(例如，將一輸出提供至)另一可組態元件之一可組態元件。在一些實例中，根節點92並不具有一對應可組態元件。

如應了解，雖然節點92被描述為一根節點且節點96被描述為終端節點，但是無須存在一特定「開始」或根節點，且無須存在一特定「結束」或輸出節點。換言之，任何節點皆可為一起始點且任何節點可提供輸出。

當程式化FSM晶格30時，可組態元件之各者亦可處於一作用中或非作用中狀態。一給定可組態元件在非作用中時並未對一對應資料輸入區塊52處之輸入資料作出反應。一作用中可組態元件可對資料輸入區塊52處之輸入資料作出反應，且當輸入資料匹配可組態元件之設定時可啟動一下游可組態元件。當一可組態元件對應於一終端節點96時，可組態元件可耦合至輸出區塊54以將一匹配之一指示提供至一外部裝置。

經由程式化介面56載入至FSM晶格30上之一影像可組態該等可組態元件及專用元件以及該等可組態元件與專用元件之間之連接，使得基於對資料輸入區塊52處之資料作出的反應透過節點之循序啟動實施一所要FSM。在一實例中，一可組態元件保持作用中達單個資料循環(例如，單個字元、字元集合、單個時脈循環)且接著變為非作用中，除非藉由一上游可組態元件重新啟動。

可認為一終端節點96儲存一經壓縮之過去事件歷史。例如，需要到達一終端節點96之輸入資料之一或多個型樣可由該終端節點96之啟動表示。在一實例中，由一終端節點96提供之輸出係二進制，即，

輸出指示是否已匹配所關注型樣。在圖90中終端節點96對標準節點94之比率可相當小。換言之，雖然在FSM中存在高複雜度，但是比較而言FSM之輸出可為小。

在一實例中，FSM晶格30之輸出可包括一狀態向量。狀態向量包括FSM晶格30之可組態元件之狀態(例如，啟動或未經啟動)。在另一實例中，狀態向量可包含可組態元件之全部或一子集之狀態(無論可組態元件是否對應於一終端節點96)。在一實例中，狀態向量包含對應於終端節點96之可組態元件之狀態。因此，輸出可包含由圖90之全部終端節點96提供之指示之一集合。可將狀態向量表示為一字組，其中由各終端節點96提供之二進制指示包括該字組之一位元。終端節點96之此編碼可對FSM晶格30提供偵測狀態(是否已偵測到所關注序列及已偵測到何種所關注序列)之一有效指示。

如上文提及，FSM晶格30可經程式化以實施一型樣辨識功能。例如，FSM晶格30可經組態以辨識輸入資料中之一或多個資料序列(例如，簽章、型樣)。當藉由FSM晶格30辨識一所關注資料序列時，可在輸出區塊54處提供該辨識之一指示。在一實例中，型樣辨識可辨識一串符號(例如，ASCII字元)以(例如)識別網路資料中之惡意軟體或其他資料。

圖7圖解說明階層式結構100之一實例，其中FSM晶格30之兩個層級係串聯耦合且用以分析資料。具體言之，在經圖解說明之實施例中，階層式結構100包含串聯配置之一第一FSM晶格30A及一第二FSM晶格30B。各FSM晶格30包含接收資料輸入之一各自資料輸入區塊52、接收組態信號之一程式化介面區塊56及一輸出區塊54。

第一FSM晶格30A經組態以在一資料輸入區塊處接收輸入資料，例如原始資料。第一FSM晶格30A對如上所述之輸入資料作出反應並在一輸出區塊處提供一輸出。將來自第一FSM晶格30A之輸出發送至

第二FSM晶格30B之一資料輸入區塊。接著，第二FSM晶格30B可基於由第一FSM晶格30A提供之輸出作出反應並提供階層式結構100之一對應輸出信號102。兩個FSM晶格30A及30B之此階層式串聯耦合提供將關於一壓縮字組中之過去事件之資料自一第一FSM晶格30A提供至一第二FSM晶格30B之一構件。所提供之資料實際上可為已由第一FSM晶格30A記錄之複雜事件(例如，所關注序列)之一概要。

圖7中所示之FSM晶格30A、30B之兩層級階層100容許兩個獨立程式基於相同資料串流而操作。該兩層級階層可類似於模型化為不同區域之一生物大腦中之視覺辨識。在此模型下，該等區域實際上係不同型樣辨識引擎，其等各自執行一類似計算功能(型樣匹配)但使用不同程式(簽章)。藉由將多個FSM晶格30A、30B連接在一起，可獲得關於資料串流輸入之增加知識。

階層之第一層級(藉由第一FSM晶格30A實施)可(例如)對一原始資料串流直接執行處理。即，可在第一FSM晶格30A之一輸入區塊52處接收一原始資料串流且第一FSM晶格30A之可組態元件可對該原始資料串流作出反應。階層之第二層級(藉由第二FSM晶格30B實施)可處理來自第一層級之輸出。即，第二FSM晶格30B在第二FSM晶格30B之一輸入區塊52處接收來自第一FSM晶格30A之一輸出區塊54之輸出，且第二FSM晶格30B之可組態元件可對第一FSM晶格30A之輸出作出反應。因此，在此實例中，第二FSM晶格30B並未接收原始資料串流作為一輸入，而係接收藉由如藉由第一FSM晶格30A判定之原始資料串流匹配之所關注型樣之指示。第二FSM晶格30B可實施辨識來自第一FSM晶格30A之輸出資料串流中之型樣之一FSM。應了解，除接收來自FSM晶格30A之輸出以外，第二FSM晶格30B亦可接收來自多個其他FSM晶格之輸入。同樣地，第二FSM晶格30B可接收來自其他裝置之輸入。第二FSM晶格30B可組合此等多個輸入以產生輸

出。

圖8圖解說明一編譯器將原始程式碼轉換為經組態以組態一FSM晶格(諸如晶格30)以實施一FSM之一影像之一方法110之一實例。方法110包含：將原始程式碼剖析為一語法樹(方塊112)；將語法樹轉換為一自動機(方塊114)；最佳化該自動機(方塊116)；將該自動機轉換為一接線對照表(netlist)(方塊118)；將該接線對照表放置於硬體上(方塊120)；路由該接線對照表(方塊122)及發佈所得影像(方塊124)。

在一實例中，編譯器20包含容許軟體開發者產生影像以實施FSM晶格30上之FSM之一應用程式設計介面(API)。編譯器20提供將原始程式碼中之正規表達式之一輸入集合轉換為經組態以組態FSM晶格30之一影像之方法。編譯器20可藉由用於具有一馮·諾伊曼架構之一電腦之指令加以實施。此等指令可使電腦上之一處理器12實施編譯器20之功能。例如，該等指令在藉由處理器12執行時可使處理器12對可存取至處理器12之原始程式碼執行如方塊112、114、116、118、120、122及124中描述之動作。

在一實例中，原始程式碼描述用於識別一符號群組內之符號型樣之搜尋字串。為描述搜尋字串，原始程式碼可包含複數個正規表達式。一正規表達式可為用於描述一符號搜尋型樣之一字串。正規表達式廣泛用於各種電腦領域中，諸如程式設計語言、文字編輯器、網路安全及其他領域。在一實例中，由編譯器支援之正規表達式包含用於分析未經結構化資料之準則。未經結構化資料可包含自由形式之資料且不具有應用於資料內之字組之索引。字組可包含資料內可列印及不可列印之位元組之任何組合。在一實例中，編譯器可支援多種不同原始程式碼語言以用於實施包含Perl(例如，Perl可相容正規表達式(PCRE))、PHP、Java及NET語言之正規表達式。

在方塊112處，編譯器20可剖析原始程式碼以形成相關連接之運

算子之一配置，其中不同類型的運算子對應於藉由原始程式碼實施之不同函式(例如，藉由原始程式碼中之正規表達式實施之不同函式)。剖析原始程式碼可產生原始程式碼之一通用表示。在一實例中，通用表示包括呈稱作一語法樹之一樹形圖之形式之原始程式碼中之正規表達式之一經編碼表示。本文中描述之實例引用作為一語法樹(亦稱作一「抽象語法樹」)之配置，然而在其他實例中可使用一具體語法樹或其他配置。

如上所述，因為編譯器20可支援原始程式碼之多種語言，所以剖析將原始程式碼轉換為一非語言特定表示(例如一語法樹)而不顧慮語言。因此，藉由編譯器20進行之進一步處理(方塊114、116、118、120)可自一共同輸入結構發揮作用，而不顧慮原始程式碼之語言。

如上所述，語法樹包含相關連接之複數個運算子。一語法樹可包含多種不同類型的運算子。即，不同運算子可對應於原始程式碼中藉由正規表達式實施之不同函式。

在方塊114處，將語法樹轉換為一自動機。一自動機包括一FSM之一軟體模型且因此可分類為確定性或非確定性。一確定性自動機在一給定時間具有單個執行路徑，而一非確定性自動機具有多個並行執行路徑。自動機包括複數個狀態。為將語法樹轉換為一自動機，語法樹中之運算子及運算子之間的關係轉換為狀態，其中該等狀態之間具有轉變。在一實例中，可部分基於FSM晶格30之硬體而轉換自動機。

在一實例中，用於自動機之輸入符號包含字母表之符號、數字0至9及其他可列印字元。在一實例中，輸入符號係由位元組值0至255(包含0及255)表示。在一實例中，一自動機可表示為一有向圖，其中該圖之節點對應於狀態集合。在一實例中，一輸入符號 α 上自狀態 p 至狀態 q 之一轉變(即， $\delta(p, \alpha)$)係由自節點 p 至節點 q 之一有向連接展示。在一實例中，一自動機之一反轉產生一新自動機，其中某個符

號 α 上之各轉變 $p \rightarrow q$ 在相同符號上反轉 $q \rightarrow p$ 。在一反轉中，開始狀態變為一最終狀態且最終狀態變為開始狀態。在一實例中，由一自動機辨識(例如，匹配)之語言係在循序地輸入至自動機中時將到達一最終狀態之全部可能字元字串組。由自動機辨識之語言中之各字串追蹤自開始狀態至一或多個最後終態之一路徑。

在方塊116處，在建構自動機之後，該自動機經最佳化以減小其複雜度及大小等等。可藉由組合冗餘狀態最佳化該自動機。

在方塊118處，將經最佳化之自動機轉換為一接線對照表。將該自動機轉換為一接線對照表將該自動機之各狀態映射至FSM晶格30上之一硬體元件(例如，SME 34、SME 36、其他元件)並判定硬體元件之間的連接。

在方塊120處，放置接線對照表以選擇目標裝置之對應於接線對照表之各節點之一特定硬體元件(例如，SME 34、SME 36、專用元件58)。在一實例中，放置基於FSM晶格30之一般輸入及輸出約束來選擇各特定硬體元件。

在方塊122處，路由所放置的接線對照表以判定用於可組態交換元件(例如，區塊間交換元件40、區塊內交換元件42及列內交換元件44)之設定，以將選定硬體元件耦合在一起以達成藉由接線對照表描述之連接。在一實例中，藉由判定FSM晶格30之將用以連接選定硬體元件之特定導體及用於可組態交換元件之設定之特定導體來判定用於可組態交換元件之設定。與方塊120處之放置相比，路由可計及硬體元件之間的連接之更多特定限制。因此，路由可調整如藉由全域放置判定之一些硬體元件之位置以鑑於FSM晶格30上之導體之實際限制而作出適當連接。

一旦放置及路由接線對照表，便可將該經放置及路由之接線對照表轉換為用於組態一FSM晶格30之複數個位元。該複數個位元在本

文中稱爲一影像。

在方塊124處，藉由編譯器20發佈一影像。影像包括用於組態FSM晶格30之特定硬體元件之複數個位元。在其中影像包括複數個位元(例如，0及1)之實施例中，影像可稱爲二進制影像。可將位元載入至FSM晶格30上以組態SME 34、36、專用元件58及可組態交換元件之狀態，使得經程式化FSM晶格30實施具有由原始程式碼描述之功能性之一FSM。放置(方塊120)及路由(方塊122)可將FSM晶格30中之特定位置處之特定硬體元件映射至自動機中之特定狀態。因此，影像中之位元可組態特定硬體元件以實施(若干)所要功能。在一實施例中，可藉由將機器碼保存至一電腦可讀媒體來發佈該影像。在另一實施例中，可藉由在一顯示裝置上顯示該影像來發佈該影像。在又另一實施例中，可藉由將該影像發送至另一裝置(諸如用於將該影像載入至FSM晶格30上之一組態裝置)來發佈該影像。在又另一實施例中，可藉由將該影像載入至一FSM晶格(例如，FSM晶格30)上來發佈該影像。

在一實施例中，可藉由將來自一影像之位元值直接載入至SME 34、36及其他硬體元件或藉由將該影像載入至一或多個暫存器中且接著將來自暫存器之位元值寫入至SME 34、36及其他硬體元件而將該影像載入至FSM晶格30上。在一實施例中，FSM晶格30之硬體元件(例如，SME 34、36、專用元件58、可組態交換元件40、42、44)經記憶體映射使得一組態裝置及/或電腦可藉由將影像寫入至一或多個記憶體位址而將影像載入至FSM晶格30上。

可至少部分機器或電腦實施本文中描述之方法實例。一些實例可包含使用指令編碼之一電腦可讀媒體或機器可讀媒體，該等指令可操作以組態一電子裝置以執行如上文實例中描述之方法。此等方法之一實施方案可包含程式碼，諸如微碼、組合語言碼、一較高階語言碼或類似物。此程式碼可包含用於執行各種方法之電腦可讀指令。程式

碼可形成電腦程式產品之部分。進一步言之，程式碼可在執行期間或在其他時間有形地儲存在一或多個揮發性或非揮發性電腦可讀媒體上。此等電腦可讀媒體可包含(但不限於)硬碟、可抽換式磁碟、可抽換式光碟(例如，光碟及數位視訊光碟)、磁盒、記憶體卡或棒、隨機存取記憶體(RAM)、唯讀記憶體(ROM)等等。

現在參考圖9，圖解說明狀態機引擎14之一實施例(例如，一單晶片上之單個裝置)。如先前描述，狀態機引擎14經組態以經由一資料匯流排自一源(諸如記憶體16)接收資料。在經圖解說明之實施例中，資料可透過一匯流排介面(諸如第三代雙倍資料速率(DDR3)匯流排介面130)發送至狀態機引擎14。DDR3匯流排介面130可能夠以大於或等於1 GByte/sec之一速率交換(例如，提供及接收)資料。此一資料交換速率可大於狀態機引擎14分析資料之一速率。如應了解，取決於待分析之資料源，匯流排介面130可為用於將往返於一資料源之資料交換至狀態機引擎14之任何合適的匯流排介面，諸如一NAND快閃介面、周邊組件互連(PCI)介面、十億位元媒體獨立介面(GMMI)等等。如先前描述，狀態機引擎14包含經組態以分析資料之一或多個FSM晶格30。各FSM晶格30可被分為兩個半晶格。在經圖解說明之實施例中，各半晶格可包含24K個SME(例如，SME 34、36)，使得晶格30包含48K個SME。晶格30可包括如先前關於圖2至圖5描述般配置之任何所要數目個SME。進一步言之，雖然僅圖解說明一FSM晶格30，但是狀態機引擎14可包含多個FSM晶格30，如先前描述。

可在匯流排介面130處接收待分析之資料並透過數個緩衝器及緩衝器介面將資料提供至FSM晶格30。在經圖解說明之實施例中，資料路徑包含資料緩衝器132、一指令緩衝器133、程序緩衝器134及一排內(IR)匯流排及程序緩衝器介面136。資料緩衝器132經組態以接收並暫時儲存待分析之資料。在一實施例中，存在兩個資料緩衝器132(資

料緩衝器A及資料緩衝器B)。可將資料儲存在該兩個資料緩衝器132之一者中，而自另一資料緩衝器132清空資料以供FSM晶格30分析。匯流排介面130可經組態以將待分析之資料提供至資料緩衝器132直至資料緩衝器132已滿。在資料緩衝器132已滿之後，匯流排介面130可經組態以自由地用於其他目的(例如，提供來自一資料串流之其他資料直至資料緩衝器132可用於接收待分析之額外資料)。在經圖解說明之實施例中，資料緩衝器132可各自為32千位元組。指令緩衝器133經組態以經由匯流排介面130自處理器12接收指令，諸如對應於待分析之資料之指令及對應於組態狀態機引擎14之指令。IR匯流排及程序緩衝器介面136可促進將資料提供至程序緩衝器134。IR匯流排及程序緩衝器介面136可用以確保FSM晶格30按順序處理資料。IR匯流排及程序緩衝器介面136可協調資料、時序資料、包裝指令等等之交換，使得正確地接收並分析資料。一般言之，IR匯流排及程序緩衝器介面136容許透過FSM晶格30之一邏輯排並行分析多個資料集合。例如，多個實體裝置(例如，狀態機引擎14、晶片、分離裝置)可配置成一排且可經由IR匯流排及程序緩衝器介面136彼此提供資料。為本申請案之目的，術語「排」指代連接至相同晶片選擇之狀態機引擎14之一集合。在經圖解說明之實施例中，IR匯流排及程序緩衝器介面136可包含一32位元資料匯流排。在其他實施例中，IR匯流排及程序緩衝器介面136可包含任何合適的資料匯流排，諸如一128位元資料匯流排。

在經圖解說明之實施例中，狀態機引擎14亦包含一解壓縮器138及一壓縮器140以幫助透過狀態機引擎14提供狀態向量資料。壓縮器140連同解壓縮器138一起工作使得可壓縮狀態向量資料以最小化資料提供次數。藉由壓縮狀態向量資料，可最小化匯流排利用時間。壓縮器140及解壓縮器138亦可經組態以處置變化叢發長度之狀態向量資料。藉由填補經壓縮狀態向量資料及包含關於各壓縮區域何時結束之

一指示符，壓縮器140可透過狀態機引擎14改良總體處理速度。壓縮器140可用以在由FSM晶格30分析之後壓縮匹配結果資料。壓縮器140及解壓縮器138亦可用以壓縮及解壓縮組態資料。在一實施例中，可停用(例如，關閉)壓縮器140及解壓縮器138使得流動至壓縮器140及解壓縮器138及/或自壓縮器140及解壓縮器138流動之資料並未被修改。

如先前描述，FSM晶格30之一輸出可包括一狀態向量。狀態向量包括FSM晶格30之SME 34、36之狀態(例如，啟動或未經啟動)及計數器58之動態(例如，當前)計數。狀態機引擎14包含一狀態向量系統141，該狀態向量系統141具有一狀態向量快取記憶體142、一狀態向量記憶體緩衝器144、一狀態向量中間輸入緩衝器146及一狀態向量中間輸出緩衝器148。狀態向量系統141可用以儲存FSM晶格30之多個狀態向量且將一狀態向量提供至FSM晶格30以使FSM晶格30恢復至對應於所提供的狀態向量之一狀態。例如，各狀態向量可暫時儲存在狀態向量快取記憶體142中。即，可儲存各SME 34、36之狀態，使得狀態可經還原且隨後用於進一步分析，同時釋放SME 34、36以進一步分析一新資料集合(例如，搜尋項)。例如，如同一典型快取區，狀態向量快取記憶體142容許儲存狀態向量以供(此處)FSM晶格30快速擷取及使用。在經圖解說明之實施例中，狀態向量快取記憶體142可儲存至多512個狀態向量。

如應了解，可在一排中之不同狀態機引擎14(例如，晶片)之間交換狀態向量資料。可在不同狀態機引擎14之間交換狀態向量資料以用於以下各種目的，諸如：同步化狀態機引擎14之FSM晶格30之SME 34、36之狀態、跨多個狀態機引擎14執行相同功能、跨多個狀態機引擎14重現結果、跨多個狀態機引擎14級聯結果、儲存用以分析透過多個狀態機引擎14級聯之資料之SME 34、36之狀態之歷史等等。此

外，應注意，在一狀態機引擎14內，狀態向量資料可用以快速地組態FSM晶格30之SME 34、36。例如，狀態向量資料可用以：將SME 34、36之狀態還原至一初始化狀態(例如，搜尋一新搜尋項)；將SME 34、36之狀態還原至先前狀態(例如，搜尋一先前搜尋之搜尋項)；及將SME 34、36之狀態改變為經組態用於一級聯組態(例如，以一級聯搜尋來搜尋一搜尋項)。在某些實施例中，可將狀態向量資料提供至匯流排介面130使得可將狀態向量資料提供至處理器12(例如，用於分析狀態向量資料、重組態狀態向量資料以適用修改、重組態狀態向量資料以改良SME 34、36之效率等等)。

例如，在某些實施例中，狀態機引擎14可將經快取之狀態向量資料(例如，由狀態向量系統141儲存之資料)自FSM晶格30提供至一外部裝置。外部裝置可接收狀態向量資料，修改狀態向量資料並將經修改之狀態向量資料提供至狀態機引擎14以組態FSM晶格30。因此，外部裝置可修改狀態向量資料使得狀態機引擎14可按需要略過(例如，跳過)狀態。

狀態向量快取記憶體142可自任何合適的裝置接收狀態向量資料。例如，狀態向量快取記憶體142可自FSM晶格30、另一FSM晶格30(例如，經由IR匯流排及程序緩衝器介面136)、解壓縮器138等等接收一狀態向量。在經圖解說明之實施例中，狀態向量快取記憶體142可經由狀態向量記憶體緩衝器144自其他裝置接收狀態向量。此外，狀態向量快取記憶體142可將狀態向量資料提供至任何合適的裝置。例如，狀態向量快取記憶體142可將狀態向量資料提供至狀態向量記憶體緩衝器144、狀態向量中間輸入緩衝器146及狀態向量中間輸出緩衝器148。

諸如狀態向量記憶體緩衝器144、狀態向量中間輸入緩衝器146及狀態向量中間輸出緩衝器148之額外緩衝器可結合狀態向量快取記

記憶體142使用以適應狀態向量之快速擷取及儲存，同時透過狀態機引擎14處理具有交錯封包之分離資料集合。在經圖解說明之實施例中，狀態向量記憶體緩衝器144、狀態向量中間輸入緩衝器146及狀態向量中間輸出緩衝器148之各者可經組態以暫時儲存一狀態向量。狀態向量記憶體緩衝器144可用以自任何合適的裝置接收狀態向量資料並將狀態向量資料提供至任何合適的裝置。例如，狀態向量記憶體緩衝器144可用以自FSM晶格30、另一FSM晶格30(例如，經由IR匯流排及程序緩衝器介面136)、解壓縮器138及狀態向量快取記憶體142接收一狀態向量。作為另一實例，狀態向量記憶體緩衝器144可用以將狀態向量資料提供至(例如，其他FSM晶格30之)IR匯流排及程序緩衝器介面136、壓縮器140及狀態向量快取記憶體142。

同樣地，狀態向量中間輸入緩衝器146可用以自任何合適的裝置接收狀態向量資料並將狀態向量資料提供至任何合適的裝置。例如，狀態向量中間輸入緩衝器146可用以自一FSM晶格30(例如，經由IR匯流排及程序緩衝器介面136)、解壓縮器138及狀態向量快取記憶體142接收一狀態向量。作為另一實例，狀態向量中間輸入緩衝器146可用以將一狀態向量提供至FSM晶格30。此外，狀態向量中間輸出緩衝器148可用以自任何合適的裝置接收一狀態向量並將一狀態向量提供至任何合適的裝置。例如，狀態向量中間輸出緩衝器148可用以自FSM晶格30及狀態向量快取記憶體142接收一狀態向量。作為另一實例，狀態向量中間輸出緩衝器148可用以將一狀態向量提供至FSM晶格30(例如，經由IR匯流排及程序緩衝器介面136)及壓縮器140。

一旦由FSM晶格30產生一所關注結果，便可將匹配結果儲存在一匹配結果記憶體150中。即，可將指示一匹配(例如，偵測到一所關注型樣)之一「匹配向量」儲存在匹配結果記憶體150中。例如，接著可將匹配結果發送至一匹配緩衝器152以經由匯流排介面130傳輸至處理

器12。如先前描述，可壓縮匹配結果。

亦可在狀態機引擎14中提供額外暫存器及緩衝器。例如，狀態機引擎14可包含控制及狀態暫存器154。此外，可提供一程式緩衝器系統(例如，修復映射及程式緩衝器156)以最初用於程式化FSM晶格30。例如，可(例如，經由解壓縮器138)將初始(例如，起始)狀態向量資料自程式緩衝器系統提供至FSM晶格30。解壓縮器138可用以解壓縮經提供以程式化FSM晶格30之組態資料(例如，狀態向量資料、路由交換資料、SME 34、36狀態、布林函數資料、計數器資料、匹配MUX資料)。

類似地，亦可提供一修復映射緩衝器系統(例如，保存及修復映射緩衝器158)以儲存資料(例如，保存及修復映射)以供設置及使用。由修復映射緩衝器系統儲存之資料可包含對應於所修復的硬體元件之資料，諸如識別所修復的SME 34、36之資料。修復映射緩衝器系統可經由任何合適的方式接收資料。例如，可將資料自一「熔絲映射」記憶體(其提供在最終製造測試期間對一裝置進行之修復之映射)提供至修復映射緩衝器158。作為另一實例，修復映射緩衝器系統可包含用以修改(例如，客製化)一標準程式化檔案使得該標準程式化檔案可在具有一經修復架構之一FSM晶格30中操作(例如，可繞過一FSM晶格30中之有損壞SME 34、36使得其等未經使用)之資料。壓縮器140可用以壓縮自熔絲映射記憶體提供至修復映射緩衝器158之資料。如圖解說明，匯流排介面130可用以將資料提供至程式緩衝器156且自修復映射緩衝器158提供資料。如應了解，可壓縮提供至程式緩衝器156及/或自修復映射緩衝器158提供之資料。在一些實施例中，經由狀態機引擎14外部之一裝置(例如，處理器12、記憶體16、編譯器20等等)將資料提供至匯流排介面130及/或自匯流排介面130接收資料。狀態機引擎14外部之裝置可經組態以接收自修復映射緩衝器158提供之資

料、儲存該資料、分析該資料、修改該資料及/或將新或經修改資料提供至程式緩衝器156。

狀態機引擎14包含用以程式化FSM晶格30之一晶格程式化系統159。如圖解說明，晶格程式化系統159可自指令佇列133接收資料(例如，組態指令)。此外，晶格程式化系統159可自程式緩衝器156接收資料(例如，組態資料)。晶格程式化系統159可使用組態指令及組態資料以組態FSM晶格30(例如，組態路由交換器、SME 34、36、布林單元、計數器，匹配MUX)。晶格程式化系統159可使用解壓縮器138以解壓縮資料且使用壓縮器140以壓縮資料(例如，用於與程式緩衝器156及修復映射緩衝器158交換資料)。

現在參考圖10，圖解說明展示用於程式化狀態機引擎14中之FSM晶格30之一方法160之一流程圖。方法160可包含：將組態資料提供至程式緩衝器156(方塊162)；將組態指令提供至指令緩衝器133(方塊164)；起始一組態更新(方塊166)；自指令緩衝器133讀取指令(方塊168)；判定該等指令是否係組態指令(方塊170)；自程式緩衝器156讀取組態資料且在該組態資料經壓縮之情況下解壓縮該組態資料(方塊172)；及將該組態資料提供至一FSM晶格30(方塊174)。

在一實施例中，在方塊162處，處理器12可經由匯流排介面130將組態資料提供至程式緩衝器系統(例如，還原映射及程式緩衝器156)。進一步言之，處理器12可經由匯流排介面130將組態指令提供至指令緩衝器133(方塊164)。在方塊166處，可(例如，經由處理器12、晶格程式化系統159或狀態機引擎14)起始一組態更新。接著，在方塊168處，晶格程式化系統159可讀取儲存於指令緩衝器133中之指令。接著，在方塊170處，晶格程式化系統159可判定讀取自指令緩衝器133之指令是否係組態指令。若該等指令並非組態指令，則在方塊168處晶格程式化系統159讀取儲存於指令緩衝器133中之額外指令。

然而，若該等指令係組態指令，則晶格程式化系統159讀取儲存於程式緩衝器系統中之組態資料(方塊172)。在一些實施例中，可壓縮該組態資料。因此，亦在方塊172處，晶格程式化系統159可(例如，經由解壓縮器138)解壓縮該組態資料。接著，晶格程式化系統159將該組態資料提供至FSM晶格30(方塊174)。

雖然本發明可具有各種修改及替代形式，但是已在圖式中藉由實例展示且在本文中詳細描述特定實施例。然而，應瞭解，本發明並不旨在限於所揭示之特定形式。實情係，本發明涵蓋落於如藉由下列隨附申請專利範圍定義之本發明之精神及範疇內之所有修改、等效物及替代。

【符號說明】

- 10 系統
- 12 處理器
- 14 狀態機引擎
- 16 記憶體
- 18 外部儲存器
- 20 編譯器
- 22 輸入裝置
- 24 輸出裝置/顯示器
- 26 網路介面裝置
- 30 有限狀態機(FSM)晶格
- 30A 第一有限狀態機(FSM)晶格
- 30B 第二有限狀態機(FSM)晶格
- 32 區塊
- 34 狀態機元件(SME)/可程式化元件
- 36 狀態機元件(SME)/可程式化元件

38	列
40	區塊間交換元件/可組態交換元件
42	區塊內交換元件/可組態交換元件
44	列內交換元件/可組態交換元件
46	導體
48	緩衝器
50	緩衝器
52	資料輸入區塊
54	輸出區塊
56	程式化介面/程式化介面區塊
58	專用元件/12位元可組態計數器/計數器
60	含兩個元件之群組
62	第一輸入/輸入線
64	第二輸入/輸入線
66	輸出
68	列互連導體
70	列互連導體
72	輸出
74	輸出
76	或閘
78	3對1多工器
79	交換元件
80	記憶體單元
82	偵測線
84	資料串流線
86	偵測單元

90	圖
92	根節點
94	標準節點
96	終端節點
98	邊緣
100	階層式結構
102	輸出信號
110	方法
112	步驟
114	步驟
116	步驟
118	步驟
120	步驟
122	步驟
124	步驟
130	第三代雙倍資料速率(DDR3)匯流排介面
132	資料緩衝器
133	指令緩衝器/指令佇列
134	程序緩衝器
136	排間(IR)匯流排及程序緩衝器介面
138	解壓縮器
140	壓縮器
141	狀態向量系統
142	狀態向量快取記憶體
144	狀態向量記憶體緩衝器
146	狀態向量中間輸入緩衝器

- 148 狀態向量中間輸出緩衝器
- 150 匹配結果記憶體
- 152 匹配緩衝器
- 154 控制及狀態暫存器
- 156 修復映射及程式緩衝器/還原映射及程式緩衝器/程式緩衝器
- 158 保存及修復映射緩衝器
- 159 晶格程式化系統
- 160 方法
- 162 步驟
- 164 步驟
- 166 步驟
- 168 步驟
- 170 步驟
- 172 步驟
- 174 步驟

申請專利範圍

104年4月7日修(更)正本

1. 一種狀態機引擎，其包括：

一程式緩衝器，其經組態以經由一匯流排介面接收用於組態一狀態機晶格之組態資料，其中該程式緩衝器係於該狀態機晶格之外部；及

一修復映射緩衝器，其經組態以經由該匯流排介面將修復映射資料提供至一外部裝置，其中該修復映射緩衝器係於該狀態機晶格之外部；

其中該狀態機晶格包括組織為區塊之複數個可程式化元件且各可程式化元件包括經組態以分析資料並輸出該分析之一結果之複數個記憶體單元，其中該狀態機晶格包括一區塊間交換元件及控制往返於該區塊間交換元件信號之時序之一緩衝器，其中該區塊間交換元件經組態以耦合該複數個區塊之至少兩者。

2. 如請求項1之狀態機引擎，其中該程式緩衝器經組態以接收經壓縮之組態資料。
3. 如請求項1之狀態機引擎，其中該程式緩衝器經組態以接收非壓縮組態資料。
4. 如請求項1之狀態機引擎，其中該修復映射緩衝器經組態以提供經壓縮之修復映射資料。
5. 如請求項1之狀態機引擎，其中該修復映射緩衝器經組態以提供非壓縮之修復映射資料。
6. 如請求項1之狀態機引擎，其中該外部裝置經組態以：接收自該修復映射緩衝器提供之修復映射資料；分析該修復映射資料；建構組態資料之一修改版本；且將組態資料之該修改版本提供至該程式緩衝器。

7. 如請求項1之狀態機引擎，其中該程式緩衝器經組態以將組態資料提供至一晶格程式化系統以組態該狀態機晶格。
8. 一種狀態機引擎，其包括經組態以經由一匯流排介面接收用於組態一狀態機晶格之組態資料之一程式緩衝器，其中該程式緩衝器係於該狀態機晶格之外部，其中該狀態機晶格包括組織為複數個區塊之複數個可程式化元件且各可程式化元件包括經組態以分析一資料串流之至少一部分並輸出該分析之一結果之複數個記憶體單元，其中該狀態機晶格包括一區塊間交換元件及控制往返於該區塊間交換元件信號之時序之一緩衝器，其中該區塊間交換元件經組態以耦合該複數個區塊之至少兩者。
9. 如請求項8之狀態機引擎，其中該程式緩衝器經組態以將組態資料提供至一晶格程式化系統。
10. 如請求項9之狀態機引擎，其中該晶格程式化系統經組態以將組態資料提供至該狀態機晶格以組態該狀態機晶格。
11. 如請求項8之狀態機引擎，其中該程式緩衝器經組態以將經壓縮之組態資料提供至一晶格程式化系統。
12. 如請求項11之狀態機引擎，其中該晶格程式化系統經組態以在接收到該經壓縮之組態資料之後解壓縮該組態資料。
13. 一種狀態機引擎，其包括經組態以經由一匯流排介面將修復映射資料自一狀態機晶格提供至一外部裝置之一修復映射緩衝器，其中該修復映射緩衝器係於該狀態機晶格之外部，其中該狀態機晶格包括組織為複數個區塊之複數個可程式化元件且各可程式化元件包括經組態以分析一資料串流之至少一部分並輸出該分析之一結果之複數個記憶體單元，其中該狀態機晶格包括一區塊間交換元件及控制往返於該區塊間交換元件信號之時序之一緩衝器，其中該區塊間交換元件經組態以耦合該複數個

區塊之至少兩者。

14. 如請求項13之狀態機引擎，其中該修復映射緩衝器經組態以自一晶格程式化系統接收組態資料。
15. 如請求項13之狀態機引擎，其中該修復映射緩衝器經組態以自一晶格程式化系統接收經壓縮之修復映射資料。
16. 如請求項15之狀態機引擎，其中該晶格程式化系統經組態以在將該修復映射資料提供至該修復緩衝器之前壓縮該修復映射資料。
17. 如請求項13之狀態機引擎，其中該外部裝置經組態以儲存該修復映射資料。
18. 如請求項13之狀態機引擎，其中該外部裝置經組態以分析該修復映射資料並將經修改之組態資料提供至該狀態機引擎。
19. 如請求項13之狀態機引擎，其中該修復映射資料包括對應於該狀態機晶格之所修復部分之資料。
20. 如請求項13之狀態機引擎，其中該修復映射資料包括識別所修復之該狀態機晶格之部分之一指示及識別如何修復該狀態機晶格之一指示。
21. 一種用於組態一狀態機引擎之一狀態機晶格之方法，其包括：
在該狀態機引擎之一程式緩衝器處接收組態資料，其中該程式緩衝器係於該狀態機晶格之外部；
將該組態資料自該程式緩衝器提供至一晶格程式化系統，其中該晶格程式化系統係於該狀態機晶格之外部；及
使用該晶格程式化系統組態該狀態機晶格，其中該狀態機晶格包括組織為複數個區塊之複數個可程式化元件且各可程式化元件包括經組態以分析一資料串流之至少一部分並輸出該分析之一結果之複數個記憶體單元，其中該狀態機晶格包括一區塊

間交換元件及控制往返於該區塊間交換元件信號之時序之一緩衝器，其中該區塊間交換元件經組態以耦合該複數個區塊之至少兩者。

22. 如請求項21之方法，其包括在組態該狀態機晶格之前解壓縮組態資料。
23. 如請求項21之方法，其包括在該狀態機引擎之一指令緩衝器處接收指令。
24. 如請求項23之方法，其包括將該等指令提供至該晶格程式化系統。
25. 如請求項24之方法，其中使用該晶格程式化系統組態該狀態機晶格包括判定該等指令是否係組態指令且在該等指令係組態指令之情況下組態該狀態機晶格。

圖式

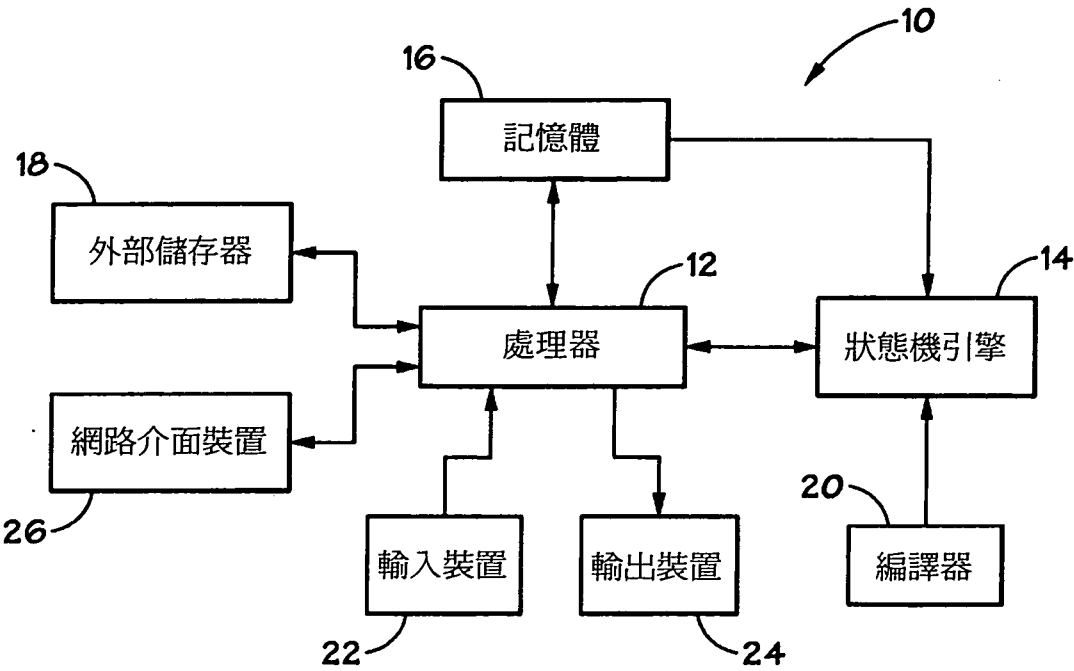


圖1

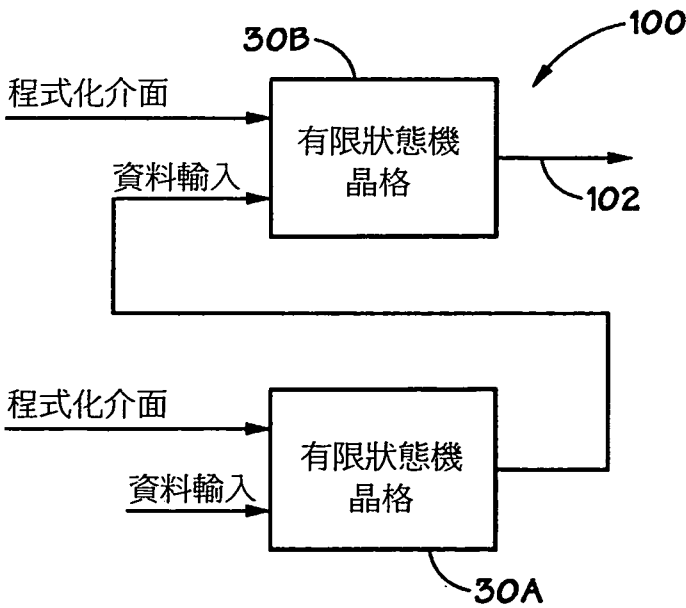


圖7

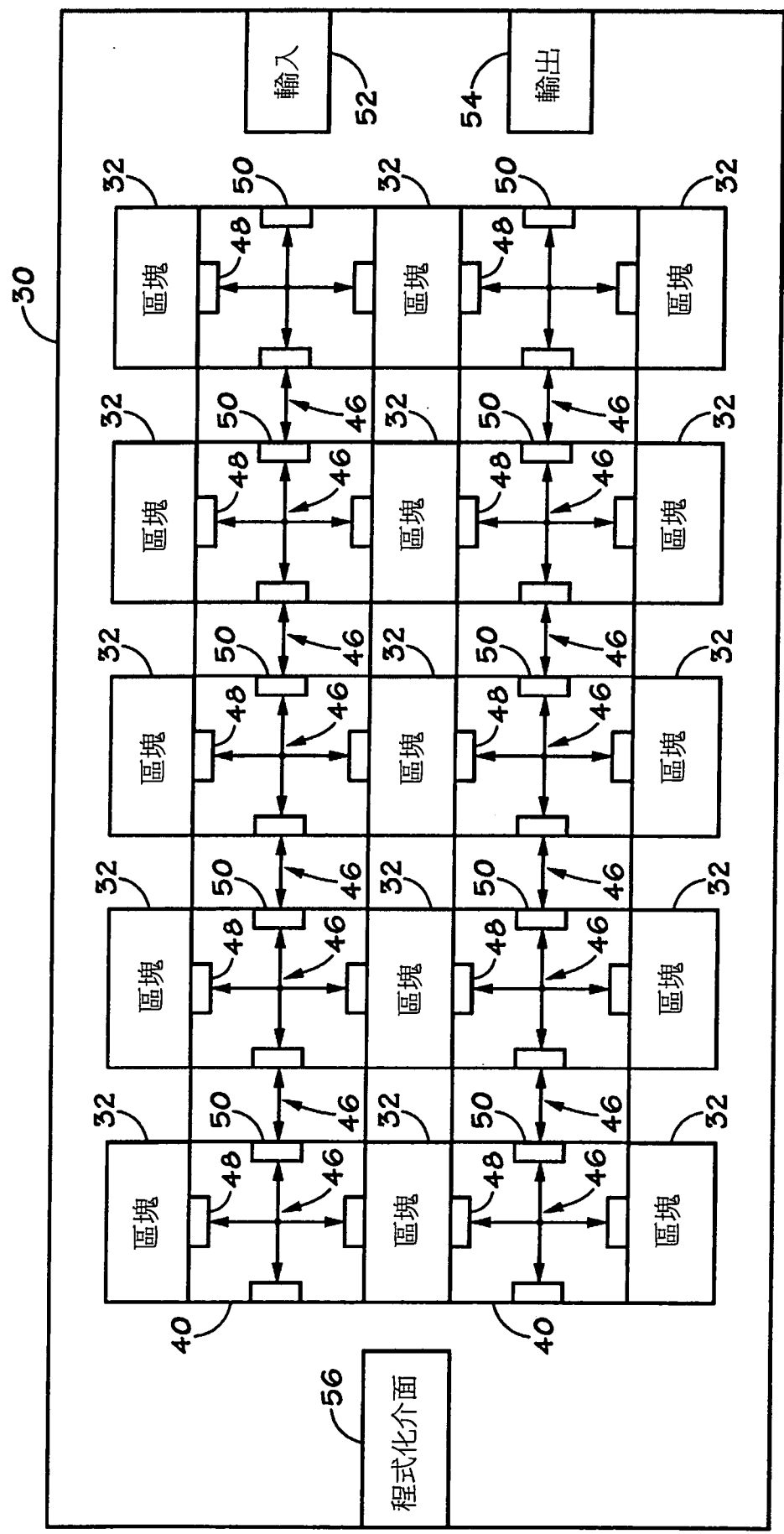


圖2

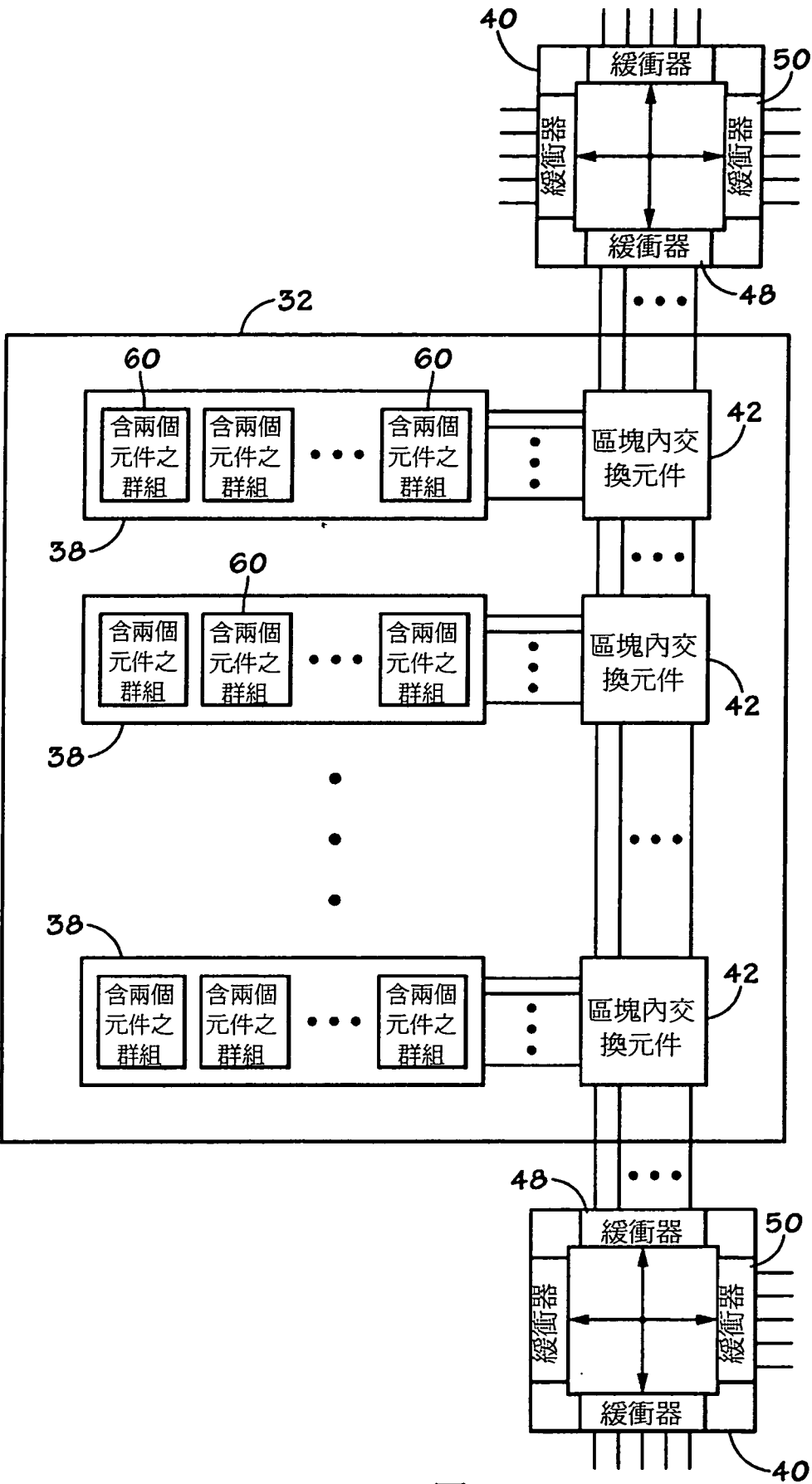


圖3

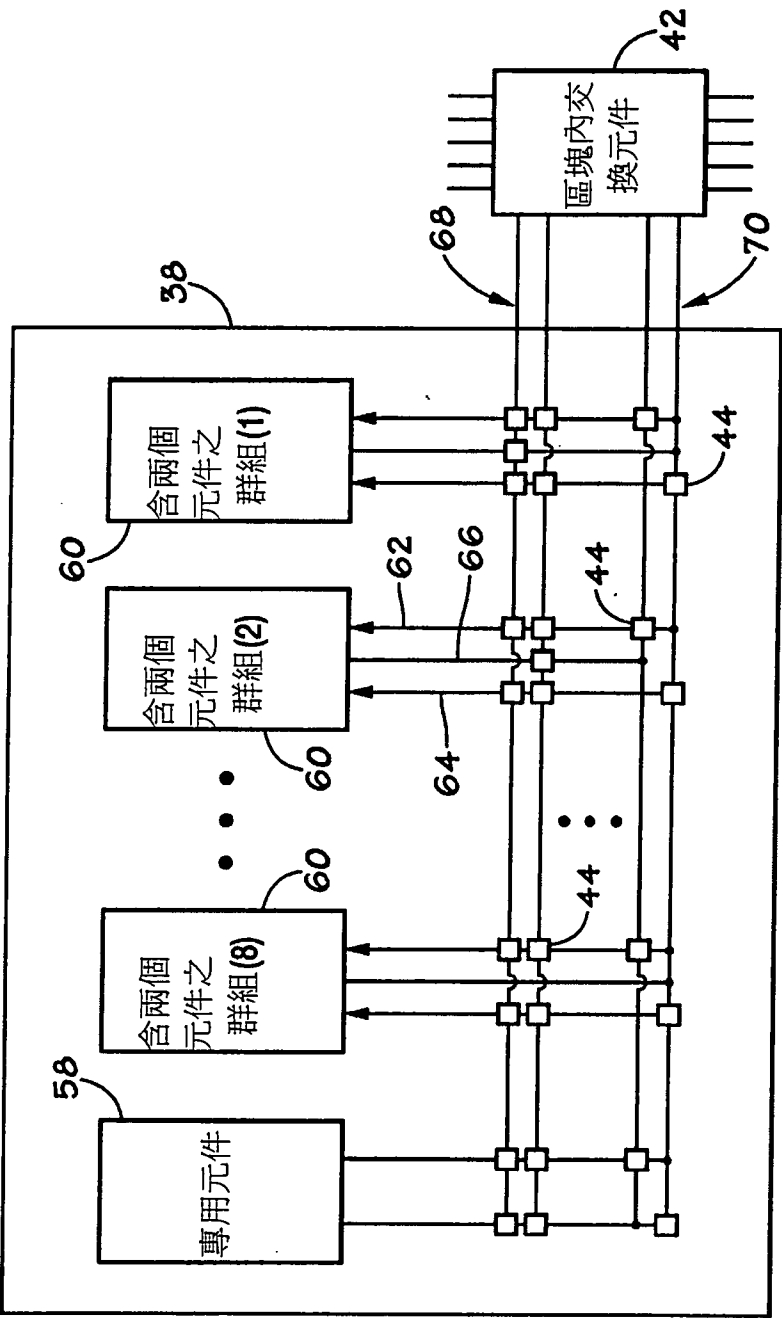


圖4

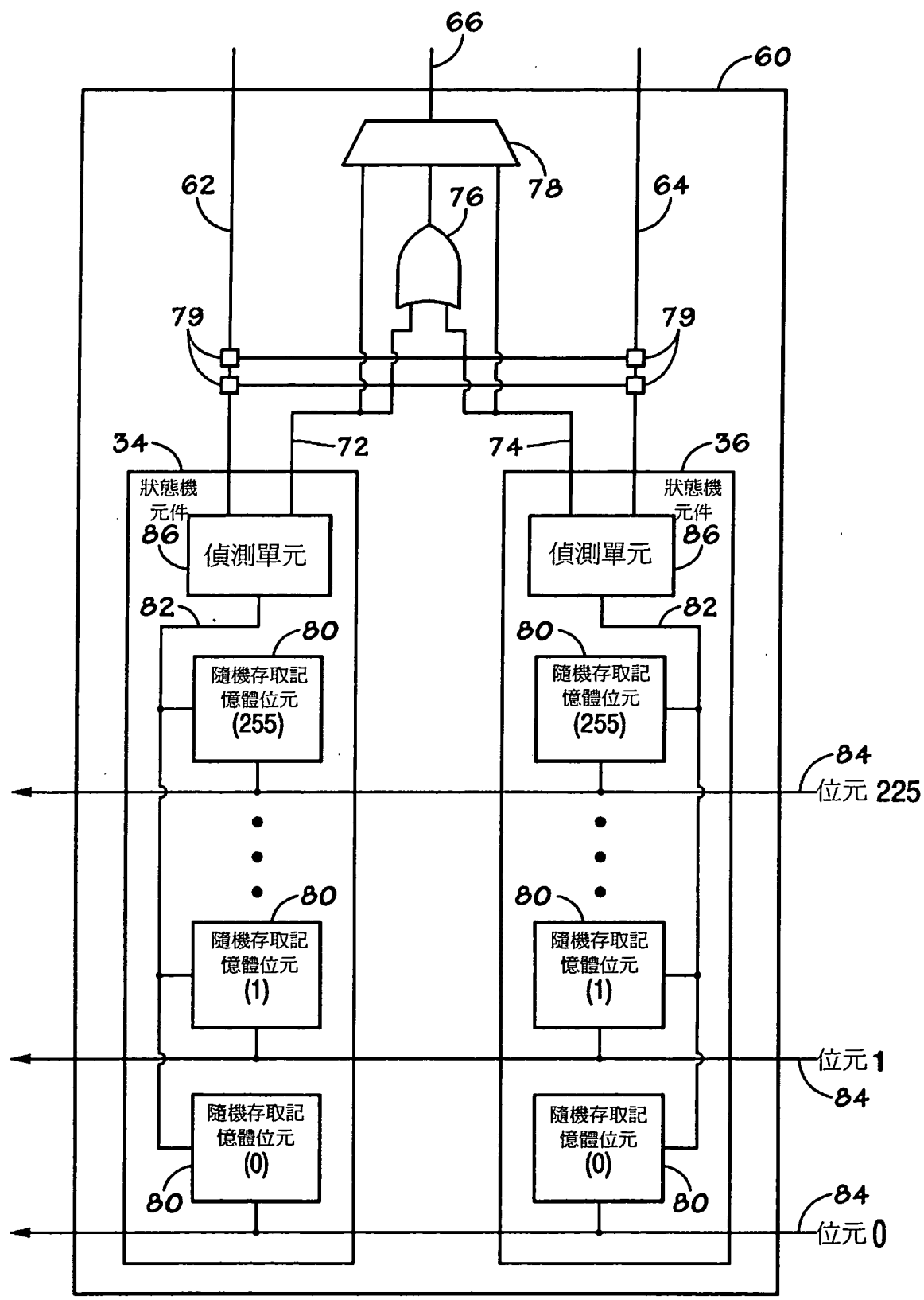


圖5

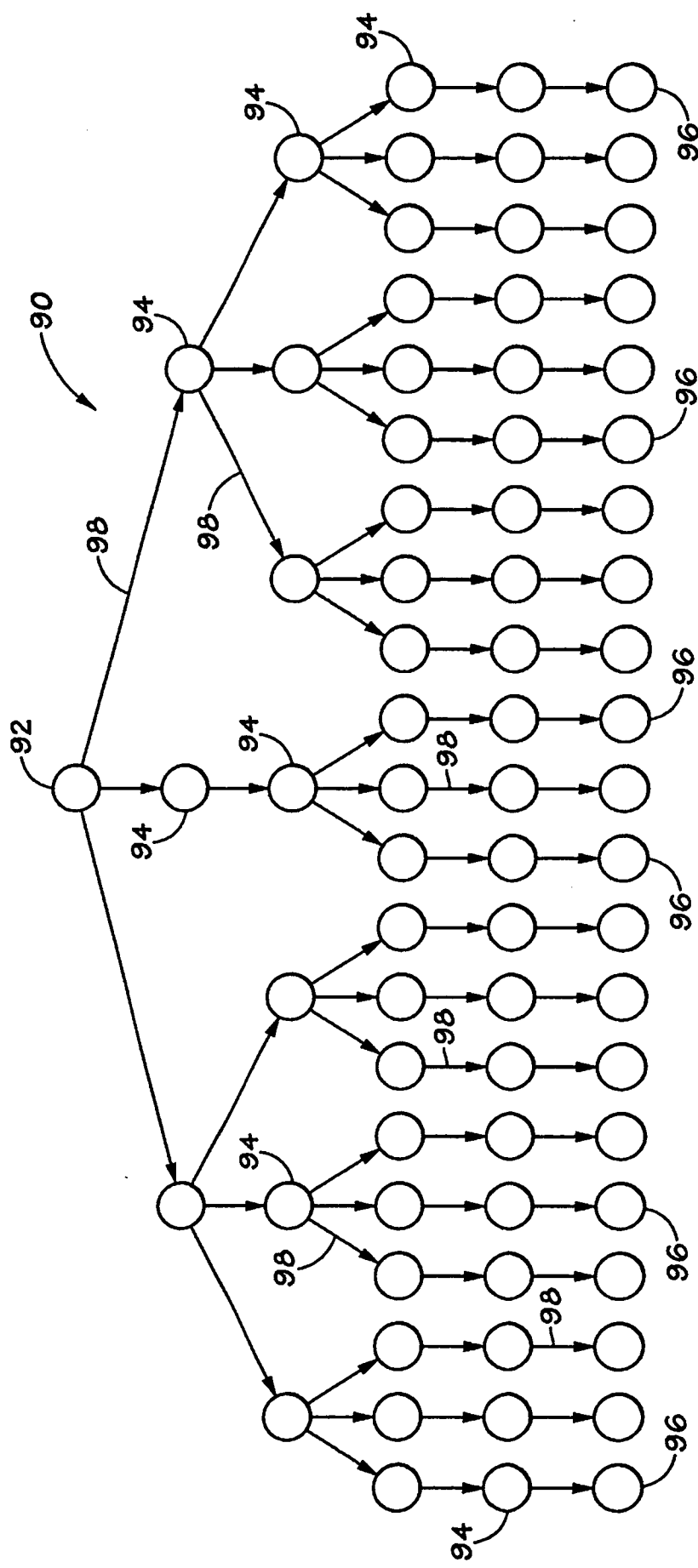


圖6

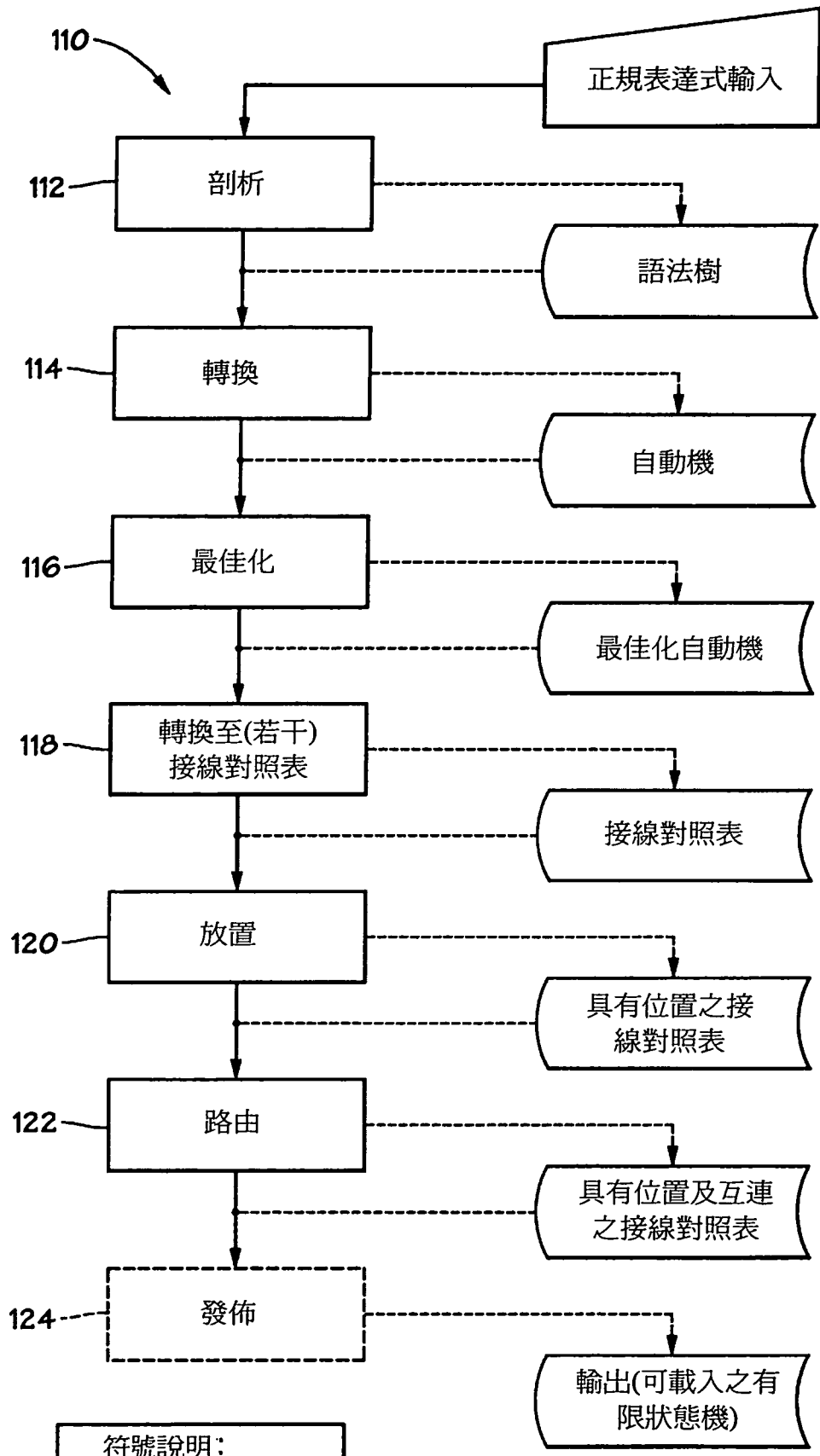


圖8



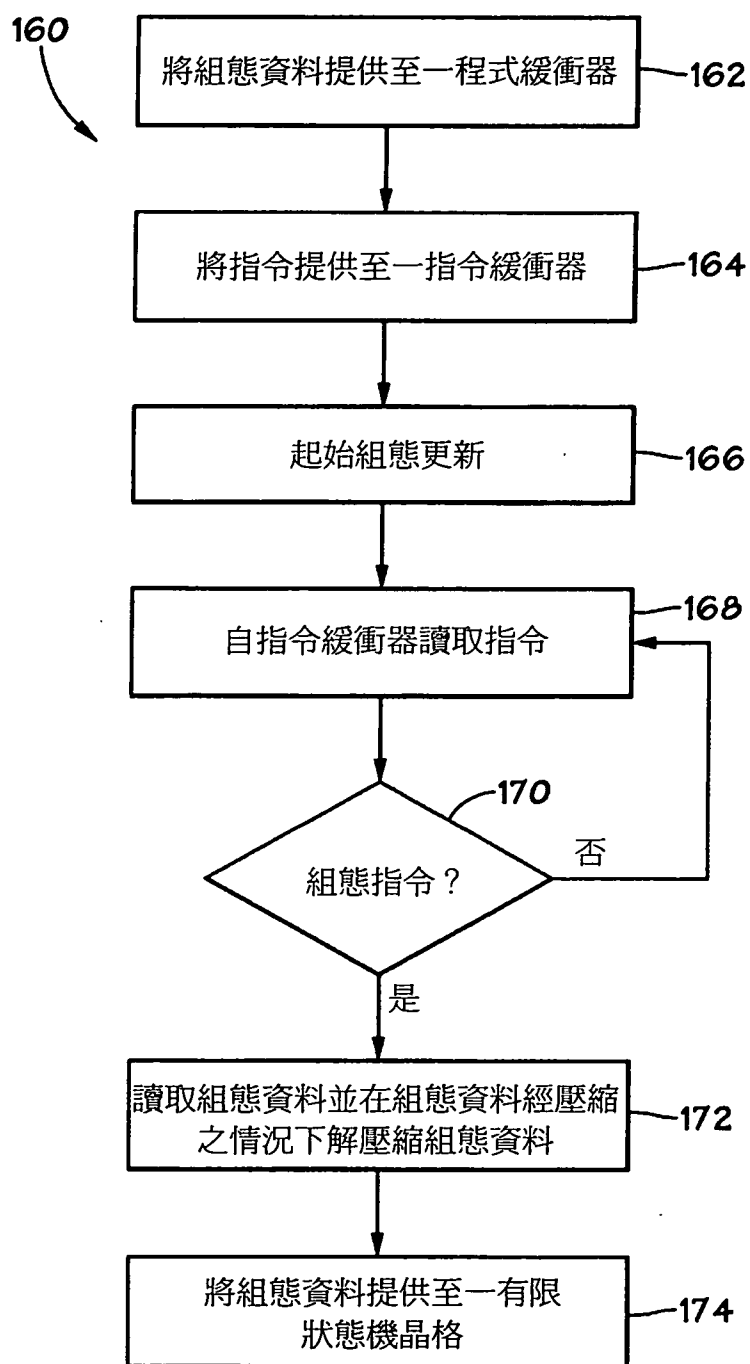


圖10