

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号  
特開2011-91110  
(P2011-91110A)

(43) 公開日 平成23年5月6日(2011.5.6)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 29/786 (2006.01)	H O 1 L 29/78 6 1 8 B	2 H O 9 2
H O 1 L 51/50 (2006.01)	H O 1 L 29/78 6 1 7 M	3 K 1 0 7
G O 2 F 1/1368 (2006.01)	H O 5 B 33/14 A	5 F 1 1 0
	G O 2 F 1/1368	

審査請求 未請求 請求項の数 5 O L (全 13 頁)

(21) 出願番号	特願2009-241818 (P2009-241818)	(71) 出願人	000001007
(22) 出願日	平成21年10月20日 (2009.10.20)		キヤノン株式会社
			東京都大田区下丸子3丁目30番2号
		(74) 代理人	100120259
			弁理士 桂田 健志
		(72) 発明者	佐藤 歩
			東京都大田区下丸子3丁目30番2号キヤノン株式会社内
		(72) 発明者	藪田 久人
			東京都大田区下丸子3丁目30番2号キヤノン株式会社内
		(72) 発明者	林 享
			東京都大田区下丸子3丁目30番2号キヤノン株式会社内

最終頁に続く

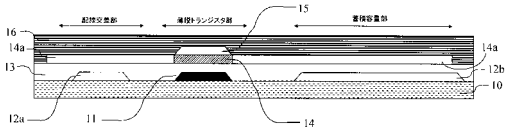
(54) 【発明の名称】 酸化物半導体素子を用いた回路及びその製造方法、並びに表示装置

(57) 【要約】 (修正有)

【課題】酸化物半導体層を回路の配線に用いる場合、その表面に不要なチャネル保護層形成を抑制できる回路を提供する。

【解決手段】基板10の上に、ゲート電極層11と蓄積容量下部電極層12bとが形成され、それらの上に、ゲート絶縁層13が形成され、ゲート絶縁層13の上に、酸化物半導体層14が形成され、酸化物半導体層14の上に、チャネル保護層15がゲート電極層11に対して自己整合的に形成され、酸化物半導体層14とチャネル保護層15の上に、保護層16が形成され、ゲート電極層11は所定波長の光透過率が30%以下、蓄積容量下部電極層14aは所定波長の光透過率が70%以上であり、酸化物半導体層14がソース領域、ドレイン領域、チャネル領域及び蓄積容量上部電極層を有する回路。

【選択図】図8



## 【特許請求の範囲】

## 【請求項 1】

基板の上に、ゲート電極層と蓄積容量下部電極層とが形成され、  
前記基板と前記ゲート電極層と前記蓄積容量下部電極層の上に、ゲート絶縁層が形成され、

前記ゲート絶縁層の上に、酸化物半導体層が形成され、

前記酸化物半導体層の上に、チャネル保護層が前記ゲート電極層に対して自己整合的に形成され、

前記酸化物半導体層と前記チャネル保護層の上に、保護層が形成され、

前記ゲート電極層は所定波長の光の透過率が 30% 以下であり、前記蓄積容量下部電極層は前記所定波長の光の透過率が 70% 以上であり、前記酸化物半導体層がソース領域、ドレイン領域、チャネル領域及び蓄積容量上部電極層を有することを特徴とする回路。

10

## 【請求項 2】

前記酸化物半導体層が In、Ga、Zn、Sn から選択される少なくとも 1 種類の元素を含むアモルファス酸化物半導体であることを特徴とする請求項 1 に記載の回路。

## 【請求項 3】

前記所定波長の光が、波長 400 nm 未満の紫外光であることを特徴とする請求項 1 又は 2 に記載の回路。

## 【請求項 4】

基板の上に、所定波長の光の透過率が 30% 以下であるゲート電極層を形成する工程と、

20

前記基板の上に、前記所定波長の光の透過率が 70% 以上である蓄積容量下部電極層を形成する工程と、

前記基板と前記ゲート電極層と前記蓄積容量下部電極層の上に、ゲート絶縁層を形成する工程と、

前記ゲート絶縁層の上に、酸化物半導体層を形成する工程と、

前記酸化物半導体層の上に、第 1 の保護層を形成し、前記所定波長の光を裏面露光し、前記第 1 の保護層をエッチングして、前記ゲート電極層に対して自己整合的なチャネル保護層を形成する工程と、

前記チャネル保護層によって保護されていない領域に水素添加処理を施して、前記酸化物半導体層の前記チャネル保護層によって保護されていない領域を低抵抗化する工程と、を含むことを特徴とする回路の製造方法。

30

## 【請求項 5】

発光素子と駆動回路が接続されて成る表示装置であって、該駆動回路が請求項 1 乃至 3 のいずれか一項に記載の回路であることを特徴とする表示装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は酸化物半導体素子と複数の配線より成る回路及びその製造方法、並びにそのような回路を有する表示装置に関するものである。

40

## 【背景技術】

## 【0002】

現在、アクティブマトリクス型液晶表示素子や有機エレクトロルミネッセンス (EL) 素子等の表示装置における駆動回路として、アモルファスシリコンや低温ポリシリコンを半導体層として用いた薄膜トランジスタ (Thin Film Transistor, TFT) を用いた回路が広く使用されている。

しかし、これらの TFT の作製には高温プロセスが不可欠であり、プラスチック基板やフィルム基板など耐熱性が低いとされるフレキシブルな基板の使用は困難である。

一方、近年、ZnO を主成分として用いた酸化物半導体をチャネル層に用いた TFT の開発が活発に行われている。

50

前記酸化物半導体は、低温での成膜が可能であり、プラスチック基板やフィルム基板上にフレキシブルなTFTを形成することが可能である。

また、最近ではIn、Ga、Zn、Oからなるアモルファス酸化物半導体をTFTのチャンネル層に用いる技術が研究されている。

#### 【0003】

近年、室温でポリエチレン・テレフタレート(PET)フィルムなどの基板上に高い電界効果移動度( $6 - 9 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ )を示すアモルファス酸化物半導体TFTを形成することが可能であることが知られている。

このように酸化物半導体TFTを用いた回路は、フレキシブル基板を使用した表示装置の駆動回路として非常に有望であると言える。

しかし、プラスチックやフィルムなどのフレキシブル基板は、ガラス基板などと比べて熱などによる基板の収縮や反りなどが大きい。そのため、駆動回路形成過程における基板の変形やそれに伴うアライメントずれにより、基板面内でのTFTの電気特性や寄生容量のバラツキを生じやすい。そのため、TFTの特性を決定付けるチャンネル領域およびソース・ドレイン領域を自己整合的に形成するのが望ましい。

#### 【0004】

ZnOを主成分とするトップゲート型多結晶酸化物TFTにおいて、ゲート絶縁層およびゲート電極をマスクとして利用して、半導体層に水素を含有する層間絶縁層を形成する方法が知られている。半導体層中の水素濃度が増大することにより、半導体層が低抵抗化し、自己整合的にソース・ドレイン電極が形成され、コプラナー構造のTFTが得られる。この構造では、ソース・ドレイン領域からチャンネル領域までの寄生抵抗を小さくすることが可能であり、電流制限の発生を抑制できる。また、ソース・ドレイン領域とゲート電極の寄生容量減少によるTFT動作速度の向上などの効果が得られる。

また、特許文献1にはトップゲート型アモルファス酸化物半導体TFTにおいてゲート絶縁層およびゲート電極をマスクとして利用して酸化物半導体層に水素プラズマ処理を行う方法が開示されている。これにより半導体層が低抵抗化し、自己整合的にソース・ドレイン電極が形成され、コプラナー構造のTFTが得られる。

#### 【0005】

しかしながら、特許文献1で示されるような自己整合的にソース・ドレイン電極が形成されるトップゲート型コプラナー構造のTFTの場合、酸化物半導体チャンネル層上にゲート絶縁層を形成する必要がある。ゲート絶縁層をプラズマ化学気相蒸着法(CVD法)やスパッタ法などを用いて形成する場合、ゲート絶縁層と酸化物半導体チャンネル層との界面へのプラズマによるダメージが問題となる。また、このダメージが移動度、S値、電気的ストレスに対する安定性の低下などTFTの特性に悪影響を及ぼす場合がある。

このことから、ゲート絶縁膜と酸化物半導体チャンネル層との界面にダメージが入りにくい、ボトムゲート型TFTを自己整合的に形成するのが望ましい。

#### 【0006】

また、発明者らは、チャンネル保護層をマスクに、層間絶縁層形成時の水素拡散により酸化物半導体層を低抵抗化させ、ソース・ドレイン領域を形成することにより、コプラナー構造のボトムゲート型アモルファス酸化物半導体TFTを作製する方法を実施している。この方法においても、紫外光を透過しないゲート電極をマスクにして、裏面露光を行うことによって、チャンネル保護層のパターンを形成することで自己整合的にチャンネル領域およびソース・ドレイン領域を形成することが可能である。また、低抵抗化したアモルファス酸化物半導体層を駆動回路の配線や蓄積容量などの電極に用いることも可能である。また、酸化物半導体層が可視光に対して透明であることを利用して、液晶表示素子やボトムエミッション型の有機EL素子を用いた表示装置の画素内配線や蓄積容量などの電極に用いることで、開口率を向上させることが可能となる。

#### 【先行技術文献】

#### 【特許文献】

#### 【0007】

10

20

30

40

50

【特許文献 1】特開 2 0 0 7 - 2 5 0 9 8 3 号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

しかし、酸化物半導体層を回路の配線に用いる場合、裏面露光のみによりチャネル保護層のパターンを形成すると、酸化物半導体層より下層に形成される紫外光を透過しないゲート配線の上や蓄積容量などの下部電極の上に形成された酸化物半導体層の配線および電極上にチャネル保護層が残る。その残ったチャネル保護層がマスクとなり、層間絶縁膜形成による水素拡散を行っても、チャネル保護層下の酸化物半導体層配線および電極は低抵抗化しない。よって、その領域の配線は抵抗成分となり、配線や電極はその機能を持たなくなる。そこで本発明が解決しようとする課題は、酸化物半導体層配線および電極上における不要なチャネル保護層形成を抑制することである。

10

【課題を解決するための手段】

【0009】

本発明の回路は、基板の上に、ゲート電極層と蓄積容量下部電極層とが形成され、前記基板と前記ゲート電極層と前記蓄積容量下部電極層の上に、ゲート絶縁層が形成され、前記ゲート絶縁層の上に、酸化物半導体層が形成され、前記酸化物半導体層の上に、チャネル保護層が前記ゲート電極層に対して自己整合的に形成され、前記酸化物半導体層と前記チャネル保護層の上に、保護層が形成され、前記ゲート電極層は所定波長の光の透過率が 30%以下であり、前記蓄積容量下部電極層は前記所定波長の光の透過率が 70%以上であり、前記酸化物半導体層がソース領域、ドレイン領域、チャネル領域及び蓄積容量上部電極層を有することを特徴とする。

20

【発明の効果】

【0010】

本発明の回路によれば、裏面露光のみによるチャネル保護層パターンの形成を行っても、酸化物半導体層配線および電極として形成したい領域上に不要なチャネル保護層が残らないようにすることが可能である。

【図面の簡単な説明】

【0011】

【図 1】1つの蓄積容量に対して1つのボトムゲート型コプラナー構造の酸化物半導体 TFTを有する本発明の回路の構成例を模式的に示す図である。

30

【図 2】酸化物半導体層有無による絶縁膜のリーク特性の比較を示す図である。

【図 3】1つの蓄積容量に対して2つのボトムゲート型コプラナー構造の酸化物半導体 TFTを有する本発明の回路の構成例を模式的に示す図であり、(a)は平面図、(b)は(a)のB-B'断面図である。

【図 4】本発明に係る表示装置の一例の断面図である。

【図 5】本発明に係る表示装置の他の例の断面図である。

【図 6】本発明に係る回路の製造工程を示すフローチャートである。

【図 7】本発明に係る回路の製造工程を示す断面図である。

【図 8】本発明に係る回路の構成を示す断面図である。

40

【図 9】本発明に係る回路の製造工程を示す断面図である。

【図 10】本発明に係る回路の構成を示す断面図である。

【発明を実施するための形態】

【0012】

以下に、添付図面を参照して本発明を実施するための最良の形態を説明する。

図 1 は、本発明の回路における代表例の一部を抽出したものである。本発明においては、図 1 の回路を二次元状に複数配する（同一平面上に縦横に複数配置する）ことで形成される。図 8 は、図 1 の回路における A - A' 断面図であり、配線交差部、薄膜トランジスタ部、蓄積容量部を示している。

図 1 及び図 8 において、10 は基板、11 はゲート電極層、12 a はゲート配線層、1

50

2 b は蓄積容量下部電極層、1 3 はゲート絶縁層、1 4 は酸化物半導体層（チャネル領域）、1 4 a はソース領域・ドレイン領域、酸化物半導体配線層および蓄積容量上部電極層である。そして、1 5 はチャネル保護層、1 6 は保護層である。

製造方法は六つの工程から構成され、その流れは図 6 のフローチャートに示すとおりである。図 7 は本発明の一実施形態としての回路の製造工程を示す断面図である。

#### 【0013】

基板 1 0 には、フレキシブルなプラスチック基板を用いる。プラスチック基板としては、ポリエチレン・テレフタレート（PET）、ポリエチレン・ナフタレート（PEN）、ポリイミド、ポリカーボネートなどのフィルム、並びに薄板が挙げられる。また、基板の表面が絶縁膜により構成されたバリアコート層でコーティングされていても構わない。また、ガラス基板や絶縁層をコーティングしたステンレス基板などを用いても良い。

10

#### 【0014】

##### （第 1 工程）

まず、基板 1 0 の上にゲート電極層 1 1 を形成する。ゲート電極層 1 1 の形成には、スパッタ法、パルスレーザー蒸着法（PLD 法）、電子ビーム蒸着法、化学気相蒸着法（CVD 法）等を用いることができる。電極材料は、所定波長の光（例えば、400 nm 未満の少なくとも一部の領域の紫外光）に対して遮光性を有する材料であり、かつ、良好な電気伝導性を有するものであればよい。遮光性を有するとは、透過率 0 % である必要はない。透過率が 30 % 以下であれば良く、好ましくは 10 % 以下、より好ましくは 5 % 以下、更に好ましくは、0.01 % 以下である。例えば、Ti、Pt、Au、Ni、Al、Mo などの金属やそれらの合金などの金属電極材料およびそれらの積層膜を用いることができる。もちろん、材料自体の遮光性は低くても、膜厚を厚くすることで、上記透過率に相当する遮光性が確保できるのであれば、本発明のゲート電極層の材料は特に限定されるものではない。

20

#### 【0015】

次にフォトリソグラフィ法等を用いてゲート電極層 1 1 のパターンを形成する。また、ゲート電極層 1 1 を、酸化物半導体配線 1 4 a との交差部の下部に形成される領域および酸化物半導体配線 1 4 a を蓄積容量の上部電極に用いる場合の下部電極以外の領域における配線や電極に用いても構わない。

#### 【0016】

##### （第 2 工程）

そして、パターンニングされたゲート電極層 1 1 を有する基板 1 0 の上にゲート配線層 1 2 a および蓄積容量下部電極層（以下、「容量下部電極層」とも記す）1 2 b を形成する。ゲート配線層 1 2 a および容量下部電極層 1 2 b の形成には、スパッタ法、パルスレーザー蒸着法（PLD 法）、電子ビーム蒸着法、化学気相蒸着法（CVD 法）等を用いることができる。電極材料は、所定波長の光（例えば、400 nm 未満の少なくとも一部の領域の紫外光）に対して透明性を有する材料であり、かつ、良好な電気伝導性を有するものであればよい。透明性を有するとは、透過率が 70 % 以上であれば良く、好ましくは 80 % 以上、より好ましくは 90 % 以上である。例えば、ITO（Indium Tin Oxide）やIZO（Indium Zinc Oxide）などの酸化物導電体を用いることができる。次にフォトリソグラフィ法等を用いて、ゲート配線層 1 2 a および容量下部電極層 1 2 b のパターンを形成する。

40

前述の例では、ゲート電極層 1 1 の形成後にゲート配線層 1 2 a および蓄積容量下部電極層 1 2 b を形成しているが、逆の順番で形成しても構わない。

#### 【0017】

##### （第 3 工程）

そして、パターンニングされたゲート配線層 1 2 a および蓄積容量下部電極層 1 2 b を有する基板 1 0 の上にゲート絶縁層 1 3 を形成する。ゲート絶縁層の形成には、スパッタ法、パルスレーザー蒸着法（PLD 法）、電子ビーム蒸着法、プラズマ CVD 法（PECVD 法）等を用いることができる。ゲート絶縁材料は、400 nm 未満の少なくとも一部の

50

領域の紫外光に対して透明性を有する材料であり、かつ、良好な絶縁特性を有するものであればよい。例えば、PECVD法やスパッタ法などによるシリコン酸化膜やシリコン窒化膜を用いることができる。

#### 【0018】

##### (第4工程)

さらにゲート絶縁層13の上に酸化物膜からなる酸化物半導体層14を形成する。作製には、スパッタ法、PLD法、電子ビーム蒸着法等を用いることができる。酸化物半導体層14は、In、Ga、Zn、Snから選択される少なくとも1種類の元素を含むアモルファス酸化物半導体を用いることが可能である。酸化物半導体層14はフォトリソグラフィ法とエッチング法を用いてパターンニングされる。

10

#### 【0019】

##### (第5工程)

次に酸化物半導体層14の上にスパッタ法によりチャネル保護層15を形成する。酸化物半導体層14と直接接するチャネル保護層15にはチャネル保護層形成の際に酸化物半導体を低抵抗化させない機能が要求される。さらにチャネル保護層15の上に水素を含有する絶縁層(保護層16)を形成した際にチャネル保護層の膜厚で水素の透過量を制御し、酸化物半導体の抵抗率を制御できる機能も必要である。具体的にはシリコン酸化膜やシリコン窒化膜などのOを含有する絶縁層が望ましい。また、これらの絶縁層の組成がストイキオメトリーから外れていても何ら問題はない。チャネル保護層15は、裏面露光を用いたフォトリソグラフィ法とエッチング法を用いてパターンニングされる。このとき、ゲート電極層11をマスクとして裏面露光が行われるので、チャネル保護層15はゲート電極層11が存在する領域上のみに自己整合的に形成される。

20

#### 【0020】

##### (第6工程)

次に保護層16を成膜し、酸化物半導体層の所定領域を低抵抗化する。保護層16には、酸化物半導体層上に直接形成した際に酸化物半導体層を低抵抗化させる機能が要求される。酸化物半導体は水素を添加することにより低抵抗化させることが可能である。よって、酸化物半導体層の上に水素を含む絶縁層を形成する。具体的には、水素を含むシリコン窒化膜、シリコン酸化膜、シリコン窒化膜、シリコン炭化膜およびこれらの積層膜などが望ましい。また、これらの絶縁層の組成がストイキオメトリーから外れていても何ら問題はない。

30

#### 【0021】

形成方法としては水素を含む原料ガスを用いるプラズマCVD法が、プラズマによる酸化物半導体への水素拡散の促進効果もあるため望ましい。この際、原料中の水素が酸化物半導体層に拡散し、チャネル保護層がない領域の酸化物半導体層が低抵抗化する。これにより、ソース領域・ドレイン領域、酸化物半導体配線層および蓄積容量上部電極14aが形成される。また、自己整合的に形成されたチャネル保護層15をマスクとしてドレイン領域・ソース領域14aが形成されるので、ゲート電極に対するドレイン領域・ソース領域の重なりを小さくすることができる。これにより、寄生容量の小さいTFETの作製が可能である。また、ゲート電極層11が存在しない領域上の酸化物半導体層の上にはチャネル保護層15は形成されていないため、その領域上の酸化物半導体層はすべて低抵抗化する。

40

最後に外部と電気的な接続を行うために、フォトリソグラフィ法とエッチング法により、保護層16にコンタクトホールを形成する。

#### 【0022】

図2に、蓄積容量の上部電極の絶縁層と接する側に低抵抗化した酸化物半導体層を用いた場合( )と金属のみを電極に用いた場合( )の電極間におけるリーク電流密度の比較を示す。図2に示すように、蓄積容量の上部電極の絶縁層と接する側に酸化物半導体層を用いた場合の方が、リーク電流密度が小さいことが分かる。このように低抵抗化した酸化物半導体層を蓄積容量の上部電極に用いる場合、リーク電流密度低減の効果も期待でき

50

る。

こうして、ボトムゲート型コプラナー構造酸化物半導体TFETを有する本発明の回路が完成する。

#### 【実施例】

##### 【0023】

これより、本発明の実施例についてさらに詳細に説明するが、本発明はこれらによって何ら限定されるものではない。

##### (実施例1)

図1及び図8に示す1つの蓄積容量に対して1つのボトムゲート型コプラナー構造の酸化物半導体TFETを有する回路を作成する。ただし、図1は作成する回路の一部分を示すものであり、作成する回路は図1に示す蓄積容量とTFETを二次元状に複数配する(同一平面上に縦横に複数配置する)ことで形成される。

##### 【0024】

まず、PET基板10の上に、ゲート電極層11を形成するための電極層をスパッタ法により成膜する。(図7(a))

電極材料にはMoを用い、膜厚は100nmである。その後、フォトリソグラフィー法とエッチング法とを用いて電極をパターニングし、ゲート電極層11とする。

##### 【0025】

次に、ゲート配線層12aおよび容量下部電極層12bをスパッタ法により形成する。(図7(b))

ゲート配線12aおよび容量下部電極12bの材料には、ITOを用い、膜厚は100nmである。

##### 【0026】

次に、ゲート絶縁層13として200nmのシリコン酸化膜を、スパッタ法を用いて成膜。(図7(c))

該シリコン酸化膜はRFスパッタ装置を用いて基板温度は室温(25℃)で形成する。ターゲットは4インチ径のSiO<sub>2</sub>を用い、投入RFパワーは500Wである。成膜時の雰囲気は、全圧0.5Paであり、その際のガス流量はAr = 100%である。

##### 【0027】

次に、ゲート絶縁層13の上に形成される酸化物半導体層14として、膜厚30nmのアモルファスIGZO(In-Ga-Zn-O)を成膜する。(図7(d))

該酸化物半導体層は、DCスパッタ装置を用いて基板温度は室温(25℃)で形成する。ターゲットは4インチ径のInGaZnO<sub>4</sub>組成を有する多結晶焼結体を用い、投入RFパワーは150Wとする。成膜時の雰囲気は、全圧0.5Paとし、その際のガス流量はAr : O<sub>2</sub> = 98 : 2とする。その後、フォトリソグラフィー法とエッチング法を用いて酸化物半導体層14をパターニングする。

##### 【0028】

次に、酸化物半導体層14の上にチャネル保護層15として、スパッタ法により、膜厚100nmのシリコン酸化膜を成膜する。

該シリコン酸化膜はRFスパッタ装置を用いて基板温度は室温で形成する。ターゲットは4インチ径のSiO<sub>2</sub>を用い、投入RFパワーは500Wとする。シリコン酸化膜成膜時の雰囲気は、全圧0.5Paであり、その際のガス流量はAr : O<sub>2</sub> = 90 : 10である。そして、ゲート電極層11をマスクとして裏面露光を用いたフォトリソグラフィー法とエッチング法により、チャネル保護層15をパターニングする。(図7(e))

##### 【0029】

さらに保護層16として、プラズマCVD法により、膜厚300nmのシリコン窒化膜を成膜する。このプラズマCVD法によるシリコン窒化膜の形成時の基板温度は150℃とする。また、プロセスガスには、SiH<sub>4</sub>、NH<sub>3</sub>、N<sub>2</sub>を用い、ガス流量比はSiH<sub>4</sub> : NH<sub>3</sub> : N<sub>2</sub> = 1 : 2.5 : 2.5とする。また、投入RFパワー密度と圧力はそれぞれ0.9W/cm<sup>2</sup>、150Paとする。

10

20

30

40

50

保護層 16 の形成と同時にチャネル保護層 15 の無い領域の酸化物半導体層が、水素添加処理によって低抵抗化し、ソース領域・ドレイン領域、酸化物半導体配線層および蓄積容量上部電極 14a となる。

#### 【0030】

最後に外部と電気的な接続を行うために、フォトリソグラフィー法とエッチング法により、保護層 16 にコンタクトホール（図示せず）を形成する。

以上の工程により、本発明の酸化物半導体 TFT を有する回路が完成する。

本発明の回路の構成により、電気特性や寄生容量の基板内でのバラツキが小さい酸化物半導体 TFT を有する回路を作製することが可能である。

#### 【0031】

（実施例 2）

図 3 に示す 1 つの蓄積容量に対して 2 つのボトムゲート型コプラナー構造の酸化物半導体 TFT を有する回路を作成する。ただし、図 3 は作成する回路の一部分を示すものであり、作成した回路は図 3 に示す蓄積容量と TFT を二次元状に複数配する（同一平面上に縦横に複数配置する）ことで形成される。図 10 は、図 3 の回路における B - B' 断面図であり、配線交差部、薄膜トランジスタ部、蓄積容量部を示す。

#### 【0032】

まず、PET 基板 10 の上に、ゲート電極層 11 を形成するための電極層をスパッタ法により形成する。電極材料には Mo を用い、膜厚は 100 nm である。その後、フォトリソグラフィー法とエッチング法とを用いて電極をパターニングし、ゲート電極層 11 およびゲート配線層 11a とする。（図 9（a））

#### 【0033】

次に、画素内配線層 12a および蓄積容量下部電極層 12b をスパッタ法により形成する。（図 9（b））

ゲート配線 12a および容量下部電極 12b の材料には、ITO を用い、膜厚は 100 nm である。

実施例 1 と異なり、酸化物半導体配線層および蓄積容量上部電極層 14a が上部に形成される領域周辺以外のゲート配線層のほとんどは第 1 のゲート配線層 11a で形成される。

#### 【0034】

次に、ゲート絶縁層 13 として 200 nm のシリコン酸化膜を、スパッタ法を用いて成膜する。（図 9（c））

該シリコン酸化膜は RF スパッタ装置を用いて基板温度は室温で成膜する。ターゲットには SiO<sub>2</sub> を用い、投入 RF パワーは 500 W である。成膜時の雰囲気は、全圧 0.5 Pa であり、その際のガス流量は Ar = 100 % である。

#### 【0035】

次にフォトリソグラフィー法とエッチング法により、ゲート絶縁層 13 に第 1 のコンタクトホール 18 を形成する。（図 9（d））

その後、酸化物半導体層 14、チャネル保護層 15 及び保護層 16 を実施例 1 と同様に形成する。（図 9（e））

次にフォトリソグラフィー法とエッチング法により、保護層 16 に第 2 のコンタクトホール 19 を形成する。

#### 【0036】

さらにソース・ドレイン配線層 17 を形成するための電極層をスパッタ法により成膜する。電極材料には Mo を用い、膜厚は 200 nm とする。その後、フォトリソグラフィー法とエッチング法により、ソース・ドレイン配線層 17 をパターニングする。

以上の工程により、本発明の酸化物半導体 TFT を有する回路が完成となる。

本発明の回路の構成により、電気特性や寄生容量の基板内でのバラツキが小さい酸化物半導体 TFT を有する回路を作製することが可能である。

#### 【0037】



### (実施例 3)

本実施例ではボトムゲート型コプラナー構造の酸化物半導体 TFT を用いた図 4 の表示装置について説明する。酸化物半導体 TFT を有する回路 (駆動回路) の製造工程は、前記実施例 1 と同様である。実施例 1 と同様の方法で、プラスチック基板 110 の上に酸化物半導体 TFT 121 を有する回路 120 を形成後、フォトリソグラフィ法とエッチング法により、保護層 16 にコンタクトホールを形成する。

さらに、画素電極 140 をスパッタ法により成膜する。電極材料には、ITO を用い、膜厚は 100 nm である。この上にポリイミド膜 150 を塗布し、ラビング工程を施す。

#### 【0038】

一方で、同じくプラスチック基板 190 の上に ITO 膜 180 とポリイミド膜 170 を形成し、ラビング工程を施したものを用意する。さらに前記酸化物半導体 TFT を有する回路 120 を形成した基板 110 と 5  $\mu$ m の空隙を空けて対向させ、間にネマチック液晶 160 を注入する。さらにこの構造体の両側に一对の偏光板 100、200 を設ける。ここで、信号線 130 に電圧を印加し、酸化物半導体 TFT 121 のゲート電極 131 の電圧を変化させると、画素電極 ITO 140 の領域のみ、光透過率が変化する。またその透過率は、酸化物半導体 TFT 121 がオン状態となるゲート電圧の下ではソース・ドレイン間電圧によっても連続的に変化させることができる。このようにして、図 4 に示す液晶セルを表示素子 (発光素子) とする表示装置を作成する。

本発明の回路の構成では、ゲート電極層以外、可視光に対して透明な材料で形成されているため、非常に開口率の高い回路を実現することが可能である。

#### 【0039】

### (実施例 4)

本実施例ではボトムゲート型コプラナー構造の酸化物半導体 TFT を有する回路を用いた図 5 の表示装置について説明する。酸化物半導体 TFT を有する回路の製造工程は、前記実施例 2 と同様である。まず本発明の酸化物半導体 TFT を有する回路 120 の上に平坦化層 310 を形成する。平坦化層 310 にはポリイミド膜を用いる。そして、保護層 16 および平坦化層 310 にフォトリソグラフィ法とエッチング法を用いてコンタクトホールを形成する。そして、酸化物半導体配線層 300 上に保護層 16 および絶縁層 310 に形成されたコンタクトホールを介して電極 320 を形成する。電極 320 にはスパッタ法により形成した ITO を用いる。次に電極 320 の上に正孔輸送層 330、発光層 340 を蒸着法により形成する。正孔輸送層 330、発光層 340 にはそれぞれ NPD (4,4'-bis[N-(1-naphthyl)-N-phenyl-amino]biphenyl)、Alq<sub>3</sub> (tris(8-hydroxyquinoline)) を用いる。さらに発光層 340 の上に電極 350 を蒸着法により形成する。電極材料には Al を用いる。このようにして、図 5 に示す、ボトムエミッション型の有機 EL 素子を表示素子とする表示装置を作製する。

本発明の回路の構成では、画素回路内はゲート電極層以外、可視光に対して透明な材料で形成されているため、非常に開口率の高い画素回路を実現することが可能である。

#### 【産業上の利用可能性】

#### 【0040】

本発明の酸化物半導体 TFT を有する回路は、液晶ディスプレイや有機 EL ディスプレイの駆動回路として応用することができる。また、プラスチックフィルムをはじめとするフレキシブル基板への適用に対して有利であり、フレキシブル・ディスプレイへの応用が可能である。

#### 【符号の説明】

#### 【0041】

- 10 基板
- 11 ゲート電極層
- 11a ゲート配線層
- 12a ゲート配線層および画素内配線層
- 12b 蓄積容量下部電極

10

20

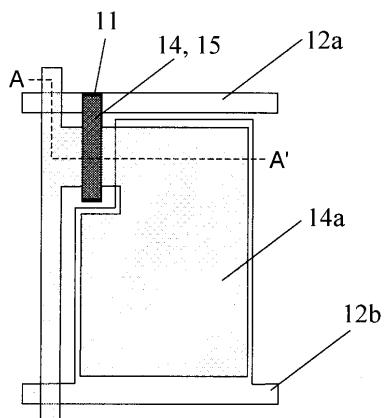
30

40

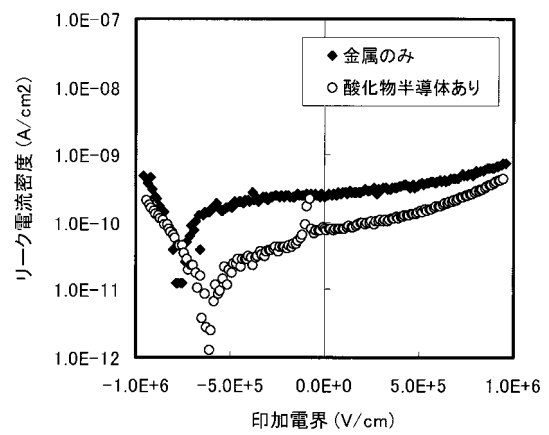
50

- 1 3 ゲート絶縁層
- 1 4 酸化物半導体層
- 1 4 a ソース・ドレイン領域、酸化物半導体配線層および蓄積容量上部電極
- 1 5 チャネル保護層
- 1 6 保護層

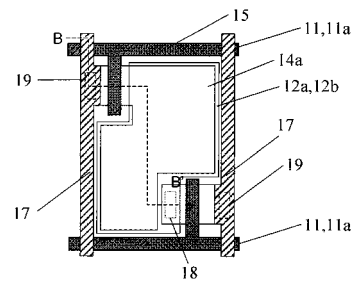
【図 1】



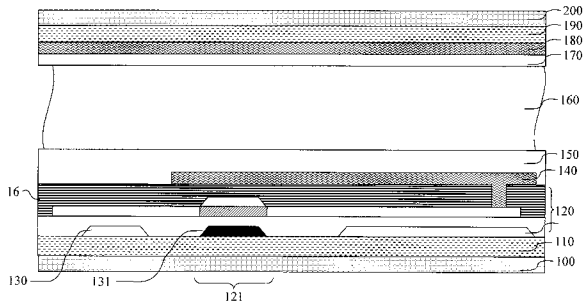
【図 2】



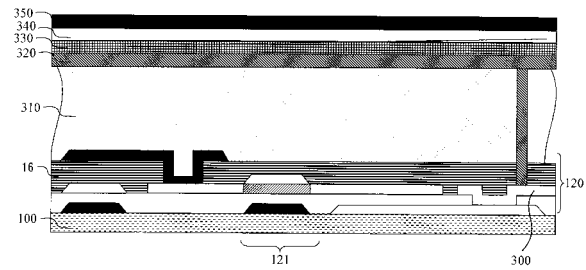
【図 3】



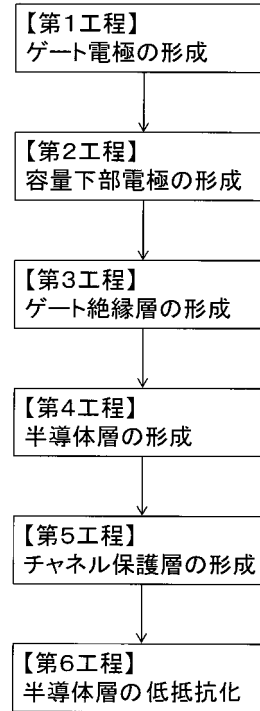
【図 4】



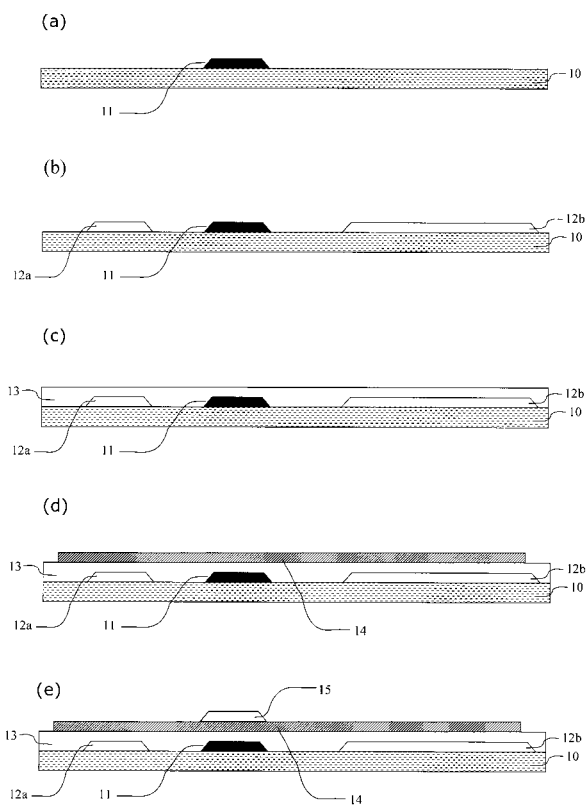
【図 5】



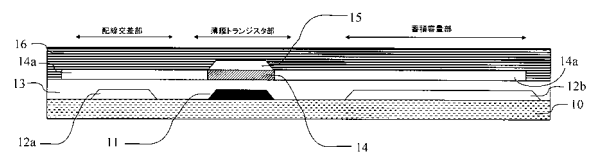
【図 6】



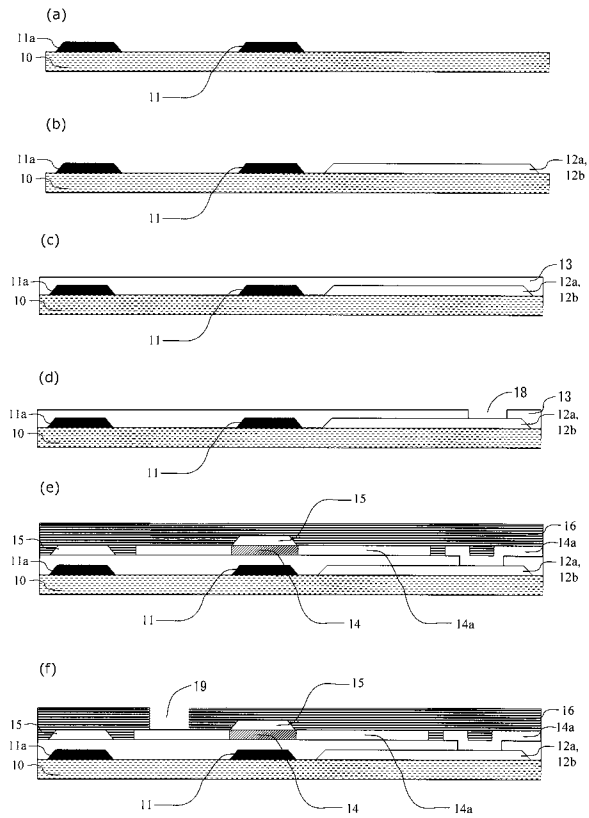
【図 7】



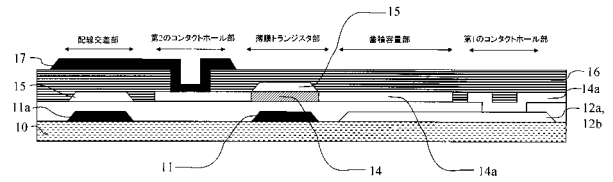
【図 8】



【図 9】



【図 10】



---

フロントページの続き

F ターム(参考) 2H092 JA26 JB69 KA05 KA07 KA12 KA18 KB04 MA04 MA05 MA07  
MA13 MA41 NA21 NA24 PA01  
3K107 AA01 BB01 CC11 CC24 CC33 CC36 CC45 EE03 FF06  
5F110 AA02 AA06 AA30 BB01 CC07 DD01 DD02 EE02 EE03 EE04  
EE11 EE43 EE44 EE45 FF02 FF03 FF27 FF28 FF30 GG01  
GG15 GG25 GG42 GG43 HL04 HL07 HL23 NN02 NN03 NN04  
NN05 NN12 NN22 NN23 NN24 NN27 NN35 NN71 NN72 QQ08  
QQ11 QQ12 QQ19