



(12)发明专利申请

(10)申请公布号 CN 111294792 A

(43)申请公布日 2020.06.16

(21)申请号 202010089335.0

(22)申请日 2017.09.21

(62)分案原申请数据

201780092505.7 2017.09.21

(71)申请人 OPPO广东移动通信有限公司

地址 523860 广东省东莞市长安镇乌沙海
滨路18号

(72)发明人 唐海

(74)专利代理机构 北京派特恩知识产权代理有
限公司 11270

代理人 侯艳华 张颖玲

(51)Int.Cl.

H04W 8/24(2009.01)

H04W 28/02(2009.01)

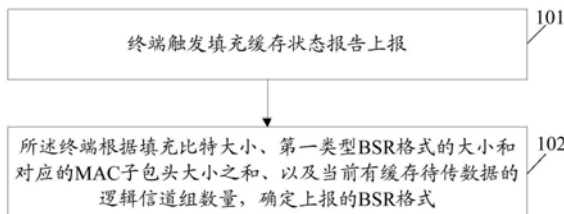
权利要求书4页 说明书15页 附图5页

(54)发明名称

一种缓存状态上报方法、终端和计算机存储
介质

(57)摘要

本发明实施例公开了一种缓存状态上报方
法,所述方法包括:终端触发填充缓存状态报告
(padding BSR)上报;所述终端根据填充比特大
小、第一类型BSR格式的大小和对应的媒体接入
控制(MAC)子包头大小之和、以及当前有缓存待
传数据的逻辑信道组数量,确定上报的BSR格式;
所述BSR格式对应的逻辑信道组数量大于等于1,
小于等于当前有缓存待传数据的逻辑信道组的
最大数量。



1. 一种缓存状态上报方法,所述方法包括:

终端触发填充缓存状态报告padding BSR上报;

所述终端根据填充比特大小、第一类型BSR格式的大小和对应的媒体接入控制MAC子包头大小之和、以及当前有缓存待传数据的逻辑信道组数量,确定上报的BSR格式;所述BSR格式对应的逻辑信道组数量大于等于1,小于等于当前有缓存待传数据的逻辑信道组的最大数量。

2. 根据权利要求1所述的方法,其中,所述终端根据填充比特大小、第一类型BSR格式的大小和对应的MAC子包头大小之和、以及当前有缓存待传数据的逻辑信道组数量,确定上报的BSR格式,包括:

当所述填充比特大小大于所述第一类型BSR格式的大小和对应的MAC子包头大小之和、小于第二类型BSR格式的最大长度和对应的MAC子包头大小之和、且当前有缓存待传数据的逻辑信道组数量为至少两个时,基于当前有缓存待传数据的逻辑信道组对应的第二类型BSR格式的大小和对应的MAC子包头大小之和以及所述填充比特大小确定上报的BSR格式。

3. 根据权利要求2所述的方法,其中,所述基于当前有缓存待传数据的逻辑信道组对应的第二类型BSR格式的大小和对应的MAC子包头大小之和以及所述填充比特大小确定上报的BSR格式,包括:

若当前有缓存待传数据的逻辑信道组对应的第二类型BSR格式的大小和对应的MAC子包头大小之和小于等于所述填充比特大小,确定上报第二类型BSR格式,所述第二类型BSR格式对应的逻辑信道组数量等于当前有缓存待传数据的逻辑信道组的数量。

4. 根据权利要求2所述的方法,其中,所述基于当前有缓存待传数据的逻辑信道组对应的第二类型BSR格式的大小和对应的MAC子包头大小之和以及所述填充比特大小确定上报的BSR格式,包括:

若当前有缓存待传数据的逻辑信道组对应的第二类型BSR格式的大小和对应的MAC子包头大小之和大于所述填充比特大小,确定上报第三类型BSR格式,所述第三类型BSR格式对应的逻辑信道组数量大于1,小于当前有缓存待传数据的逻辑信道组的数量。

5. 根据权利要求1所述的方法,其中,所述终端根据填充比特大小、第一类型BSR格式的大小和对应的MAC子包头大小之和、以及当前有缓存待传数据的逻辑信道组数量,确定上报的BSR格式,包括:

当所述填充比特大小大于所述第一类型BSR格式的大小和对应的MAC子包头大小之和、小于第二类型BSR格式的最大长度和对应的MAC子包头大小之和、且当前有缓存待传数据的逻辑信道组数量为一个时,确定上报所述第一类型BSR格式。

6. 根据权利要求1所述的方法,其中,所述终端根据填充比特大小、第一类型BSR格式的大小和对应的MAC子包头大小之和、以及当前有缓存待传数据的逻辑信道组数量,确定上报的BSR格式,包括:

当所述填充比特大小大于第二类型BSR格式的最大长度和对应的MAC子包头大小之和时,确定上报第二类型BSR格式,所述第二类型BSR格式对应的逻辑信道组数量等于当前有缓存待传数据的逻辑信道组的数量。

7. 根据权利要求1所述的方法,其中,所述终端根据填充比特大小、第一类型BSR格式的大小和对应的MAC子包头大小之和、以及当前有缓存待传数据的逻辑信道组数量,确定上报

的BSR格式,包括:

当所述填充比特大小等于所述第一类型BSR格式的大小和对应的MAC子包头大小之和、且当前有缓存待传数据的逻辑信道组数量为至少两个时,确定上报第四类型BSR格式,所述第四类型BSR格式对应至少两个逻辑信道组中的一个逻辑信道组。

8. 根据权利要求1所述的方法,其中,所述终端根据填充比特大小、第一类型BSR格式的大小和对应的MAC子包头大小之和、以及当前有缓存待传数据的逻辑信道组数量,确定上报的BSR格式,包括:

当所述填充比特大小等于所述第一类型BSR格式的大小和对应的MAC子包头大小之和、且当前有缓存待传数据的逻辑信道组数量为一个时,确定上报所述第一类型BSR格式,所述第一类型BSR格式对应所述逻辑信道组。

9. 根据权利要求1至6任一项所述的方法,其中,所述第二类型BSR格式包括所有当前有缓存待传数据的逻辑信道组的标识以及对应的缓存状态信息;

每个逻辑信道组的缓存状态信息按照对应的标识顺序依次排列。

10. 根据权利要求1至6任一项所述的方法,其中,所述第二类型BSR格式包括:第一比特图,所述第一比特图中的比特位对应于当前有缓存待传数据的逻辑信道组;

所述第二类型BSR格式还包括所述当前有缓存待传数据的逻辑信道组中每个逻辑信道组的缓存状态信息;

每个逻辑信道组的缓存状态信息按照对应于所述第一比特图中的排序依次排列。

11. 根据权利要求4所述的方法,其中,所述确定上报第三类型BSR格式之前,所述方法还包括:

将所述当前有缓存待传数据的逻辑信道组按照优先级排序;

按照优先级排序结果在所述当前有缓存待传数据的逻辑信道组中选择满足所述填充比特的部分逻辑信道组。

12. 根据权利要求11所述的方法,其中,所述第三类型BSR包括:第二比特图,所述第二比特图中的比特位对应于所述部分逻辑信道组;

所述第三类型BSR还包括所述部分逻辑信道组中每个逻辑信道组的缓存状态信息;

所述部分逻辑信道组中每个逻辑信道组的缓存状态信息按照所述部分逻辑信道组对应于所述第二比特图中的排序依次排列。

13. 根据权利要求11所述的方法,其中,所述第三类型BSR包括所述部分逻辑信道组中每个逻辑信道组的标识以及对应的缓存状态信息;

所述部分逻辑信道组中每个逻辑信道组的缓存状态信息按照部分逻辑信道组标识的顺序依次排列。

14. 一种终端,所述终端包括:触发单元和确定单元;

所述触发单元,配置为触发填充缓存状态报告上报;

所述确定单元,配置为根据填充比特大小、第一类型BSR格式的大小和对应的媒体接入控制MAC子包头大小之和、以及当前有缓存待传数据的逻辑信道组数量,确定上报的BSR格式;所述BSR格式对应的逻辑信道组数量大于等于1,小于等于当前有缓存待传数据的逻辑信道组的最大数量。

15. 根据权利要求14所述的终端,其中,所述确定单元,配置为当所述填充比特大小大

于所述第一类型BSR格式的大小和对应的MAC子包头大小之和、小于第二类型BSR格式的最大长度和对应的MAC子包头大小之和、且当前有缓存待传数据的逻辑信道组数量为至少两个时,基于当前有缓存待传数据的逻辑信道组对应的第二类型BSR格式的大小和对应的MAC子包头大小之和以及所述填充比特大小确定上报的BSR格式。

16. 根据权利要求15所述的终端,其中,所述确定单元,配置为若当前有缓存待传数据的逻辑信道组对应的第二类型BSR格式的大小和对应的MAC子包头大小之和小于等于所述填充比特大小,确定上报第二类型BSR格式,所述第二类型BSR格式对应的逻辑信道组数量等于当前有缓存待传数据的逻辑信道组的数量。

17. 根据权利要求15所述的终端,其中,所述确定单元,配置为若当前有缓存待传数据的逻辑信道组对应的第二类型BSR格式的大小和对应的MAC子包头大小之和大于所述填充比特大小,确定上报第三类型BSR格式,所述第三类型BSR格式对应的逻辑信道组数量大于1,小于当前有缓存待传数据的逻辑信道组的数量。

18. 根据权利要求14所述的终端,其中,所述确定单元,配置为当所述填充比特大小大于所述第一类型BSR格式的大小和对应的MAC子包头大小之和、小于第二类型BSR格式的最大长度和对应的MAC子包头大小之和、且当前有缓存待传数据的逻辑信道组数量为一个时,确定上报所述第一类型BSR格式。

19. 根据权利要求14所述的终端,其中,所述确定单元,配置为当所述填充比特大小大于第二类型BSR格式的最大长度和对应的MAC子包头大小之和时,确定上报第二类型BSR格式,所述第二类型BSR格式对应的逻辑信道组数量等于当前有缓存待传数据的逻辑信道组的数量。

20. 根据权利要求14所述的终端,其中,所述确定单元,配置为当所述填充比特大小等于所述第一类型BSR格式的大小和对应的MAC子包头大小之和、且当前有缓存待传数据的逻辑信道组数量为至少两个时,确定上报第四类型BSR格式,所述第四类型BSR格式对应至少两个逻辑信道组中的一个逻辑信道组。

21. 根据权利要求14所述的终端,其中,所述确定单元,配置为当所述填充比特大小等于所述第一类型BSR格式的大小和对应的MAC子包头大小之和、且当前有缓存待传数据的逻辑信道组数量为一个时,确定上报所述第一类型BSR格式,所述第一类型BSR格式对应所述逻辑信道组。

22. 根据权利要求14至19任一项所述的终端,其中,所述第二类型BSR格式包括所有当前有缓存待传数据的逻辑信道组的标识以及对应的缓存状态信息;每个逻辑信道组的缓存状态信息按照对应的标识顺序依次排列。

23. 根据权利要求14至19任一项所述的终端,其中,所述第二类型BSR格式包括:第一比特图,所述第一比特图中的比特位对应于当前有缓存待传数据的逻辑信道组;所述第二类型BSR格式还包括所述当前有缓存待传数据的逻辑信道组中每个逻辑信道组的缓存状态信息;每个逻辑信道组的缓存状态信息按照对应于所述第一比特图中的排序依次排列。

24. 根据权利要求17所述的终端,其中,所述终端还包括排序单元,配置为所述确定单元确定上报第三类型BSR格式之前,将所述当前有缓存待传数据的逻辑信道组按照优先级排序;按照优先级排序结果在所述当前有缓存待传数据的逻辑信道组中选择满足所述填充比特的部分逻辑信道组。

25. 根据权利要求24所述的终端,其中,所述第三类型BSR包括:第二比特图,所述第二比特图中的比特位对应于所述部分逻辑信道组;所述第三类型BSR还包括所述部分逻辑信道组中每个逻辑信道组的缓存状态信息;所述部分逻辑信道组中每个逻辑信道组的缓存状态信息按照所述部分逻辑信道组对应于所述第二比特图中的排序依次排列。

26. 根据权利要求24所述的终端,其中,所述第三类型BSR包括所述部分逻辑信道组中每个逻辑信道组的标识以及对应的缓存状态信息;所述部分逻辑信道组中每个逻辑信道组的缓存状态信息按照部分逻辑信道组标识的顺序依次排列。

27. 一种计算机存储介质,其上存储有计算机指令,该指令被处理器执行时实现权利要求1-13任一项所述的缓存状态上报方法的步骤。

28. 一种终端,包括:存储器、处理器及存储在存储器上并可在处理器上运行的计算机程序,所述处理器执行所述程序时实现权利要求1-13任一项所述的缓存状态上报方法的步骤。

一种缓存状态上报方法、终端和计算机存储介质

[0001] 本申请是申请日为2017年9月21日的PCT国际专利申请PCT/CN2017/102662进入中国国家阶段的中国专利申请号201780092505.7、发明名称为“一种缓存状态上报方法、终端和计算机存储介质”的分案申请。

技术领域

[0002] 本发明涉及无线通信技术,具体涉及一种缓存状态上报方法、终端和计算机存储介质。

背景技术

[0003] 终端通过上报缓存状态报告(BSR,Buffer Status Report)的形式告知基站自身缓存的待传输数据状态,以便基站能够更准确的给终端分配无线资源。根据触发BSR事件的不同,BSR可分为常规BSR(Regular BSR)、填充BSR(Padding BSR)和周期BSR(Periodic BSR)。根据BSR的格式,BSR可分为短BSR(short BSR)、长BSR(long BSR)和截短BSR(truncated BSR)。其中,Padding BSR的承载方式是承载在媒体接入控制层协议数据单元(MAC PDU,Media Access Control Protocol Data Unit)的填充比特(padding bit)内。

[0004] 当终端触发的BSR类型是Padding BSR,且有多个逻辑信道有数据传输,且填充比特长度大于等于一个short BSR及其对应的媒体接入控制(MAC,Media Access Control)子包头,但不足以用来发送long BSR及其对应的MAC子包头时,终端采用truncated BSR类型上报BSR。

[0005] 但是,truncated BSR采用1字节(byte)的格式,这种格式的truncated BSR仅能上报多个逻辑信道组中的一个逻辑信道组对应的缓存数据状态,而无法上报有数据传输的多个逻辑信道组对应的缓存数据状态,使得基站无法获知所有有数据传输的逻辑信道组对应的缓存数据状态,从而也无法准确的给终端分配无线资源。

发明内容

[0006] 为解决现有技术存在的问题,本发明实施例提供一种缓存状态上报方法、终端和计算机存储介质。

[0007] 本发明实施例公开了一种缓存状态上报方法,所述方法包括:

[0008] 终端触发填充缓存状态报告上报;

[0009] 所述终端根据填充比特大小、第一类型BSR格式的大小和对应的MAC子包头大小之和、以及当前有缓存待传数据的逻辑信道组数量,确定上报的BSR格式;所述BSR格式对应的逻辑信道组数量大于等于1,小于等于当前有缓存待传数据的逻辑信道组的最大数量。

[0010] 在一实施例中,所述终端根据填充比特大小、第一类型BSR格式的大小和对应的MAC子包头大小之和、以及当前有缓存待传数据的逻辑信道组数量,确定上报的BSR格式,包括:

[0011] 当所述填充比特大小大于所述第一类型BSR格式的大小和对应的MAC子包头大小

之和、小于第二类型BSR格式的最大长度和对应的MAC子包头大小之和、且当前有缓存待传数据的逻辑信道组数量为至少两个时，基于当前有缓存待传数据的逻辑信道组对应的第二类型BSR格式的大小和对应的MAC子包头大小之和以及所述填充比特大小确定上报的BSR格式。

[0012] 在一实施例中，所述基于当前有缓存待传数据的逻辑信道组对应的第二类型BSR格式的大小和对应的MAC子包头大小之和以及所述填充比特大小确定上报的BSR格式，包括：

[0013] 若当前有缓存待传数据的逻辑信道组对应的第二类型BSR格式的大小和对应的MAC子包头大小之和小于等于所述填充比特大小，确定上报第二类型BSR格式，所述第二类型BSR格式对应的逻辑信道组数量等于当前有缓存待传数据的逻辑信道组的数量。

[0014] 在一实施例中，所述基于当前有缓存待传数据的逻辑信道组对应的第二类型BSR格式的大小和对应的MAC子包头大小之和以及所述填充比特大小确定上报的BSR格式，包括：

[0015] 若当前有缓存待传数据的逻辑信道组对应的第二类型BSR格式的大小和对应的MAC子包头大小之和大于所述填充比特大小，确定上报第三类型BSR格式，所述第三类型BSR格式对应的逻辑信道组数量大于1，小于当前有缓存待传数据的逻辑信道组的数量。

[0016] 在一实施例中，所述终端根据填充比特大小、第一类型BSR格式的大小和对应的MAC子包头大小之和、以及当前有缓存待传数据的逻辑信道组数量，确定上报的BSR格式，包括：

[0017] 当所述填充比特大小大于所述第一类型BSR格式的大小和对应的MAC子包头大小之和、小于第二类型BSR格式的最大长度和对应的MAC子包头大小之和、且当前有缓存待传数据的逻辑信道组数量为一个时，确定上报所述第一类型BSR格式。

[0018] 在一实施例中，所述终端根据填充比特大小、第一类型BSR格式的大小和对应的MAC子包头大小之和、以及当前有缓存待传数据的逻辑信道组数量，确定上报的BSR格式，包括：

[0019] 当所述填充比特大小大于第二类型BSR格式的最大长度和对应的MAC子包头大小之和时，确定上报第二类型BSR格式，所述第二类型BSR格式对应的逻辑信道组数量等于当前有缓存待传数据的逻辑信道组的数量。

[0020] 在一实施例中，所述终端根据填充比特大小、第一类型BSR格式的大小和对应的MAC子包头大小之和、以及当前有缓存待传数据的逻辑信道组数量，确定上报的BSR格式，包括：

[0021] 当所述填充比特大小等于所述第一类型BSR格式的大小和对应的MAC子包头大小之和、且当前有缓存待传数据的逻辑信道组数量为至少两个时，确定上报第四类型BSR格式，所述第四类型BSR格式对应至少两个逻辑信道组中的一个逻辑信道组。

[0022] 在一实施例中，所述终端根据填充比特大小、第一类型BSR格式的大小和对应的MAC子包头大小之和、以及当前有缓存待传数据的逻辑信道组数量，确定上报的BSR格式，包括：

[0023] 当所述填充比特大小等于所述第一类型BSR格式的大小和对应的MAC子包头大小之和、且当前有缓存待传数据的逻辑信道组数量为一个时，确定上报所述第一类型BSR格

式,所述第一类型BSR格式对应所述逻辑信道组。

[0024] 在一实施例中,所述第二类型BSR格式包括所有当前有缓存待传数据的逻辑信道组的标识以及对应的缓存状态信息;

[0025] 每个逻辑信道组的缓存状态信息按照对应的标识顺序依次排列。

[0026] 在一实施例中,所述第二类型BSR格式包括:第一比特图,所述第一比特图中的比特位对应于当前有缓存待传数据的逻辑信道组;

[0027] 所述第二类型BSR格式还包括所述当前有缓存待传数据的逻辑信道组中每个逻辑信道组的缓存状态信息;

[0028] 每个逻辑信道组的缓存状态信息按照对应于所述第一比特图中的排序依次排列。

[0029] 在一实施例中,所述确定上报第三类型BSR格式之前,所述方法还包括:

[0030] 将所述当前有缓存待传数据的逻辑信道组按照优先级排序;

[0031] 按照优先级排序结果在所述当前有缓存待传数据的逻辑信道组中选择满足所述填充比特的部分逻辑信道组。

[0032] 在一实施例中,所述第三类型BSR包括:第二比特图,所述第二比特图中的比特位对应于所述部分逻辑信道组;

[0033] 所述第三类型BSR还包括所述部分逻辑信道中每个逻辑信道组的缓存状态信息;

[0034] 所述部分逻辑信道组中每个逻辑信道组的缓存状态信息按照所述部分逻辑信道组对应于所述第二比特图中的排序依次排列。

[0035] 在一实施例中,所述第三类型BSR包括所述部分逻辑信道组中每个逻辑信道组的标识以及对应的缓存状态信息;

[0036] 所述部分逻辑信道组中每个逻辑信道组的缓存状态信息按照部分逻辑信道组标识的顺序依次排列。

[0037] 本发明实施例还提供了一种终端,所述终端包括:触发单元和确定单元;

[0038] 所述触发单元,配置为触发填充缓存状态报告上报;

[0039] 所述确定单元,配置为根据填充比特大小、第一类型BSR格式的大小和对应的MAC子包头大小之和、以及当前有缓存待传数据的逻辑信道组数量,确定上报的BSR格式;所述BSR格式对应的逻辑信道组数量大于等于1,小于等于当前有缓存待传数据的逻辑信道组的最大数量。

[0040] 在一实施例中,所述确定单元,配置为当所述填充比特大小大于所述第一类型BSR格式的大小和对应的MAC子包头大小之和、小于第二类型BSR格式的最大长度和对应的MAC子包头大小之和、且当前有缓存待传数据的逻辑信道组数量为至少两个时,基于当前有缓存待传数据的逻辑信道组对应的第二类型BSR格式的大小和对应的MAC子包头大小之和以及所述填充比特大小确定上报的BSR格式。

[0041] 在一实施例中,所述确定单元,配置为若当前有缓存待传数据的逻辑信道组对应的第二类型BSR格式的大小和对应的MAC子包头大小之和小于等于所述填充比特大小,确定上报第二类型BSR格式,所述第二类型BSR格式对应的逻辑信道组数量等于当前有缓存待传数据的逻辑信道组的数量。

[0042] 在一实施例中,所述确定单元,配置为若当前有缓存待传数据的逻辑信道组对应的第二类型BSR格式的大小和对应的MAC子包头大小之和大于所述填充比特大小,确定上报

第三类型BSR格式,所述第三类型BSR格式对应的逻辑信道组数量大于1,小于当前有缓存待传数据的逻辑信道组的数量。

[0043] 在一实施例中,所述确定单元,配置为当所述填充比特大小大于所述第一类型BSR格式的大小和对应的MAC子包头大小之和、小于第二类型BSR格式的最大长度和对应的MAC子包头大小之和、且当前有缓存待传数据的逻辑信道组数量为一个时,确定上报所述第一类型BSR格式。

[0044] 在一实施例中,所述确定单元,配置为当所述填充比特大小大于第二类型BSR格式的最大长度和对应的MAC子包头大小之和时,确定上报第二类型BSR格式,所述第二类型BSR格式对应的逻辑信道组数量等于当前有缓存待传数据的逻辑信道组的数量。

[0045] 在一实施例中,所述确定单元,配置为当所述填充比特大小等于所述第一类型BSR格式的大小和对应的MAC子包头大小之和、且当前有缓存待传数据的逻辑信道组数量为至少两个时,确定上报第四类型BSR格式,所述第四类型BSR格式对应至少两个逻辑信道组中的一个逻辑信道组。

[0046] 在一实施例中,所述确定单元,配置为当所述填充比特大小等于所述第一类型BSR格式的大小和对应的MAC子包头大小之和、且当前有缓存待传数据的逻辑信道组数量为一个时,确定上报所述第一类型BSR格式,所述第一类型BSR格式对应所述逻辑信道组。

[0047] 在一实施例中,所述第二类型BSR格式包括所有当前有缓存待传数据的逻辑信道组的标识以及对应的缓存状态信息;每个逻辑信道组的缓存状态信息按照对应的标识顺序依次排列。

[0048] 在一实施例中,所述第二类型BSR格式包括:第一比特图,所述第一比特图中的比特位对应于当前有缓存待传数据的逻辑信道组;所述第二类型BSR格式还包括所述当前有缓存待传数据的逻辑信道组中每个逻辑信道组的缓存状态信息;每个逻辑信道组的缓存状态信息按照对应于所述第一比特图中的排序依次排列。

[0049] 在一实施例中,所述终端还包括排序单元,配置为所述确定单元确定上报第三类型BSR格式之前,将所述当前有缓存待传数据的逻辑信道组按照优先级排序;按照优先级排序结果在所述当前有缓存待传数据的逻辑信道组中选择满足所述填充比特的部分逻辑信道组。

[0050] 在一实施例中,所述第三类型BSR包括:第二比特图,所述第二比特图中的比特位对应于所述部分逻辑信道组;所述第三类型BSR还包括所述部分逻辑信道组中每个逻辑信道组的缓存状态信息;所述部分逻辑信道组中每个逻辑信道组的缓存状态信息按照所述部分逻辑信道组对应于所述第二比特图中的排序依次排列。

[0051] 在一实施例中,所述第三类型BSR包括所述部分逻辑信道组中每个逻辑信道组的标识以及对应的缓存状态信息;所述部分逻辑信道组中每个逻辑信道组的缓存状态信息按照部分逻辑信道组标识的顺序依次排列。

[0052] 本发明实施例还提供了一种计算机存储介质,其上存储有计算机指令,该指令被处理器执行时实现本发明实施例所述的缓存状态上报方法的步骤。

[0053] 本发明实施例还提供了一种终端,包括:存储器、处理器及存储在存储器上并可在处理器上运行的计算机程序,所述处理器执行所述程序时实现本发明实施例所述的缓存状态上报方法的步骤。

[0054] 本发明实施例提供的缓存状态上报方法、终端和计算机存储介质,所述方法包括:终端触发填充缓存状态报告上报;所述终端根据填充比特大小、第一类型BSR格式的大小和对应的MAC子包头大小之和、以及当前有缓存待传数据的逻辑信道组数量,确定上报的BSR格式;所述BSR格式对应的逻辑信道组数量大于等于1,小于等于当前有缓存待传数据的逻辑信道组的最大数量。采用本发明实施例的技术方案,通过上报的BSR格式可对应大于等于1、小于等于当前有缓存待传数据的逻辑信道组的最大数量的逻辑信道组,实现了尽可能多的上报当前有缓存待传数据的逻辑信道组的缓存状态信息,从而使基站能够更多的获知终端当前有缓存待传数据的逻辑信道组的缓存情况,大大实现了为终端分配无线资源的准确率。

附图说明

- [0055] 图1为本发明实施例的缓存状态上报方法的一种流程示意图;
- [0056] 图2a至图2c分别为本发明实施例的缓存状态上报方法中的BSR格式的示意图;
- [0057] 图3为本发明实施例的缓存状态上报方法的另一种流程示意图;
- [0058] 图4为本发明实施例的终端的一种组成结构示意图;
- [0059] 图5为本发明实施例的终端的另一种组成结构示意图;
- [0060] 图6为本发明实施例的终端的硬件组成结构示意图。

具体实施方式

[0061] 下面结合附图及具体实施例对本发明作进一步详细的说明。

[0062] 实施例一

[0063] 本发明实施例提供了一种缓存状态上报方法。图1为本发明实施例的缓存状态上报方法的一种流程示意图;如图1所示,所述方法包括:

[0064] 步骤101:终端触发填充缓存状态报告(padding BSR)上报。

[0065] 步骤102:所述终端根据填充比特大小、第一类型BSR格式的大小和对应的MAC子包头大小之和、以及当前有缓存待传数据的逻辑信道组数量,确定上报的BSR格式;所述BSR格式对应的逻辑信道组数量大于等于1,小于等于当前有缓存待传数据的逻辑信道组的最大数量。

[0066] 本实施例中,padding BSR的触发条件包括:已分配的上行资源中用于填充的比特长度大于或等于BSR的媒体接入控制层控制元(MAC CE,Media Access Control Control Element)和相应的MAC子包头(subheader)长度之和,则触发padding BSR上报。其中,padding BSR承载在MAC PDU的填充比特(padding bit)内,封装为MAC CE。

[0067] 本实施例中,所述终端具体根据填充比特大小、第一类型BSR格式的大小和对应的MAC子包头大小之和、以及当前有缓存待传数据的逻辑信道组数量,确定上报的BSR格式;其中,第一类型BSR具体可以为short BSR。图2a至图2c分别为本发明实施例的缓存状态上报方法中的BSR格式的示意图;如图2a所示,为short BSR格式示意图,包括1字节(byte)的MAC子包头和1字节的short BSR;其中,MAC子包头中包括逻辑信道标识(LCID),该LCID指示对应的MAC CE类型,即LCID指示上报的BSR格式类型;short BSR包括当前有缓存待传数据的仅有的一个逻辑信道组标识(LCG ID),以及通过缓存尺寸(BS,Buffer Size)表示所述逻辑

信道组的缓存状态信息的大小。

[0068] 作为第一种实施方式,所述终端根据填充比特大小、第一类型BSR格式的大小和对应的MAC子包头大小之和、以及当前有缓存待传数据的逻辑信道组数量,确定上报的BSR格式,包括:

[0069] 当所述填充比特大小大于所述第一类型BSR格式的大小和对应的MAC子包头大小之和、小于第二类型BSR格式的最大长度和对应的MAC子包头大小之和、且当前有缓存待传数据的逻辑信道组数量为至少两个时,基于当前有缓存待传数据的逻辑信道组对应的第二类型BSR格式的大小和对应的MAC子包头大小之和以及所述填充比特大小确定上报的BSR格式。

[0070] 其中,所述基于当前有缓存待传数据的逻辑信道组对应的第二类型BSR格式的大小和对应的MAC子包头大小之和以及所述填充比特大小确定上报的BSR格式,包括:若当前有缓存待传数据的逻辑信道组对应的第二类型BSR格式的大小和对应的MAC子包头大小之和小于等于所述填充比特,确定上报第二类型BSR格式,所述第二类型BSR格式对应的逻辑信道组数量等于当前有缓存待传数据的逻辑信道组的数量。

[0071] 其中,所述基于当前有缓存待传数据的逻辑信道组对应的第二类型BSR格式的大小和对应的MAC子包头大小之和以及所述填充比特大小确定上报的BSR格式,包括:若当前有缓存待传数据的逻辑信道组对应的第二类型BSR格式的大小和对应的MAC子包头大小之和大于所述填充比特,确定上报第三类型BSR格式,所述第三类型BSR格式对应的逻辑信道组数量大于1,小于当前有缓存待传数据的逻辑信道组的数量。

[0072] 具体的,本实施方式中,比较填充比特大小和所述第一类型BSR格式的大小和对应的MAC子包头大小之和,以及比较填充比特和第二类型BSR格式的最大长度和对应的MAC子包头大小之和;其中,所述第一类型BSR格式可参照图2a所示,则所述第一类型BSR格式的大小和对应的MAC子包头大小之和为2字节。本实施例中,所述第二类型BSR具体为灵活长BSR (flexible long BSR),flexible long BSR格式具体可参照图2b或图2c所示;在5G系统中,上报BSR可以配置的逻辑信道组的数量最大为8个,即BSR格式中最大可包括8个逻辑信道组的缓存状态信息。如图2b所示,为flexible long BSR的一种格式示意,包括:比特图(该比特图记为第一比特图),所述第一比特图中的比特位对应于当前有缓存待传数据的逻辑信道组;还包括所述当前有缓存待传数据的逻辑信道组中每个逻辑信道组的缓存状态信息;每个逻辑信道组的缓存状态信息按照对应于所述第一比特图中的排序依次排列;还包括1字节的MAC子包头,MAC子包头中包括LCID,该LCID指示对应的MAC CE类型,即LCID指示上报的BSR格式类型。具体的,第一比特图中的比特位为1或0用于表示该比特位对应的LCG的缓存状态信息是否包含在该flexible long BSR内;若某比特位为1,则表示该比特位对应的LCG的缓存状态信息包含在该flexible long BSR内,若某比特位为0,则表示该比特位对应的LCG的缓存状态信息未包含在该flexible long BSR内,即不存在该比特位对应的LCG的缓存状态信息。其中,逻辑信道组的缓存状态信息的大小可如图2b中所示的6比特,当前不限于6比特长度,还可以是大于6比特长度。则flexible long BSR的最大长度依据逻辑信道组的缓存状态信息的大小会有变化;当逻辑信道组的缓存状态信息的大小如图2b中所示的6比特时,flexible long BSR的最大长度和对应的MAC子包头大小之和为8字节。

[0073] 如图2c所示,为flexible long BSR的另一种格式示意,包括所有当前有缓存待传

数据的逻辑信道组的标识以及对应的缓存状态信息;每个逻辑信道组的缓存状态信息按照对应的标识顺序依次排列;还包括2字节的MAC子包头,MAC子包头中包括LCID和BSR长度信息,flexible long BSR长度信息可通过MAC子包头中的“L”指示。其中,逻辑信道组标识的长度可如图2c所示的3比特;逻辑信道组的缓存状态信息的大小可如图2c中所示的6比特,当前不限于6比特长度,还可以是大于6比特长度。则flexible long BSR的最大长度依据逻辑信道组的缓存状态信息的大小会有变化;当逻辑信道组的缓存状态信息的大小如图2c中所示的6比特时,flexible long BSR的最大长度和对应的MAC子包头大小之和为11字节。

[0074] 基于此,本实施方式中,当填充比特大小大于2字节但小于flexible long BSR的最大长度和对应的MAC子包头大小之和,并且当前有缓存待传数据的逻辑信道组数量为至少两个时,若当前有缓存待传数据的逻辑信道组对应的flexible long BSR格式的大小和对应的MAC子包头大小之和小于等于所述填充比特,确定上报flexible long BSR格式;若当前有缓存待传数据的逻辑信道组对应的flexible long BSR格式的大小和对应的MAC子包头大小之和大于所述填充比特大小,确定上报第三类型BSR格式,所述第三类型BSR格式对应的逻辑信道组数量大于1,小于当前有缓存待传数据的逻辑信道组的数量。

[0075] 这里,所述第三类型BSR具体可以为灵活截短BSR(flexible truncated BSR);flexible truncated BSR格式具体可也参照图2b和图2c所示,区别在于,对于具有相同格式的flexible truncated BSR和flexible long BSR,对应子包头中的LCID不同。如图2b所示,为flexible truncated BSR的一种格式示意,包括:比特图(该比特图记为第二比特图),还包括当前有缓存待传数据的部分逻辑信道组中每个逻辑信道组的缓存状态信息;所述部分逻辑信道组中每个逻辑信道组的缓存状态信息按照所述部分逻辑信道组对应于所述第二比特图中的排序依次排列。还包括1字节的MAC子包头,MAC子包头中包括LCID。该LCID指示对应的MAC CE类型,即LCID指示上报的BSR格式类型。第二比特图中的比特位为1或0用于表示该比特位对应的LCG的缓存状态信息是否包含在该flexible truncated BSR内;若某比特位为1,则表示该比特位对应的LCG的缓存状态信息包含在该flexible truncated BSR内,若某比特位为0,则表示该比特位对应的LCG的缓存状态信息未包含在该flexible truncated BSR内,即不存在该比特位对应的LCG的缓存状态信息。其中,逻辑信道组的缓存状态信息的大小可如图2b中所示的6比特,当前不限于6比特长度,还可以是大于6比特长度。则flexible truncated BSR的最大长度依据逻辑信道组的缓存状态信息的大小会有变化;当逻辑信道组的缓存状态信息的大小如图2b中所示的6比特时,flexible truncated BSR的最大长度和对应的MAC子包头大小之和为8字节。

[0076] 如图2c所示,可作为flexible truncated BSR的另一种格式示意,包括所有当前有缓存待传数据的逻辑信道组中的部分逻辑信道组的标识以及对应的缓存状态信息;部分逻辑信道组的缓存状态信息按照部分逻辑信道组标识的顺序依次排列;还包括2字节的MAC子包头,MAC子包头中包括LCID和BSR长度信息,flexible truncated BSR长度信息可通过MAC子包头中的“L”指示。其中,逻辑信道组标识的长度可如图2c所示的3比特;逻辑信道组的缓存状态信息的大小可如图2c中所示的6比特,当前不限于6比特长度,还可以是大于6比特长度。则flexible truncated BSR的最大长度依据逻辑信道组的缓存状态信息的大小会有变化;当逻辑信道组的缓存状态信息的大小如图2c中所示的6比特时,flexible truncated BSR的最大长度和对应的MAC子包头大小之和为11字节。

[0077] 这里,所述确定上报第三类型BSR格式之前,所述方法还包括:将所述当前有缓存待传数据的逻辑信道组按照优先级排序;按照优先级排序结果在所述当前有缓存待传数据的逻辑信道组中选择满足所述填充比特的部分逻辑信道组。其中,逻辑信道组的优先级具体可以是该逻辑信道组中一逻辑信道的优先级;作为一种实施方式,可将逻辑信道组中包括的逻辑信道的最大的优先级作为该逻辑信道组的优先级。实际应用中,将所述当前有缓存待传数据的逻辑信道组按照优先级由高到低进行排序;基于所述填充比特的大小从高到低选择所述当前有缓存待传数据的逻辑信道组中的部分逻辑信道组,因为填充比特大小无法满足所有当前有缓存待传数据的逻辑信道组。

[0078] 基于此,虽然第二类型BSR格式(flexible long BSR)和第三类型BSR格式(flexible truncated BSR)可具有相同的格式,但第二类型BSR中包括所有当前有缓存待传数据的逻辑信道组的缓存状态信息,而第三类型BSR中仅包括当前有缓存待传数据的逻辑信道组中的部分逻辑信道组的缓存状态信息。

[0079] 作为第二种实施方式,所述终端根据填充比特大小、第一类型BSR格式的大小和对应的MAC子包头大小之和、以及当前有缓存待传数据的逻辑信道组数量,确定上报的BSR格式,包括:当所述填充比特大小大于所述第一类型BSR格式的大小和对应的MAC子包头大小之和、小于第二类型BSR格式的最大长度和对应的MAC子包头大小之和、且当前有缓存待传数据的逻辑信道组数量为一个时,确定上报所述第一类型BSR格式。

[0080] 具体的,本实施方式中,当填充比特大小大于2字节但小于flexible long BSR的最大长度和对应的MAC子包头大小之和,并且当前有缓存待传数据的逻辑信道组数量为至少两个时,确定上报short BSR格式,即通过图2a所示的格式上报当前仅有的一个有缓存待传数据的逻辑信道组的缓存状态信息,其中,上报的short BSR格式中的MAC子包头中的LCID指示对应的MAC CE类型,即LCID指示上报的BSR格式类型。

[0081] 作为第三种实施方式,所述终端根据填充比特大小、第一类型BSR格式的大小和对应的MAC子包头大小之和、以及当前有缓存待传数据的逻辑信道组数量,确定上报的BSR格式,包括:当所述填充比特大小大于第二类型BSR格式的最大长度和对应的MAC子包头大小之和时,确定上报第二类型BSR格式,所述第二类型BSR格式对应的逻辑信道组数量等于当前有缓存待传数据的逻辑信道组的数量。

[0082] 具体的,本实施方式中,当填充比特大小大于flexible long BSR的最大长度和对应的MAC子包头大小之和时,确定上报flexible long BSR格式,所述flexible long BSR格式包括所有当前有缓存待传数据的逻辑信道组的标识以及对应的缓存状态信息。

[0083] 作为第四种实施方式,所述终端根据填充比特大小、第一类型BSR格式的大小和对应的MAC子包头大小之和、以及当前有缓存待传数据的逻辑信道组数量,确定上报的BSR格式,包括:当所述填充比特大小等于所述第一类型BSR格式的大小和对应的MAC子包头大小之和、且当前有缓存待传数据的逻辑信道组数量为至少两个时,确定上报第四类型BSR格式,所述第四类型BSR格式对应至少两个逻辑信道组中的一个逻辑信道组。

[0084] 具体的,本实施方式中,当填充比特大小等于所述第一类型BSR格式的大小和对应的MAC子包头大小之和(即2字节),并且当前有缓存待传数据的逻辑信道组数量为至少两个时,确定上报第四类型BSR格式,所述第四类型BSR格式具体可以为truncated BSR格式, truncated BSR格式可参照图2a所示的格式,包括1字节的MAC子包头和1字节的truncated

BSR,其中,MAC子包头中的LCID指示对应的MAC CE类型,即LCID指示上报的BSR格式类型;truncated BSR包括当前有缓存待传数据的至少两个逻辑信道组的其中一个逻辑信道组的标识(LCG ID),以及通过缓存尺寸表示该逻辑信道组的缓存状态信息的大小。

[0085] 作为第五种实施方式,所述终端根据填充比特大小、第一类型BSR格式的大小和对应的MAC子包头大小之和、以及当前有缓存待传数据的逻辑信道组数量,确定上报的BSR格式,包括:当所述填充比特大小等于所述第一类型BSR格式的大小和对应的MAC子包头大小之和、且当前有缓存待传数据的逻辑信道组数量为一个时,确定上报所述第一类型BSR格式,所述第一类型BSR格式对应所述逻辑信道组。

[0086] 具体的,本实施方式中,当填充比特大小大于等于所述第一类型BSR格式的大小和对应的MAC子包头大小之和(即2字节),并且当前有缓存待传数据的逻辑信道组数量为一个时,确定上报所述第一类型BSR格式,即上报short BSR格式。

[0087] 图3为本发明实施例的缓存状态上报方法的另一种流程示意图;如图3所示,以第一类型BSR为short BSR、第二类型BSR为flexible long BSR、第三类型BSR为flexible truncated BSR、第四类型BSR为truncated BSR为例对本发明实施例的缓存状态上报方法进行说明。上述缓存状态上报方法可通过以下流程实现:

[0088] 步骤201:终端触发padding BSR上报。

[0089] 步骤202:所述终端判断填充比特大小是否大于short BSR格式的大小和对应的MAC子包头大小之和、小于flexible long BSR格式的最大长度和对应的MAC子包头大小之和;当判断结果为填充比特大小大于short BSR格式的大小和对应的MAC子包头大小之和、小于flexible long BSR格式的最大长度和对应的MAC子包头大小之和时,执行步骤203;当判断结果为填充比特大小小于等于short BSR格式的大小和对应的MAC子包头大小之和时,执行步骤208;当判断结果为填充比特大小大于所述flexible long BSR格式的最大长度和对应的MAC子包头大小之和时,执行步骤206。

[0090] 步骤203:判断当前有缓存待传数据的逻辑信道组数量是否大于1;当判断结果为当前有缓存待传数据的逻辑信道组数量大于1时,执行步骤204至步骤206;当判断结果为当前有缓存待传数据的逻辑信道组数量等于1时,执行步骤207。

[0091] 步骤204:判断当前有缓存待传数据的逻辑信道组对应的flexible long BSR格式的大小和对应的MAC子包头大小是否大于所述填充比特大小;当判断结果为当前有缓存待传数据的逻辑信道组对应的flexible long BSR格式的大小和对应的MAC子包头大小大于所述填充比特大小,执行步骤205;当判断结果为当前有缓存待传数据的逻辑信道组对应的flexible long BSR格式的大小和对应的MAC子包头大小小于等于所述填充比特大小,执行步骤206。

[0092] 步骤205:确定上报flexible truncated BSR格式。

[0093] 步骤206:确定上报flexible long BSR格式。

[0094] 步骤207:确定上报short BSR格式。

[0095] 步骤208:判断当前有缓存待传数据的逻辑信道组数量是否大于1;当判断结果为当前有缓存待传数据的逻辑信道组数量大于1时,执行步骤209;当判断结果为当前有缓存待传数据的逻辑信道组数量等于1时,执行步骤207。

[0096] 步骤209:确定上报truncated BSR格式。

[0097] 采用本发明实施例的技术方案,通过上报的BSR格式可对应大于等于1、小于等于当前有缓存待传数据的逻辑信道组的最大数量的逻辑信道组,实现了尽可能多的上报当前有缓存待传数据的逻辑信道组的缓存状态信息,从而使基站能够更多的获知终端当前有缓存待传数据的逻辑信道组的缓存情况,大大实现了为终端分配无线资源的准确率。

[0098] 实施例二

[0099] 本发明实施例还提供了一种终端。图4为本发明实施例的终端的一种组成结构示意图;如图4所示,所述终端包括:触发单元31和确定单元32;

[0100] 所述触发单元31,配置为触发填充缓存状态报告上报;

[0101] 所述确定单元32,配置为根据填充比特大小、第一类型BSR格式的大小和对应的MAC子包头大小之和、以及当前有缓存待传数据的逻辑信道组数量,确定上报的BSR格式;所述BSR格式对应的逻辑信道组数量大于等于1,小于等于当前有缓存待传数据的逻辑信道组的最大数量。

[0102] 作为第一种实施方式,所述确定单元32,配置为当所述填充比特大小大于所述第一类型BSR格式的大小和对应的MAC子包头大小之和、小于第二类型BSR格式的最大长度和对应的MAC子包头大小之和、且当前有缓存待传数据的逻辑信道组数量为至少两个时,基于当前有缓存待传数据的逻辑信道组对应的第二类型BSR格式的大小和对应的MAC子包头大小之和以及所述填充比特大小确定上报的BSR格式。

[0103] 其中,所述确定单元32,配置为若当前有缓存待传数据的逻辑信道组对应的第二类型BSR格式的大小和对应的MAC子包头大小之和小于等于所述填充比特大小,确定上报第二类型BSR格式,所述第二类型BSR格式对应的逻辑信道组数量等于当前有缓存待传数据的逻辑信道组的数量。

[0104] 其中,所述确定单元32,配置为若当前有缓存待传数据的逻辑信道组对应的第二类型BSR格式的大小和对应的MAC子包头大小之和大于所述填充比特大小,确定上报第三类型BSR格式,所述第三类型BSR格式对应的逻辑信道组数量大于1,小于当前有缓存待传数据的逻辑信道组的数量。

[0105] 作为第二种实施方式,所述确定单元32,配置为当所述填充比特大小大于所述第一类型BSR格式的大小和对应的MAC子包头大小之和、小于第二类型BSR格式的最大长度和对应的MAC子包头大小之和、且当前有缓存待传数据的逻辑信道组数量为一个时,确定上报所述第一类型BSR格式。

[0106] 作为第三种实施方式,所述确定单元32,配置为当所述填充比特大小大于第二类型BSR格式的最大长度和对应的MAC子包头大小之和时,确定上报第二类型BSR格式,所述第二类型BSR格式对应的逻辑信道组数量等于当前有缓存待传数据的逻辑信道组的数量。

[0107] 作为第四种实施方式,所述确定单元32,配置为当所述填充比特大小等于所述第一类型BSR格式的大小和对应的MAC子包头大小之和、且当前有缓存待传数据的逻辑信道组数量为至少两个时,确定上报第四类型BSR格式,所述第四类型BSR格式对应至少两个逻辑信道组中的一个逻辑信道组。

[0108] 作为第五种实施方式,所述确定单元32,配置为当所述填充比特大小等于所述第一类型BSR格式的大小和对应的MAC子包头大小之和、且当前有缓存待传数据的逻辑信道组数量为一个时,确定上报所述第一类型BSR格式,所述第一类型BSR格式对应所述逻辑信道

组。

[0109] 本实施例中,作为一种实施方式,所述第二类型BSR格式包括所有当前有缓存待传数据的逻辑信道的标识以及对应的缓存状态信息;每个逻辑信道的缓存状态信息按照对应的标识顺序依次排列。

[0110] 作为另一种实施方式,所述第二类型BSR格式包括:第一比特图,所述第一比特图中的比特位对应于当前有缓存待传数据的逻辑信道;所述第二类型BSR格式还包括所述当前有缓存待传数据的逻辑信道中每个逻辑信道的缓存状态信息;每个逻辑信道的缓存状态信息按照对应于所述第一比特图中的排序依次排列。

[0111] 图5为本发明实施例的终端的另一种组成结构示意图;如图5所示,所述终端还包括排序单元33,配置为所述确定单元32确定上报第三类型BSR格式之前,将所述当前有缓存待传数据的逻辑信道组按照优先级排序;按照优先级排序结果在所述当前有缓存待传数据的逻辑信道组中选择满足所述填充比特的部分逻辑信道组。

[0112] 本实施例中,作为一种实施方式,所述第三类型BSR包括:第二比特图,所述第二比特图中的比特位对应于所述部分逻辑信道;所述第三类型BSR还包括所述部分逻辑信道中每个逻辑信道的缓存状态信息;所述部分逻辑信道中每个逻辑信道的缓存状态信息按照所述部分逻辑信道对应于所述第二比特图中的排序依次排列。

[0113] 作为另一种实施方式,所述第三类型BSR包括所述部分逻辑信道中每个逻辑信道的标识以及对应的缓存状态信息;所述部分逻辑信道中每个逻辑信道的缓存状态信息按照所述部分逻辑信道标识的顺序依次排列。

[0114] 本发明实施例中,所述终端中的触发单元31、确定单元32和排序单元33,在实际应用中可由中央处理器(CPU,Central Processing Unit)、数字信号处理器(DSP,Digital Signal Processor)、微控制单元(MCU,Microcontroller Unit)或可编程门阵列(FPGA,Field-Programmable Gate Array)实现。

[0115] 需要说明的是:上述实施例提供的终端在进行信息处理时,仅以上述各程序模块的划分进行举例说明,实际应用中,可以根据需要而将上述处理分配由不同的程序模块完成,即将终端的内部结构划分成不同的程序模块,以完成以上描述的全部或者部分处理。另外,上述实施例提供的终端与缓存状态上报方法实施例属于同一构思,其具体实现过程详见方法实施例,这里不再赘述。

[0116] 实施例三

[0117] 本发明实施例还提供了一种终端。图6为本发明实施例的终端的硬件组成结构示意图,如图6所示,终端包括:至少一个处理器41和用于存储能够在处理器41上运行的计算机程序的存储器42,所述终端还可以包括通信组件43。终端中的各个组成部分通过总线系统44耦合在一起。可理解,总线系统44用于实现这些组成部分之间的连接通信;总线系统44除包括数据总线之外,还包括电源总线、控制总线和状态信号总线。但是为了清楚说明起见,在图6中将各种总线都标为总线系统44。

[0118] 可以理解,存储器42可以是易失性存储器或非易失性存储器,也可包括易失性和非易失性存储器两者。其中,非易失性存储器可以是只读存储器(ROM,Read Only Memory)、可编程只读存储器(PROM,Programmable Read-Only Memory)、可擦除可编程只读存储器(EPROM,Erasable Programmable Read-Only Memory)、电可擦除可编程只读存储器

(EEPROM, Electrically Erasable Programmable Read-Only Memory)、磁性随机存取存储器 (FRAM, ferromagnetic random access memory)、快闪存储器 (Flash Memory)、磁表面存储器、光盘、或只读光盘 (CD-ROM, Compact Disc Read-Only Memory); 磁表面存储器可以是磁盘存储器或磁带存储器。易失性存储器可以是随机存取存储器 (RAM, Random Access Memory), 其用作外部高速缓存。通过示例性但不是限制性说明, 许多形式的 RAM 可用, 例如静态随机存取存储器 (SRAM, Static Random Access Memory)、同步静态随机存取存储器 (SSRAM, Synchronous Static Random Access Memory)、动态随机存取存储器 (DRAM, Dynamic Random Access Memory)、同步动态随机存取存储器 (SDRAM, Synchronous Dynamic Random Access Memory)、双倍数据速率同步动态随机存取存储器 (DDRSDRAM, Double Data Rate Synchronous Dynamic Random Access Memory)、增强型同步动态随机存取存储器 (ESDRAM, Enhanced Synchronous Dynamic Random Access Memory)、同步连接动态随机存取存储器 (SLDRAM, SyncLink Dynamic Random Access Memory)、直接内存总线随机存取存储器 (DRRAM, Direct Rambus Random Access Memory)。本发明实施例描述的存储器 42 旨在包括但不限于这些和任意其它适合类型的存储器。

[0119] 上述本发明实施例揭示的方法可以应用于处理器 41 中, 或者由处理器 41 实现。处理器 41 可能是一种集成电路芯片, 具有信号的处理能力。在实现过程中, 上述方法的各步骤可以通过处理器 41 中的硬件的集成逻辑电路或者软件形式的指令完成。上述的处理器 41 可以是通用处理器、DSP、或者其他可编程逻辑器件、分立门或者晶体管逻辑器件、分立硬件组件等。处理器 41 可以实现或者执行本发明实施例中的公开的各方法、步骤及逻辑框图。通用处理器可以是微处理器或者任何常规的处理器等。结合本发明实施例所公开的方法的步骤, 可以直接体现为硬件译码处理器执行完成, 或者用译码处理器中的硬件及软件模块组合执行完成。软件模块可以位于存储介质中, 该存储介质位于存储器 42, 处理器 41 读取存储器 42 中的信息, 结合其硬件完成前述方法的步骤。

[0120] 在示例性实施例中, 终端可以被一个或多个应用专用集成电路 (ASIC, Application Specific Integrated Circuit)、DSP、可编程逻辑器件 (PLD, Programmable Logic Device)、复杂可编程逻辑器件 (CPLD, Complex Programmable Logic Device)、FPGA、通用处理器、控制器、MCU、微处理器 (Microprocessor)、或其他电子元件实现, 用于执行前述方法。

[0121] 本实施例中, 所述处理器 41 执行所述程序时实现: 触发填充缓存状态报告上报; 所述终端根据填充比特大小、第一类型 BSR 格式的大小和对应的 MAC 子包头大小之和、以及当前有缓存待传数据的逻辑信道组数量, 确定上报的 BSR 格式; 所述 BSR 格式对应的逻辑信道组数量大于等于 1, 小于等于当前有缓存待传数据的逻辑信道组的最大数量。

[0122] 作为一种实施方式, 所述处理器 41 执行所述程序时实现: 当所述填充比特大小大于所述第一类型 BSR 格式的大小和对应的 MAC 子包头大小之和、小于第二类型 BSR 格式的最大长度和对应的 MAC 子包头大小之和、且当前有缓存待传数据的逻辑信道组数量为至少两个时, 基于当前有缓存待传数据的逻辑信道组对应的第二类型 BSR 格式的大小和对应的 MAC 子包头大小之和以及所述填充比特大小确定上报的 BSR 格式。

[0123] 其中, 所述处理器 41 执行所述程序时实现: 若当前有缓存待传数据的逻辑信道组对应的第二类型 BSR 格式的大小和对应的 MAC 子包头大小之和小于等于所述填充比特大小,

确定上报第二类型BSR格式,所述第二类型BSR格式对应的逻辑信道组数量等于当前有缓存待传数据的逻辑信道组的数量。

[0124] 其中,所述处理器41执行所述程序时实现:若当前有缓存待传数据的逻辑信道组对应的第二类型BSR格式的大小和对应的MAC子包头大小之和大于所述填充比特大小,确定上报第三类型BSR格式,所述第三类型BSR格式对应的逻辑信道组数量大于1,小于当前有缓存待传数据的逻辑信道组的数量。

[0125] 作为一种实施方式,所述处理器41执行所述程序时实现:当所述填充比特大小大于所述第一类型BSR格式的大小和对应的MAC子包头大小之和、小于第二类型BSR格式的最大长度和对应的MAC子包头大小之和、且当前有缓存待传数据的逻辑信道组数量为一个时,确定上报所述第一类型BSR格式。

[0126] 作为一种实施方式,所述处理器41执行所述程序时实现:当所述填充比特大小大于第二类型BSR格式的最大长度和对应的MAC子包头大小之和时,确定上报第二类型BSR格式,所述第二类型BSR格式对应的逻辑信道组数量等于当前有缓存待传数据的逻辑信道组的数量。

[0127] 作为一种实施方式,所述处理器41执行所述程序时实现:当所述填充比特大小等于所述第一类型BSR格式的大小和对应的MAC子包头大小之和、且当前有缓存待传数据的逻辑信道组数量为至少两个时,确定上报第四类型BSR格式,所述第四类型BSR格式对应至少两个逻辑信道组中的一个逻辑信道组。

[0128] 作为一种实施方式,所述处理器41执行所述程序时实现:当所述填充比特大小等于所述第一类型BSR格式的大小和对应的MAC子包头大小之和、且当前有缓存待传数据的逻辑信道组数量为一个时,确定上报所述第一类型BSR格式,所述第一类型BSR格式对应所述逻辑信道组。

[0129] 作为一种实施方式,所述处理器41执行所述程序时实现:确定上报第三类型BSR格式之前,将所述当前有缓存待传数据的逻辑信道组按照优先级排序;按照优先级排序结果在所述当前有缓存待传数据的逻辑信道组中选择满足所述填充比特的部分逻辑信道组。

[0130] 实施例四

[0131] 本发明实施例还提供了一种计算机存储介质,例如包括图6所示的存储有计算机程序的存储器42,上述计算机程序可由设备的处理器41执行,以完成前述方法所述步骤。计算机存储介质可以是FRAM、ROM、PROM、EPROM、EEPROM、Flash Memory、磁表面存储器、光盘、或CD-ROM等存储器;也可以是包括上述存储器之一或任意组合的各种设备。

[0132] 本实施例中,本发明实施例提供的计算机存储介质,其上存储有计算机程序,该计算机程序被处理器运行时,执行:触发填充缓存状态报告上报;所述终端根据填充比特大小、第一类型BSR格式的大小和对应的MAC子包头大小之和、以及当前有缓存待传数据的逻辑信道组数量,确定上报的BSR格式;所述BSR格式对应的逻辑信道组数量大于等于1,小于等于当前有缓存待传数据的逻辑信道组的最大数量。

[0133] 作为一种实施方式,该计算机程序被处理器运行时,执行:当所述填充比特大小大于所述第一类型BSR格式的大小和对应的MAC子包头大小之和、小于第二类型BSR格式的最大长度和对应的MAC子包头大小之和、且当前有缓存待传数据的逻辑信道组数量为至少两个时,基于当前有缓存待传数据的逻辑信道组对应的第二类型BSR格式的大小和对应的MAC

子包头大小之和以及所述填充比特大小确定上报的BSR格式。

[0134] 其中,该计算机程序被处理器运行时,执行:若当前有缓存待传数据的逻辑信道组对应的第二类型BSR格式的大小和对应的MAC子包头大小之和小于等于所述填充比特大小,确定上报第二类型BSR格式,所述第二类型BSR格式对应的逻辑信道组数量等于当前有缓存待传数据的逻辑信道组的数量。

[0135] 其中,该计算机程序被处理器运行时,执行:若当前有缓存待传数据的逻辑信道组对应的第二类型BSR格式的大小和对应的MAC子包头大小之和大于所述填充比特大小,确定上报第三类型BSR格式,所述第三类型BSR格式对应的逻辑信道组数量大于1,小于当前有缓存待传数据的逻辑信道组的数量。

[0136] 作为一种实施方式,该计算机程序被处理器运行时,执行:当所述填充比特大小大于所述第一类型BSR格式的大小和对应的MAC子包头大小之和、小于第二类型BSR格式的最大长度和对应的MAC子包头大小之和、且当前有缓存待传数据的逻辑信道组数量为一个时,确定上报所述第一类型BSR格式。

[0137] 作为一种实施方式,该计算机程序被处理器运行时,执行:当所述填充比特大小大于第二类型BSR格式的最大长度和对应的MAC子包头大小之和时,确定上报第二类型BSR格式,所述第二类型BSR格式对应的逻辑信道组数量等于当前有缓存待传数据的逻辑信道组的数量。

[0138] 作为一种实施方式,该计算机程序被处理器运行时,执行:当所述填充比特大小等于所述第一类型BSR格式的大小和对应的MAC子包头大小之和、且当前有缓存待传数据的逻辑信道组数量为至少两个时,确定上报第四类型BSR格式,所述第四类型BSR格式对应至少两个逻辑信道组中的一个逻辑信道组。

[0139] 作为一种实施方式,该计算机程序被处理器运行时,执行:当所述填充比特大小等于所述第一类型BSR格式的大小和对应的MAC子包头大小之和、且当前有缓存待传数据的逻辑信道组数量为一个时,确定上报所述第一类型BSR格式,所述第一类型BSR格式对应所述逻辑信道组。

[0140] 作为一种实施方式,该计算机程序被处理器运行时,执行:确定上报第三类型BSR格式之前,将所述当前有缓存待传数据的逻辑信道组按照优先级排序;按照优先级排序结果在所述当前有缓存待传数据的逻辑信道组中选择满足所述填充比特的部分逻辑信道组。

[0141] 在本申请所提供的几个实施例中,应该理解到,所揭露的终端和方法,可以通过其它的方式实现。以上所描述的设备实施例仅仅是示意性的,例如,所述单元的划分,仅仅为一种逻辑功能划分,实际实现时可以有另外的划分方式,如:多个单元或组件可以结合,或可以集成到另一个系统,或一些特征可以忽略,或不执行。另外,所显示或讨论的各组成部分相互之间的耦合、或直接耦合、或通信连接可以是通过一些接口,设备或单元的间接耦合或通信连接,可以是电性的、机械的或其它形式的。

[0142] 上述作为分离部件说明的单元可以是、或也可以不是物理上分开的,作为单元显示的部件可以是、或也可以不是物理单元,即可以位于一个地方,也可以分布到多个网络单元上;可以根据实际的需要选择其中的部分或全部单元来实现本实施例方案的目的。

[0143] 另外,在本发明各实施例中的各功能单元可以全部集成在一个处理单元中,也可以是各单元分别单独作为一个单元,也可以两个或两个以上单元集成在一个单元中;上述

集成的单元既可以采用硬件的形式实现,也可以采用硬件加软件功能单元的形式实现。

[0144] 本领域普通技术人员可以理解:实现上述方法实施例的全部或部分步骤可以通过程序指令相关的硬件来完成,前述的程序可以存储于一计算机可读取存储介质中,该程序在执行时,执行包括上述方法实施例的步骤;而前述的存储介质包括:移动存储设备、ROM、RAM、磁碟或者光盘等各种可以存储程序代码的介质。

[0145] 或者,本发明上述集成的单元如果以软件功能模块的形式实现并作为独立的产品销售或使用,也可以存储在一个计算机可读取存储介质中。基于这样的理解,本发明实施例的技术方案本质上或者说对现有技术做出贡献的部分可以以软件产品的形式体现出来,该计算机软件产品存储在一个存储介质中,包括若干指令用以使得一台计算机设备(可以是个人计算机、服务器、或者网络设备等)执行本发明各个实施例所述方法的全部或部分。而前述的存储介质包括:移动存储设备、ROM、RAM、磁碟或者光盘等各种可以存储程序代码的介质。

[0146] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以所述权利要求的保护范围为准。



图1

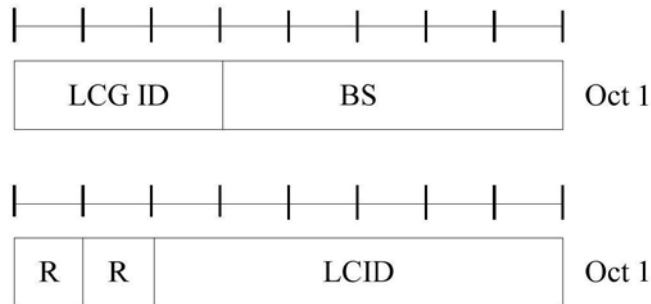


图2a

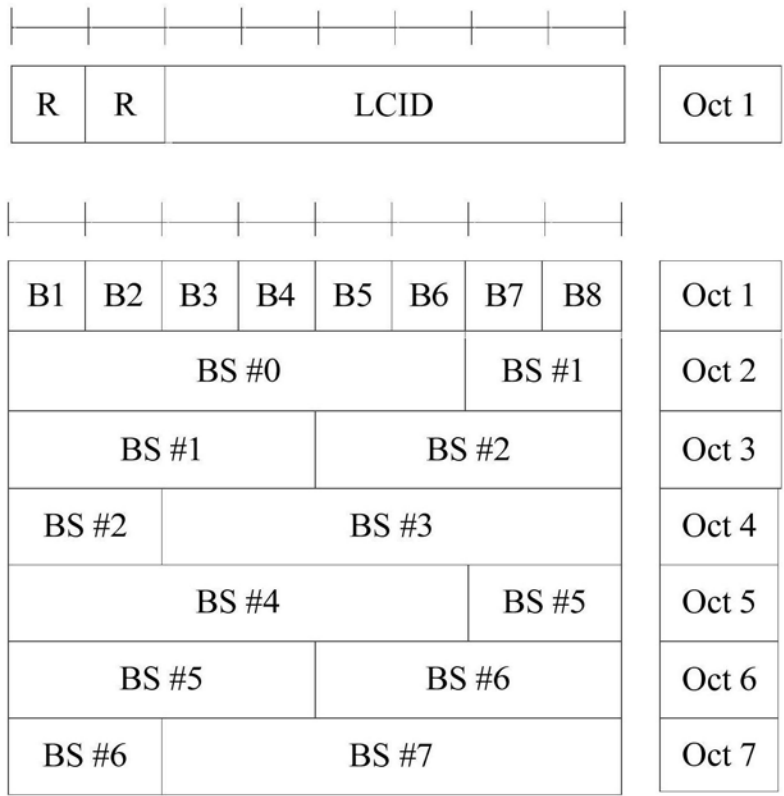


图2b

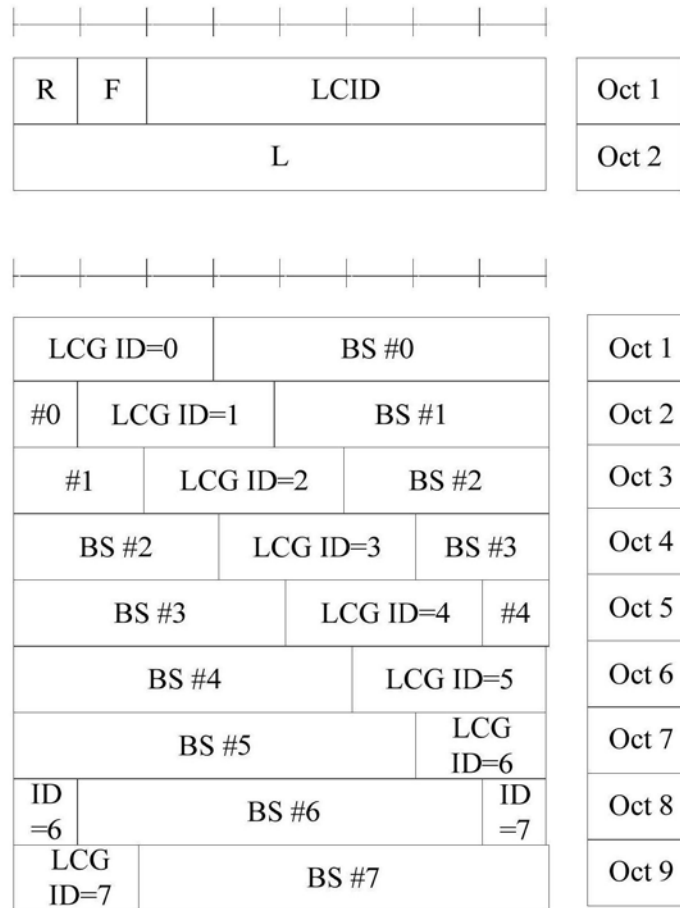


图2c

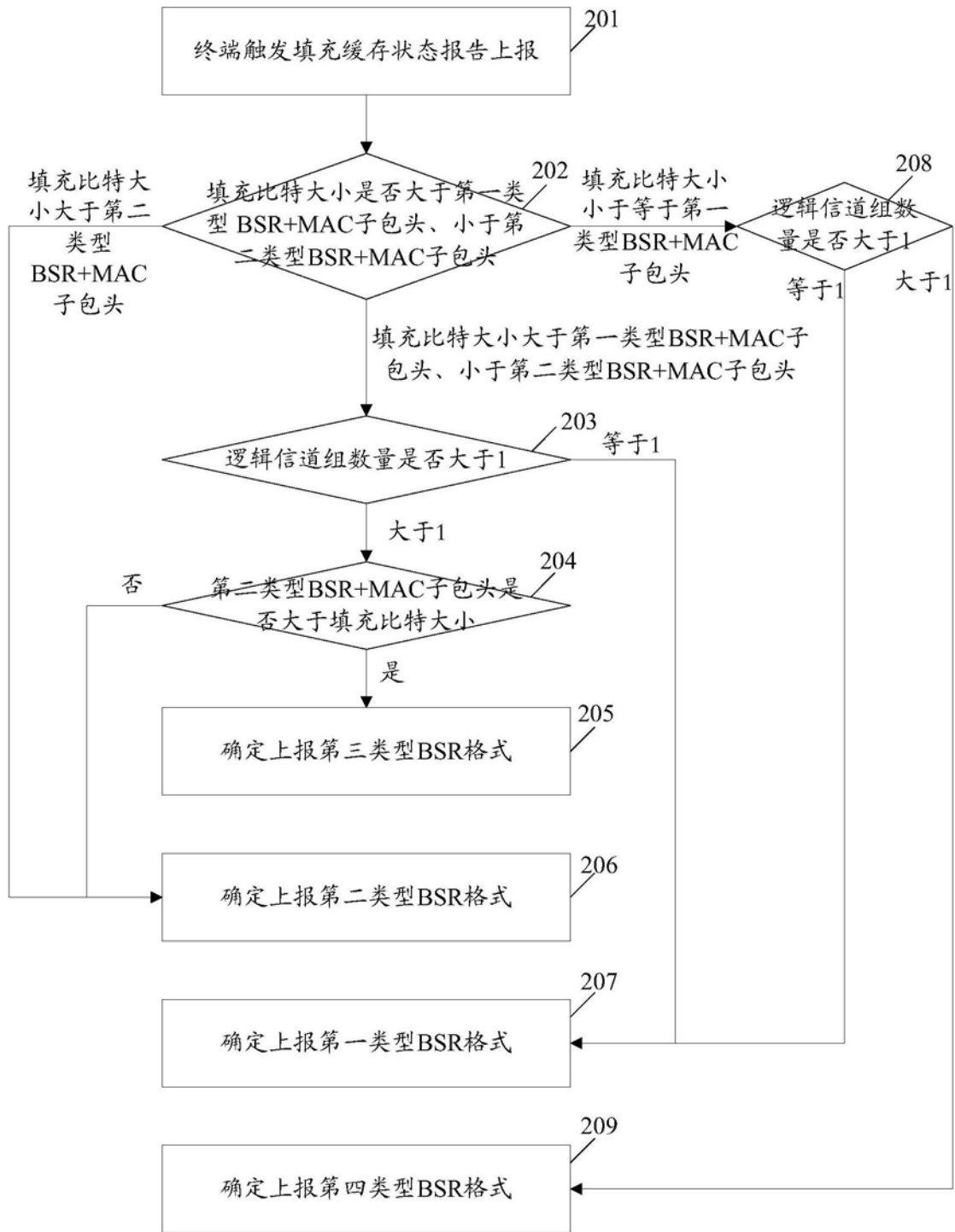


图3



图4



图5

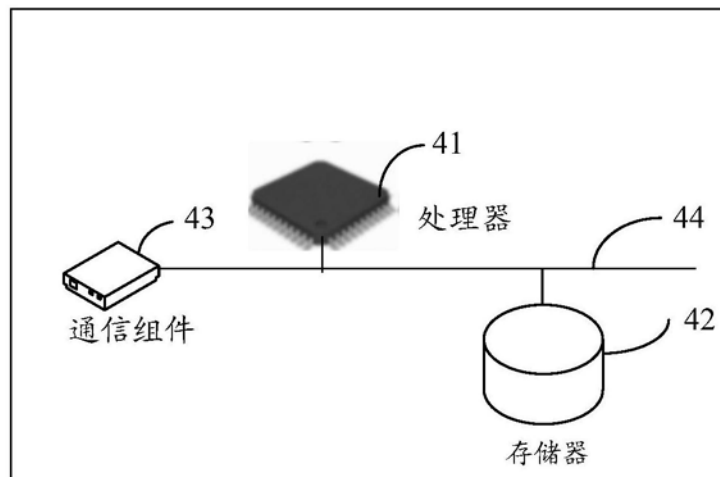


图6