

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2005-229096
(P2005-229096A)

(43) 公開日 平成17年8月25日(2005.8.25)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
HO 1 L 21/336	HO 1 L 29/78 6 1 6 A	5 F 1 1 O
HO 1 L 21/265	HO 1 L 21/265 6 O 4 M	
HO 1 L 29/786	HO 1 L 29/78 6 2 7 G	
	HO 1 L 29/78 6 1 7 S	
	HO 1 L 29/78 6 1 6 V	
審査請求 有 請求項の数 10 O L (全 8 頁)		

(21) 出願番号 特願2004-332451 (P2004-332451)	(71) 出願人 590002817
(22) 出願日 平成16年11月16日 (2004.11.16)	三星エスディアイ株式会社
(31) 優先権主張番号 2004-009378	大韓民国京畿道水原市靈通区▲しん▼洞 5
(32) 優先日 平成16年2月12日 (2004.2.12)	7 5 番地
(33) 優先権主張国 韓国 (KR)	(74) 代理人 100089037
	弁理士 渡邊 隆
	(74) 代理人 100064908
	弁理士 志賀 正武
	(74) 代理人 100108453
	弁理士 村山 靖彦
	(74) 代理人 100110364
	弁理士 実広 信哉
	(72) 発明者 崔 圭煥
	大韓民国京畿道水原市靈通区新洞 5 7 5 番
	地 三星エスディアイ株式會社内
	最終頁に続く

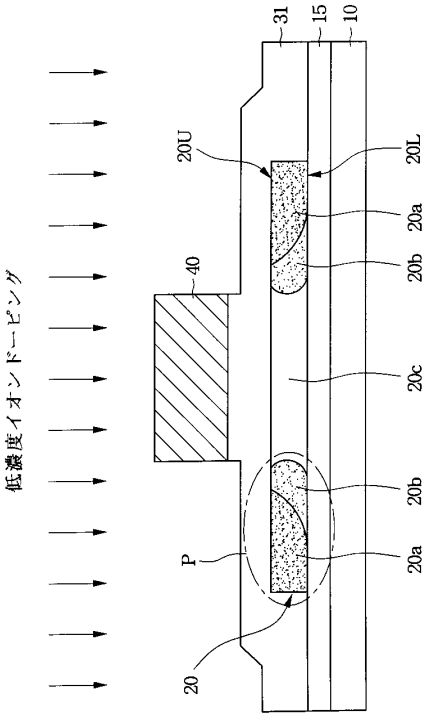
(54) 【発明の名称】 LDD構造を有する薄膜トランジスタ及びその製造方法

(57) 【要約】

【課題】 LDD構造を有する薄膜トランジスタを提供する。

【解決手段】 薄膜トランジスタは、ソース／ドレイン領域、該ソース／ドレイン領域間に位置するチャンネル領域および該チャンネルと該ソース／ドレイン領域との間に位置するLDD領域を備える半導体層を含み、該LDD領域はドーピングされたイオンの投射範囲（Projected Range）Rpが前記半導体層の表面から第1深さに位置する。これにより、チャンネルの信頼性と共にアウトプット特性が改善された薄膜トランジスタを得ることができる。

【選択図】 図1 B



【特許請求の範囲】

【請求項 1】

ソース領域、ドレイン領域、該ソース領域と該ドレイン領域との間に位置したチャンネル領域、及び該チャンネル領域と該ドレイン領域との間に位置する L D D 領域、を備える半導体層を含み、

前記 L D D 領域は、ドーピングされたイオンの投射範囲が前記半導体層の表面から第 1 深さに位置することを特徴とする薄膜トランジスタ。

【請求項 2】

前記第 1 深さは、下記数式 1 を満足することを特徴とする請求項 1 に記載の薄膜トランジスタ。

10

＜数式 1＞

$(\text{前記半導体層の厚さ} / 2) - 100 \text{ \AA} \leq \text{第 1 深さ} \leq (\text{前記半導体層の厚さ} / 2) + 100 \text{ \AA}$

【請求項 3】

前記半導体層は、E L A 方式、または S L S 方式を使用して結晶化されたことを特徴とする請求項 1 に記載の薄膜トランジスタ。

【請求項 4】

前記半導体層上に位置し、前記 L D D 領域上の厚さが前記チャンネル領域上の厚さに比べて第 1 厚さほど低いゲート絶縁膜と、

前記ゲート絶縁膜上に位置するゲート電極と、
をさらに含むことを特徴とする請求項 1 に記載の薄膜トランジスタ。

20

【請求項 5】

前記第 1 厚さは、前記第 1 深さと同じ大きさであることを特徴とする請求項 1 に記載の薄膜トランジスタ。

【請求項 6】

基板上に半導体層を形成する段階と、

前記半導体層上にゲート絶縁膜を形成する段階と、

前記ゲート絶縁膜上にゲート電極を形成する段階と、

前記ゲート電極周辺のゲート絶縁膜を第 1 厚さほどエッチングする段階と、

前記ゲート電極をマスクとして、前記半導体層にイオンドーピングすることによって、
ドーピングされたイオンの投射範囲が前記半導体層の表面から第 1 深さに位置する L D D 領域を形成する段階と、
を含むことを特徴とする薄膜トランジスタの製造方法。

30

【請求項 7】

前記第 1 深さは、下記数式 1 を満足することを特徴とする請求項 6 に記載の薄膜トランジスタの製造方法。

＜数式 1＞

$(\text{前記半導体層の厚さ} / 2) - 100 \text{ \AA} \leq \text{第 1 深さ} \leq (\text{前記半導体層の厚さ} / 2) + 100 \text{ \AA}$

【請求項 8】

前記第 1 厚さは、前記第 1 深さと同じ大きさを有することを特徴とする請求項 6 に記載の薄膜トランジスタの製造方法。

40

【請求項 9】

前記 L D D 領域を形成するイオンドーピングは、80 ないし 90 K e V の加速電圧条件で実施することを特徴とする請求項 6 に記載の薄膜トランジスタ製造方法。

【請求項 10】

前記 L D D 領域を形成するイオンドーピングは、 $1 \text{ E } 13$ ないし $5 \text{ E } 13 \text{ ions} / \text{cm}^2$ のドーズ条件で実施することを特徴とする請求項 6 に記載の薄膜トランジスタ製造方法。

【発明の詳細な説明】

50

【技術分野】

【0001】

本発明は、薄膜トランジスタに関するもので、特に、LDD構造を有する薄膜トランジスタに関する。

【背景技術】

【0002】

薄膜トランジスタは、一般的に半導体層、ゲート電極、ソース電極およびドレイン電極を備え、該半導体層は、ソース領域、ドレイン領域、および該ソース領域とドレイン領域との間に介在されたチャンネル領域、を備える。一方、該半導体層は、多結晶シリコン（Poly Silicon）、または非晶質シリコン（Amorphous Silicon）で形成することができるが、前記多結晶シリコンの電子移動度が非晶質シリコンのそれよりも高いために、現在は多結晶シリコンを主に適用している。 10

【0003】

しかしながら、前記多結晶シリコン薄膜トランジスタは、非晶質シリコン薄膜トランジスタと比べてオフ（off）電流が大きいという弱点がある。このような多結晶シリコン薄膜トランジスタの弱点を補完するために、多結晶シリコン薄膜トランジスタのドレイン領域とチャンネル領域との間にLDD（Lightly Doped Drain）領域を形成する構造が提案されている。該LDD領域は、前記チャンネル領域と前記ドレイン領域との間の急激な電界の増加を防ぐことができる。これにより、薄膜トランジスタのオフ電流を減らすことができると共に、薄膜トランジスタのチャンネルの長さが短いために現れるホットキャリアー効果（hot carrier effect、HCE）を抑制することができる。即ち、チャンネルの信頼性を向上させることができる。 20

【0004】

このようなLDDにおいて、ドーピングされたイオンのプロファイルは前記チャンネルの信頼性と共に薄膜トランジスタの特性に大きな影響を及ぼす。

【発明の開示】

【発明が解決しようとする課題】

【0005】

本発明が解決しようとする技術的課題は、LDD領域においてドーピングされたイオンのプロファイルを最適化することで、チャンネルの信頼性と共に電氣的な特性が向上された薄膜トランジスタを提供することにある。 30

【課題を解決するための手段】

【0006】

前記技術的課題を解決するために本発明はLDD構造を有する薄膜トランジスタを提供する。該薄膜トランジスタは、ソース領域、ドレイン領域、該ソース領域と該ドレイン領域との間に位置するチャンネル領域、および該チャンネル領域と該ドレイン領域との間に位置するLDD領域、を備える半導体層を含み、前記LDD領域はドーピングされたイオンの投射範囲（Projected Range、Rp）が前記半導体層の表面から第1深さに位置する。 40

【0007】

前記技術的課題を解決するために本発明はLDD構造を有する薄膜トランジスタの製造方法を提供する。該製造方法は、基板を供給し、該基板上に半導体層を形成し、該半導体層上にゲート絶縁膜を形成し、該ゲート絶縁膜上にゲート電極を形成し、該ゲート電極周辺のゲート絶縁膜を第1太さ程度にエッチングし、前記ゲート電極をマスクとして前記半導体層にイオンドーピングすることで、ドーピングされたイオンの投射範囲（Projected Range、Rp）が前記半導体層の表面から第1深さに位置するLDD領域を形成することを含む。

【0008】

本明細書において、前記投射範囲Rpは、前記半導体層内のイオンドーピング濃度が前記半導体層の表面からの直線距離に沿ってガウシアン分布を有するときに、最大のイオン 50

ドーピング濃度を有するところを意味する。

【発明の効果】

【0009】

上述したように本発明によれば、LDD領域においてドーピングされたイオンの投射範囲を半導体層の中央分に位置させることで、チャンネル信頼性と共にアウトプット特性が改善された薄膜トランジスタを得ることができる。

【発明を実施するための最良の形態】

【0010】

以下、本発明を更に詳しく説明するために、本発明に係る好ましい実施形態を、添付された図面を参照しながら説明する。但し、本発明は、ここで説明される実施形態に限定されず、他の形態で具体化されることもある。 10

【0011】

図1Aおよび図1Bは、本発明の実施形態に係るLDD構造を有する薄膜トランジスタ及びその製造方法を説明するための断面図である。図2は、図1BのPで表示された領域の半導体層を拡大して示す断面図である。

【0012】

図1Aを参照すると、基板10を供給し、前記基板10上にバッファ層15を形成することができる。前記基板10はガラスまたはプラスチック基板で提供することができる。前記バッファ層15は、前記基板10から流出される不純物に対し後続する工程で形成される薄膜トランジスタを保護するための層で、シリコン酸化膜またはシリコン窒化膜で形成することができる。 20

【0013】

前記バッファ層15上に半導体層20を形成する。前記半導体層20は、前記バッファ層15上に非晶質シリコン膜を形成した後に、該非晶質シリコン膜をELA (Excimer Laser Annealing)、SLS (Sequential Lateral Solidification)、MIC (Metal Induced Crystallization)、またはMILC (Metal Induced Lateral Crystallization) 方式を使用して結晶化し、これをパターンニングした多結晶シリコン膜で形成することが好ましい。前記結晶化は、比較的到低温で実施可能であり、金属による汚染が少ないELA、またはSLS方式を使用して実施することが好ましい。しかしながら、この場合に前記半導体層20は、表面の突起部による粗い表面を有することになる。前記半導体層20は結晶化効率が優れる500 Åないし600 Åの厚さで形成することが好ましい。 30

【0014】

前記半導体層20上にゲート絶縁膜30を形成する。該ゲート絶縁膜30はシリコン酸化膜、シリコン窒化膜、またはこれらの二重層で形成することができる。前記ゲート絶縁膜30は適切な絶縁内圧特性及び薄膜トランジスタの適切なスレッシュOLD電圧特性を満足させることのできる厚さで形成することが好ましい。また、前記絶縁膜30は前記半導体層20の表面突起部が完全に覆われる厚さで形成することが好ましい。前記ゲート絶縁膜30が前記半導体層20の表面突起部を完全に覆えない場合、前記半導体層20と後続する工程で形成されるゲート電極との間の漏洩電流が増加する恐れがある。従って、前記ゲート絶縁膜30は500 Åないし1000 Åの厚さで形成することが好ましい。 40

【0015】

続いて、前記ゲート絶縁膜30上に前記半導体層20の中央の所定部分を遮蔽させる第1フォトリソパターン90を形成し該第1フォトリソパターン90をマスクとして前記半導体層20にイオンを高濃度でドーピングする。これにより、前記半導体層20にはソース領域20a及びドレイン領域20aが形成される。前記イオンはn型またはp型イオンでもある。前記イオンがn型である場合に8E14ないし1E15 ions/cm²のドーズ条件でドーピングすることが好ましい。

【0016】

前記イオンをドーピングする場合は、10ないし90keV範囲の加速電圧条件で実施することが好ましい。前記加速電圧が90keVを超える場合は加速電圧を基板全体に均一に調節することが容易でなく、10keV未満である場合はイオンビームを調節することが容易でないからである。さらに好ましくは、前記イオンのドーピングは80keV以下の加速電圧条件で実施する。前記最大加速電圧である90keVぐらいで前記イオンをドーピングしても、前記ゲート絶縁膜30の厚さによって前記ソース／ドレイン領域20aにドーピングされたイオンの投射範囲(Projected Range)Rpは、前記ゲート絶縁膜30と前記半導体層20との間の界面20Uに位置する。

【0017】

図1B及び図2を参照すると、前記第1フォトリソパターン(図1Aの90)を除去し、前記ソース／ドレイン領域20aが形成された基板10上にゲート導電膜を形成する。前記ゲート導電膜はアルミニウムAl、アルミニウム合金(Al alloy)、モリブデン(Mo)及びモリブデン合金(Mo alloy)からなる群から選択される一つの金属で形成することが好ましい。さらに好ましくは、前記ゲート導電膜はモリブデンタングステン(MoW)で形成することである。

【0018】

前記ゲート導電膜上に、前記第1フォトリソパターン(図1Aの90)に比べて幅が狭い第2フォトリソパターン(図示せず)を形成する。前記第2フォトリソパターンをマスクとして、前記ゲート導電膜をエッチングすることによって、ゲート電極40を形成する。該ゲート電極40をマスクとして、前記ゲート絶縁膜30を第1厚さほどエッチングすることによって、前記ゲート電極40周辺で、第1厚さほどのエッチングされたゲート絶縁膜31を形成する。従って、前記ゲート絶縁膜31は、後続の工程で形成されるLDD領域20b上の厚さが後続の工程で定義されるチャンネル領域20c上の厚さと比べて第1厚さほど低い。

【0019】

続いて、前記第2フォトリソパターンを除去し、前記ゲート電極40をマスクとして、前記半導体層20にイオンを低濃度でドーピングすることによって、前記半導体層20にLDD領域20bを形成すると共に、チャンネル領域20cを定義する。結果的に前記半導体層20は、前記ソース／ドレイン領域20a、前記ソース／ドレイン領域20a間に位置するチャンネル領域20c、および該チャンネル領域20cと該ソース／ドレイン領域20aとの間に位置するLDD領域20b、を備える。該LDD領域20bを形成するイオンは、前記ソース／ドレイン領域20aを形成するイオンと導電型が同じである。

【0020】

前記低濃度イオンドーピングにおいて、前記低濃度は絶対的な低濃度を意味するものではなく、前記高濃度イオンドーピングと比べて相対的な低濃度を意味する。従って、前記LDD領域20bを形成する低濃度イオンドーピングは、前記ソース／ドレイン領域20aを形成する高濃度イオンドーピングに比べて100倍以下のドーズ条件で実施することができる。具体的には、前記LDD領域20bを形成するイオンドーピングは 1×10^{13} ないし 5×10^{13} ions/cm²のドーズ条件で実施することが好ましい。

【0021】

また、前記LDD領域20bを形成するイオンドーピングは、10ないし90keV範囲の加速電圧条件で実施することが好ましい。前記加速電圧が90keVを超える場合は加速電圧を基板全体に均一に調節することが容易ではなく、10keV未満である場合もイオンビームを調節することが容易ではないからである。さらに好ましくは、前記LDD領域20bを形成するイオンドーピングは、80keV以下の加速電圧条件で実施する。このとき、前記LDD領域20bにドーピングされたイオンの投射範囲(Rp—LDD)は、前記ソース／ドレイン領域20aとは違って、前記半導体層20の表面から第1深さに位置することができる。これは、前記LDD領域20bを形成するイオンは、前記第1厚さほどエッチングされたゲート絶縁膜31を通して前記半導体層20にドーピングされ

るからである。前記第 1 深さと前記第 1 厚さとは、その大きさが同じで有りうる。従って、前記第 1 深さを最適化することは、前記第 1 厚さを調節することによって実施できる。

【0022】

前記第 1 深さは、前記半導体層 20 の厚さの $1/2$ であることが好ましいが、イオンドーピングの際の誤差を考慮して、前記第 1 深さは次の数式 1 を満たすことが好ましい。

〔数式 1〕

$(\text{前記半導体層の厚さ} / 2) - 100 \text{ \AA} \leq \text{第 1 深さ} \leq (\text{前記半導体層の厚さ} / 2) + 100 \text{ \AA}$

【0023】

これにより、前記 LDD 領域 20b にドーピングされたイオンは、前記半導体層の下部表面 20L、即ち、前記半導体層 20 と前記バッファ層 15 との間の界面にも所定濃度以上が位置するようにすることができる。従って、薄膜トランジスタのチャンネル信頼性を向上させることができる。

【0024】

図 3 は、薄膜トランジスタのトランスファ特性を示すグラフであり、図 4 は、薄膜トランジスタのゲート電圧が 10 V である場合のドレイン電流特性を示すグラフである。図 3 及び図 4 において、参照符号 A は本発明の実施形態に係る LDD 領域にドーピングされたイオンの投射範囲が半導体層の中央分に位置するように製造された第 1 薄膜トランジスタ A を示し、参照符号 B は LDD 領域にドーピングされたイオンの投射範囲が半導体層の上部面に位置するように製造された第 2 薄膜トランジスタ B を示す。

【0025】

図 3 を参照すると、前記第 1 薄膜トランジスタ A は、前記第 2 薄膜トランジスタ B に比べてオフ電流 (F) が低い。

【0026】

図 4 を参照すると、前記第 1 薄膜トランジスタ A は、前記第 2 薄膜トランジスタ B に比べてドレイン電流 (@ゲート電圧 = 10 V) が高い。

【0027】

従って、本発明の実施形態に係る前記第 1 薄膜トランジスタ A は、前記第 2 薄膜トランジスタ B に比べてチャンネル信頼性が改選されると共にアウトプット特性が改選されることがわかる。

【図面の簡単な説明】

【0028】

【図 1 A】本発明の実施形態に係る LDD 構造を有する薄膜トランジスタおよびその製造方法を説明するための断面図である。

【図 1 B】本発明の実施形態に係る LDD 構造を有する薄膜トランジスタおよびその製造方法を説明するための断面図である。

【図 2】図 1 B の P で表示された領域の半導体層を拡大して示す断面図である。

【図 3】薄膜トランジスタのトランスファ特性を示すグラフである。

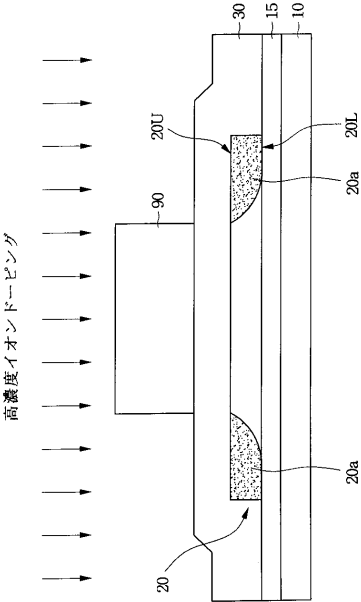
【図 4】薄膜トランジスタのゲート電圧が 10 V であるときのドレイン電流の特性を示すグラフである。

【符号の説明】

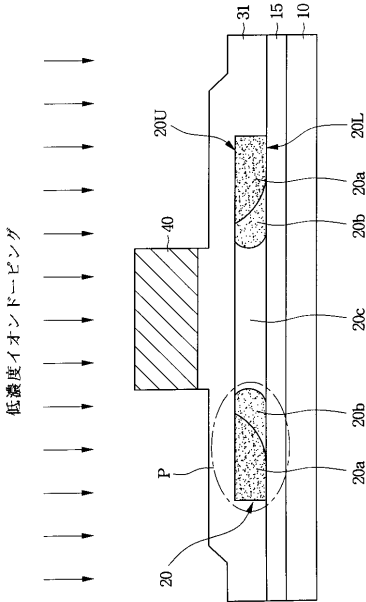
【0029】

- 10 基板
- 20 半導体層
- 20a ソース／ドレイン領域
- 20b LDD 領域
- 30、31 ゲート絶縁膜

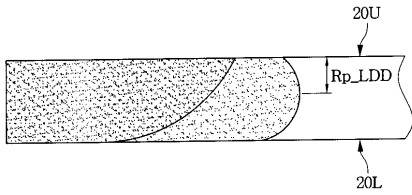
【図 1 A】



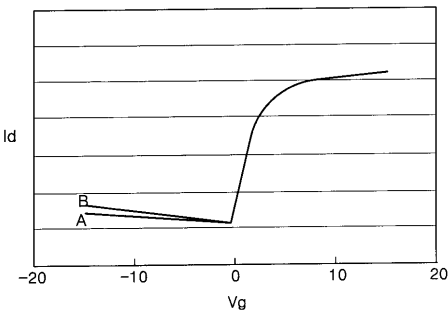
【図 1 B】



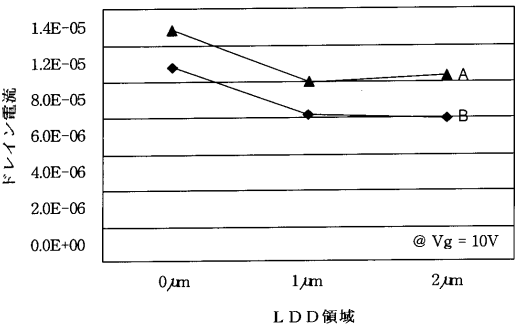
【図 2】



【図 3】



【図 4】



フロントページの続き

Fターム(参考) 5F110 AA14 AA26 CC02 DD01 DD02 DD13 DD14 EE03 EE04 EE06
FF02 FF03 FF09 FF12 GG02 GG13 GG25 HJ04 HJ07 HJ13
HM15 PP01 PP03 PP34 QQ11