



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 698 20 184 T2 2004.10.14**

(12)

Übersetzung der europäischen Patentschrift

(97) **EP 0 902 486 B1**

(51) Int Cl.⁷: **H01L 33/00**

(21) Deutsches Aktenzeichen: **698 20 184.1**

(96) Europäisches Aktenzeichen: **98 117 179.6**

(96) Europäischer Anmeldetag: **10.09.1998**

(97) Erstveröffentlichung durch das EPA: **17.03.1999**

(97) Veröffentlichungstag

der Patenterteilung beim EPA: **03.12.2003**

(47) Veröffentlichungstag im Patentblatt: **14.10.2004**

(30) Unionspriorität:

24720597 11.09.1997 JP

(84) Benannte Vertragsstaaten:

DE, FR

(73) Patentinhaber:

Kokusai Denshin Denwa K.K., Tokio/Tokyo, JP

(72) Erfinder:

**Nishimura, Kohsuke, Iruma-gun, Saitama-ken, JP;
Nagao, Yasuyuki, Hasuda-shi, Saitama-ken, JP**

(74) Vertreter:

HOFFMANN · EITLE, 81925 München

(54) Bezeichnung: **Lichtemittierendes Halbleiterbauelement und Verfahren zu dessen Herstellung**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung**(c) MAKROSTRUKTUR-PS:****HINTERGRUND DER ERFINDUNG****1. Fachgebiet der Erfindung**

[0001] Die vorliegende Erfindung betrifft eine in einer integrierten opto-elektronischen Schaltung verwendete, lichtemittierende Halbleitervorrichtung und eine Bild-Displayvorrichtung, und im Einzelnen ein Verfahren zum Herstellen einer lichtemittierenden Halbleitervorrichtung unter Verwendung von porösem Silizium.

2. Beschreibung des Standes der Technik

[0002] Poröses Silizium (welches von nun an als "PS" bezeichnet wird) unterscheidet sich von kristallinem Silizium (was von nun an als "c-Si" bezeichnet wird) in optischen Eigenschaften, und darin, dass die Absorptionskantenenergie im allgemeinen groß wird. Darüber hinaus ändern sich ebenfalls elektrische Eigenschaften, und der spezifische (elektrische) Widerstand ist im Vergleich zum ursprünglichen c-Si hoch. Wie nachfolgend aufgeführt, sind drei Arten von PSs bekannt:

(a) NANOSTRUKTUR-PS:

[0003] Das PS, dessen Porosität 20 bis 80% beträgt und wobei der Durchmesser der mikroporösen Löcher nicht größer als etwa 2 nm ist, wird als "Nanostruktur-PS" bezeichnet. Im Unterschied zum c-Si zeigt das Nanostruktur-PS Lumineszenz in einem sichtbaren Wellenlängenbereich. Indem dieses Nanostruktur-PS mit Licht kürzerer Wellenlänge innerhalb des spektralen Bereiches von Blau bis Ultraviolett gepumpt wird, kann Fotolumineszenz (PL) mit einer Lumineszenzeffizienz (externe Quanteneffizienz) von etwa 10% im Maximum beobachtet werden. Darüber hinaus kann ebenso Elektrolumineszenz (EL) erzielt werden, indem ein Strom in das Nanostruktur-PS injiziert wird.

(b) MESOSTRUKTUR-PS:

[0004] Andererseits wird das PS, dessen Porosität 40 bis 60% beträgt und wobei der Durchmesser der mikroporösen Löcher etwa 2 bis 50 nm beträgt, als "Mesostruktur-PS" bezeichnet. Die Lumineszenzeffizienz des Mesostruktur-PS ist im Vergleich zum Nanostruktur-PS allgemein gering, und eine Emissionswellenlänge liegt auch allgemein bei der längeren Wellenlänge als beim Nanostruktur-PS. Im Vergleich zum Nanostruktur-PS ist das Mesostruktur-PS hinsichtlich der Struktur grob und weist im Vergleich zum Nanostruktur-PS einen geringen spezifischen (elektrischen) Widerstand auf.

[0005] Darüber hinaus wird ein PS, dessen Porosität noch niedriger als die des Mesostruktur-PS ist und wobei der Durchmesser der mikroporösen Löcher 50 nm oder mehr beträgt, als "Mikrostruktur-PS" bezeichnet. Das Makrostruktur-PS kann kaum Licht emittieren und weist im Vergleich zum Mesostruktur-PS einen noch geringeren spezifischen (elektrischen) Widerstand auf.

[0006] Diese PSs werden durch anodisches Oxidieren ausgebildet, oder indem durch das c-Si (einzelnes kristallines Silizium oder polykristallines Silizium) als Elektroden in der Fluorwasserstoff (HF) enthaltenden Lösung ein Strom von der Oberfläche des Siliziums mit Flussrichtung nach innen geschickt wird. Darüber hinaus werden als Kathode Materialien, wie etwa Platin (Pt), verwendet, die sich gewöhnlich nicht in einer Anodisierlösung auflösen bzw. zersetzen. Obwohl das PS und das eine hierzu ähnliche Struktur aufweisende Material mit anderen Verfahren ausgebildet werden können, wird auf eine Beschreibung verzichtet, weil sie nicht im Hinblick auf die Erfindung wichtig sind.

[0007] Von daher wird das PS durch die Anzahl der mikroporösen Löcher mit einem Durchmesser von etwa 1 bis 100 nm, durch verbleibende kleine c-Si-Partikel oder ein Gerüst und durch einen amorphen Anteil, der dieses umgibt, dergestellt. Die ausgebildete Struktur des PS wird geändert, indem die Bedingungen, wie etwa der Leitfähigkeitstyp und der spezifische (elektrische) Widerstand des ursprünglichen c-Si, die Stromdichte während der anodischen Oxidation, die Zusammensetzung der Anodisierlösung, das Vorhandensein oder das Fehlen von Lichteinstrahlung und die Intensität der Lichteinstrahlung, geändert werden, wodurch das Nanostruktur-PS, das Mesostruktur-PS oder das Makrostruktur-PS erzielt werden kann.

[0008] Beispielsweise wird das Nanostruktur-PS erzielt, indem das c-Si, welches eine geimpfte Störstelle vom p-Leitfähigkeitstyp enthält, bis zu dem Grad anodisch oxidiert wird, bei welchem es nicht degeneriert (ein nicht-degenerierter p-Leitfähigkeitstyp). Darüber hinaus wird ebenfalls das Nanostruktur-PS erzielt, indem ein nicht-degeneriertes c-Si vom n-Leitfähigkeitstyp mit einer geringen Störstellenkonzentration, während es mit Licht bestrahlt wird, anodisch oxidiert wird. Dieses Nanostruktur-PS ist hinsichtlich der Struktur fein, so dass die Porosität etwa 20 bis 80% beträgt und der Durchmesser der Löcher nicht größer als 2 nm ist. Das heißt, da die verbleibenden c-Si-Partikel oder eine Größe des Gerüsts hinsichtlich der Struktur fein sind, wird im Vergleich zum ursprünglichen c-Si der spezifische (elektrische) Widerstand hoch. Beispielsweise kann das Nanostruktur-PS erzielt werden, indem das degenerierte c-Si

vom p-Leitfähigkeitstyp oder das degenerierte c-Si vom n-Leitfähigkeitstyp, welche mit einer hohen Störstellenkonzentration Störstellen vom p-Leitfähigkeitstyp oder vom n-Leitfähigkeitstyp enthalten, so dass das Fermi-Niveau innerhalb des Valenz- oder Leitungsbandes angeordnet ist, anodisch oxidiert werden. Beispielsweise kann das Makrostruktur-PS erzielt werden, indem das nicht-degenerierte c-Si vom n-Leitfähigkeitstyp in einer Dunkelkammer anodisch oxidiert wird.

[0009] Die oben genannte Beschreibung der drei, sich in der Struktur unterscheidenden Arten der PSs wird an den verallgemeinerten Eigenschaften bzw. Charakteristika der jeweiligen typischen einen Art gegeben, und tatsächlich gibt es PSs, welche eine zwischen der Mesostruktur-PS und der Nanostruktur-PS liegende Charakteristik aufweisen, und PSs, welche eine zwischen der Mesostruktur-PS und der Makrostruktur-PS liegende Charakteristik oder dergleichen aufweisen. Des weiteren kann sich in einigen Fällen sogar das PS, welches zu dem gleichen Nanostruktur-PS gehört, abhängig von der Differenz eines Leitfähigkeitstyps des ursprünglichen c-Si in der Feinstruktur unterscheiden. Obwohl das ursprüngliche c-Si gleichförmig ist, kann darüber hinaus das PS, dessen Struktur sich in der Richtung einer Tiefe unterscheidet, selbst abhängig von den Bedingungen bei der anodischen Oxidation ausgebildet werden. Des weiteren kann, obwohl das PS allgemein zu dem Mesostruktur-PS oder zu dem Makrostruktur-PS hinsichtlich der Struktur und Charakteristik gehört, das PS, welches das Nanostruktur-PS enthält, teilweise in dem mikroskopischen Abschnitt abhängig von den Bedingungen der anodischen Oxidation ausgebildet werden.

[0010] Wenn von daher eine lichtemittierende Vorrichtung unter Verwendung des PS ausgebildet wird, sollte bei der Gestaltung der Komponenten hinsichtlich der beiden Gesichtspunkte, durch welche PS-Struktur eine Schicht aufgebaut wird, und für was sie verwendet wird, und hinsichtlich einer Auswahl eines Verfahrens zum Ausbilden der Komponentenstruktur hinreichend Rücksicht genommen werden.

[0011] In den Proceedings des 44. Symposium der Japan Society of Applied Physics and Related Society, Nr. 2, Seite 806, Abschnitt a-B-6, "Characteristics of a pn-junction type photoanodically fabricated porous silicon LED", von Nishimura, Nagao und Ikeda wird berichtet, dass in der lichtemittierenden Vorrichtung unter Verwendung des PS (, was von nun an als "lichtemittierende PS-Vorrichtung" bezeichnet wird) die externe Quanteneffizienz der EL-Lumineszenz im Maximum etwa 1% beträgt. Diese lichtemittierende PS-Vorrichtung wird ausgebildet, indem ein c-Si-Wafer derart vorbereitet wird, dass auf dem c-Si-Substrat vom n-Leitfähigkeitstyp die c-Si-Schicht vom p+-Leitfähigkeitstyp ausgebildet wird, um die Oberflä-

che dieses c-Si-Wafers mit Lichtbestrahlung unter Verwendung einer Lampe anodisch zu oxidieren. Bei der anodischen Oxidation unter solchen Bedingungen wird die c-Si-Schicht vom p+-Leitfähigkeitstyp der Oberfläche, deren spezifischer (elektrischer) Widerstand gering ist, die Mesostruktur-PS-Schicht, und der c-Si-Substratbereich vom n-Leitfähigkeitstyp der Fläche, auf welche kein Licht von der Lampe auftrifft, wird das Makrostruktur-PS. In **Fig. 1** und **Fig. 2** werden die Struktur und die Ausrüstung zur Herstellung dieser lichtemittierenden PS-Vorrichtung gezeigt.

[0012] Der Artikel in Applied Physics Letters 62 (1993), 24. Mai, Nr. 21 "Light Emitting Porous Silicon Diode with an Increased Electro Luminescence Quantum Efficiency" offenbart eine Herstellungstechnologie und Eigenschaften einer lichtemittierenden Vorrichtung, die eine poröse pn-Übergangszone enthält. Durch den Dotierungspegel und die Beleuchtung während des anodischen Oxidierens werden die selektiven bzw. örtlichen Formulierungen verschiedener Arten von Sub-Strukturen eines porösen Siliziums verursacht. Die Vorrichtung weist eine nano-poröse, lichtemittierende Schicht vom n-Leitfähigkeitstyp zwischen einer meso-porösen, p+-dotierten Deckschicht und dem makro-porösen Substrat vom n-Leitfähigkeitstyp auf. Die derart ausgebildete pn-Übergangszone weist starke Rektifizierungseigenschaften auf.

[0013] Die DE 43 19 413 A1 betrifft eine opto-elektronische Baugruppe mit einer sensitiven, lichtemittierenden oder lichtabsorbierenden Schicht auf dem Substrat. Es wird ebenso eine Reihe von Schichten von porösem Silizium mit verschiedenen optischen Eigenschaften und/oder Porositäten offenbart. Die lichtemittierende oder lichtabsorbierende Schicht kann sich aus porösem Silizium zusammensetzen. Um die mechanische Stabilität der Baugruppe zu verbessern, werden mechanisch instabile Schichten hoher Porosität von mechanisch stabilen Schichten mit einer geringeren Porosität abgewechselt.

[0014] Hirschmann K. D. et al. ("Silicon-based Visible Lightemitting Devices Integrated into Microelectronic Circuits") Nature, Vol. 384, 28. November 1996, Seiten 338-341, offenbart eine auf siliziumreichem Siliziumoxid (srso) basierende Oberflächen-lichtemittierende Diode (LED), welche eine erwünschte Elektrolumineszenz-Effizienz, Betriebsschwellwertbedingungen und Frequenzantwortheigenschaften aufweist. Die LED wird angegeben, um eine verbesserte Stabilität über auf porösem Silizium basierenden Vorrichtungsstrukturen zu zeigen, und die aktive srs-Schicht wird angegeben, um Anforderungen, einschließlich der Toleranz bei der thermischen Verarbeitung und der chemischen Widerstandsfähigkeit, zu erfüllen.

[0015] Bezugnehmend auf **Fig. 1** wird die von dem c-Si vom n-Leitfähigkeitstyp ausgebildete Makrostruktur-PS-Schicht **63**, die von nun als "Makrostruktur-PS-Schicht **63** vom n-Leitfähigkeitstyp" bezeichnet wird, auf einem c-Si-Substrat **64** vom n-Leitfähigkeitstyp ausgebildet. Auch wird die von dem c-Si vom n-Leitfähigkeitstyp ausgebildete Nanostruktur-PS-Schicht **62**, die von nun als "Nanostruktur-PS-Schicht **62** vom n-Leitfähigkeitstyp" bezeichnet wird, auf der Makrostruktur-PS-Schicht **63** vom n-Leitfähigkeitstyp ausgebildet. Auch wird ferner hierauf die von dem c-Si vom p+-Leitfähigkeitstyp ausgebildete Mesostruktur-PS-Schicht **61**, die von nun als Mesostruktur-PS-Schicht vom p-Leitfähigkeitstyp bezeichnet wird, ausgebildet. Des weiteren werden die Begriffe "Makrostruktur-PS-Schicht vom n-Leitfähigkeitstyp", "Nanostruktur-PS-Schicht vom n-Leitfähigkeitstyp", "Mesostruktur-PS-Schicht vom p-Leitfähigkeitstyp" oder ähnliche Begriffe zur Annehmlichkeit verwendet, und sie unterscheiden sich im n-Leitfähigkeitstyp und p-Leitfähigkeitstyp in dem c-Si. Der Grund, warum dieses im Allgemeinen so ist, liegt darin, dass bei Raumtemperatur in der PS-Schicht Akzeptor-Störstellen und Donator-Störstellen inaktiv sind. Eine lichtdurchlässige Gold-Elektrode **66**, die als Anode dient, ist an der Mesostruktur-PS-Schicht **61** vom p-Leitfähigkeitstyp und eine Aluminium-Elektrode **65**, die als Kathode dient, auf der Rückseite des c-Si-Substrats **64** vom n-Leitfähigkeitstyp ausgebildet. Eine Gleichstromquelle **67** für die EL ist zwischen der Anode **66** und der Kathode **65** geschaltet. In der in **Fig. 1** gezeigten Struktur dient die Nanostruktur-PS-Schicht **62** vom n-Leitfähigkeitstyp als aktive EL-Schicht. Darüber hinaus hat die Mesostruktur-PS-Schicht **61** vom p-Leitfähigkeitstyp die Aufgabe, in dem c-Si eine Übergangszone ähnlich der pn-Übergangszone (von nun an wird zur Annehmlichkeit eine derartige Übergangszone mittels der PS-Schicht als "pn-Übergangszone" bezeichnet), zwischen der Nanostruktur-PS-Schicht **62** vom n-Leitfähigkeitstyp und der Mesostruktur-PS-Schicht **61** vom p-Leitfähigkeitstyp auszubilden, und die Aufgabe, einen besseren ohmschen Kontakt mit der an der Schicht **61** ausgebildeten, lichtdurchlässigen Gold-Elektrode **66** zu erzielen.

[0016] Um die in **Fig. 1** gezeigte Struktur auszubilden, wird zuerst unter Verwendung eines thermischen Diffusionsverfahrens ein c-Si-Wafer **7** vorbereitet, auf welchem eine c-Si-Schicht **61** vom p+-Leitfähigkeitstyp mit einer Dicke von 0,6 μm und mit einem spezifischen (elektrischen) Widerstand von $2 \times 10^{-3} \Omega\text{-cm}$ auf einer Oberfläche eines c-Si-Substrats **72** vom n-Leitfähigkeitstyp mit einer Dicke von 500 μm und mit einem spezifischen (elektrischen) Widerstand von 5 $\Omega\text{-cm}$ ausgebildet ist. Anschließend kann die Struktur hergestellt werden, indem dieser c-Si-Wafer **7** anodisch oxidiert wird, wie es in **Fig. 2** gezeigt ist. Das heißt, wie in **Fig. 2** gezeigt, wird ein aus Polytetrafluoräthylen (PTFE) ausgebildeter Be-

hälter **1** zur anodischen Oxidation, der eine Öffnung am Boden aufweist, in engen Kontakt mit der Oberfläche der c-Si-Schicht **71** vom p+-Leitfähigkeitstyp unter Verwendung von O-Ringen **2** gebracht, um eine vermischte, Flusssäure und Ethylalkohol enthaltende Anodisierlösung **4** in diesen aus PTFE ausgebildeten Behälter **1** zu füllen. Aufgrund der Verwendung des O-Ringes **2** leckt die vermischte, Flusssäure und Ethylalkohol enthaltende Anodisierlösung **4** nicht aus dem Boden des aus PTFE ausgebildeten Behälters **1** aus. Die Anodisierlösung **4** setzt sich aus 50 Gew.-% Flusssäure und 99,9 Gew.-% Äthylalkohol zusammen, die bei einem Volumenverhältnis von 1 : 1 vermischt sind. In der vermischten, sich aus Flusssäure und Ethylalkohol zusammensetzenden Anodisierlösung ist eine Platin-Elektrode **3** angeordnet.

[0017] Andererseits wird auf der Rückseite des c-Si-Substrats **72** vom n-Leitfähigkeitstyp die Aluminium-Elektrode **65** schließlich die in **Fig. 1** gezeigte Kathode, und ein gewünschter Anodisierstrom wird durch die vermischte, sich aus Flusssäure und Ethylalkohol zusammensetzende Anodisierlösung **4** mittels der zwischen der Platin-Elektrode **3** und der Aluminium-Elektrode **65** angeschlossenen, variablen Gleichstromquelle **4** zugeführt. Während der Bestrahlung mit einer an der Oberseite des aus PTFE ausgebildeten Behälters **1** angeordnete Wolframlampe **5** wird das anodische Oxidieren der c-Si-Schicht **71** vom p+-Leitfähigkeitstyp und des c-Si-Substrats **72** vom n-Leitfähigkeitstyp ausgeführt. Von daher ist die Platin-Elektrode **3** derart angeordnet, dass das von der Wolframlampe **5** ausgestrahlte Licht nicht aufgehalten werden kann, die Oberfläche des c-Si-Wafers **7** zu erreichen.

[0018] Die Mesostruktur-PS-Schicht **61** wird erzielt, indem die in **Fig. 1** gezeigte c-Si-Schicht **71** vom p+-Leitfähigkeitstyp anodisch oxidiert wird. Darüber hinaus wird die in **Fig. 1** gezeigte Nanostruktur-PS-Schicht **62** in dem in **Fig. 2** gezeigten c-Si-Substrat **72** vom n-Leitfähigkeitstyp bei dem Abschnitt in Nähe zu der durch Lichteinstrahlung beeinflussten Oberfläche ausgebildet. Darüber hinaus wird die Makrostruktur-PS-Schicht **63** in dem c-Si-Substrat **72** vom n-Leitfähigkeitstyp bei einem leicht inneren Abschnitt von der nicht durch die Lichteinstrahlung beeinflussten Oberfläche ausgebildet. Das in **Fig. 1** gezeigte c-Si-Substrat **64** vom n-Leitfähigkeitstyp ist ein Abschnitt, der als das c-Si vom in **Fig. 2** gezeigten c-Si-Substrat **72** vom n-Leitfähigkeitstyp verbleibt. Gemäß dem in **Fig. 2** gezeigten Verfahren wird die Nanostruktur-PS-Schicht **62** um so dicker, je länger die Zeit der anodischen Oxidation ist, und darüber hinaus wird die hierunter ausgebildete Makrostruktur-PS-Schicht **63** in Erwiderng hierzu anwachsend dick. Ferner ist die in **Fig. 1** gezeigte Anode **66** die lichtdurchlässige Gold-Elektrode, welche durch Aufdampfung einer dünnen Goldschicht mittels eines Vakuum-Ablagerungsverfahrens nach der anodi-

schen Oxidation ausgebildet wird.

[0019] Die Lumineszenzeffizienz (die Quanteneffizienz) hängt von einer Art und Weise der anodischen Oxidation und der Zeit der anodischen Oxidation ab und ist von daher nicht immer konstant. Im Allgemeinen weist die Nanostruktur-PS-Schicht, die ausreichend anodisch oxidiert ist, indem die Zeit der anodischen Oxidation ausgedehnt wird, eine höhere Lumineszenzeffizienz auf als die der Nanostruktur-PS-Schicht, die mit der kürzeren Zeit der anodischen Oxidation nicht ausreichend anodisch oxidiert ist.

[0020] Zu einem gewissen Grad werden die externe Quanteneffizienz und die elektrische Leistungseffizienz der lichtemittierenden PS-Vorrichtung höher, je länger die Zeit der anodischen Oxidation ist. Der Grund hierfür liegt daran, dass die Quanteneffizienz ansteigt, wenn die Zeit der anodischen Oxidation lang gemacht wird, so dass die anodische Oxidation hinreichend unterstützt wird. Wenn jedoch die Zeit der anodischen Oxidation außerordentlich lang gemacht wird, nimmt erneut die elektrische Leistungseffizienz ab. Der Grund hierfür liegt daran, dass das Anwachsen der spezifischen (elektrischen) Reihenwiderstände der Nanostruktur-PS-Schicht, deren Widerstand hoch ist, überragend wird, wenn eine bestimmte Dicke überschritten wird, obwohl die externe Quanteneffizienz höher wird, was dem Anwachsen der Dicke der Nanostruktur-PS-Schicht **62** zu verdanken ist, welche die lichtemittierende Schicht in Begleitung mit dem Anwachsen der Zeit der anodischen Oxidation ist. Dieses wird unter Hinzunahme auf **Fig. 3** verstanden. Das heißt, **Fig. 3** zeigt eine Beziehung zwischen einem spezifischen (elektrischen) Reihenwiderstand R_s einer solchen lichtemittierenden PS-Vorrichtung und einer Dicke "d" der Nanostruktur-PS-Schicht **62**. Unter Bezugnahme auf **Fig. 3** zeigt ein Symbol eines Kreises O den spezifischen Reihenwiderstand R_s der lichtemittierenden Vorrichtung, welche die in **Fig. 1** gezeigte Nanostruktur-PS-Schicht **62** vom n-Leitfähigkeitstyp aufweist. Und ein Symbol $\diamond$ zeigt den spezifischen Reihenwiderstand R_s der lichtemittierenden Vorrichtung, in welcher sich eine Lumineszenzschicht aus der von dem c-Si vom p-Leitfähigkeitstyp ausgebildeten Nanostruktur-PS-Schicht vom p-Leitfähigkeitstyp aufbaut, die im Wesentlichen die gleiche Elementstruktur wie die der mittels des Symbolkreises gezeigten Vorrichtung aufweist. Es wird verstanden, dass eine Beziehung von $R_s \propto d^{2-3}$ gilt. Von daher wird für die lichtemittierende Vorrichtung, deren externe Quanteneffizienz hoch ist, ihr spezifischer Reihenwiderstand unvermeidlich hoch. Im Einzelnen wird der spezifische Reihenwiderstand R_s der lichtemittierenden PS-Vorrichtung, deren externe Quanteneffizienz 0,1 bis 1% beträgt, 100 k Ω bis 1 M Ω hoch, und eine hohe Versorgungsspannung ist erforderlich, um einen Strom in solch eine lichtemittierende PS-Vorrich-

tung zu injizieren. Das heißt, die in thermische Energie umgewandelte elektrische Energie wird im Verhältnis zu der in Lichtenergie umgewandelten elektrischen Energie stärker erhöht, wodurch die elektrische Leistungseffizienz herabgesetzt wird.

ZUSAMMENFASSUNG DER ERFINDUNG

[0021] Die vorliegende Erfindung ist erdacht, um die zuvor beschriebenen Probleme aus dem Stand der Technik zu lösen, und eine Aufgabe der Erfindung liegt darin, ein Verfahren zum Herstellen bereitzustellen, um einen Reihenwiderstand R_s einer lichtemittierenden PS-Vorrichtung herabzusetzen, um eine elektrische Leistungseffizienz zu verbessern, ohne die externe Quanteneffizienz zu beeinträchtigen.

[0022] Eine weitere Aufgabe der Erfindung liegt darin, ein Herstellungsverfahren zum Herstellen einer lichtemittierenden Vorrichtung anzugeben, deren Betriebsspannung niedrig ist und wobei eine externe Quanteneffizienz hoch ist.

[0023] Eine weitere Aufgabe der Erfindung liegt darin, ein Verfahren zur Herstellung einer lichtemittierenden PS-Vorrichtung bereitzustellen, bei welcher die Regelung einer Schichtdicke der Lumineszenzschicht einfach ist und bei welcher die externe Quanteneffizienz und eine elektrische Leistungseffizienz hoch sind.

[0024] Eine zusätzliche Aufgabe der Erfindung liegt darin, ein Herstellungsverfahren der lichtemittierenden PS-Vorrichtung anzugeben, welche auf einfache Weise mit anderen elektronischen Vorrichtungen auf dem gleichen Siliziumsubstrat integriert und kostengünstig hergestellt werden kann.

[0025] Gemäß der vorliegenden Erfindung wird ein Verfahren zur Herstellung einer lichtemittierenden Halbleitervorrichtung angegeben, welches die folgenden Verfahrensschritte aufweist:

- (a) Vorbereiten eines kristallinen Siliziumwafers, der folgendes aufweist:
 zumindest eine degenerierte, kristalline Siliziumschicht eines ersten Leitfähigkeitstyps;
 eine nicht-degenerierte, kristalline Siliziumschicht eines ersten Leitfähigkeitstyps, die auf der degenerierten, kristallinen Siliziumschicht des ersten Leitfähigkeitstyps ausgebildet ist; und
 eine degenerierte, kristalline Siliziumschicht eines entgegengesetzten Leitfähigkeitstyps, die auf der nichtdegenerierten, kristallinen Siliziumschicht des ersten Leitfähigkeitstyps ausgebildet ist; und
- (b) anodisches Oxidieren des kristallinen Siliziumwafers, um die erste nicht-degenerierte, kristalline Siliziumschicht des ersten Leitfähigkeitstyps in eine poröse Nanostruktur-Siliziumschicht eines ersten Leitfähigkeitstyps vollständig umzuwandeln, und um die degenerierte, kristalline Silizium-

schicht des entgegengesetzten Leitfähigkeitstyps in die poröse Mesostruktur-Siliziumschicht des entgegengesetzten Leitfähigkeitstyps umzuwandeln, und wobei zumindest ein Teil des ersten Leitfähigkeitstyps in eine poröse Mesostruktur-Siliziumschicht des ersten Leitfähigkeitstyps umgewandelt wird;

wobei das poröse Nanostruktur-Silizium eine Porosität von ungefähr 20% bis 80% mit mikroporösen Löchern von nicht mehr als 2 nm Durchmesser aufweist, und

wobei das poröse Mesostruktur-Silizium eine Porosität von ungefähr 40% bis 60% mit mikroporösen Löchern von ungefähr 2 nm bis 50 nm Durchmesser aufweist.

[0026] Wobei der Ausdruck "poröse Nanostruktur-Siliziumschicht vom ersten Leitfähigkeitstyp" ein abgekürzter Ausdruck der porösen Nanostruktur-Siliziumschicht ist, welche von dem kristallinen Silizium (c-Si) vom ersten Leitfähigkeitstyp ausgebildet ist, und wobei der Ausdruck "poröse Mesostruktur-Siliziumschicht vom entgegengesetzten Leitfähigkeitstyp" ein abgekürzter Ausdruck von der porösen Mesostruktur-Siliziumschicht ist, welche von dem c-Si vom entgegengesetzten Leitfähigkeitstyp ausgebildet ist. Wenn hier der erste Leitfähigkeitstyp der n-Leitfähigkeitstyp ist, ist der entgegengesetzte Leitfähigkeitstyp der p-Leitfähigkeitstyp. Und wenn der erste Leitfähigkeitstyp der p-Leitfähigkeitstyp ist, ist der entgegengesetzte Leitfähigkeitstyp der n-Leitfähigkeitstyp. Darüber hinaus ist der Ausdruck "poröse Mesostruktur-Siliziumschicht vom ersten Leitfähigkeitstyp" ein abgekürzter Ausdruck der porösen Mesostruktur-Siliziumschicht, die von dem c-Si vom ersten Leitfähigkeitstyp ausgebildet ist. Obwohl die poröse Nanostruktur-Siliziumschicht vom ersten Leitfähigkeitstyp die Schicht ist, welche als lichtemittierende Hauptschicht dient, ist der spezifische (elektrische) Widerstand hoch. Andererseits sind die Lumineszenzeffizienz und der spezifische (elektrische) Widerstand der porösen Mesostruktur-Siliziumschicht vom ersten Leitfähigkeitstyp gering.

[0027] In diesem Fall sind die degenerierte c-Si-Schicht vom ersten Leitfähigkeitstyp und die degenerierte c-Si-Schicht vom entgegengesetzten Leitfähigkeitstyp die c-Si-Schichten, deren Störstellenkonzentration hoch ist, und die jeweils mittels anodischer Oxidation in Mesostruktur-PS-Schichten umgewandelt werden. Da die Dicke der nicht-degenerierten c-Si-Schicht vom ersten Leitfähigkeitstyp, deren Störstellenkonzentration gering ist, korrekt mittels eines exponentiellen Wachstumsverfahrens oder dergleichen festgelegt ist, wird die Dicke der nicht-degenerierten c-Si-Schicht vom ersten Leitfähigkeitstyp zu der Dicke der Nanostruktur-PS-Schicht vom ersten Leitfähigkeitstyp automatisch und genau umgewandelt, und sie kann nicht dicker als diese Dicke

ausgeführt werden, wodurch eine Dicke korrekt gesteuert werden kann. Ein degeneriertes c-Si-Substrat kann als degenerierte c-Si-Schicht vom ersten Leitfähigkeitstyp verwendet werden. Darüber hinaus kann gemäß dem zweiten Merkmal der Erfindung, selbst wenn die Zeit für das anodische Oxidieren hinreichend ausgeweitet wird, die Dicke der Nanostruktur-PS-Schicht vom ersten Leitfähigkeitstyp nicht vergrößert werden, wodurch die Gründung der "Umwandlung des kristallinen Silizium zu porösem Silizium" hinreichend gemacht werden kann. Wenn im Stand der Technik die Gründung der "Umwandlung von kristallinem Silizium zu porösem Silizium" gemacht wird, wird die "Umwandlung von kristallinem Silizium zu porösem Silizium" von der oberen Oberflächenseite aus initiiert, wodurch der Grad der Gründung der "Umwandlung von kristallinem Silizium zu porösem Silizium" in dem Abschnitt niedrig ist, der weit von der oberen Oberfläche entfernt liegt, so dass die eine geringe Lumineszenzeffizienz aufweisende Nanostruktur ausgebildet wird. Darüber hinaus kann gemäß dem zweiten Merkmal der Erfindung, obwohl ein Nachteil darin besteht, dass in dem Stand der Technik ihre Dicke ebenso dicker als erfordert ausgebildet wird, die fertiggestellte Nanostruktur-PS-Schicht, deren Lumineszenzeffizienz hoch ist, gleichförmig in der Richtung einer Dicke ausgebildet werden. Darüber hinaus ist gemäß dem Stand der Technik eine Verdünnung bzw. Verkleinerung schwierig, da eine bestimmte Dicke erforderlich ist, um den Prozess der "Umwandlung von kristallinem Silizium zu porösem Silizium" hinreichend durchzuführen. Andererseits kann gemäß dem zweiten Merkmal der Erfindung selbst in dem Fall einer extrem dünnen Schichtdicke die Umwandlung zu der fertiggestellten Nanostruktur-PS-Schicht auf einfache Weise durchgeführt werden, und eine Verdünnung bzw. Verkleinerung kann ebenso durchgeführt werden.

[0028] Der Reihenwiderstand wird ferner herabgesetzt, indem die Nanostruktur-PS zu einer mehrfach geschichteten Struktur umgewandelt wird. Um die mehrfach geschichtete Nanostruktur-PS-Schicht auszubilden, weist von daher der PS-Wafer die nicht-degenerierte c-Si-Schicht vom zweiten Leitfähigkeitstyp auf, welche unter der degenerierten c-Si-Schicht vom ersten Leitfähigkeitstyp ausgebildet ist; und ferner die degenerierte c-Si-Schicht vom zweiten Leitfähigkeitstyp hierunter, und die nicht-degenerierte c-Si-Schicht vom zweiten Leitfähigkeitstyp kann in die zweite Nanostruktur-PS-Schicht mittels anodischer Oxidation umgewandelt werden. Des weiteren ist es eine Selbstverständlichkeit, dass die weitere mehrfach geschichtete Struktur realisiert werden kann, indem die Struktur angenommen wird, dass eine zweite und eine dritte nicht-degenerierte c-Si-Schicht vom ersten Leitfähigkeitstyp und degenerierte c-Si-Schicht abwechselnd geschichtet werden. Das degenerierte c-Si-Substrat kann als die niedrigste degenerierte c-Si-Schicht verwendet wer-

den.

[0029] Das anodische Oxidieren kann durchgeführt werden, indem die an der oberen Schicht des zuvor beschriebenen c-Si-Wafers angeordnete, degenerative c-Si-Schicht vom entgegengesetzten Leitfähigkeitstyp mit der Fluorwasserstoff enthaltenden Anodisierlösung in Kontakt gebracht wird; indem eine Metall-Elektrode an einer Grundfläche des c-Si-Wafers vorgesehen wird; und indem ein Strom durch diese Elektrode und die in der Fluorwasserstoff enthaltenen Anodisierlösung vorgesehene Elektrode zugeführt wird.

[0030] Wenn in diesem Fall der erste Leitfähigkeitstyp der n-Leitfähigkeitstyp ist (und der entgegengesetzte Leitfähigkeitstyp der p-Leitfähigkeitstyp ist), wird das anodische Oxidieren in bevorzugter Weise während der Einstrahlung von Licht durchgeführt.

[0031] Gemäß der Erfindung kann die maximale Lumineszenzeffizienz sichergestellt werden, und ein Herstellungsausstoß der lichtemittierenden Halbleitervorrichtung wird hoch und die Produktivität verbessert.

[0032] Darüber hinaus ist es in der Erfindung eine Selbstverständlichkeit, dass das c-Si entweder einzelkristallines Silizium oder polykristallines Silizium sein kann.

[0033] Andere und weitere Aufgaben und Eigenschaften der vorliegenden Erfindung werden bei Verständnis der dargestellten Ausführungsformen ersichtlich, die in Verbindung mit den beigefügten Zeichnungen beschrieben oder in den beigefügten Patentansprüchen aufgezeigt werden, und verschiedene, nicht hierin aufgeführte Vorteile werden für einen Fachmann bei der Verwendung der Erfindung im praktischen Gebrauch ersichtlich.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

[0034] Fig. 1 ist eine Schnittansicht, die ein Beispiel einer Struktur einer lichtemittierenden Halbleitervorrichtung, welche das aus dem Stand der Technik bekannt PS verwendet, zeigt.

[0035] Fig. 2 ist eine schematische Ansicht, die eine Ausführungsform zur Herstellung einer in Fig. 1 gezeigten lichtemittierenden Halbleitervorrichtung beschreibt.

[0036] Fig. 3 ist eine Ansicht, die eine Beziehung zwischen einer Dicke und einem Reihenwiderstand einer Nanostruktur-PS-Schicht zeigt.

[0037] Fig. 4 ist eine Schnittansicht, die eine Struktur einer lichtemittierenden Halbleitervorrichtung gemäß einer ersten Ausführungsform der Erfindung

zeigt.

[0038] Fig. 5 ist eine schematische Ansicht, die eine Ausrüstung zur Herstellung einer lichtemittierenden Halbleitervorrichtung gemäß einer ersten Ausführungsform der Erfindung zeigt.

[0039] Fig. 6 ist eine Schnittansicht, die eine Struktur einer lichtemittierenden Halbleitervorrichtung gemäß einer zweiten Ausführungsform der Erfindung zeigt.

[0040] Fig. 7 ist eine schematische Ansicht, die eine Ausrüstung zur Herstellung einer lichtemittierenden Halbleitervorrichtung gemäß einer zweiten Ausführungsform der Erfindung zeigt.

[0041] Fig. 8 ist eine Ansicht, die Beziehungen zwischen einer externen Quanteneffizienz und einem Reihenwiderstand von jeder der lichtemittierenden Halbleitervorrichtungen gemäß einer ersten und einer zweiten Ausführungsform der Erfindung und gemäß dem Stand der Technik zeigt.

[0042] Fig. 9A ist eine schematische Ansicht einer Displayvorrichtung, die einen Siliziumwafer mit 300 mm Durchmesser verwendet, gemäß einer dritten Ausführungsform der Erfindung.

[0043] Fig. 9B ist ein Blockdiagramm, welches einen Aufbau einer in Fig. 9A gezeigten Displayvorrichtung zeigt.

[0044] Fig. 9C ist eine schematische Schnittansicht, die einen LED-Matrixabschnitt zeigt.

[0045] Fig. 10A bis 10S sind schematische Prozess-Schnittansichten, die ein Verfahren zur Herstellung einer LED-Displayvorrichtung gemäß einer dritten Ausführungsform der Erfindung beschreiben.

[0046] Fig. 11 ist eine schematische Ansicht, die ein anderes Verfahren zur Herstellung einer LED-Displayvorrichtung gemäß einer dritten Ausführungsform der Erfindung beschreibt.

[0047] Fig. 12 ist eine schematische Schnittansicht, die einen LED-Matrixabschnitt gemäß einer Abwandlung einer dritten Ausführungsform der Erfindung zeigt.

[0048] Fig. 13 ist eine schematische Schnittansicht, die einen Teil einer Innenbeleuchtungsvorrichtung gemäß einer anderen Ausführungsform der Erfindung zeigt.

DETAILLIERTE BESCHREIBUNG DER BEVORZUGTEN AUSFÜHRUNGSFORM

[0049] Es werden mehrere Ausführungsformen der

vorliegenden Erfindung unter Hinzunahme der beige-fügten Zeichnungen beschrieben. Es sei darauf hingewiesen, dass in den Zeichnungen die gleichen oder ähnliche Bezugsziffern bei den gleichen oder ähnlichen Teilen und Komponenten angewandt werden, und dass auf die Beschreibung der gleichen oder ähnlichen Teile und Komponenten verzichtet oder diese vereinfacht wird.

[0050] Im Allgemeinen, und wie es bei der Darstellung von Halbleitervorrichtungen üblich ist, wird darauf hingewiesen, dass die unterschiedlichen Zeichnungen nicht entworfen sind, um weder von einer Figur zu einer anderen noch innerhalb einer vorgegebenen Figur skaliert zu werden, und im Einzelnen wird darauf hingewiesen, dass die Schichtdicke willkürlich gewählt sind, um das Lesen der Zeichnungen zu erleichtern.

ERSTE AUSFÜHRUNGSFORM

[0051] Fig. 4 zeigt eine Struktur einer lichtemittierenden Halbleitervorrichtung gemäß einer ersten Ausführungsform der Erfindung. Wie in Fig. 4 gezeigt, sind in der lichtemittierenden Halbleitervorrichtung gemäß einer ersten Ausführungsform der Erfindung die Mesostruktur-PS-Schicht **13** vom n-Leitfähigkeitstyp (die Mesostruktur-PS-Schicht vom ersten Leitfähigkeitstyp), die Nanostruktur-PS-Schicht **12** vom n-Leitfähigkeitstyp (die Nanostruktur-PS-Schicht vom ersten Leitfähigkeitstyp) mit 2 µm Dicke und die Mesostruktur-PS-Schicht **61** vom p-Leitfähigkeitstyp (die Mesostruktur-PS-Schicht vom entgegengesetzten Leitfähigkeitstyp) mit 0,6 µm Dicke in dieser Reihenfolge auf einem c-Si-Substrat **14** vom n+-Leitfähigkeitstyp ausgebildet. Auf der Mesostruktur-PS-Schicht **61** vom p-Leitfähigkeitstyp wird die lichtdurchlässige Gold-Elektrode **66**, die als Anode dient, ausgebildet, und auf der Rückseite des c-Si-Substrats **14** vom n+-Leitfähigkeitstyp wird die Aluminium-Elektrode **65** ausgebildet, welche als Kathode dient. Die Gleichstromversorgung **67** für das EL ist zwischen der Anode **66** und der Kathode **65** angeschlossen. Die Dicke der Nanostruktur-PS-Schicht **12** vom n-Leitfähigkeitstyp, die als aktive EL-Schicht dient, wird hinsichtlich der von einem Auslegungsgesichtspunkt aus erforderlichen Dicke korrekt kontrolliert bzw. gesteuert. Und die Benennung der "Übertragung von kristallinem Silizium zu porösem Silizium" wird hinreichend durchgeführt, so dass die Nanostruktur-PS-Schicht **12** vom n-Leitfähigkeitstyp die fertiggestellte Nanostruktur-PS-Schicht wird. Es wird nämlich anhand der Beschreibung des nachfolgend beschriebenen Herstellungsverfahrens ersichtlich, dass die Nanostruktur-PS-Schicht **12** vom n-Leitfähigkeitstyp diejenige Schicht ist, in welche die nicht-degenerierte c-Si-Schicht vom n-Leitfähigkeitstyp in eine poröse Schicht umgewandelt wird, und die Dicke der Nanostruktur-PS-Schicht **12** vom n-Leitfähigkeitstyp wird

mittels der Dicke der nicht-degenerierten c-Si-Schicht vom n-Leitfähigkeitstyp korrekt kontrolliert bzw. gesteuert.

[0052] Die Mesostruktur-PS-Schicht **61** vom p-Leitfähigkeitstyp hat die Aufgabe, die pn-Übergangszone zwischen der Nanostruktur-PS-Schicht **62** vom n-Leitfähigkeitstyp und der Mesostruktur-PS-Schicht **61** vom p-Leitfähigkeitstyp auszubilden. Die Mesostruktur-PS-Schicht **61** vom p-Leitfähigkeitstyp hat ferner die Aufgabe, einen besseren ohmschen Kontakt mit der lichtdurchlässigen Gold-Elektrode **66** herzustellen, die an der Mesostruktur-PS-Schicht **61** vom p-Leitfähigkeitstyp ausgebildet ist.

[0053] Fig. 5 zeigt ein Herstellungsverfahren für eine lichtemittierende Halbleitervorrichtung gemäß einer ersten Ausführungsform der Erfindung.

(a) Zunächst werden, wie in Fig. 4 gezeigt, ein c-Si-Wafer **8**, auf welchem die nicht-degenerierte c-Si-Schicht **22** vom n-Leitfähigkeitstyp (die nicht-degenerierte c-Si-Schicht vom ersten Leitfähigkeitstyp) mit einer Dicke von 2 µm und einem spezifischen (elektrischen) Widerstand von 1 Ω-cm und die degenerierte c-Si-Schicht **71** vom p+-Leitfähigkeitstyp (die degenerierte c-Si-Schicht vom entgegengesetzten Leitfähigkeitstyp) mit einer Dicke von 0,6 µm und einem spezifischen (elektrischen) Widerstand von 2×10^{-3} Ω-cm auf dem degenerierten c-Si-Substrat **23** vom n+-Leitfähigkeitstyp (die degenerierte c-Si-Schicht vom ersten Leitfähigkeitstyp) mit 500 µm Dicke und mit einem spezifischen (elektrischen) Widerstand von 1×10^{-3} Ω-cm durch epitaxiales Wachstum ausgebildet.

(b) Als zweites wird die Aluminium-Elektrode **65** auf der Rückseite des degenerierten c-Si-Substrats **23** vom n+-Leitfähigkeitstyp ausgebildet, indem ein Vakuum-Aufdampfverfahren oder ein Sputter-Verfahren verwendet wird. Danach wird ein Sinterprozess bei 400 bis 450°C angewandt, um einen besseren ohmschen Kontakt der Aluminium-Elektrode **65** zum Herabsetzen des Kontaktwiderstands zu erreichen.

(c) Danach wird, wie es in Fig. 5 gezeigt ist, ein aus PTFE hergestellter Behälter **1** mit einer Öffnung am Boden in engem Kontakt mit der Oberfläche des c-Si-Wafers **8** gebracht, indem O-Ringe **2** verwendet werden, um die vermischte, sich aus Flusssäure und Ethylalkohol zusammensetzende Anodisierlösung **4** in diesen aus PTFE ausgebildeten Behälter **1** zu füllen. Aufgrund der Verwendung des O-Ringes **2** leckt die vermischte, sich aus Flusssäure und Ethylalkohol zusammensetzende Anodisierlösung **4** nicht aus dem Boden des aus PTFE ausgebildeten Behälters **1** aus. Die Anodisierlösung **4** besteht aus 50 Gew.-% Flusssäure und aus 99,9 Gew.-% Ethylalkohol, die in einem Volumenverhältnis von 1 : 1 vermischt werden. In der vermischten, sich aus Flusssäure und

Ethylalkohol zusammensetzenden Anodisierlösung **4** ist eine Platin-Elektrode **3** angeordnet. Die Wolframlampe **5** ist an der Oberseite des aus PTFE ausgebildeten Behälters angeordnet. Darüber hinaus ist die Platin-Elektrode **3** derart angeordnet, dass das von der Wolframlampe **5** abgestrahlte Licht nicht daran gehindert werden kann, die Oberfläche des c-Si-Wafers **8** zu erreichen.

(d) Nachfolgend wird mittels der variablen Gleichstromversorgung **6**, die zwischen der Platin-Elektrode **3** und der Aluminium-Elektrode **65** angeschlossen ist, für sechs Minuten ein gewünschter Anodisierstrom von 30 mA/cm^2 durch die vermischte, sich aus Flusssäure und Ethylalkohol zusammensetzende Anodisierlösung geschickt. Nach dem Einstellen der Intensität der Lichtabstrahlung derart, dass die Intensität der Lichtabstrahlung bei der Oberfläche des c-Si-Wafers **8** 2.000 lx bis 200.000 lx , in bevorzugter Weise etwa 1 lx beträgt, wird das anodische 20.000 Oxidieren während der Lichtbestrahlung mittels der oberhalb des aus PTFE ausgebildeten Behälters **1** angeordneten Wolframlampe **5** durchgeführt. Daraus resultiert, dass durch das anodische Oxidieren die degenerierte c-Si-Schicht **71** vom p+-Leitfähigkeitstyp zu der Mesostruktur-PS-Schicht **61** vom p-Leitfähigkeitstyp wird. Darüber hinaus wird ebenso ein Teil des degenerierten c-Si-Substrats **23** vom n+-Leitfähigkeitstyp auf die gleiche Weise anodisch oxidiert, um zu der Mesostruktur-PS-Schicht **13** vom n-Leitfähigkeitstyp zu werden. Andererseits wird durch das anodische Oxidieren die nicht-degenerierte c-Si-Schicht **22** vom n-Leitfähigkeitstyp zu der Nanostruktur-PS-Schicht **12** vom n-Leitfähigkeitstyp, wobei die geschichtete Struktur, wie sie in **Fig. 4** gezeigt ist, fertiggestellt wird.

(e) Danach wird, nachdem der aus PTFE ausgebildete Behälter **1** oder dergleichen entfernt wurde, unter Verwendung eines Vakuum-Aufdampfverfahrens oder dergleichen auf die Oberfläche der Mesostruktur-PS-Schicht **61** vom p-Leitfähigkeitstyp eine Goldschicht bis zu einer Dicke aufgedampft, um die Lichtdurchlässigkeit zu zeigen. Bezugnehmend auf **Fig. 5** würde die c-Si-Schicht um den Randbereich herum, der nicht in Kontakt mit der Anodisierlösung **4** kommt, so verbleiben wie sie ist. Ferner wird ein darunter angeordneter Teil nicht anodisch oxidiert, und er verbleibt noch als c-Si-Schicht. Dieser als c-Si-Schicht verbleibender Randbereich wird unter Verwendung einer Diamantenschneide oder dergleichen geschnitten und entfernt, wobei die grundlegende Struktur der in **Fig. 4** gezeigten lichtemittierenden Halbleitervorrichtung fertiggestellt ist. Danach sind der Prozess des Zuschneidens in einen Würfel mit einer gewünschten Dimension und der Prozess des Montierens bzw. des Bestückens auf einen bestimmten Leitungsrahmen oder dergleichen die gleichen wie der Prozess bei der be-

kannten kristallinen LED, wie etwa bei der GaAs-LED, der GaAsP-LED, der AlGaAs-LED oder bei der GaP-LED. Darüber hinaus wird die bei der anodischen Oxidation als Kontakt verwendete Aluminium-Elektrode **65** als Kathode **65** der lichtemittierenden Halbleitervorrichtung gemäß der ersten Ausführungsform verwendet. Es ist selbstverständlich, dass sobald die bei der anodischen Oxidation verwendete Aluminium-Elektrode **65** entfernt wurde, metallische Materialien für die Kathode neu abgelagert werden müssen.

[0054] Gemäß dem Verfahren zum Herstellen der oben beschriebenen lichtemittierenden Halbleitervorrichtung wird im Gegensatz zu der lichtemittierenden PS-Vorrichtung und dem Verfahren zur Herstellung derselben unter Verwendung des in **Fig. 1** und in **Fig. 2** gezeigten Standes der Technik, das Nanostruktur-PS nur an dem Abschnitt der nicht-degenerierten c-Si-Schicht **22** vom n-Leitfähigkeitstyp ausgebildet, und alle anderen Abschnitte werden zu dem Mesostruktur-PS. Von daher wird die Dicke der Nanostruktur-PS-Schicht **12**, welche die lichtemittierende Schicht ist, hinsichtlich der von einem Auslegungsgesichtspunkt aus erforderlichen Dicke korrekt gesteuert, und eine "Umwandlung von kristallinem Silizium zu porösem Silizium" kann hinreichend entwickelt werden.

[0055] Wie obig erwähnt, bestand ein Nachteil darin, dass, obwohl gemäß dem Stand der Technik die Dicke des Nanostruktur-PS vergrößert wird und obwohl die Intensität der EL hoch wird, wenn die Zeit der anodischen Oxidation bis zu einem gewissen Grad verlängert wird, in Begleitung mit dem Verstreichen der Zeit des anodischen Oxidierens unvermeidlich die Dicke des Nanostruktur-PS übermäßig dick wird, so dass der spezifische (elektrische) Widerstand vergrößert wird. Im Gegensatz hierzu kann, wenn das in **Fig. 5** gezeigte Herstellungsverfahren verwendet wird, die Dicke der Nanostruktur-PS-Schicht **12** vom n-Leitfähigkeitstyp nicht übermäßig über die Dicke ($2 \mu\text{m}$ in der ersten Ausführungsform der Erfindung) der vorab geschichteten, nicht degenerierten c-Si-Schicht **22** vom n-Leitfähigkeitstyp anwachsen, sondern die Mesostruktur-PS-Schicht **13**, deren spezifischer (elektrischer) Widerstand relativ gering ist, wird dick, selbst obwohl die Zeit der anodischen Oxidation über die Zeit zum Ausbilden der optimalen Dicke der Nanostruktur-PS-Schicht abgelaufen ist. Von daher kann die fertiggestellte Nanostruktur-PS-Schicht mit der hohen Quanteneffizienz erzielt werden, indem die Zeit der anodischen Oxidation hinreichend lang ausgedehnt wird, um den Prozess der "Umformung des kristallinen Siliziums zu porösem Silizium" ausreichend zu machen. Von daher kann die Dicke der Nanostruktur-PS-Schicht **12** nicht außerordentlich vergrößert werden, selbst in dem Fall, wenn die übermäßige Zeit der anodischen Oxidation verstrichen ist,

sowie wird die "Umformung des kristallinen Siliziums zu porösem Silizium", was notwendig und hinreichend ist, um die Quanteneffizienz der Nanostruktur-PS-Schicht **12** zu verbessern, stimuliert, und die Dicke wird gesichert, wobei der spezifische Reihenwiderstand R_s der ausgebildeten lichtemittierenden Vorrichtung nicht um einen großen Betrag erhöht werden kann als der Wert, der mittels der gewünschten Dicke der ausgelegten Nanostruktur-PS-Schicht festgelegt wird. Von daher kann wie ausgelegt die lichtemittierende Halbleitervorrichtung mit der hohen Quanteneffizienz bereitgestellt werden.

ZWEITE AUSFÜHRUNGSFORM

[0056] Fig. 6 zeigt eine Struktur einer lichtemittierenden Halbleitervorrichtung gemäß einer zweiten Ausführungsform der Erfindung. Wie in Fig. 6 gezeigt, sind in der lichtemittierenden Halbleitervorrichtung gemäß einer zweiten Ausführungsform der Erfindung eine vierte Mesostruktur-PS-Schicht **13** vom n-Leitfähigkeitstyp, eine vierte Nanostruktur-PS-Schicht **31** vom n-Leitfähigkeitstyp, eine dritte Mesostruktur-PS-Schicht **32** vom n-Leitfähigkeitstyp, eine dritte Nanostruktur-PS-Schicht **33** vom n-Leitfähigkeitstyp, eine zweite Mesostruktur-PS-Schicht **34** vom n-Leitfähigkeitstyp (die zweite Mesostruktur-PS-Schicht des ersten Leitfähigkeitstyps), eine zweite Nanostruktur-PS-Schicht **35** vom n-Leitfähigkeitstyp (die zweite Nanostruktur-PS-Schicht vom ersten Leitfähigkeitstyp), eine erste Mesostruktur-PS-Schicht **36** vom n-Leitfähigkeitstyp (die erste Mesostruktur-PS-Schicht vom ersten Leitfähigkeitstyp) und eine erste Nanostruktur-PS-Schicht **37** vom n-Leitfähigkeitstyp (die erste Nanostruktur-PS-Schicht vom ersten Leitfähigkeitstyp) in dieser Reihenfolge auf einem c-Si-Substrat **14** vom n+-Leitfähigkeitstyp ausgebildet. Die Dicke der dritten bis ersten Mesostruktur-PS-Schicht **32**, **34** und **36** vom n-Leitfähigkeitstyp beträgt jeweils 0,1 μm . Andererseits beträgt die Dicke der vierten bis ersten Nanostruktur-PS-Schicht **31**, **33**, **35** und **37** vom n-Leitfähigkeitstyp jeweils 0,5 μm . Die Mesostruktur-PS-Schicht **61** vom p-Leitfähigkeitstyp (die Mesostruktur-PS-Schicht vom entgegengesetzten Leitfähigkeitstyp) mit 0,6 μm Dicke ist ferner auf der ersten Nanostruktur-PS-Schicht **37** vom n-Leitfähigkeitstyp ausgebildet. Auf der Mesostruktur-PS-Schicht **61** vom p-Leitfähigkeitstyp ist die lichtdurchlässige Gold-Elektrode **66**, die als Anode dient, ausgebildet, und auf der Rückseite des c-Si-Substrats **14** vom n+-Leitfähigkeitstyp ist die Aluminium-Elektrode **65**, die als Kathode dient, ausgebildet. Die Gleichstromversorgung **67** für das EL ist zwischen der Anode **66** und der Kathode **65** vorgesehen. In der in Fig. 6 gezeigten Struktur dienen die vierte bis erste Nanostruktur-PS-Schicht **31**, **33**, **35** und **37** vom n-Leitfähigkeitstyp als lichtemittierende Schichten, und in diesem Fall werden ihre Dicken hinsichtlich der von einem Auslegungsgesichtspunkt aus erforderlichen Di-

cke korrekt gesteuert. Das heißt, die vierte bis erste Nanostruktur-PS-Schicht **31**, **33**, **35** und **37** vom n-Leitfähigkeitstyp sind die Schichten, in denen die "Umwandlung des kristallinen Siliziums zu porösem Silizium" der nicht-degenerierten c-Si-Schicht vom n-Leitfähigkeitstyp, deren Störstellenkonzentration gering ist, ausgebildet, und die Dicke der Nanostruktur-PS-Schicht **12** vom n-Leitfähigkeitstyp wird mittels der Dicke der nicht-degenerierten c-Si-Schicht vom n-Leitfähigkeitstyp gesteuert, die im voraus korrekt errichtet wurde, und diese Dicke wird hinsichtlich der von einem Auslegungsgesichtspunkt aus erforderliche Dicke korrekt gesteuert, und die Benennung der "Umwandlung von kristallinem Silizium zu porösem Silizium" wird hinreichend durchgeführt, so dass die hohe Quanteneffizienz zum Vorschein kommt. Die Mesostruktur-PS-Schicht **61** vom p-Leitfähigkeitstyp weist die Aufgabe auf, die pn-Übergangszone zwischen der ersten Nanostruktur-PS-Schicht **37** vom n-Leitfähigkeitstyp und der Schicht **61** auszubilden, und die Aufgabe, einen besseren ohmschen Kontakt mit der lichtdurchlässigen Gold-Elektrode **66** herzustellen.

[0057] Fig. 7 zeigt ein Verfahren zur Herstellung einer lichtemittierenden Halbleitervorrichtung gemäß einer zweiten Ausführungsform der Erfindung.

(a) Zunächst werden, wie es in Fig. 7 gezeigt ist, ein c-Si-Wafer **9**, auf welchem eine vierte nicht-degenerierte, epitaxial gewachsene c-Si-Schicht **41** vom n-Leitfähigkeitstyp, eine dritte degenerierte, epitaxial gewachsene c-Si-Schicht **42** vom n+-Leitfähigkeitstyp, eine dritte nicht-degenerierte, epitaxial gewachsene c-Si-Schicht **43** vom n-Leitfähigkeitstyp, eine zweite degenerierte, epitaxial gewachsene c-Si-Schicht vom n+-Leitfähigkeitstyp **44** (die zweite degenerierte c-Si-Schicht vom ersten Leitfähigkeitstyp), eine zweite, nicht-degenerierte, epitaxial gewachsene c-Si-Schicht **45** vom n-Leitfähigkeitstyp (die zweite nicht-degenerierte c-Si-Schicht vom ersten Leitfähigkeitstyp), eine erste degenerierte, epitaxial gewachsene c-Si-Schicht vom n+-Leitfähigkeitstyp (die erste degenerierte c-Si-Schicht vom ersten Leitfähigkeitstyp), eine erste, nicht degenerierte, epitaxial gewachsene c-Si-Schicht **47** vom n-Leitfähigkeitstyp (die erste nicht-degenerierte c-Si-Schicht vom ersten Leitfähigkeitstyp) und eine degenerierte, epitaxial gewachsene c-Si-Schicht **71** vom p+-Leitfähigkeitstyp (die degenerierte c-Si-Schicht vom entgegengesetzten Leitfähigkeitstyp) in dieser Reihenfolge auf dem degenerierten c-Si-Substrat **23** vom n+-Leitfähigkeitstyp (die erste degenerierte c-Si-Schicht vom ersten Leitfähigkeitstyp) mit 500 μm Dicke und mit einem spezifischen (elektrischen) Widerstand von $1 \times 10^{-3} \Omega\text{-cm}$ durch epitaxiales Wachsen ausgebildet. Die vierte bis erste nicht-degenerierte, epitaxial gewachsene c-Si-Schichten **41**, **43**, **45** und **47** vom n-Leitfähigkeitstyp sind jeweils die epitaxi-

al gewachsenen Schichten mit 0,5 µm Dicke und mit einem spezifischen (elektrischen) Widerstand von 5 Ω-cm. Darüber hinaus sind die dritte bis erste degenerierte, epitaxial gewachsenen c-Si-Schichten **42**, **44** und **46** vom n+-Leitfähigkeitstyp jeweils die Schichten mit 0,1 µm Dicke und mit einem spezifischen (elektrischen) Widerstand von 1×10^{-3} Ω-cm, und die degenerierte, epitaxial gewachsene c-Si-Schicht **71** vom p+-Leitfähigkeitstyp ist die epitaxial gewachsene Schicht mit 0,6 µm Dicke und mit einem spezifischen (elektrischen) Widerstand von 2×10^{-3} Ω-cm.

(b) Als zweites wird die Aluminium-Elektrode **65** auf der Rückseite des degenerierten c-Si-Substrats **23** vom n+-Leitfähigkeitstyp unter Verwendung eines Vakuum-Aufdampfverfahrens ausgebildet. Darüber hinaus wird bei einer bestimmten Temperatur ein Sinter-Verfahren ausgeführt.

(c) Wie in **Fig. 7** gezeigt, wird danach ein eine Öffnung am Boden aufweisender Behälter **1**, welcher aus PTFE ausgebildet ist, in engen Kontakt mit der Oberfläche des c-Si-Wafers **9** gebracht, indem O-Ringe **2** verwendet werden, um die vermischte, sich aus Flusssäure und Ethylalkohol zusammensetzende Anodisierlösung **4** in diesen aus PTFE ausgebildeten Behälter **1** zu füllen. Da der O-Ring **2** verwendet wird, leckt die vermischte, sich aus Flusssäure und Ethylalkohol zusammensetzende Anodisierlösung **4** nicht von dem Boden des aus PTFE ausgebildeten Behälters **1** aus. Die Anodisierlösung **4** enthält 50 Gew.-% Flusssäure und 99,9 Gew.-% Ethylalkohol, die mit einem Volumenverhältnis von 1 : 1 vermischt sind. In der vermischten, sich aus Flusssäure und Ethylalkohol zusammensetzenden Anodisierlösung **4** wird eine Platin-Elektrode **3** angeordnet. Die Wolframlampe **5** wird an der Oberseite des aus PTFE ausgebildeten Behälters angeordnet. Darüber hinaus wird die Platin-Elektrode **3** derart angeordnet, dass das von der Wolframlampe **5** abgestrahlte Licht nicht daran gehindert werden kann, die Oberfläche des c-Si-Wafers **9** zu erreichen.

(d) Nachfolgend wird für sechs Minuten mittels der zwischen der Platin-Elektrode **3** und der Aluminium-Elektrode **65** angeschlossenen, variablen Gleichstromquelle **6** ein gewünschter Anodisierstrom von 30 mA/cm² durch die vermischte, sich aus Flusssäure und Ethylalkohol zusammensetzende Anodisierlösung **4** geschickt. Zu dieser Zeit wird, nachdem die Intensität der Lichtstrahlung derart eingestellt ist, dass die Intensität der Lichtbestrahlung bei der Oberfläche des c-Si-Wafers **8** 20.000 lx beträgt, während der Lichtbestrahlung mit der an der Oberseite des aus PTFE ausgebildeten Behälters **1** angeordneten Wolframlampe **5** das anodische Oxidieren durchgeführt. Daraus resultiert, dass die vierte bis erste, nicht-degenerierte, epitaxial gewachsene c-Si-Schichten **41**, **43**, **45** und **47** vom n-Leitfähigkeitstyp jeweils zu den

vierten bis ersten Nanostruktur-PS-Schichten **31**, **33**, **35** und **37** vom n-Leitfähigkeitstyp werden. Darüber hinaus werden ein Teil des degenerierten c-Si-Substrats **23** vom n+-Leitfähigkeitstyp und die dritte bis erste degenerierte, epitaxial gewachsene c-Si-Schicht **42**, **44** und **46** vom n+-Leitfähigkeitstyp jeweils zu der vierten bis ersten Mesostruktur-PS-Schicht **30**, **32**, **34** und **36** vom n-Leitfähigkeitstyp. Darüber hinaus wird die degenerierte, epitaxial gewachsene c-Si-Schicht **71** vom p+-Leitfähigkeitstyp zu der Mesostruktur-PS-Schicht **61** vom p-Leitfähigkeitstyp.

(e) Danach wird unter Verwendung eines Vakuum-Aufdampfverfahrens oder dergleichen, nachdem der aus PTFE oder dergleichen ausgebildete Behälter **1** entfernt wurde, auf der Oberfläche der Mesostruktur-PS-Schicht **61** vom p-Leitfähigkeitstyp eine Goldschicht bis zu einer Dicke aufgedampft, um eine Lichtdurchlässigkeit zu zeigen. Da die c-Si-Schicht an dem Randbereich des außerhalb eines O-Ringes angeordneten c-Si-Wafers **9** verbleibt, wird der Randbereich unter Verwendung einer Diamantenschneide oder dergleichen ausgeschnitten und entfernt. Von daher wird die grundlegende Struktur der in **Fig. 6** gezeigten lichtemittierenden Halbleitervorrichtung fertiggestellt. Darüber hinaus sind danach ein Zuschneidprozess und ein Bestückungsprozess die gleichen Prozesse wie die bekannten Prozesse bei der kommerziell verfügbaren kristallinen LED, wobei auf die Beschreibung hiervon verzichtet wird. Darüber hinaus wird die bei der anodischen Oxidation als Kontakt verwendete Aluminium-Elektrode **65** als Aluminium-Elektrode **65** verwendet. Es ist eine Selbstverständlichkeit, dass, wenn die bei der anodischen Oxidation verwendete Aluminium-Elektrode **65**, die wird, einmal entfernt wurde, die leitfähigen Materialien für die Kathode **65** erneut aufgedampft bzw. abgelagert werden können.

[0058] Wie in **Fig. 6** gezeigt, kann durch die Struktur, dass die vierte bis erste Nanostruktur-PS-Schicht **31**, **33**, **35** und **37** vom n-Leitfähigkeitstyp verbunden sind, indem die dritte bis erste Mesostruktur-PS-Schicht **32**, **34** und **36** zwischen ihnen schichtweise angeordnet werden, der spezifische Reihenwiderstand R_s im Vergleich zu der lichtemittierenden Halbleitervorrichtung, die eine Einzelschicht Nanostruktur-PS-Schicht der gleichen Dicke wie die gesamte Dicke der vier Schichten der vierten bis ersten Nanostruktur-PS-Schicht **31**, **33**, **35** und **37** vom n-Leitfähigkeitstyp aufweist, herabgesetzt werden. Dieses wird hervorgerufen, indem, wie es unter Hinzunahme von **Fig. 3** beschrieben ist, der spezifische Reihenwiderstand R_s der Nanostruktur-PS-Schicht vom n-Leitfähigkeitstyp quadratisch zur Dicke erhöht wird.

[0059] Beispielsweise bedeutet dies, dass der spezifische Reihenwiderstand R_s der Nanostruktur-PS-Schicht vom n-Leitfähigkeitstyp mit 2 µm Di-

cke sechzehn mal dem spezifischen Reihenwiderstand R_s der Nanostruktur-PS-Schicht von $0,5\ \mu\text{m}$ Dicke beträgt. Wenn, wie in **Fig. 6** gezeigt, die Struktur angenommen wird, dass die vier Schichten der Nanostruktur-PS-Schicht vom n-Leitfähigkeitstyp mit $0,5\ \mu\text{m}$ Dicke durch die Mesostruktur-PS-Schicht vom n-Leitfähigkeitstyp verbunden werden, deren spezifischer (elektrischer) Widerstand gering ist, beträgt der gesamte spezifische Reihenwiderstand $R_{s(\text{total})}$ jedoch nur etwa vier mal dem Wert der Einzelschicht Nanostruktur-PS-Schicht mit $0,5\ \mu\text{m}$ Dicke. Im Allgemeinen kann der gesamte spezifische Reihenwiderstand $R_{s(\text{total-div})}$ einer gestapelten Struktur, bei der die N Schichten der Nanostruktur-PS-Schicht vom n-Leitfähigkeitstyp mit einer Dicke d/N durch die Mesostruktur-PS-Schicht vom n-Leitfähigkeitstyp verbunden werden, auf etwa $1/N$ hinsichtlich des gesamten spezifischen Reihenwiderstandes $R_{s(\text{total-single})}$ der Einzelschicht Nanostruktur-PS-Schicht mit einer Dicke "d" reduziert werden. Es ist das gleiche wie in dem Fall der ersten Ausführungsform, dass, wenn sie mittels des in **Fig. 7** gezeigten Verfahrens ausgeführt sind, die Nanostruktur-PS-Schichten **31**, **33**, **35** und **37** vom n-Leitfähigkeitstyp, deren EL-Effizienz hoch ist, nur an den Abschnitten des ursprünglichen, nicht-degenerierten c-Si-Schicht **41**, **43**, **45** und **47** vom n-Leitfähigkeitstyp ausgebildet werden, wobei die korrekte Steuerung der Schichtdicke und die hinreichende "Umwandlung des kristallinen Siliziums zu porösem Silizium" stimuliert werden, wobei die Lumineszenzeffizienz der Nanostruktur-PS-Schicht verbessert werden kann.

[0060] **Fig. 8** zeigt eine Beziehung zwischen einer externen Quanteneffizienz und einem spezifischen Reihenwiderstand R_s einer lichtemittierenden Halbleitervorrichtung (ein Symbol eines O) gemäß einer zweiten Ausführungsform der Erfindung. Zum Vergleich zeigt **Fig. 8** ebenso die Beziehungen zwischen einer externen Quanteneffizienz und dem spezifischen Reihenwiderstand einer lichtemittierenden Halbleitervorrichtung (ein Symbol eines Δ) gemäß dem Stand der Technik und der lichtemittierenden Halbleitervorrichtung (ein Symbol eines $\square$) gemäß der ersten Ausführungsform der Erfindung.

[0061] Die Bedingungen der anodischen Oxidation von jeder der lichtemittierenden Halbleitervorrichtungen (das Symbol eines O) gemäß dem Stand der Technik, der ersten und gemäß der zweiten Ausführungsform der Erfindung sind die gleichen. Darüber hinaus sind die Dicke ($2\ \mu\text{m}$) der Nanostruktur-PS-Schicht **12** der lichtemittierenden Halbleitervorrichtung gemäß der ersten Ausführungsform der Erfindung und die Summe ($0,5 \times 4 = 2\ \mu\text{m}$) der Dicke von vier Schichten der Nanostruktur-PS-Schichten **31**, **33**, **35** und **37** der lichtemittierenden Halbleitervorrichtung gemäß der zweiten Ausführungsform der Erfindung die gleichen. Obwohl die externe Quanteneffizienz des EL von jeder in **Fig. 8** gezeigten lich-

temittierenden Halbleitervorrichtung in etwa die gleiche ist, wird in den jeweiligen spezifischen Reihenwiderständen R_s der bedeutende Unterschied erkannt. Da nämlich die Dicke der mittels des Symbols Δ angezeigten lichtemittierenden Halbleitervorrichtungen gemäß dem Stand der Technik $8\ \mu\text{m}$ beträgt, ist der spezifische Reihenwiderstand R_s größer als $150\ \text{k}\Omega$. Da im Gegensatz hierzu die Dicke der Nanostruktur-PS-Schicht **12** der mittels des Symbols $\square$ angezeigten lichtemittierenden Halbleitervorrichtung gemäß der ersten Ausführungsform der Erfindung korrekt dahingehend gesteuert werden kann, dass sie auf $2\ \mu\text{m}$ verdünnt wird, wird der spezifische Reihenwiderstand R_s um $1/15$ auf etwa $8\ \text{k}\Omega$ herabgesetzt. Darüber hinaus wird der spezifische Reihenwiderstand R_s der Nanostruktur-PS-Schicht **12** der mittels des Symbols O angezeigten, lichtemittierenden Halbleitervorrichtung gemäß der zweiten Ausführungsform der Erfindung $1,6\ \text{k}\Omega$, und er wird auf $1/5$ im Vergleich zu der lichtemittierenden Halbleitervorrichtung gemäß der ersten Ausführungsform herabgesetzt, wodurch der geringste Wert erzielt wird. Wie obig beschrieben, ist der Herabsetzungseffekt des spezifischen Reihenwiderstandes R_s der Nanostruktur-PS-Schicht **12** der lichtemittierenden Halbleitervorrichtung gemäß der zweiten Ausführungsform der Erfindung ersichtlich.

DRITTE AUSFÜHRUNGSFORM

[0062] Die PS-Schicht kann auf dem gleichen c-Si-Substrat (Wafer) ausgeführt werden, um integrierte Halbleiterschaltungen (ICs) auszubilden. Von daher kann die Halbleitervorrichtung gemäß der Erfindung auf einfache Weise in die integrierten, optoelektronischen Schaltkreise (OEIC) und die ICs, wie etwa in eine Displayvorrichtung für ein Bilddisplay, integriert werden, wodurch sie in verschiedenen Fachgebieten anwendbar ist. Eine selektive Diffusionstechnik kann zur Integration verwendet werden. Wenn nämlich sich aus der degenerierte c-Si-Schicht und der nicht-degenerierten Schicht auf einem bestimmten Bereich zusammensetzende, diffundierte Multi-Schicht-Bereich, selektiv ausgebildet wird, kann die Struktur der Halbleitervorrichtung gemäß der Erfindung lokal an dem Abschnitt des diffundierten Multi-Schicht-Bereiches ausgebildet werden.

[0063] **Fig. 9A** ist eine schematische Ansicht einer Displayvorrichtung, in welcher an dem mittigen Abschnitt des Siliziumwafers mit $300\ \text{mm}$ $\varnothing$ Durchmesser die regelmäßige Anordnung der lichtemittierenden PS-Diode (LED) **101** von 512×512 Punkten angeordnet ist, und in welcher die Schaltungen, wie etwa ein Datentreiber **109** und ein Scan- bzw.

[0064] Abtastertreiber **115** zum Ansteuern der regelmäßigen Anordnung der lichtemittierenden PS-Diode (LED) in dem Randbereich hiervon ausgebildet sind.

[0065] Fig. 9B ist ein Blockdiagramm, welches eine Zusammensetzung einer in Fig. 9A gezeigten Displayvorrichtung zeigt. Diese Displayvorrichtung ist eine LED-Displayvorrichtung vom Abstufungstyp zur Steuerung einer Leuchtperiode der lichtemittierenden PS-Diode (LED), die in einer Punkt-Matrixform angeordnet ist. Mit der Treiberseite der PS-LED Anordnung **101** ist ein Datentreiber **109** verbunden, und ein Scan- bzw. Abtastertreiber **115** ist mit der Scan- bzw. Abtasterseite der PS-LED Anordnung **101** verbunden. Die in Fig. 9B gezeigte Displayvorrichtung weist ferner eine Dateneingabe-Steuerschaltung **103**, eine mit der Dateneingabe-Steuerschaltung **103** verbundene RAM **105**, eine zwischen dem Datentreiber **109** und der Dateneingabe-Steuerschaltung **103** angeschlossene Abstufungs- bzw. Helligkeitsgradations-Steuerschaltung **107** auf. Bei der Scan- bzw. Abtasterseite sind Zwei-Stufenzähler **111a** und **111b** und ein zwischen dem Zähler **111b** und dem Scan- bzw. Abtastertreiber **115** verbundener Decoder **113** vorgesehen.

[0066] Die Dateneingabe-Steuerschaltung **103** nimmt die vorbestimmten Displaydaten auf und sendet sie in Synchronisation mit einem Taktsignal CK1 zu der RAM **105** während der Zeitperiode, in welcher ein Auswahlsignal SE in "H" schaltet. Beispielsweise können die 8-Bit-Displaydaten zur Darstellung eines Punktes verwendet werden, um eine 255-stufige Abstufung der Lichtintensität für den einen Punkt zu ermöglichen. Wenn die gespeicherten 512 Punkte der 8-Bit-Daten der RAM **105** ausgelesen werden, werden die Daten zu der Abstufungs- bzw. Helligkeitsgradations-Steuerschaltung **107** gesendet. Die Abstufungs- bzw. Helligkeitsgradations-Steuerschaltung **107** steuert basierend auf den 8-Bit-Anzeigedaten die Zeitdauer des Leuchtens eines jeden Punktes mit 255-stufiger Abstufung. Der Datentreiber **109** steuert basierend auf der hinsichtlich der Abstufung gesteuerten Leuchtdauer die 512 Punkte der LED **101a** simultan an.

[0067] Andererseits wird ein Signal, welches von den Zwei-Stufenzählern **111a** und **111b** gesendet wird, die mittels eines Reset-Signals Re zurückgesetzt und mit dem Taktsignal CK1 synchronisiert sind, über den Decoder **113** in den Scan- bzw. Abtastertreiber **115** eingegeben. Der Scan- bzw. Abtastertreiber **115** scannt bzw. tastet diese 512 Punkte der LED **101a** in der Reihenfolge immer dann ab, wenn die 512 Punkte der LED **101a** mittels des Datentreibers **109** angesteuert werden.

[0068] Fig. 9C ist eine schematische Schnittansicht, die zwei Punkte der LED-Matrix **101** zeigt. Wie in Fig. 9C gezeigt, ist in dem Matrixbereich einer LED-Displayvorrichtung gemäß einer dritten Ausführungsform der Erfindung eine verdeckte c-Si-Schicht **14** vom n-Leitfähigkeitstyp an einem c-Si-Substrat **83** vom p-Leitfähigkeitstyp ausgebildet. An der verdeck-

ten c-Si-Schicht **14** vom n-Leitfähigkeitstyp sind die Mesostruktur-PS-Schicht **13** vom n-Leitfähigkeitstyp (die Mesostruktur-PS-Schicht vom ersten Leitfähigkeitstyp); die Nanostruktur-PS-Schicht **12** vom n-Leitfähigkeitstyp (die Nanostruktur-PS-Schicht vom ersten Leitfähigkeitstyp) mit einer Dicke von etwa 1 bis 2 μm ; und die Mesostruktur-PS-Schicht **61** vom p-Leitfähigkeitstyp (die Mesostruktur-PS-Schicht vom entgegengesetzten Leitfähigkeitstyp) mit einer Dicke von etwa 0,6 bis 1 μm in dieser Reihenfolge angeordnet. Die verdeckte c-Si-Schicht **14** vom n-Leitfähigkeitstyp, die Mesostruktur-PS-Schicht **13** vom n-Leitfähigkeitstyp, die Nanostruktur-PS-Schicht **12** vom n-Leitfähigkeitstyp und die Mesostruktur-PS-Schicht **61** vom p-Leitfähigkeitstyp werden mittels eines Elementen-Isolationsbereiches **86** getrennt und sind als eine Vielzahl von elektrisch unabhängigen Bereichen, oder LED-Punkten, ausgebildet. Steck- bzw. Stiftelektroden **85** durchdringen die Mesostruktur-PS-Schicht **61** vom p-Leitfähigkeitstyp, die Nanostruktur-PS-Schicht **12** vom n-Leitfähigkeitstyp, die Mesostruktur-PS-Schicht **13** vom n-Leitfähigkeitstyp und erreichen die verdeckte c-Si-Schichten **14** vom n-Leitfähigkeitstyp. Die Stiftelektroden **85** dienen als Kathoden der jeweiligen LED-Punkte **101a**. Diese Stiftelektrode **85** wird durch ein mit Störstellen dotiertes Polysilizium (ein dotiertes Polysilizium), durch hochschmelzende Metalle, wie etwa Wolfram (W), Molybdän (Mo), Titan (Ti), oder durch hochschmelzende Metallsilizide ausgebildet. Transparente Elektroden **87**, wie etwa ITO-Schichten und SnO_2 -Schichten, die als jeweilige Anoden der Punkte der LED **101a** dienen, sind an den Mesostruktur-PS-Schichten **61** vom p-Leitfähigkeitstyp ausgebildet. Die jeweiligen transparenten Elektroden **87** sind mit einer sich aus Metallen, wie etwa Aluminium oder Aluminiumlegierungen zusammensetzenden Scanleitung **96** verbunden, und die jeweiligen Stiftelektroden **85** sind mit den Datenleitungen **89** verbunden. Die Datenleitung **89** setzt sich ebenso aus Metallen, wie etwa Aluminium oder Aluminiumlegierungen, zusammen. Die Datenleitungen **89** und die transparenten Elektroden **87** werden mittels ersten Zwischenschicht-Isolationsschichten **88** getrennt, die Scanleitung **96** und die Datenleitungen **89** werden durch zweite Zwischenschicht-Isolationsschichten **95** separiert bzw. getrennt.

[0069] Gemäß einer solchen Zusammensetzung wird die Displayvorrichtung, in welcher die PS-LED Matrix **101** an dem Mittenabschnitt eines Siliziumwafers mit großem Durchmesser angeordnet ist, und in welcher Randbereich-Schaltungen, wie etwa die Treiber der PS-LED Matrix **101**, um den Randbereich des Siliziumwafers herum ausgebildet sind, auf einfache Weise angeordnet.

[0070] Die LED-Displayvorrichtung gemäß der dritten Ausführungsform der Erfindung kann wie folgt hergestellt werden.

(a) Zunächst wird die nicht-degenerierte c-Si-Schicht vom p-Leitfähigkeitstyp mit einer Dicke von 500 μm und mit einem spezifischen Widerstand von 10 $\Omega\text{-cm}$ bis $2 \times 10^{-2} \Omega\text{-cm}$ durch epitaxiales Wachsen auf dem degenerierten c-Si-Substrat **23** vom n+-Leitfähigkeitstyp mit einem Durchmesser von 300 mm, mit einer Dicke von 1 mm und mit einem spezifischen Widerstand von $1 \times 10^{-3} \Omega\text{-cm}$ ausgebildet. Darüber hinaus wird zur Implantation von Ionen um den Randbereich des c-Si-Substrats **23** herum eine Metallmaske **131** mit einer Dicke von etwa 1 μm auf einem zur Ausbildung des Scan- bzw. Abtastertreibers **115** und des Datentreibers **109** geplanten Abschnitt ausgebildet. Wie in **Fig. 10A** gezeigt, wird unter Verwendung dieser Maske **131** Arsen ($^{75}\text{As}^+$) in einer Dosis von $4 \times 10^{16} \text{ cm}^{-2}$ mit einer Beschleunigungsenergie von 3 MeV implantiert. Um des weiteren Gitterdistortion bzw. Gitterverzerrung aufgrund der hohen Konzentration der Ionenimplantation zu kompensieren, wird zum Durchführen einer Wärmebehandlung Phosphor ($^{31}\text{P}^+$) in einer Dosis von $4 \times 10^{16} \text{ cm}^{-2}$ mit einer Beschleunigungsenergie von 2,5 MeV bis 4 MeV implantiert, wodurch eine verdeckte, degenerierte c-Si-Schicht vom n+-Leitfähigkeitstyp ausgebildet wird. Darüber hinaus wird, wie in **Fig. 10B** gezeigt, zum Durchführen einer Wärmebehandlung Phosphor ($^{31}\text{P}^+$) in einer Dosis von $4 \times 10^{13} \text{ cm}^{-2}$ bis $4 \times 10^{14} \text{ cm}^{-2}$ mit einer Beschleunigungsenergie von 0,8 MeV bis 1,5 MeV unter Verwendung der Maske **131** implantiert, wodurch eine nicht-degenerierte c-Si-Schicht **22** vom n-Leitfähigkeitstyp ausgebildet wird. Darüber hinaus wird, wie in **Fig. 10C** gezeigt, unter Verwendung der Maske **131** Bor ($^{11}\text{B}^+$) in einer Dosis von $4 \times 10^{16} \text{ cm}^{-2}$ mit einer Beschleunigungsenergie von etwa 50 kV, implantiert, um eine Wärmebehandlung durchzuführen. Als ein Ergebnis hiervon werden, wie in **Fig. 10D** gezeigt, auf dem degenerierten c-Si-Substrat **23** vom n+-Leitfähigkeitstyp die verdeckte, degenerierte c-Si-Schicht **24** vom n+-Leitfähigkeitstyp, die nicht-degenerierte c-Si-Schicht **22** vom n-Leitfähigkeitstyp und die degenerierte c-Si-Schicht **71** vom p+-Leitfähigkeitstyp selektiv auf Mittenabschnitten des Wafers ausgebildet.

(b) Nachfolgend wird auf die gleiche Weise wie in **Fig. 5** die Aluminium-Elektrode **65** an der Rückseite von diesem degenerierten c-Si-Substrat **23** vom n+-Leitfähigkeitstyp unter Verwendung eines Vakuum-Aufdampfverfahrens oder einer Sputter-Technik ausgebildet. Danach wird ein Sinter-Prozess bei 400 bis 450°C durchgeführt, um einen besseren ohmschen Kontakt der Aluminium-Elektrode **65** zum Reduzieren des Kontaktwiderstandes zu erzielen. Danach wird, wie es in **Fig. 10E** gezeigt ist, eine Öffnung am Boden aufweisender Behälter **1**, welcher aus PTFE ausgebildet ist, in engen Kontakt mit der Oberfläche des 300 mm c-Si-Wafers unter Verwendung von

O-Ringen **2** gebracht. Der O-Ring **2** ist derart ausgelegt, dass er entlang der Grenzfläche zwischen dem LED-Matrixabschnitt und dem Schaltungsabschnitt des Randbereiches positioniert ist. Da der LED-Matrixabschnitt **101** ein Viereck ist, ist es bevorzugt, dass ein viereckiges Fenster am Boden des aus PTFE ausgebildeten Behälters **1** geöffnet wird. Demgemäß wird der O-Ring **2** mittels einer O-Ring-Furche bzw. Nut derart geführt, dass der O-Ring **2** viereckig angeordnet ist. Die vermischte, sich aus Flusssäure und Ethylalkohol zusammensetzende Anodisierlösung wird in diesem aus PTFE ausgebildeten Behälter **1** eingefüllt, und der Anodisierstrom wird für sechs Minuten durch die Platin-Elektrode **3** und die Aluminium-Elektrode **65** (siehe **Fig. 5**) zugeführt. Zu dieser Zeit wird, nachdem die Intensität der Lichteinstrahlung eingestellt ist, das anodische Oxidieren während der Lichtbestrahlung durchgeführt. Als ein Ergebnis hiervon wird die degenerierte c-Si-Schicht **71** vom p+-Leitfähigkeitstyp zu der Mesostruktur-PS-Schicht **61** vom p-Leitfähigkeitstyp. Darüber hinaus wird ebenso ein Teil der degenerierten, verdeckten Schicht **24** vom n+-Leitfähigkeitstyp auf die gleiche Weise anodisch oxidiert, um zu der Mesostruktur-PS-Schicht **13** vom n-Leitfähigkeitstyp zu werden. Die verbleibende, verdeckte degenerierte c-Si-Schicht **24** vom n+-Leitfähigkeitstyp wird die verdeckte, degenerierte c-Si-Schicht **14** vom n-Leitfähigkeitstyp. Andererseits wird durch anodisches Oxidieren die nicht-degenerierte c-Si-Schicht **22** vom n-Leitfähigkeitstyp zu der Nanostruktur-PS-Schicht **12** vom n-Leitfähigkeitstyp, wobei die geschichtete Struktur, wie sie in **Fig. 10E** gezeigt wird, fertiggestellt ist.

(c) Nachfolgend wird eine isolierende Bondschicht **81** mittels eines CVD-Verfahrens auf der Mesostruktur-PS-Schicht **61** vom p-Leitfähigkeitstyp ausgebildet, um die Oberfläche mittels eines CMP-Verfahrens oder dergleichen in eine Spiegeloberfläche zu fertigstelln. Andererseits wird ein 300 mm c-Si-Wafer **82** verschieden vorbereitet, um die Oberfläche mittels eines CMP-Verfahrens oder dergleichen in eine Spiegeloberfläche zu verfeinern. Darüber hinaus wird durch Bonden dieser Oberflächen miteinander ein Siliziumwafer-Direkt-Bonding-(SDB)-Substrat ausgebildet, wie es in **Fig. 10F** gezeigt wird. Wie in **Fig. 10G** gezeigt, wird ferner die Rückseite von diesem SDB-Substrat verdeckt und poliert, um die Dicke des degenerierten c-Si-Substrats **23** vom n+-Leitfähigkeitstyp auf 2 bis 10 μm zu verdünnen (oder es wird der verdeckten c-Si-Schicht **14** vom n-Leitfähigkeitstyp ermöglicht, freigelegt zu werden, indem das degenerierte c-Si-Substrat **23** vom n+-Leitfähigkeitstyp entfernt wird). Von nun an wird das dünn verbleibende, degenerierte c-Si-Substrat **23** vom n+-Leitfähigkeitstyp als "degenerierte, verdeckte c-Si-Schicht **14** vom n-Leitfähigkeitstyp" bezeichnet. Darüber hinaus wird die

Oberfläche der verdeckten degenerierten c-Si-Schicht **14** vom n-Leitfähigkeitstyp mittels eines CMP-Verfahrens oder dergleichen in die Spiegeloberfläche verfeinert.

(d) Des weiteren wird ein anderer c-Si-Wafer **83** mit 300 mm Durchmesser, einer Dicke von 1 mm und mit einem spezifischen (elektrischen) Widerstand von etwa 10 bis 500 Ω -cm vorbereitet, um die Oberfläche mittels eines CMP-Verfahrens oder dergleichen in die Spiegeloberfläche zu verfeinern. Darüber hinaus wird durch Bonden dieser Oberflächen miteinander das SDB-Substrat ausgebildet, wie es in **Fig. 10H** gezeigt wird. Nun wird zunächst der direkt gebondete 300 mm c-Si-Wafer **82** geerdet und poliert, um es zu entfernen. Ferner wird, wie in **Fig. 10I** gezeigt, die isolierende Bondschicht **81** entfernt.

(e) Wie in **Fig. 10J** gezeigt, werden Rinnen bzw. Furchen **91**, die die Mesostruktur-PS-Schicht **61** vom p-Leitfähigkeitstyp, die Nanostruktur-PS-Schicht **12** vom n-Leitfähigkeitstyp, die Mesostruktur-PS-Schicht **13** vom n-Leitfähigkeitstyp durchdringen und die verdeckte c-Si-Schicht **14** vom n-Leitfähigkeitstyp erreichen, ausgebildet. Das Ausbilden der Rinnen bzw. Furchen **91** kann mittels RIE- oder ECR-Innenätzung durchgeführt werden, indem CF_4 , SF_6 , CBrF_3 , SiCl_4 oder CCl_4 oder dergleichen unter Verwendung einer Siliziumoxidschicht als Maske verwendet wird. Bei dieser Rinnen- bzw. Furchenätzung ist es effektiv, das Substrat bei 110°C bis 130°C zu kühlen.

(f) Darüber hinaus wird, wie es in **Fig. 10K** gezeigt ist, eine Oxidschicht **84** durch thermische Oxidation der Oberfläche der Furche **91** ausgebildet. Ferner wird, wie es in **Fig. 10L** gezeigt ist, die Oxidschicht **84** am Boden der Furche **91** mittels des RIE, das hervorragend hinsichtlich einer Richtwirkung ist, entfernt. Danach werden, wie es in **Fig. 10M** gezeigt ist, das dotierte Polysilizium oder hochschmelzende Metalle innerhalb der Fugen **91** eingebettet, um die Stiftelektroden **85** auszubilden. Ferner wird mittels des CPM-Verfahrens die Einebnung der Oberfläche durchgeführt.

(g) Anschließend wird, wie es in **Fig. 10N** gezeigt ist, eine Element-Isolierungsfuge **92** durch die Mesostruktur-PS-Schicht **61** vom p-Leitfähigkeitstyp, die Nanostruktur-PS-Schicht **12** vom n-Leitfähigkeitstyp, die Mesostruktur-PS-Schicht **13** vom n-Leitfähigkeitstyp und durch die verdeckte c-Si-Schicht **14** vom n-Leitfähigkeitstyp ausgebildet. Ferner wird, wie es in **Fig. 10O** gezeigt ist, eine Element-Isolierungs-Oxidschicht **86** in die Element-Isolierungsfuge **92** eingebettet. Darüber hinaus wird mittels des CPM-Verfahrens die Ebnung bzw. Glättung der Oberfläche durchgeführt.

(h) Danach wird, wie es in **Fig. 10P** gezeigt ist, die lichtdurchlässige Elektrode **87**, wie etwa die ITO-Schicht und die SnO_2 -Schicht, mittels des CVD-Verfahrens oder eines Sputter-Verfahrens ausgebildet. Ferner wird, wie es in **Fig. 10Q** ge-

zeigt ist, die lichtdurchlässige Elektrode **87** bei den Positionen der jeweiligen, die Matrix begründenden Punkte mittels des RIE-Verfahrens separiert. Nach der Separation der lichtdurchlässigen Elektroden **87** wird der Schaltungsabschnitt des Randbereiches, wie etwa der Scan- bzw. Abtastertreiber **115** und der Datentreiber **109**, unter Verwendung von Prozessen für einen wohl bekannten MOS-Transistor oder dergleichen um den Randbereich des degenerierten c-Si-Substrats **23** vom n+-Leitfähigkeitstyp ausgebildet. Nach dem Ausbilden von Polysilizium-Gate-Elektroden der an dem Randbereich angeordneten Schaltkreise wird, wie es in **Fig. 10R** gezeigt ist, eine erste Zwischenschicht-Isolationsschicht **88**, wie etwa die Siliziumoxidschicht, eine PSE-Schicht und eine BPSG-Schicht, auf der Polysilizium-Gate-Elektrode (nicht dargestellt) und der lichtdurchlässigen Elektrode **87** ausgebildet. Kontaktlöcher werden in den ersten Zwischenschicht-Isolationsschichten **88** eingebracht, und die sich aus Aluminium oder Aluminiumlegierungen zusammensetzenden Datenleitungen **89** werden ausgebildet, um in Kontakt mit den Stiftelektroden **85** zu stehen, wie es in **Fig. 10S** gezeigt ist. Gleichzeitig werden ebenso Metall-Zusammenschaltungen, die in dem Schaltungsabschnitt des Randbereiches erforderlich sind, ausgebildet. Des weiteren wird eine zweite Zwischenschicht-Isolationsschicht **95**, wie etwa die Siliziumoxidschicht, die PSG-Schicht, die BPSG-Schicht und Si_3N_4 , ferner an der Datenleitung **89** und den Metallverbindungen, die in dem Schaltungsabschnitt des Randbereiches erforderlich sind, ausgebildet. Kontaktlöcher werden in diese zweite Zwischenschicht-Isolationsschicht **95** eingebracht, die sich aus Aluminium oder einer Aluminiumlegierung zusammensetzende Scan- bzw. Abtasterleitung **96** wird mit der lichtdurchlässigen Elektrode **87** in Kontakt gebracht, und die Metallverbindungen, die in dem Schaltungsabschnitt des Randbereiches erforderlich sind, werden ausgebildet, wobei der Matrixabschnitt der LED-Displayvorrichtung gemäß der dritten Ausführungsform der Erfindung, die in **Fig. 9C** gezeigt wird, fertiggestellt ist. In **Fig. 9C** ist es für einen Fachmann wohl bekannt, dass, obwohl auf eine endgültige Passivierungsschicht verzichtet wird, bei Bedarf eine Passivierungsschicht ausgebildet werden kann.

[0071] Darüber hinaus kann selbst ohne die Verwendung des in den **Fig. 10F** bis **10I** gezeigten Verfahrens die Struktur so realisiert werden, dass die verdeckte c-Si-Schicht **14** vom n-Leitfähigkeitstyp, die Mesostruktur-PS-Schicht **13** vom n-Leitfähigkeitstyp, die Nanostruktur-PS-Schicht **12** vom n-Leitfähigkeitstyp und die Mesostruktur-PS-Schicht **61** vom p-Leitfähigkeitstyp in dieser Reihenfolge auf dem c-Si-Substrat **83** vom p-Leitfähigkeitstyp ausgebildet werden, wie es in **Fig. 10I** gezeigt ist. Beispielsweise

werden zuerst das degenerierte c-Si-Substrat **23** vom n+-Leitfähigkeitstyp, die nicht-degenerierte c-Si-Schicht **22** vom n-Leitfähigkeitstyp und die degenerierte, epitaxial gewachsene c-Si-Schicht **71** vom p+-Leitfähigkeitstyp durch epitaxiales Wachsen auf dem c-Si-Substrat **83** vom p-Leitfähigkeitstyp ausgebildet. Wie in **Fig. 11** gezeigt, wird danach eine Fuge, welche das degenerierte c-Si-Substrat **23** vom n+-Leitfähigkeitstyp erreicht, von der Rückseite des c-Si-Substrats **83** vom p-Leitfähigkeitstyp geöffnet, um es der Kathode zu ermöglichen, den Anodisierstrom durch die Platin-Elektrode **3** zuzuführen. Jedoch besteht eine Gefahr, dass, da die verdeckte c-Si-Schicht **14** vom n-Leitfähigkeitstyp dünn ist, der spezifische (elektrische) Widerstand von diesem Abschnitt hoch ist, die anodische Oxidation ungleichmäßig wird. Von daher wird in bevorzugter Weise für einen großen Wafer mit etwa 300 mm Durchmesser ein SDB-Verfahren verwendet, wie es in **Fig. 10F** bis **10I** gezeigt ist.

[0072] In der in **Fig. 9C** gezeigten Struktur tritt eine Durchstrahlung von Licht durch die angrenzenden Punkte auf, da die Element-Isolations-Oxidschicht **85** lichtdurchlässig ist. Von daher kann, um ein scharfes Bild zu erzielen, ein Abschirmbereich **142** in der Element-Isolations-Oxidschicht **85** ausgebildet werden, wie es in **Fig. 12** gezeigt ist. Wolfram (W) kann als Abschirmbereich **142** verwendet werden. In **Fig. 12** ist das Licht ausgelegt, um von der oberen Oberfläche effizient emittiert zu werden, indem ferner ein sich aus dielektrischen Viertel-Wellen Stapeln bzw. Plättchen zusammensetzender Bragg-Spiegel **141** an der unteren Seite der verdeckten c-Si-Schicht **14** vom n-Leitfähigkeitstyp angeordnet wird. Der Bragg-Spiegel **141** kann zwischen der verdeckten c-Si-Schicht **14** vom n-Leitfähigkeitstyp und dem c-Si-Substrat **83** vom p-Leitfähigkeitstyp mittels des SDB-Prozesses dazwischengelegt werden.

[0073] Darüber hinaus kann, indem das c-Si-Substrat **83** von dem Boden des LED-Matrix-Abschnittes durch Ätzung entfernt wird, die Struktur angenommen werden, in welcher das Licht ausgelegt ist, um in Richtung der Unterseite des Wafers emittiert zu werden. In diesem Fall muss es nicht erforderlich sein, das SDB-Verfahren, wie es in **Fig. 10F** bis **10I** gezeigt ist, zu verwenden, da die nicht-degenerierte c-Si-Schicht **22** vom n-Leitfähigkeitstyp und die degenerierte c-Si-Schicht **71** vom p+-Leitfähigkeitstyp an dem degenerierten c-Si-Substrat vom n+-Leitfähigkeitstyp mit 300 mm Durchmesser durch epitaxiales Wachstum ausgebildet werden können, um letztendlich das degenerierte c-Si-Substrat vom n+-Leitfähigkeitstyp von der Unterseite des LED-Matrixabschnittes durch Ätzung zu entfernen. Jedoch können Biegungen, Wölbungen und Nachteile in der mechanischen Stärke aufgrund ihres großen Bereiches auftreten, da der Wafer sehr dünn ist.

[0074] Obwohl es in der obigen Beschreibung angegeben wird, dass ein Wafer von 300 mm (12 inch) Durchmesser als Beispiel eines Wafers mit großem Durchmesser verwendet wird, ist es darüber hinaus selbstverständlich, dass ebenso andere Wafergrößen, wie etwa 4 inch bis 10 inch, verwendet werden können.

ANDERE AUSFÜHRUNGSFORM

[0075] Nach dem Studium der Lehre der vorliegenden Offenbarung sind verschiedene Änderungen für den Fachmann möglich, ohne von ihrem Geist abzuweichen.

[0076] Obwohl beispielsweise in der obig erläuterten ersten und zweiten Ausführungsform der Fall beschrieben wird, wo die Nanostruktur-PS-Schicht vom n-Leitfähigkeitstyp, welche ausgebildet wird, indem die nicht-degenerierte c-Si-Schicht vom n-Leitfähigkeitstyp unter Lichteinstrahlung anodisch oxidiert wird, als aktive EL-Schicht verwendet wird, kann selbstverständlich als Lumineszenzschicht die Nanostruktur-PS-Schicht vom p-Leitfähigkeitstyp verwendet werden, die durch anodisches Oxidieren der nicht-degenerierten c-Si-Schicht vom p-Leitfähigkeitstyp begründet wird, indem der Leitfähigkeitstyp der c-Si-Schicht umgekehrt wird. In diesem Fall wird sie zu der Struktur werden, dass in der ersten und der zweiten Ausführungsform sämtliche p-Leitfähigkeitstypen zu n-Leitfähigkeitstypen umgedreht werden. Darüber hinaus kann auf die Wolframlampe, wie es in **Fig. 5** und **Fig. 7** gezeigt ist, verzichtet werden, da die nicht-degenerierte c-Si-Schicht vom p-Leitfähigkeitstyp ebenso durch anodisches Oxidieren ohne Lichteinstrahlung zu der Nanostruktur-PS-Schicht vom p-Leitfähigkeitstyp wird. Darüber hinaus wird durch Einteilen in eine in **Fig. 2** gezeigte Vielzahl von dünnen Schichten, wie es in **Fig. 3** gezeigt ist, der Multi-Schicht-Trenneffekt signifikanter, da der Wert des Reihenwiderstandes R_s der Nanostruktur-PS-Schicht vom p-Leitfähigkeitstyp proportional zum Quadrat der Dicke der Nanostruktur-PS-Schicht vom p-Leitfähigkeitstyp ansteigt.

[0077] In der dritten Ausführungsform wurde gezeigt, dass mittels der Matrix unter Verwendung der in einer Matrixform angeordneten PS-LED-Punkte die kostengünstige und großflächige, lichtemittierende Vorrichtung ausgebildet werden kann. Wenn die PS-Schichten nicht in eine Vielzahl von Stücke eingeteilt sind, um derart die Punktmatrix auszubilden, dient die lichtemittierende Vorrichtung zur Innenbeleuchtung oder dergleichen, so dass die gesamte Oberfläche des Siliziumwafers von 4 inch bis 12 inch im Durchmesser als lichtemittierender Bereich vorgesehen werden kann. **Fig. 13** zeigt eine Teilschnittansicht von solch einer lichtemittierenden Vorrichtung, bei der die gesamte Oberfläche des Siliziumwafers als lichtemittierender Bereich dient. Wenn der Wider-

stand der lichtdurchlässigen Gold-Elektrode durch Vergrößerung des Bereiches beeinflusst wird, können Elektrodenverdrahtungen **97**, die einen geringen spezifischen (elektrischen) Widerstand aufweisen, in der Streifenform an der lichtdurchlässigen Elektrode **87** vorgesehen sein, wie etwa eine ITO-Schicht und eine SnO₂-Schicht an der Mesostruktur-PS-Schicht **61** vom p-Leitfähigkeitstyp, wie es in **Fig. 12** gezeigt ist.

[0078] Von daher ist es eine Selbstverständlichkeit, dass die Erfindung verschiedene Ausführungsformen enthält, die hierin nicht beschrieben werden. Von daher wird der technologische Umfang der Erfindung nur durch die nachfolgenden Patentansprüche festgelegt, die von der obigen Beschreibung ableitbar sind.

Patentansprüche

1. Verfahren zur Herstellung einer lichtemittierenden Halbleitervorrichtung, welches die folgenden Verfahrensschritte aufweist:

(a) Vorbereiten eines kristallinen Siliziumwafers (**8**), der folgendes aufweist:

zumindest eine degenerierte, kristalline Siliziumschicht (**23**; **46**) eines ersten Leitfähigkeitstyps; eine nicht-degenerierte, kristalline Siliziumschicht (**22**; **47**) eines ersten Leitfähigkeitstyps, die auf der degenerierten, kristallinen Siliziumschicht (**23**) des ersten Leitfähigkeitstyps ausgebildet ist; und eine degenerierte, kristalline Siliziumschicht (**71**) eines entgegengesetzten Leitfähigkeitstyps, die auf der nicht-degenerierten, kristallinen Siliziumschicht (**22**; **47**) des ersten Leitfähigkeitstyps ausgebildet ist; und

(b) Anodisches Oxidieren des kristallinen Siliziumwafers, um die erste nicht-degenerierte, kristalline Siliziumschicht (**22**; **47**) des ersten Leitfähigkeitstyps in eine poröse Nanostruktur-Siliziumschicht (**12**; **37**) eines ersten Leitfähigkeitstyps umzuwandeln, und um die degenerierte, kristalline Siliziumschicht (**71**) des entgegengesetzten Leitfähigkeitstyps in die poröse Mesostruktur-Siliziumschicht (**67**) des entgegengesetzten Leitfähigkeitstyps umzuwandeln, und wobei zumindest ein Teil der degenerierten, kristallinen Siliziumschicht (**23**) des ersten Leitfähigkeitstyps in eine poröse Mesostruktur-Siliziumschicht (**13**) des ersten Leitfähigkeitstyps umgewandelt wird; wobei das poröse Nanostruktur-Silizium eine Porosität von ungefähr 20% bis 80% mit mikroporösen Löchern von nicht mehr als 2 nm Durchmesser aufweist, und wobei das poröse Mesostruktur-Silizium eine Porosität von ungefähr 40% bis 60% mit mikroporösen Löchern von ungefähr 2 nm bis 50 nm Durchmesser aufweist.

2. Verfahren gemäß Anspruch 1, wobei der kristalline Siliziumwafer ferner folgendes aufweist:

zumindest eine nicht-degenerierte, kristalline Siliziumschicht (**45**) eines zweiten Leitfähigkeitstyps, die unter der degenerierten, kristallinen Siliziumschicht (**46**) des ersten Leitfähigkeitstyps ausgebildet ist; eine degenerierte, kristalline Siliziumschicht (**44**) des zweiten Leitfähigkeitstyps, die unter der nichtdegenerierten, kristallinen Siliziumschicht (**45**) des zweiten Leitfähigkeitstyps ausgebildet ist; und wobei mittels des anodischen Oxidierens die nicht-degenerierte, kristalline Siliziumschicht (**45**) des zweiten Leitfähigkeitstyps in eine poröse Nanostruktur-Siliziumschicht (**35**) des zweiten Leitfähigkeitstyps umgewandelt wird.

3. Verfahren gemäß Anspruch 1, wobei der Verfahrensschritt des Vorbereitens des kristallinen Siliziumwafers den folgenden Verfahrensschritt aufweist: Ausbilden der nicht-degenerierten, kristallinen Siliziumschicht des ersten Leitungstyps und der nichtdegenerierten, kristallinen Siliziumschicht des entgegengesetzten Leitungstyps auf der degenerierten, kristallinen Siliziumschicht des ersten Leitungstyps durch Epitaxie.

4. Verfahren gemäß Anspruch 1, wobei der Verfahrensschritt des Vorbereitens des kristallinen Siliziumwafers eine degenerierte, kristalline Siliziumschicht des ersten Leitfähigkeitstyps, eine nicht-degenerierte, kristalline Siliziumschicht des ersten Leitfähigkeitstyps und eine degenerierte, kristalline Siliziumschicht des entgegengesetzten Leitfähigkeitstyps auf einem Teil der Siliziumschicht selektiv ausbildet.

5. Verfahren gemäß Anspruch 4, wobei durch das anodische Oxidieren eine Umgebung des kristallinen Siliziumwafers als kristallines Silizium verbleibt.

6. Verfahren gemäß einem der Ansprüche 4 oder 5, das ferner die folgenden Verfahrensschritte aufweist:

Ausheben einer Aussparung, die die poröse Mesostruktur-Siliziumschicht des entgegengesetzten Leitfähigkeitstyps, die poröse Nanostruktur-Siliziumschicht des ersten Leitfähigkeitstyps und die poröse Mesostruktur-Siliziumschicht des ersten Leitfähigkeitstyps durchdringt; und

Einlassen eines Isoliermaterials in die Aussparung, um die poröse Mesostruktur-Siliziumschicht des entgegengesetzten Leitfähigkeitstyps, die poröse Nanostruktur-Siliziumschicht des ersten Leitfähigkeitstyps und die poröse Mesostruktur-Siliziumschicht des ersten Leitfähigkeitstyps in eine Vielzahl von unabhängigen Bereichen einzuteilen.

7. Verfahren gemäß Anspruch 6, das ferner die folgenden Verfahrensschritte aufweist:

Ausheben einer Aussparung, die die poröse Mesostruktur-Siliziumschicht des entgegengesetzten Leitfähigkeitstyps und die poröse Nanostruktur-Siliziumschicht des ersten Leitfähigkeitstyps durchdringt;

Ausbilden eines Isolierfilms an einer Seitenwand der Aussparung; und
Einlassen eines Leitungsmaterials in die Aussparung, um eine Plug- bzw. Steck-Elektrode für die poröse Mesostruktur-Siliziumschicht des ersten Leitfähigkeitstyps auszubilden.

8. Verfahren gemäß Anspruch 7, das ferner den Verfahrensschritt des Ausbildens einer transparenten Elektrodenschicht an einem Abschnitt der porösen Mesostruktur-Siliziumschicht des entgegengesetzten Leitfähigkeitstyps aufweist.

9. Verfahren gemäß Anspruch 8, das ferner die folgenden Verfahrensschritte aufweist:
Verbinden einer Abtastleitung mit der transparenten Elektrodenschicht;
Verbinden einer Datenleitung mit der Plug- bzw. Steck-Elektrode;
Ausbilden einer Schaltungsanordnung auf einem Teil einer Umgebung des kristallinen Siliziums zum Treiben der Abtastleitung; und
Ausbilden einer Schaltungsanordnung auf einem anderen Teil der Umgebung des kristallinen Siliziums zum Treiben der Datenleitung.

Es folgen 24 Blatt Zeichnungen

FIG.1

Stand der Technik

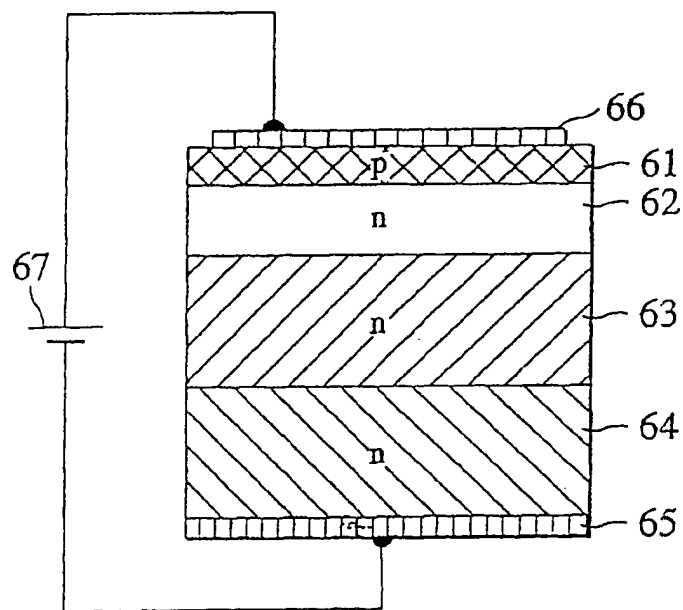


FIG.2

Stand der Technik

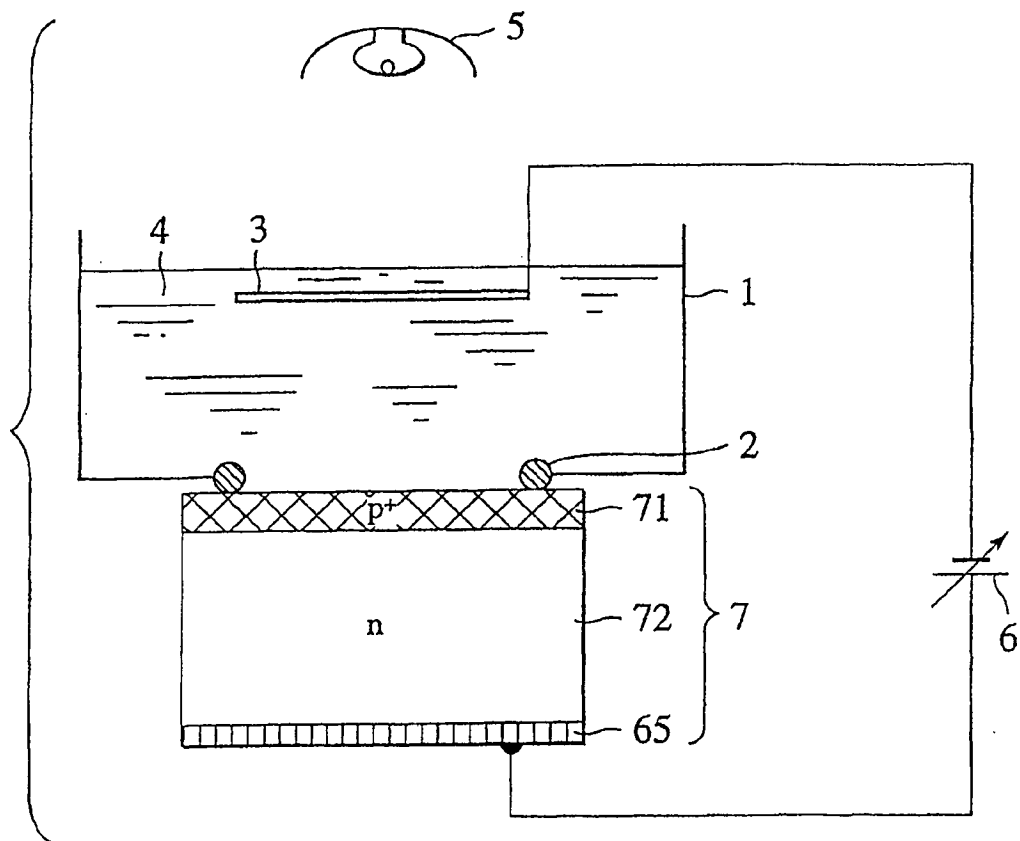


FIG.3

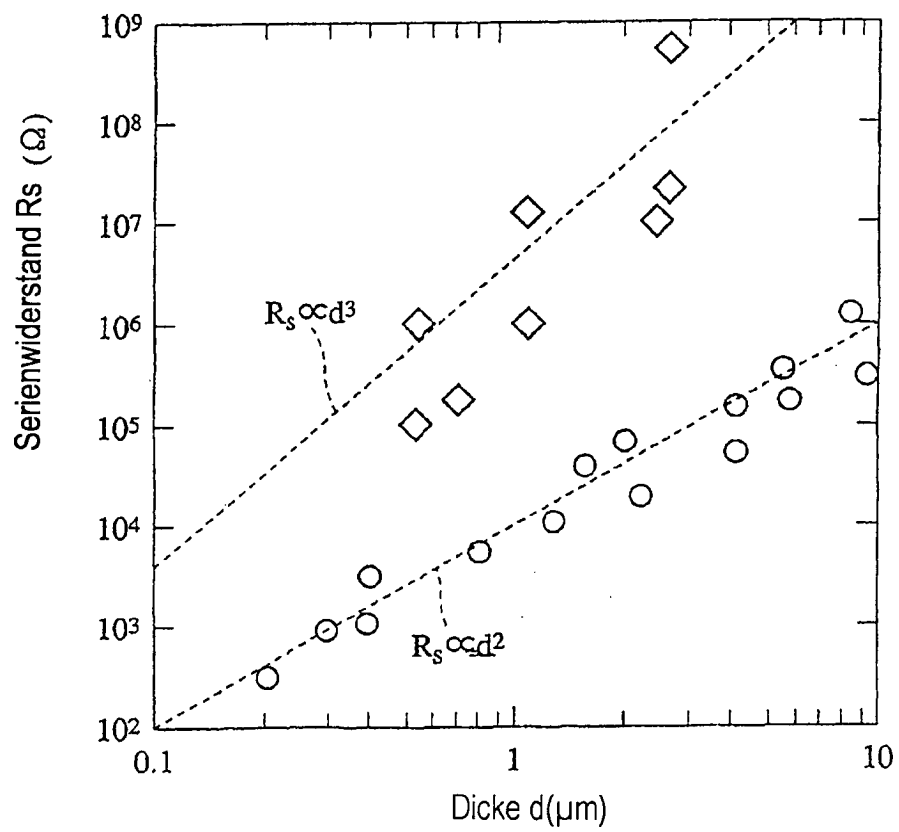


FIG.4

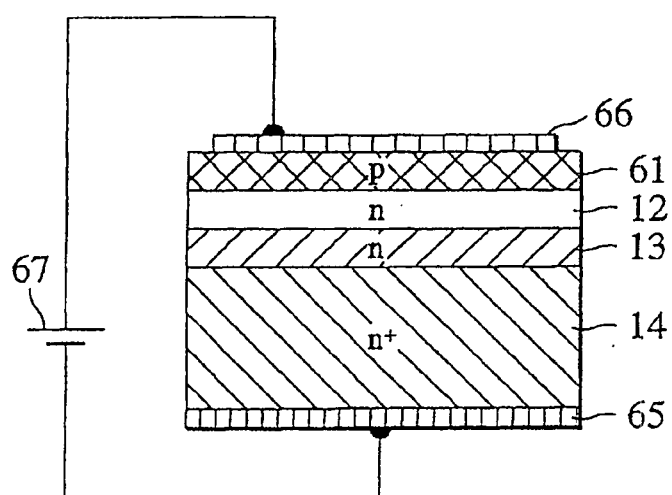


FIG.5

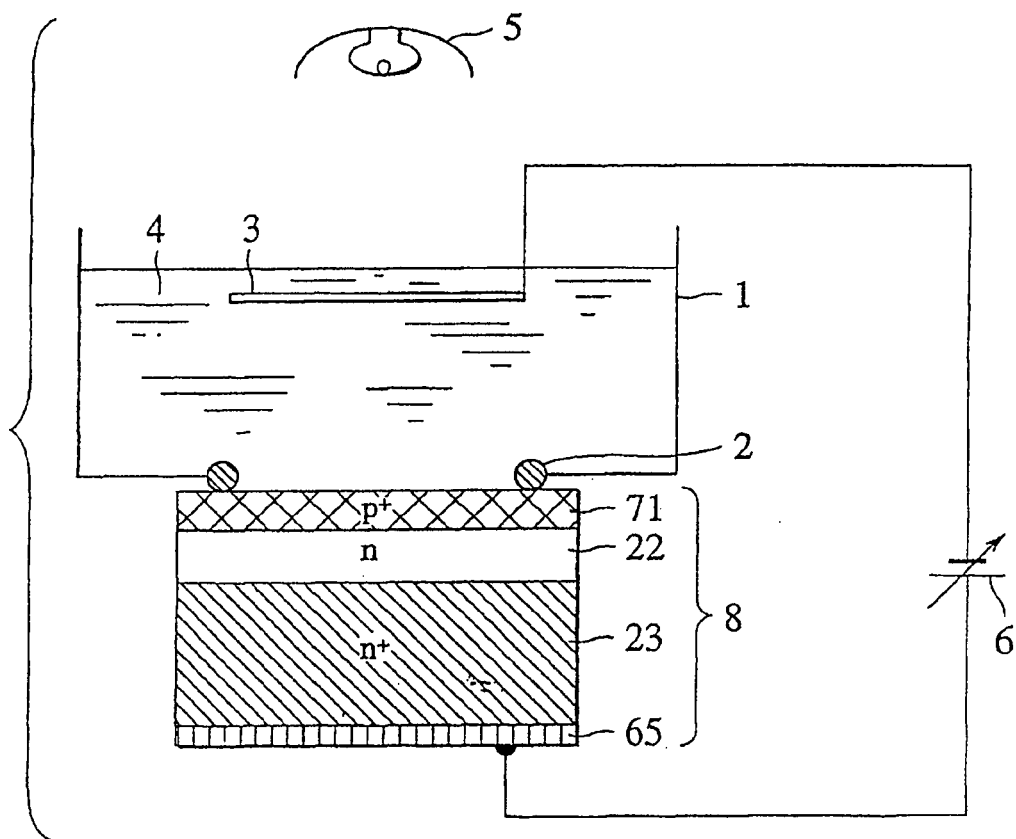


FIG.6

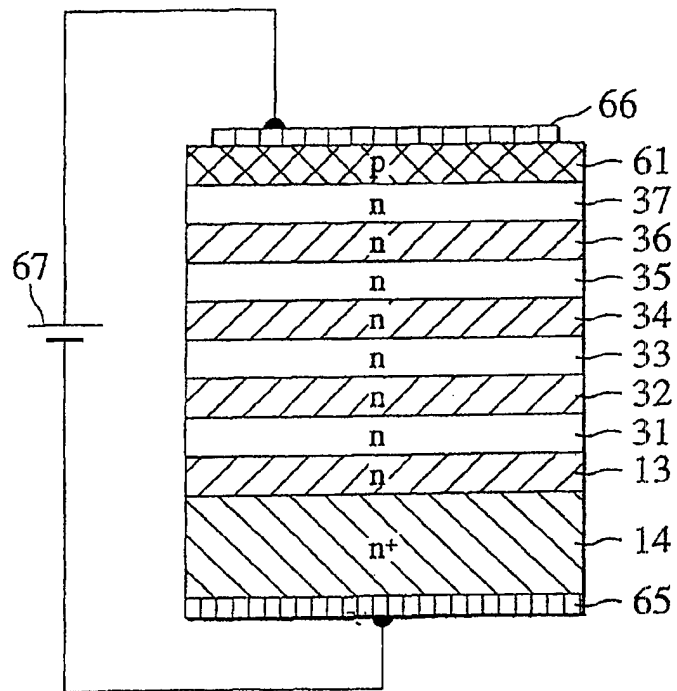


FIG.7

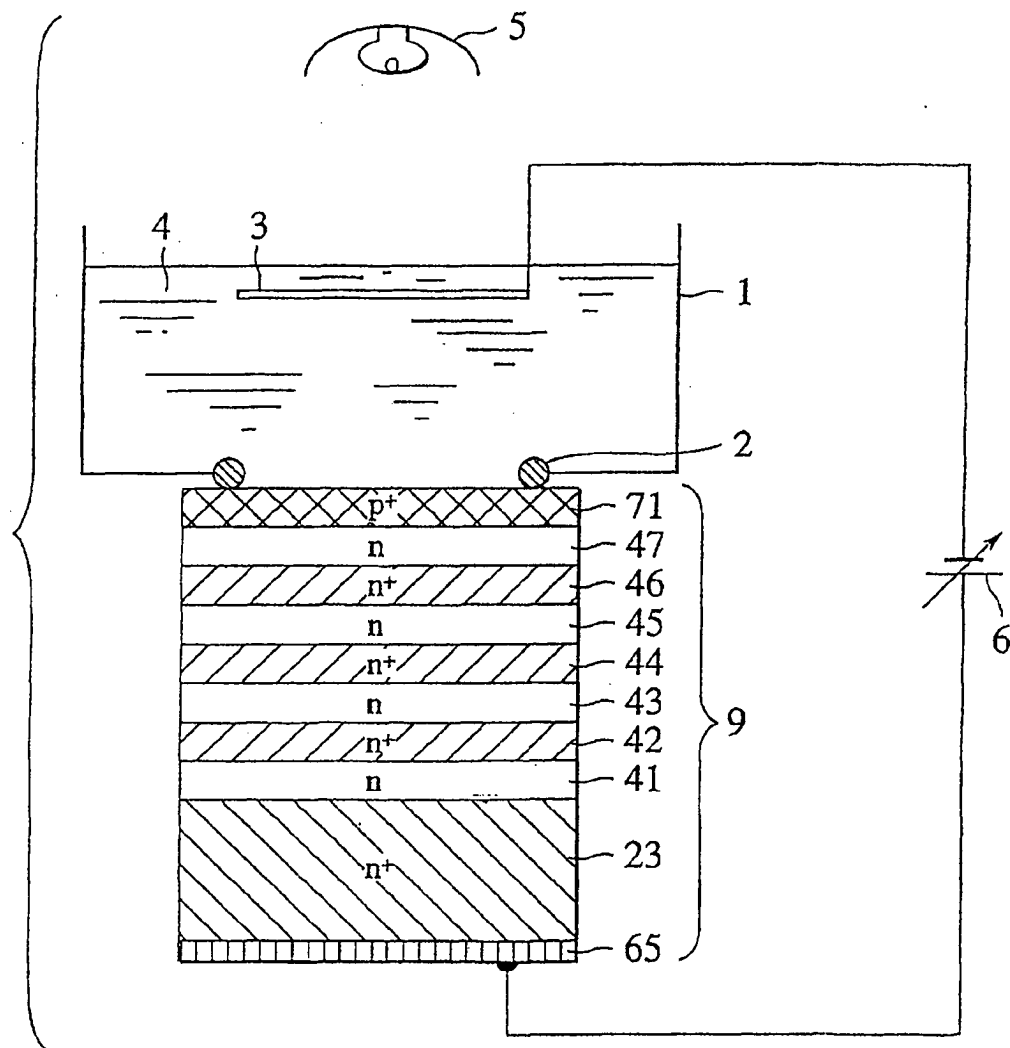


FIG.8

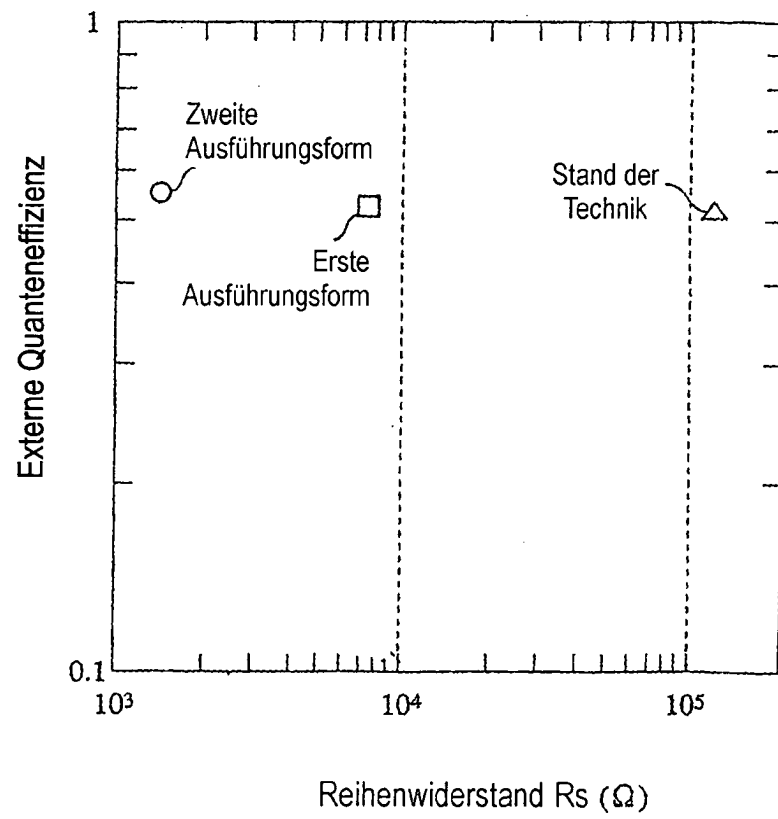


FIG.9A

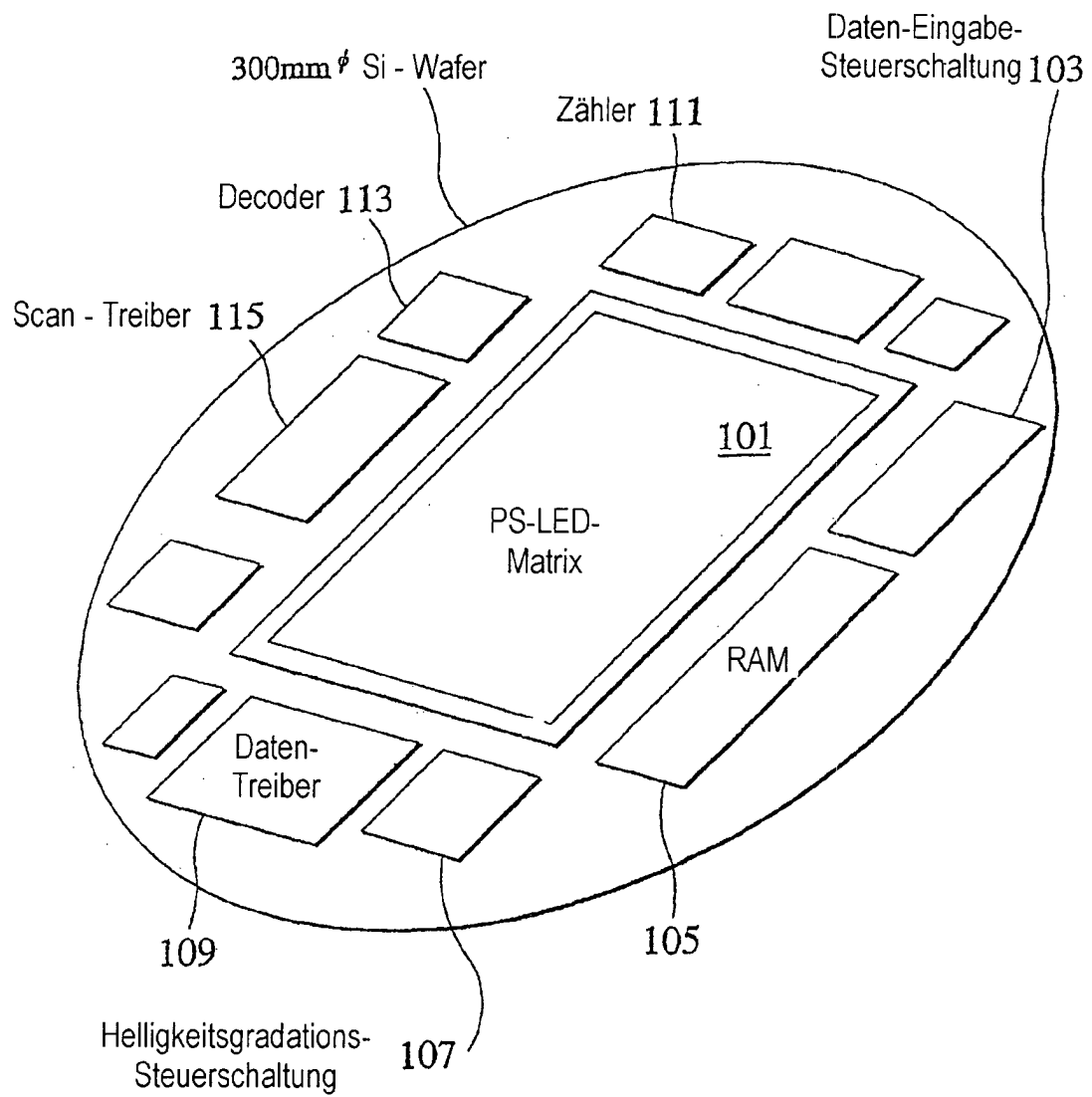


FIG. 9B

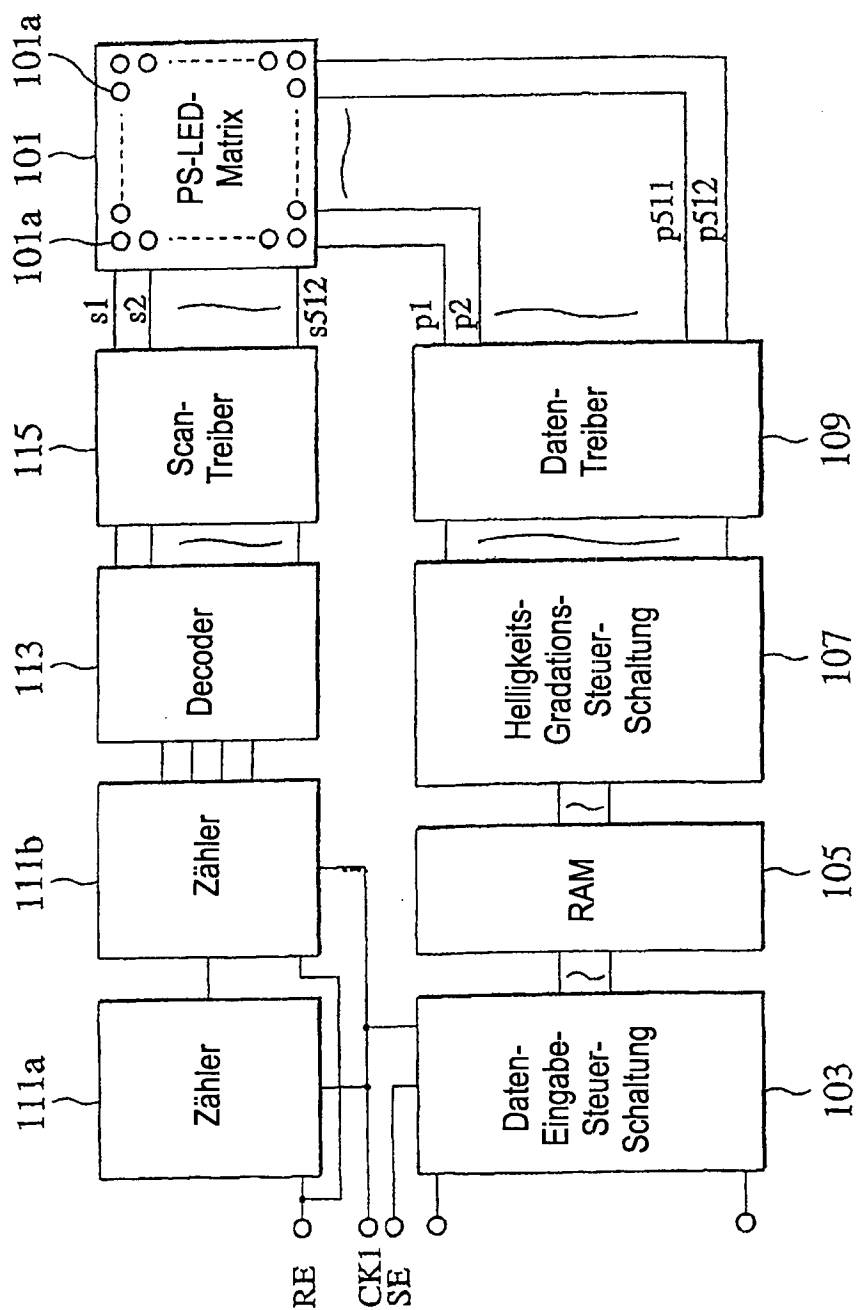


FIG. 9C

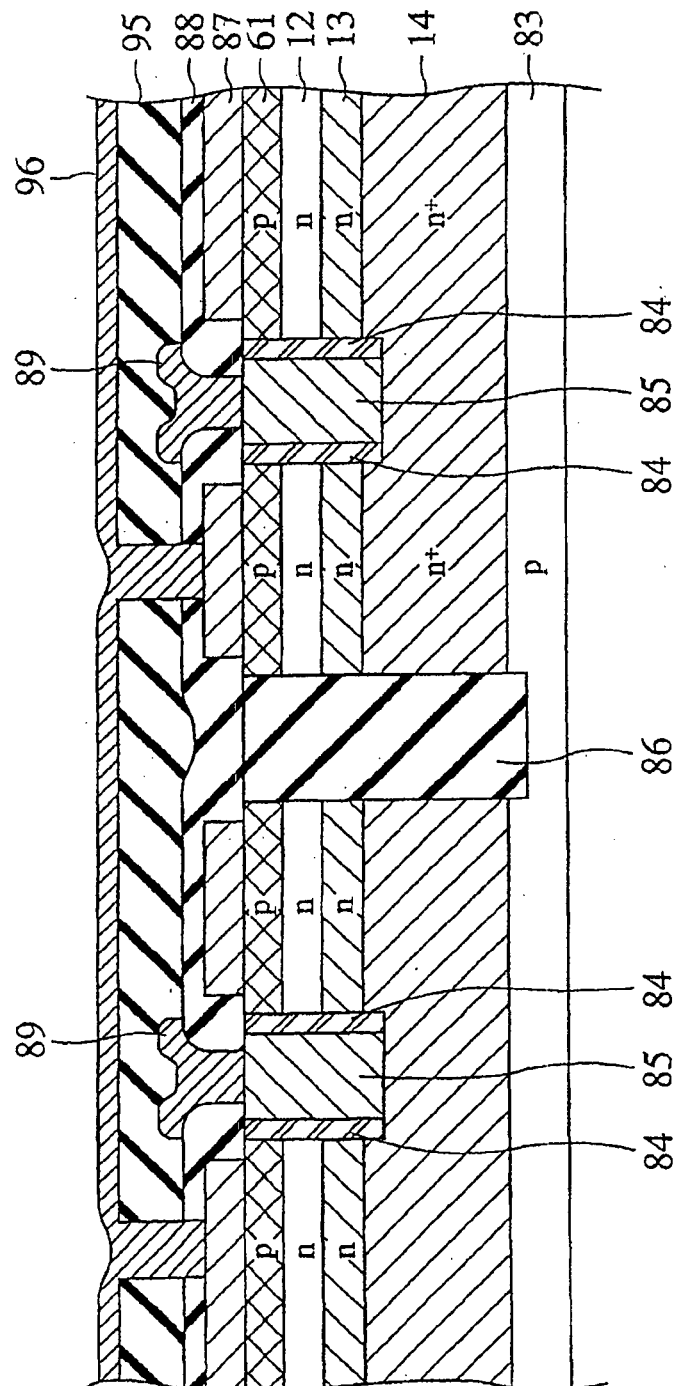


FIG.10A

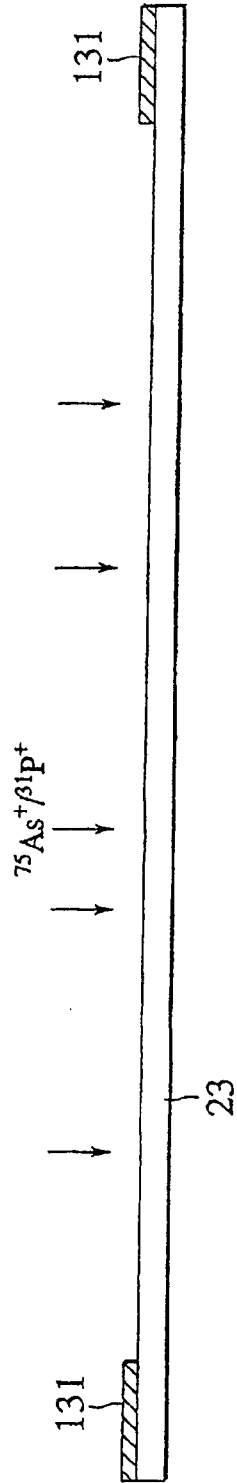


FIG.10B

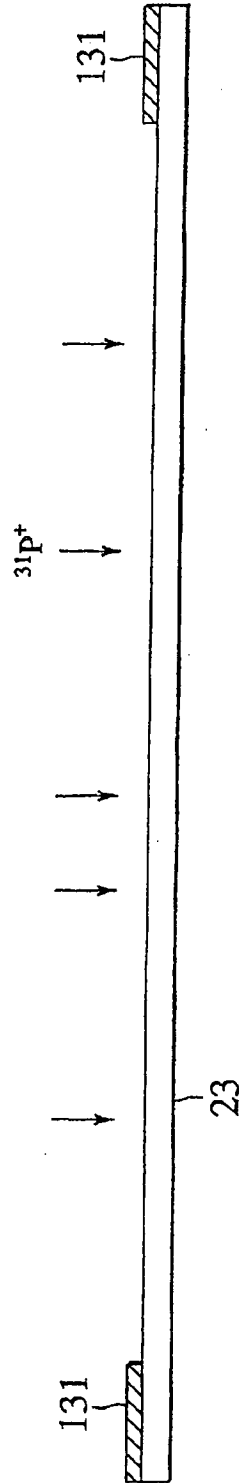
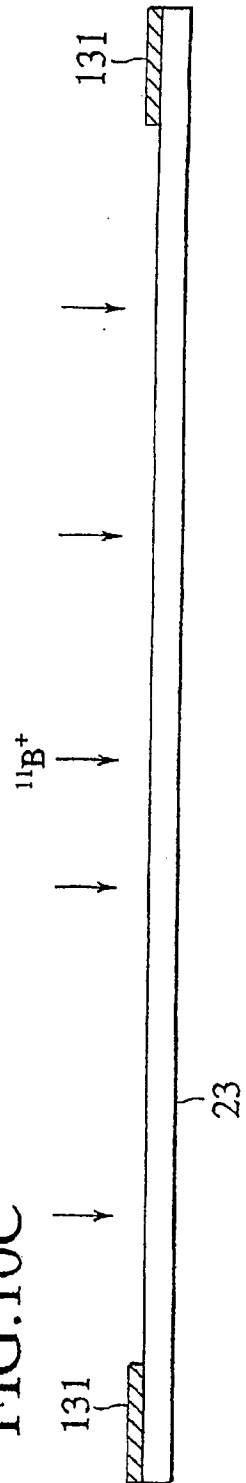


FIG.10C



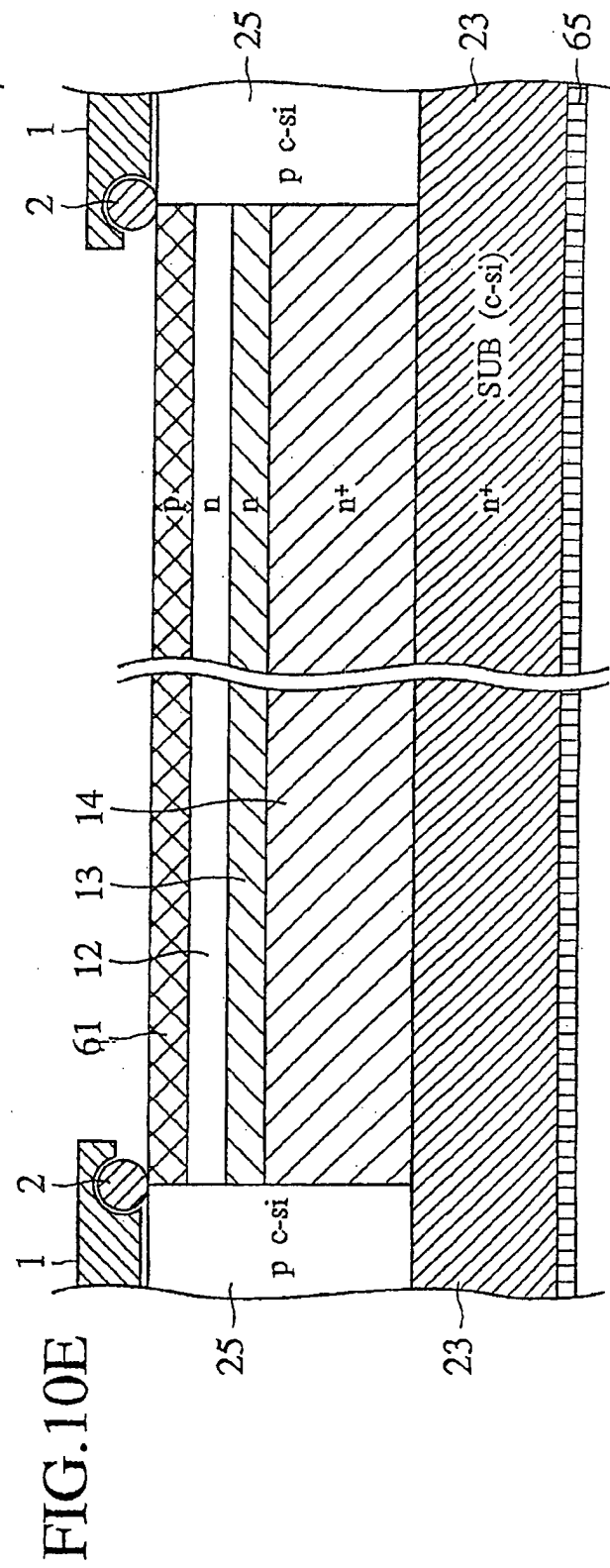
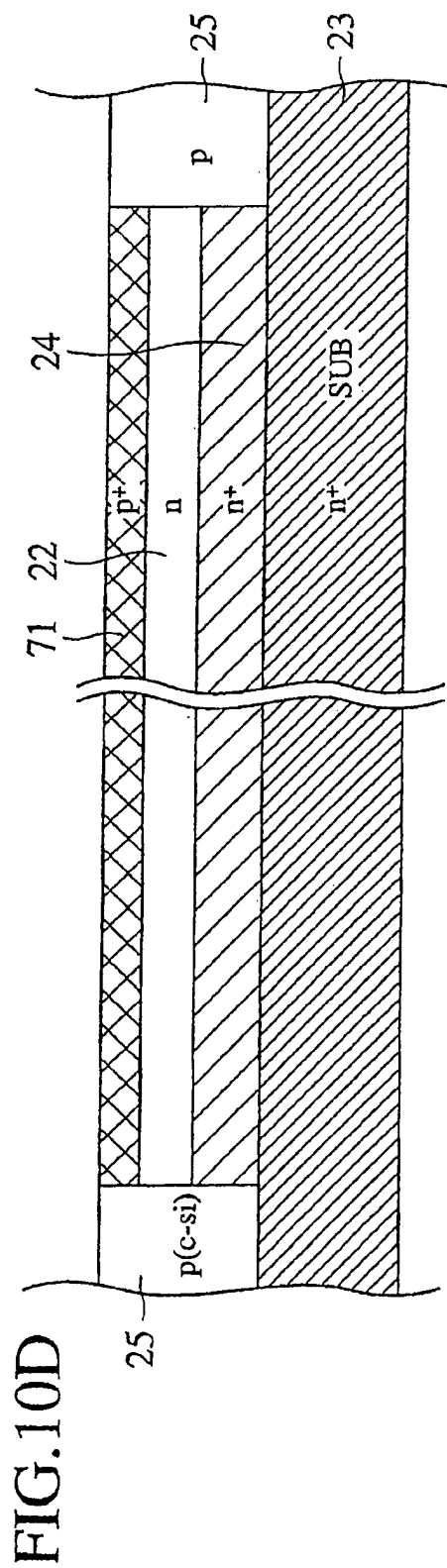
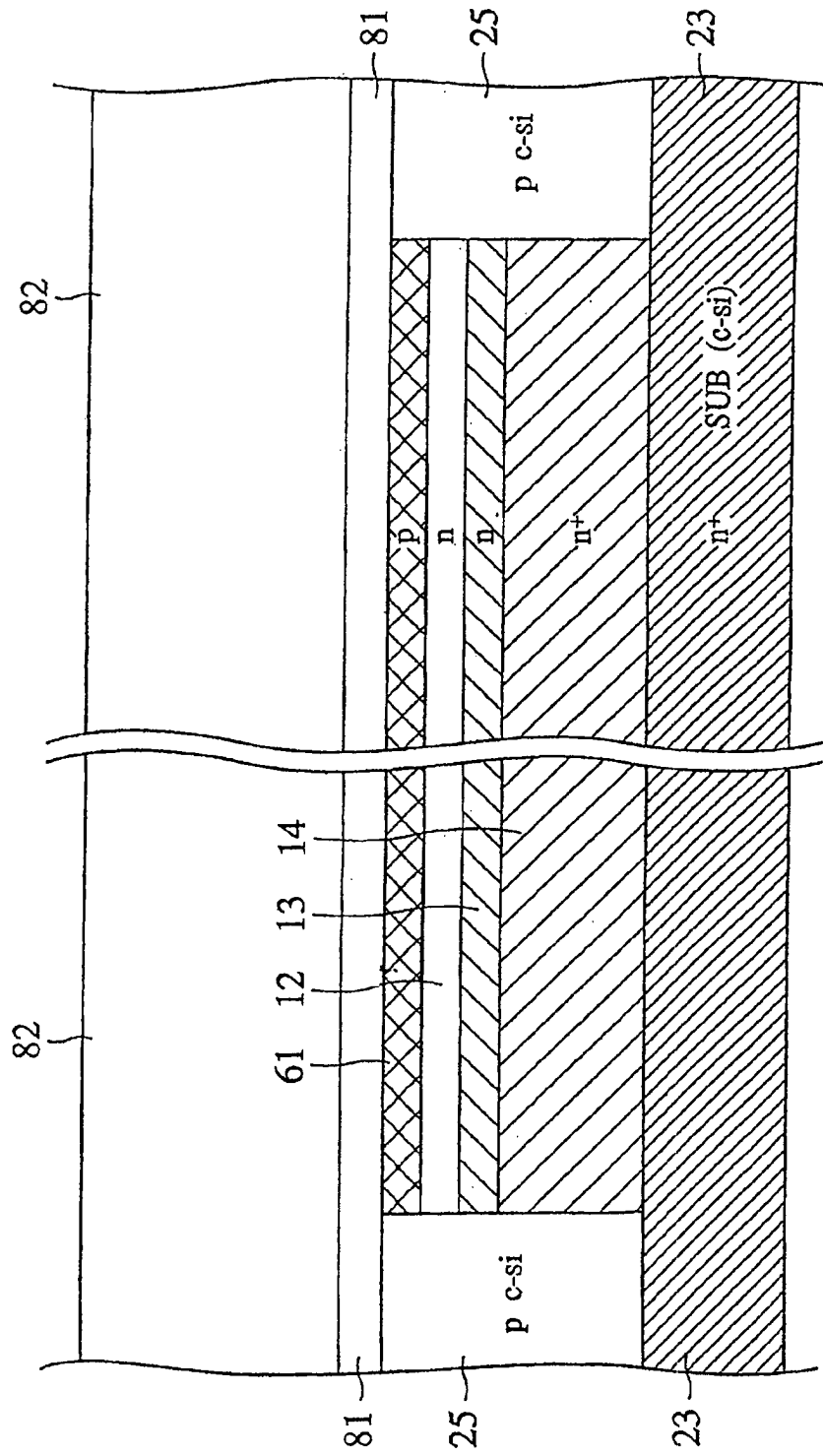


FIG.10F



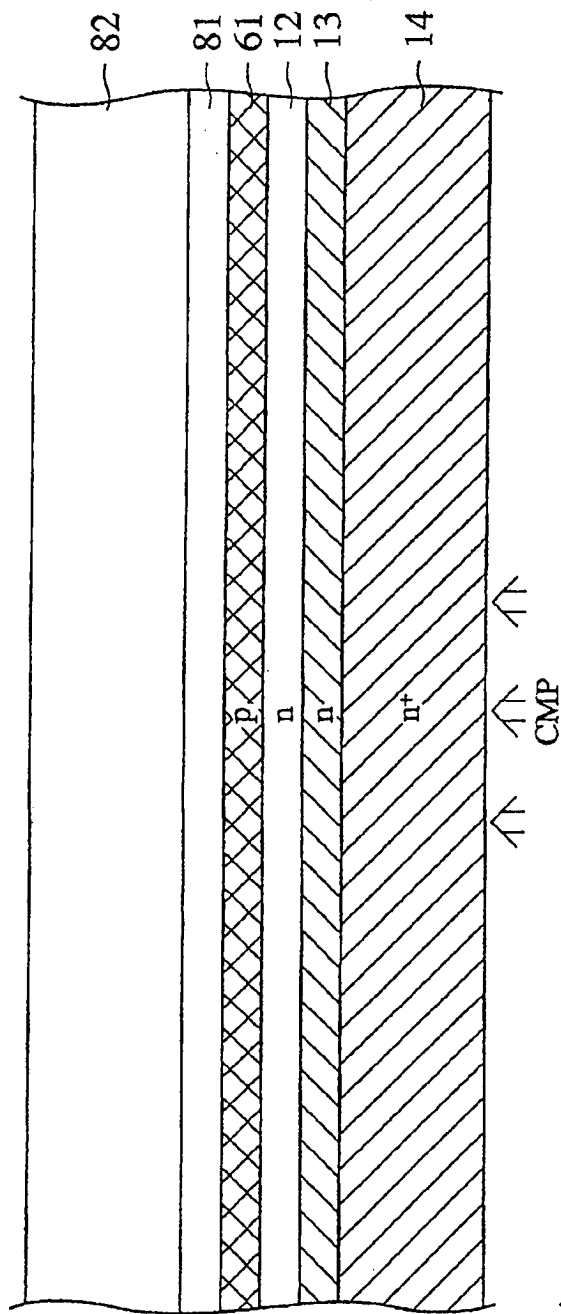


FIG. 10G

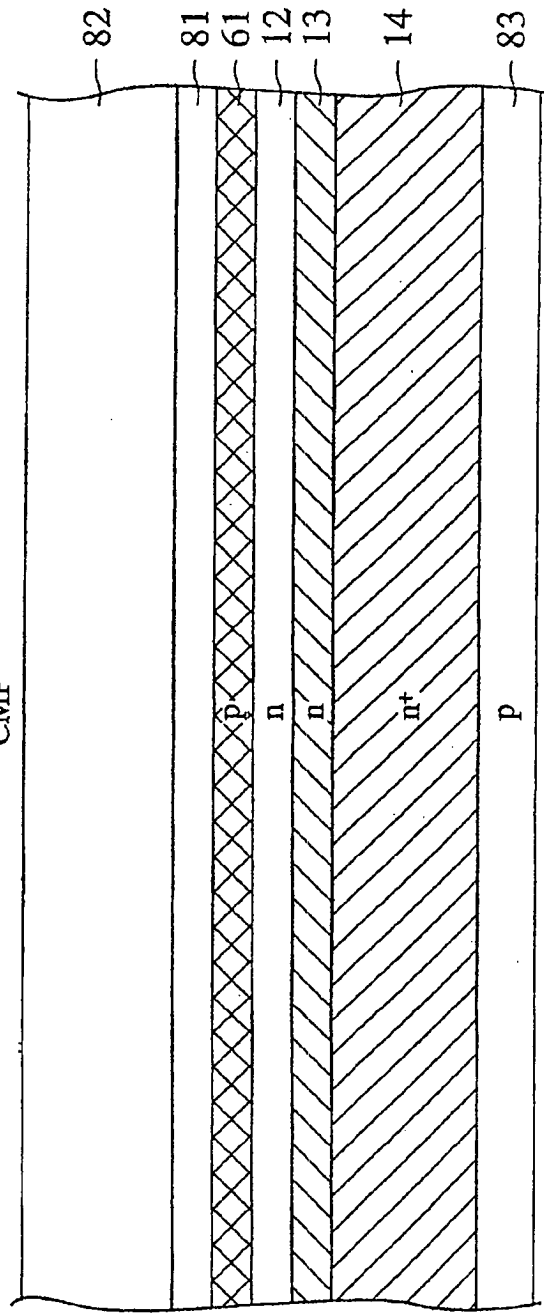


FIG. 10H

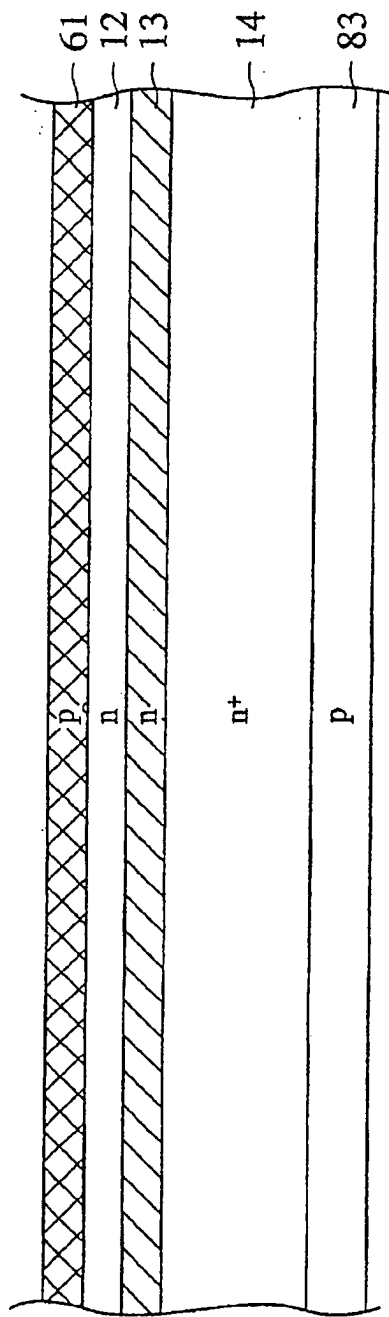


FIG. 10I

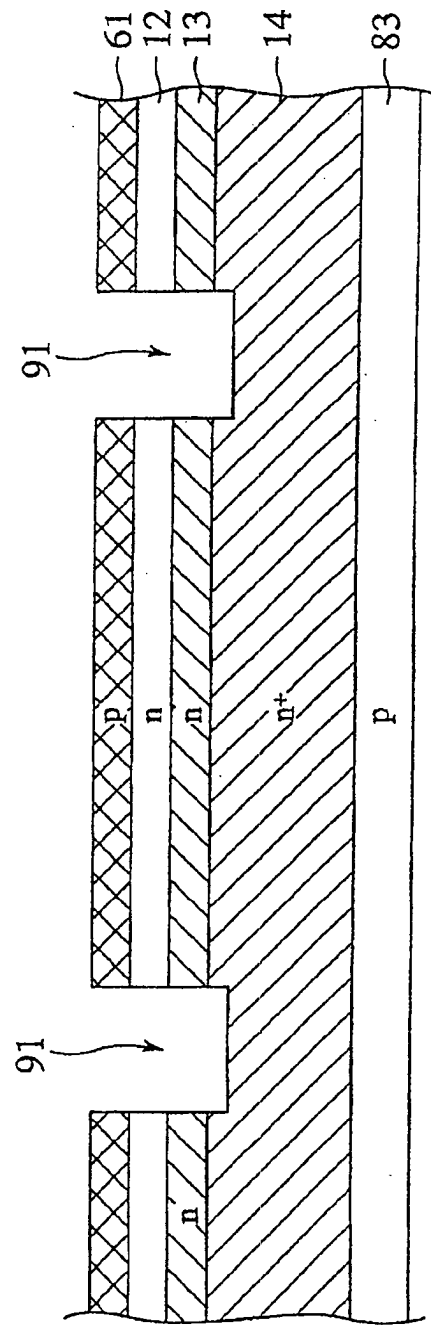


FIG. 10J

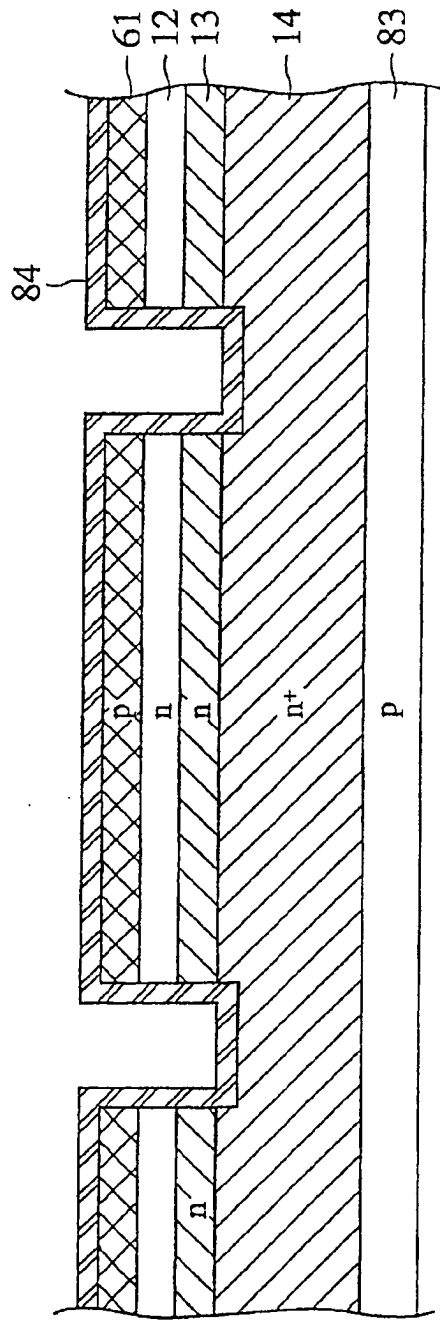


FIG. 10K

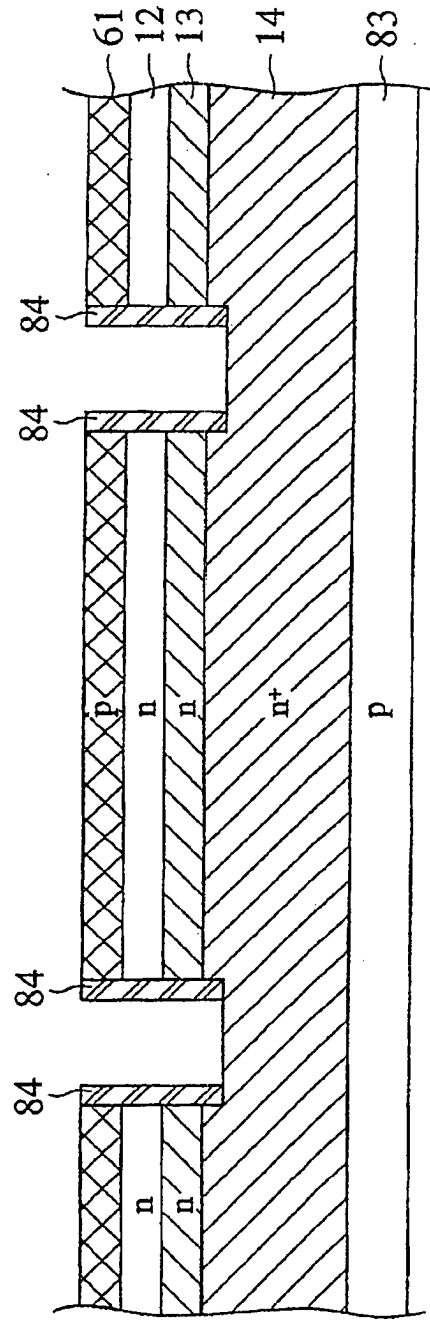


FIG. 10L

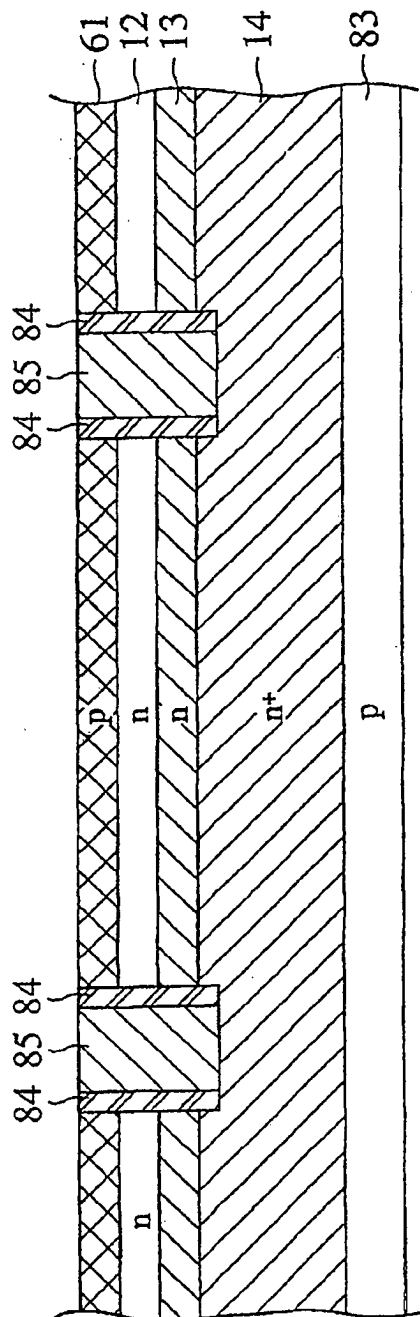


FIG. 10M

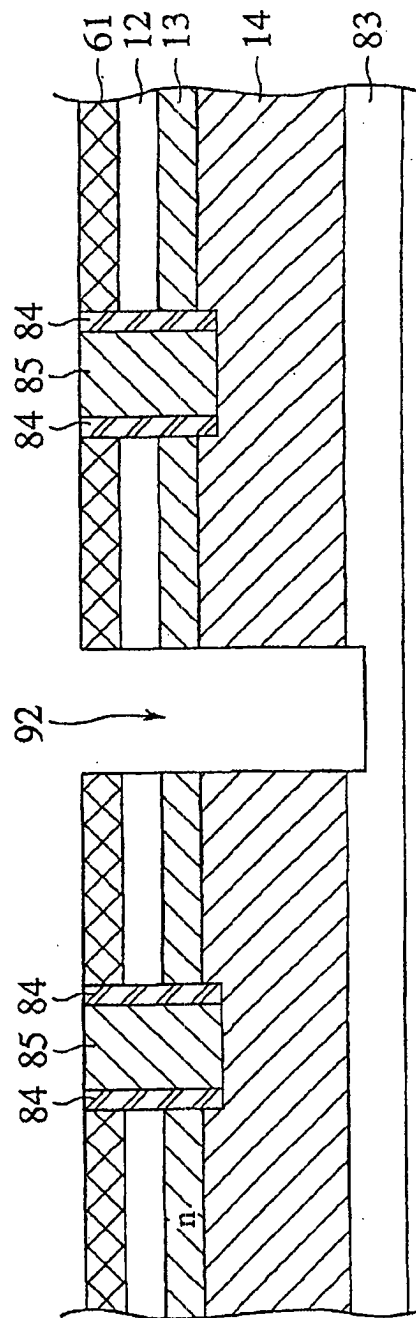


FIG. 10N

FIG.100

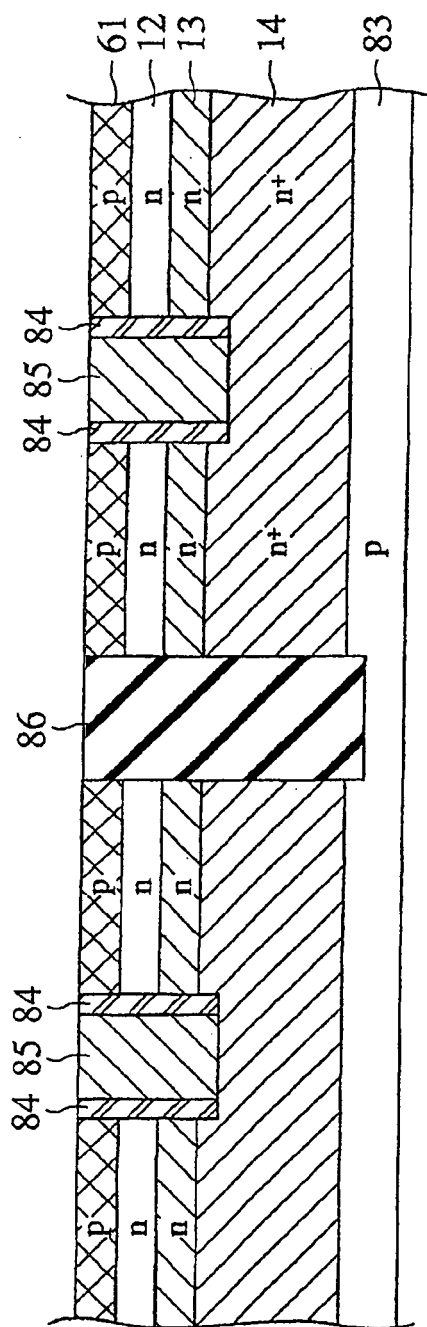
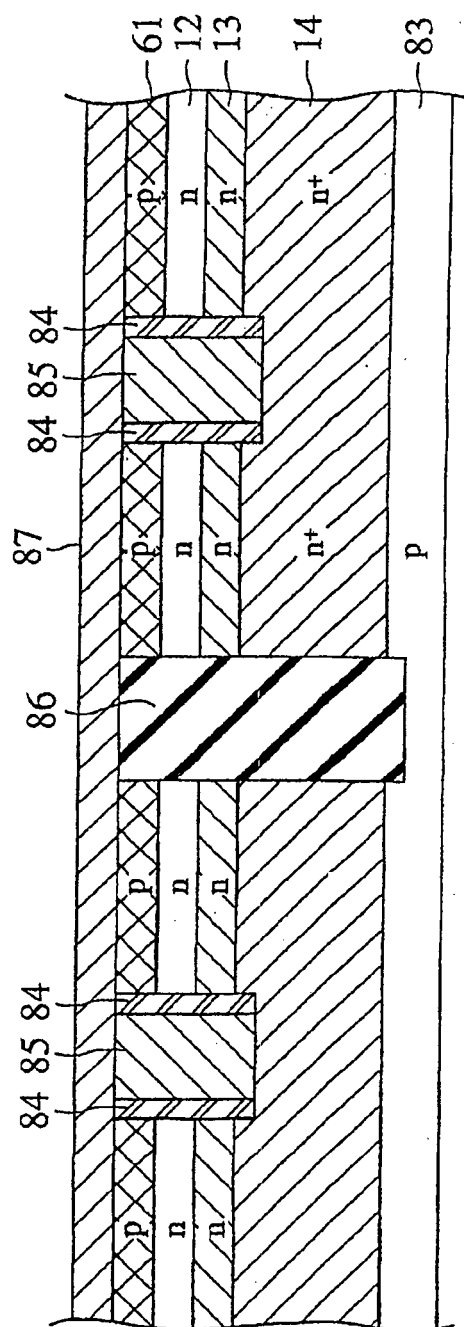


FIG.10P



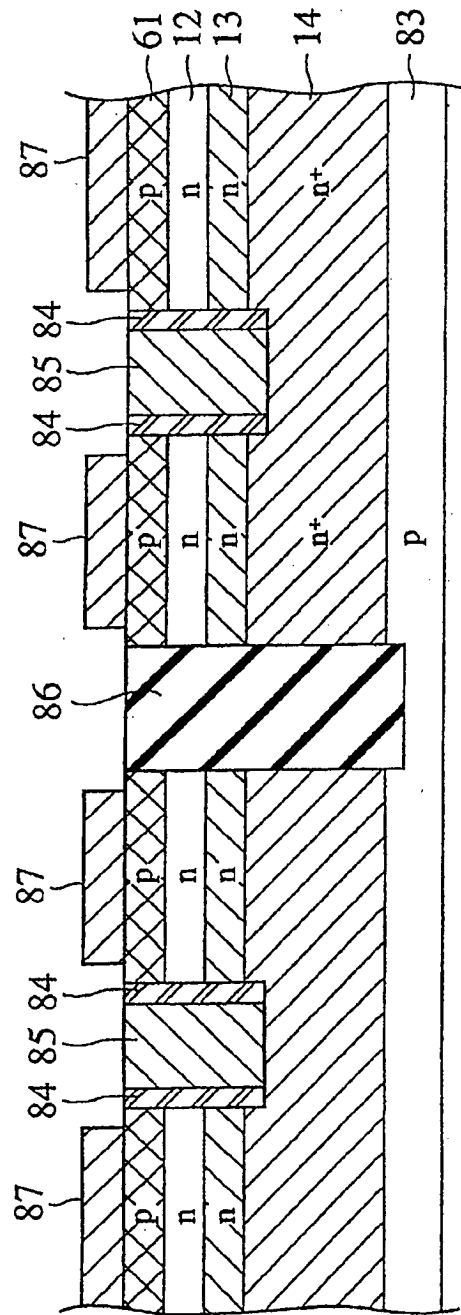


FIG. 10Q

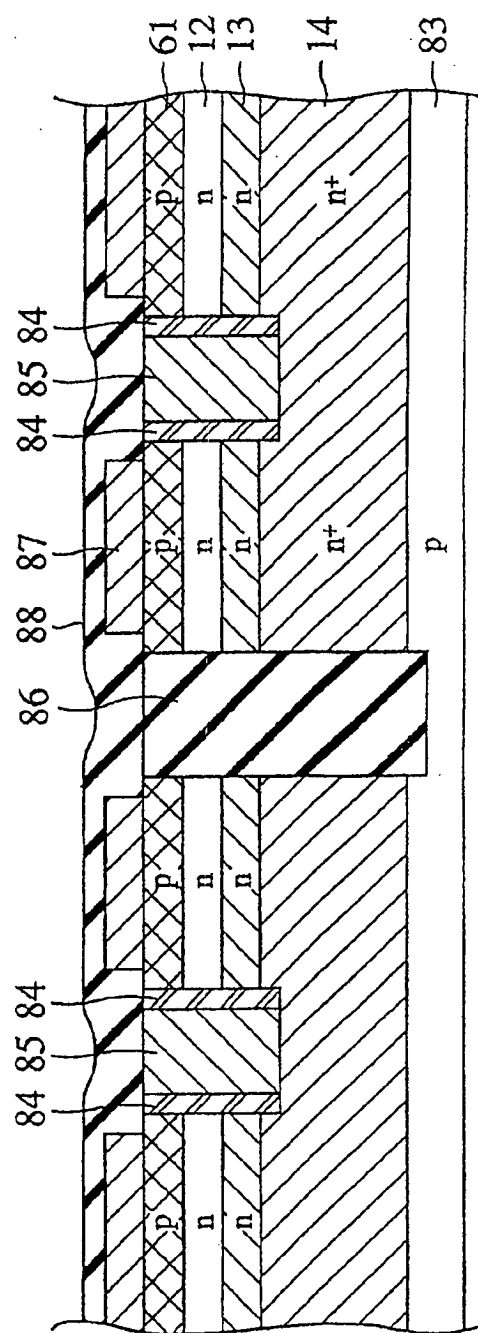


FIG. 10R

FIG.10S

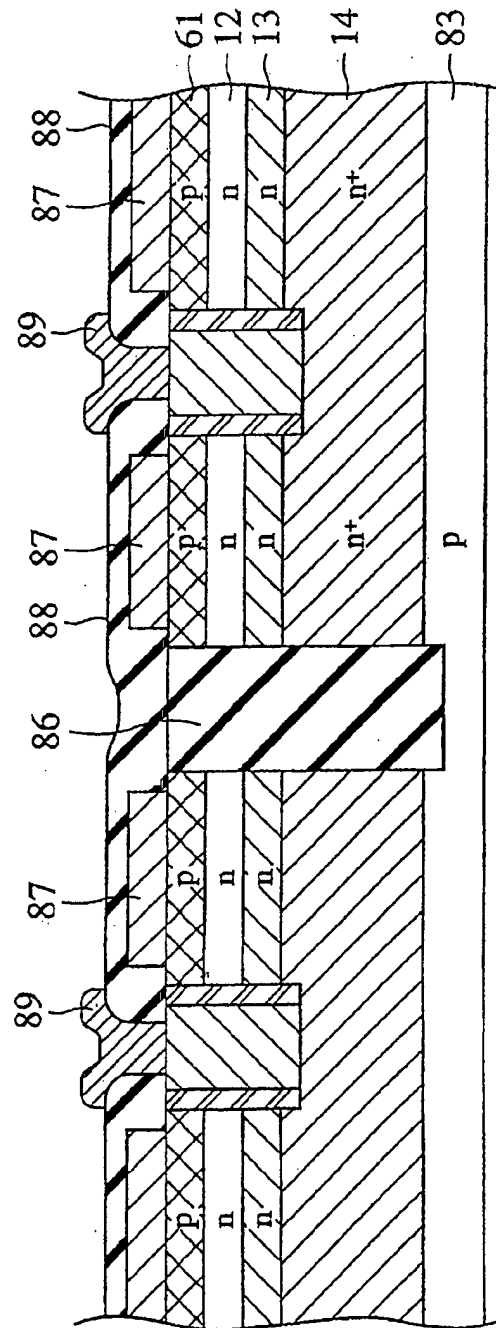


FIG.11

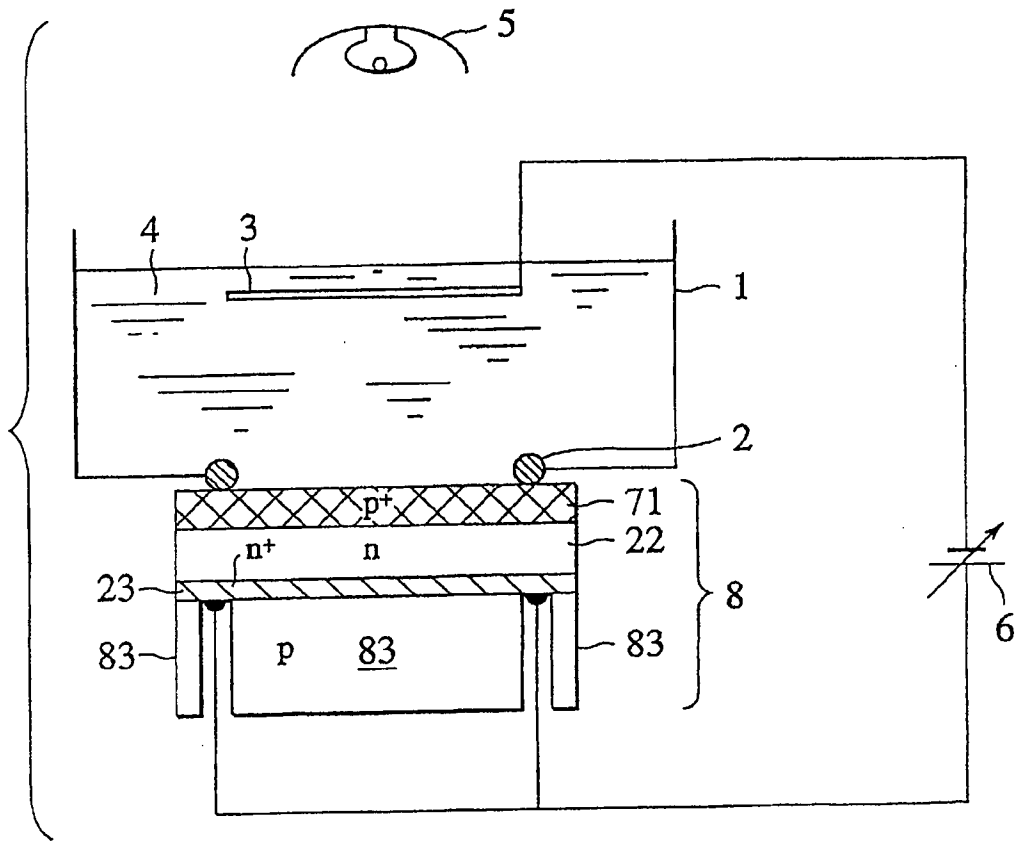


FIG. 12

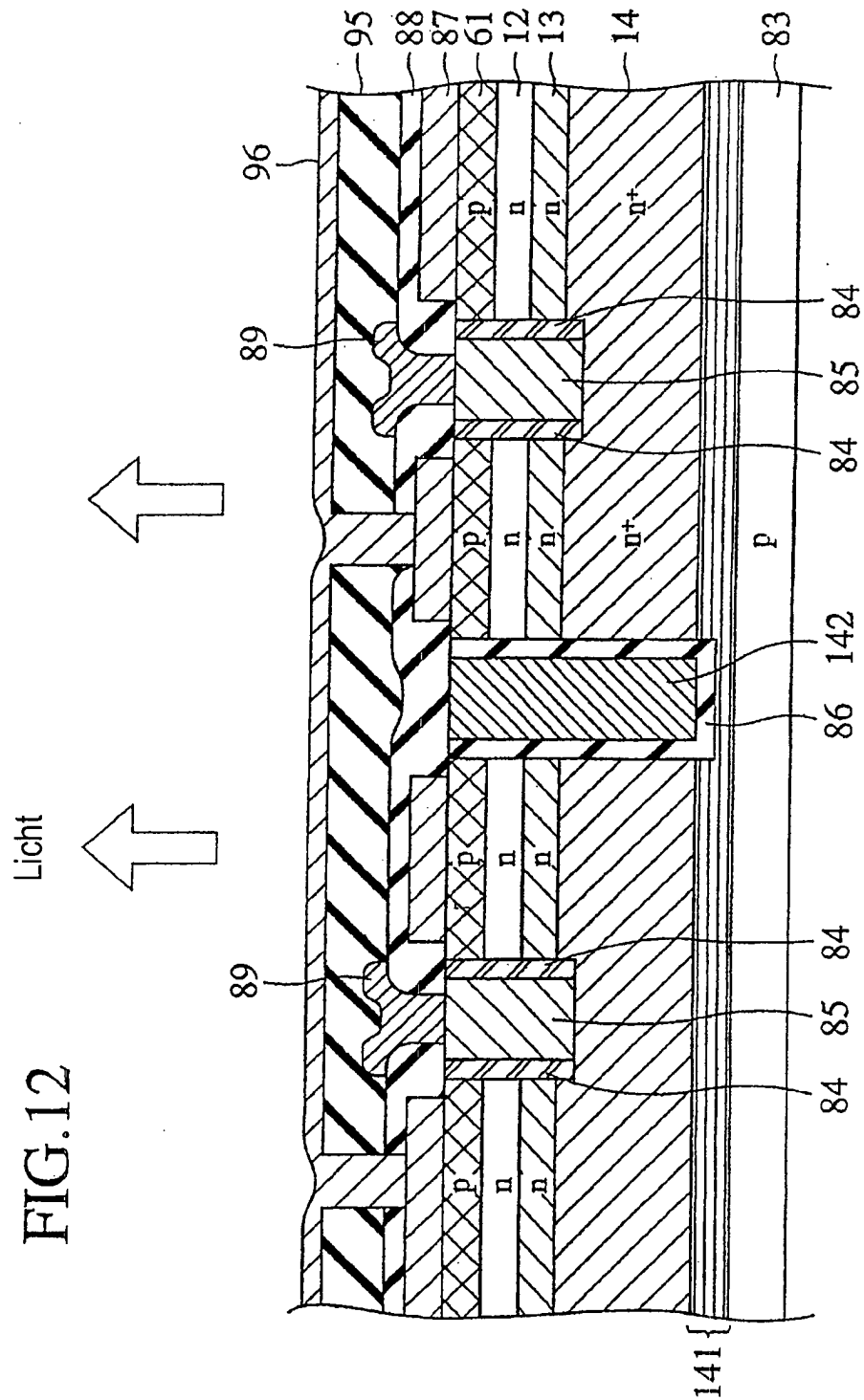


FIG.13

