

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2015년 7월 9일 (09.07.2015)



(10) 국제공개번호
WO 2015/102431 A1

- (51) 국제특허분류:
H04L 25/03 (2006.01)
- (21) 국제출원번호: PCT/KR2015/000023
- (22) 국제출원일: 2015년 1월 2일 (02.01.2015)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2014-0000777 2014년 1월 3일 (03.01.2014) KR
- (71) 출원인: 삼성전자주식회사 (SAMSUNG ELECTRONICS CO., LTD.) [KR/KR]; 443-742 경기도 수원시 영통구 삼성로 129, Gyeonggi-do (KR).
- (72) 발명자: 노이주 (ROH, Yi-Ju); 443-717 경기도 수원시 영통구 인계로 239, 205 동 1202 호, Gyeonggi-do (KR). 김지훈 (KIM, Ji-Hoon); 441-390 경기도 수원시 권선구 동수원로 145 번길 23, 404 동 1301 호, Gyeonggi-do (KR). 손주호 (SON, Ju-Ho); 137-907 서울특별시 서초구 나루터로 4 길 49, 332 동 905 호, Seoul (KR). 심윤아 (SHIM, Yun-A); 225-815 강원도 횡성군 우천면 하궁로 164, Gangwon-do (KR). 이동현 (LEE, Dong-Hyun); 430-833 경기도 안양시 만안구 안양로 332 번길 36-9, 103 동 302 호, Gyeonggi-do (KR). 정동윤 (JUNG, Dong-Yun); 431-752 경기도 안양시 동안구 경수대로 797 번길 12, 204 동 1704 호, Gyeonggi-do (KR). 최성태

(CHOI, Sung-Tae); 445-732 경기도 화성시 메타폴리스로 6, 309 동 301 호, Gyeonggi-do (KR). 홍승표 (HONG, Seung-Pyo); 443-793 경기도 수원시 영통구 매탄로 126 번길 66, 202 동 903 호, Gyeonggi-do (KR).

(74) 대리인: 권혁록 (KWON, Hyuk-Rok) 등; 110-062 서울특별시 종로구 경희궁길 28, 2 층, Seoul (KR).

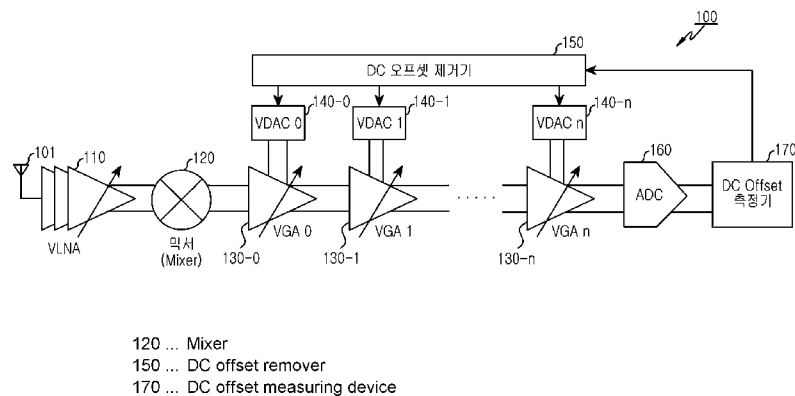
(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[다음 쪽 계속]

(54) Title: METHOD AND APPARATUS FOR DIRECT CONVERSION RECEIVER CORRECTING DIRECT CURRENT OFF-SET

(54) 발명의 명칭: 직접 변환 수신기의 직류 전류 오프셋 교정 방법 및 장치



(57) Abstract: The present invention relates to a method and an apparatus for a direct conversion receiver correcting a direct current (DC) offset. The DC offset correction apparatus of the direct conversion receiver comprises: a plurality of variable-gain amplifiers for amplifying an input signal based on a gain control value; a DC offset measuring device for measuring a DC offset of output signals of the plurality of variable-gain amplifiers; a plurality of variable digital to analogue converters (DAC) for controlling currents that are respectively applied to the plurality of variable-gain amplifiers according to a current control code; and a DC offset remover for determining a current control code set that minimises the DC offset value for each pre-set gain control value, wherein the DC offset correction apparatus of the direct conversion receiver is not affected by external factors such as a signal modulation scheme or heat, can precisely remove a DC offset and prevent performance deterioration of the receiver.

(57) 요약서:

[다음 쪽 계속]



WO 2015/102431 A1

**공개:**

— 국제조사보고서와 함께 (조약 제 21 조(3))

본 발명은 직접 변환 수신기의 직류 전류 오프셋 교정 방법 및 장치에 관한 것으로서, 직접 변환 수신기의 DC(Direct Current) 오프셋 교정 장치는, 이득 제어 값을 기반으로 입력 신호를 증폭시키는 다수개의 가변 이득 증폭기와, 상기 다수 개의 가변 증폭기의 출력 신호에 대한 DC 오프셋을 측정하는 DC 오프셋 측정기와, 전류 제어 코드에 따라 상기 다수개의 가변 이득 증폭기 각각에 인가되는 전류를 제어하는 다수개의 가변 디지털 아날로그 변환기 (DAC: Digital to Analog Converter)와, 미리 설정된 이득 제어 값별로 상기 DC 오프셋 값이 최소가 되도록 하는 전류 제어 코드 셋을 결정하는 DC 오프셋 제거기를 포함하여, 신호의 변조 방식 및 열과 같은 외부 요인에 의한 영향을 받지 않고, DC 오프셋을 정밀하게 제거할 수 있으며, 수신기의 성능 열화를 방지할 수 있다.

명세서

발명의 명칭: 직접 변환 수신기의 직류 전류 오프셋 교정 방법 및 장치

기술분야

- [1] 본 발명은 직접 변환 수신기(Direct Conversion Receiver)에서 직류 전류 오프셋을 교정하기 위한 방법 및 장치에 관한 것이다.

배경기술

- [2] 일반적으로, 무선 통신 시스템에서 이용되는 RF(Radio Frequency) 수신기는 직접 변환(Direct Conversion) 방식을 이용하는 수신기와 헤테로다인(Heterodyne) 방식을 이용하는 수신기로 구분될 수 있다. 직접 변환 방식은 저주파 기저대역 신호와 고주파 신호, 즉, RF(Radio Frequency) 신호를 직접 변환하는 방식을 의미하며, 헤테로다인 방식은 기저대역 신호와 RF 신호를 직접 변환하지 않고 중간에 일정한 중간 주파수(Intermediate Frequency: IF)로 변환하는 중간 단계를 거친 후, 원래 변환하고자 하는 주파수 대역의 신호로 변환 처리하는 방식을 의미한다.
- [3] 직접 변환 방식은 헤테로다인 방식에 비해, 중간 주파수 변환을 수행하는 부분을 필요로 하지 않고, 아날로그 기저대역(Baseband) 단에서 다수의 이득 단(gain stage)을 포함하게 된다. 직접 변환 방식을 이용하는 수신기에서 다수의 이득 단을 포함함으로써, 이득에 비례하여 큰 DC 오프셋(Direct Current offset)이 발생될 수 있다. 그러나, DC 오프셋이 커질수록 수신기의 성능이 감소하게 되며, 심한 경우에는 신호 수신이 어려워지는 상황이 발생될 수 있으므로, DC 오프셋을 교정하는 방법이 제안될 필요가 있다. 여기서, 일반적으로 DC 오프셋은 두 개의 신호 경로를 갖는 차동(differential) 구조의 회로에서, 두 개의 신호 경로에서 발생되는 공통 모드(Common Mode) 전압의 차이 즉, DC 레벨의 차이를 의미한다.
- [4] 종래에는 DC 오프셋을 제거하기 위해, 고역 통과 필터(High Pass Filter), 혹은 저역 통과 필터(Low Pass Filter)를 이용하여 낮은 주파수 영역을 잘라내는 방식을 이용하였으나, 이러한 방식은 변조 방식에 따라 혹은 통과 필터의 차단 주파수(Cutoff Frequency)에 따라 신호의 감쇠를 일으켜 수신기의 성능을 감소시키는 단점이 있다.

발명의 상세한 설명

기술적 과제

- [5] 따라서, 본 발명의 실시 예는 다수개의 이득 단(gain stage)을 포함하는 직접 변환 수신기(Direct Conversion Receiver)에서 DC 오프셋(Direct Current offset)을 교정하기 위한 방법 및 장치를 제공함에 있다.
- [6] 본 발명의 다른 실시 예는 직접 변환 수신기에서 다수개의 가변 DAC(Variable

Digital Analog Converter)를 이용하여 DC 오프셋을 제거하기 위한 방법 및 장치를 제공함에 있다.

- [7] 본 발명의 또 다른 실시 예는 다수개의 가변 이득 증폭기(Variable Gain Amplifier)와 다수개의 가변 DAC를 포함하는 직접 변환 수신기에서 가변 이득 증폭기별로 DC 오프셋이 최소가 되도록 하는 가변 DAC의 전류 제어 코드를 결정하는 방법 및 장치를 제공함에 있다.
- [8] 본 발명의 또 다른 실시 예는 다수개의 가변 이득 증폭기와 다수개의 가변 DAC를 포함하는 직접 변환 수신기에서 미리 설정된 자동 이득 제어(Automatic Gain Control) 코드별로 DC 오프셋이 최소가 되도록 하는 가변 DAC의 전류 제어 코드를 결정하는 방법 및 장치를 제공함에 있다.
- [9] 본 발명의 또 다른 실시 예는 직접 변환 수신기에서 시스템 전원 온 시에 DC 오프셋 교정 절차를 통해 결정된 가변 DAC의 전류 제어 코드를 기반으로 DC 오프셋을 교정하는 방법 및 장치를 제공함에 있다.
- [10] 본 발명의 또 다른 실시 예는 직접 변환 수신기에서 온도 변화에 의한 DC 오프셋 변화를 감지하고, 가변 DAC의 베이스 전류를 조절하여 DC 오프셋을 교정하는 방법 및 장치를 제공함에 있다.

과제 해결 수단

- [11] 본 발명의 실시 예에 따르면, 직접 변환 수신기의 DC(Direct Current) 오프셋 교정 장치는, 이득 제어 값을 기반으로 입력 신호를 증폭시키는 다수개의 가변 이득 증폭기와, 다수 개의 가변 증폭기의 출력 신호에 대한 DC 오프셋을 측정하는 DC 오프셋 측정기와, 전류 제어 코드에 따라 상기 다수개의 가변 이득 증폭기 각각에 인가되는 전류를 제어하는 다수개의 가변 디지털 아날로그 변환기(DAC: Digital to Analog Converter)와, 미리 설정된 이득 제어 값별로 상기 DC 오프셋 값이 최소가 되도록 하는 전류 제어 코드 셋을 결정하는 DC 오프셋 제거기를 포함할 수 있다.
- [12] 본 발명의 실시 예에 따르면, 직접 변환 수신기의 DC(Direct Current) 오프셋 교정 방법은, 다수개의 가변 디지털 아날로그 변환기(DAC: Digital to Analog Converter)에서 전류 제어 코드를 제어하여 다수개의 가변 이득 증폭기 각각에 인가되는 전류를 제어하는 과정과, 상기 다수개의 가변 이득 증폭기에서 이득 제어 값을 기반으로 입력 신호를 증폭시키는 과정과, 다수 개의 가변 증폭기를 통해 증폭된 출력 신호에 대한 DC 오프셋을 측정하는 과정과, 상기 DC 오프셋 측정 결과를 기반으로 미리 설정된 이득 제어 값별로 상기 DC 오프셋 측정 값이 최소가 되도록 하는 전류 제어 코드 셋을 결정하는 과정을 포함할 수 있다.

발명의 효과

- [13] 본 발명은 다수개의 가변 이득 증폭기(Variable Gain Amplifier)와 다수개의 가변 DAC를 포함하는 직접 변환 수신기에서 가변 이득 증폭기별로 DC 오프셋이 최소가 되도록 하는 가변 DAC의 전류 제어 코드를 결정하고, 결정된 전류 제어

코드를 기반으로 DC 오프셋을 교정함으로써, 신호의 변조 방식 및 열과 같은 외부 요인에 의한 영향을 받지 않고, DC 오프셋을 정밀하게 제거할 수 있으며, 수신기의 성능 열화를 방지할 수 있는 효과가 있다.

도면의 간단한 설명

- [14] 도 1은 본 발명의 실시 예에 따른 직접 변환 수신기의 구조를 도시하는 도면,
- [15] 도 2는 본 발명의 실시 예에 따른 가변 DAC의 개략적인 구성을 도시하는 도면,
- [16] 도 3은 본 발명의 실시 예에 따른 DC 오프셋 제거기의 개략적인 구성을 도시하는 도면,
- [17] 도 4는 본 발명의 실시 예에 따른 직접 변환 수신기에서 다수개의 가변 DAC의 제어 전류 코드와 각 DAC의 DC 오프셋 교정범위 간의 관계를 나타내는 도면,
- [18] 도 5는 본 발명의 일 실시 예에 따른 직접 변환 수신기에서 DC 오프셋 교정(calibration) 절차를 도시하는 도면, 및
- [19] 도 6은 본 발명의 다른 실시 예에 따른 직접 변환 수신기에서 온도 변화로 인한 DC 오프셋 교정 절차를 도시하는 도면.

발명의 실시를 위한 최선의 형태

- [20] 이하 본 발명의 바람직한 실시 예를 첨부된 도면을 참조하여 설명한다. 그리고, 본 발명을 설명함에 있어서, 관련된 공지기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단된 경우 그 상세한 설명은 생략할 것이다. 또한, 후술되는 용어들은 본 발명에서의 기능을 고려하여 정의된 용어들로서 이는 사용자, 운용자의 의도 또는 관례 등에 따라 달라질 수 있다. 그러므로 그 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.
- [21] 본 발명의 다양한 실시 예에서 "가진다", "가질 수 있다", "포함한다" 또는 "포함할 수 있다" 등의 표현은 개시(disclosure)된 해당 기능, 동작 또는 구성요소 등의 존재를 가리키며, 추가적인 하나 이상의 기능, 동작 또는 구성요소 등을 제한하지 않는다. 또한, 본 발명의 다양한 실시 예에서, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [22] 본 발명의 다양한 실시 예에서 "A 또는 B" 또는 "A 또는/및 B 중 적어도 하나" 등의 표현은 함께 나열된 단어들의 어떠한, 그리고 모든 조합을 포함한다. 예를 들어, "A 또는 B" 또는 "A 또는/및 B 중 적어도 하나" 각각은, A를 포함할 수도, B를 포함할 수도, 또는 A와 B 모두를 포함할 수도 있다.
- [23] 본 발명의 다양한 실시 예에서 사용된 "제 1", "제 2", "첫째" 또는 "둘째" 등의 표현들은 다양한 실시 예들의 다양한 구성요소들을 수식할 수 있지만, 해당 구성요소들을 한정하지 않는다. 예를 들어, 상기 표현들은 해당 구성요소들의 순서 및/또는 중요도 등을 한정하지 않는다. 상기 표현들은 한 구성요소를 다른

구성요소와 구분하기 위해 사용될 수 있다. 예를 들어, 제 1 사용자 기기와 제 2 사용자 기기는 모두 사용자 기기이며, 서로 다른 사용자 기기를 나타낸다. 예를 들어, 본 발명의 다양한 실시 예의 권리 범위를 벗어나지 않으면서 제 1 구성요소는 제 2 구성요소로 명명될 수 있고, 유사하게 제 2 구성요소도 제 1 구성요소로 명명될 수 있다.

- [24] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 상기 어떤 구성요소가 상기 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 상기 어떤 구성요소와 상기 다른 구성요소 사이에 새로운 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 상기 어떤 구성요소와 상기 다른 구성요소 사이에 새로운 다른 구성요소가 존재하지 않는 것으로 이해될 수 있어야 할 것이다.
- [25] 본 문서에서 사용된 표현 “~하도록 구성된(또는 설정된)(configured to)”은 상황에 따라, 예를 들면, “~에 적합한(suitable for),” “~하는 능력을 가지는 (having the capacity to),” “~하도록 설계된(designed to),” “~하도록 변경된(adapted to),” “~하도록 만들어진(made to),” 또는 “~를 할 수 있는 (capable of)”과 바꾸어 사용될 수 있다. 용어 “~하도록 구성 (또는 설정)된”은 하드웨어적으로 “특별히 설계된 (specifically designed to)”것만을 반드시 의미하지 않을 수 있다. 대신, 어떤 상황에서는, “~하도록 구성된 장치”라는 표현은, 그 장치가 다른 장치 또는 부품들과 함께 “~할 수 있는” 것을 의미할 수 있다. 예를 들면, 문구 “A, B, 및 C를 수행하도록 구성 (또는 설정)된 프로세서”는 해당 동작을 수행하기 위한 전용 프로세서 (예: 임베디드 프로세서), 또는 메모리 장치에 저장된 하나 이상의 소프트웨어 프로그램들을 실행함으로써, 해당 동작들을 수행할 수 있는 범용 프로세서(generic-purpose processor)(예: CPU 또는 application processor)를 의미할 수 있다.
- [26] 본 발명의 다양한 실시 예에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 본 발명의 다양한 실시 예를 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- [27] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명의 다양한 실시 예가 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 발명의 다양한 실시 예에서 명백하게 정의되지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [28] 이하 본 발명에서는 직접 변환 수신기(Direct Conversion Receiver)에서

다수개의 가변 DAC(Variable Digital Analog Converter)를 이용하여 DC 오프셋을 제거하기 위한 방법 및 장치에 관해 설명할 것이다. 이하 설명에서 가변 DAC는 VDAC 혹은 DAC로 표기될 수 있다.

- [29] 도 1은 본 발명의 실시 예에 따른 직접 변환 수신기(100)의 구조를 도시하고 있다.
- [30] 도 1을 참조하면, 직접 변환 수신기(100)는 적어도 하나의 안테나(101), 가변 저잡음 증폭기(VLNA: Variable Low Noise Amplifier, 110), 믹서(Mixer, 120), 다수개의 가변 이득 증폭기(VGA: Variable Gain Amplifier, 130-0 내지 130-n), 다수개의 가변 디지털 아날로그 변환기(VDAC: Variable Digital to Analog Converter, 140-0 내지 140-n), DC 오프셋 제거기(DC offset cancellation unit, 150), 아날로그 디지털 변환기(ADC: Analog to Digital Converter, 160), DC 오프셋 측정기(DC offset monitoring unit, 170)를 포함하여 구성될 수 있다.
- [31] 가변 저잡음 증폭기(110)는 안테나(101)로부터 수신되는 고주파 RF 신호를 증폭시켜 믹서(120)로 제공한다. 가변 저잡음 증폭기(110)는 미리 설정된 방식에 따라 변경되는 이득 값을 기반으로 고주파 RF 신호를 증폭시킬 수 있다.
- [32] 믹서(120)는 가변 저잡음 증폭기(110)로부터 수신되는 신호를 기저대역 신호로 변환하여, 다수 개의 가변 이득 증폭기(130-0 내지 130-n) 중 가장 앞 단에 위치한 가변 이득 증폭기 0(130-0)의 입력으로 제공한다. 예를 들어, 믹서(120)는 가변 저잡음 증폭기(110)로부터 수신되는 신호를 국부발진 신호와 혼합하여 기저대역 신호를 생성하고, 생성된 기저대역 신호를 가변 이득 증폭기 0(130-0)으로 출력할 수 있다.
- [33] 다수 개의 가변 이득 증폭기(130-0 내지 130-n) 각각은 대응되는 가변 DAC(140-0 내지 140-n) 각각으로부터 출력 전류를 제공받고, AGC(Automatic Gain Control) 코드에 따른 이득 조정 신호를 기반으로 입력 신호의 크기를 증폭시켜 출력한다. 여기서, 다수 개의 가변 이득 증폭기(130-0 내지 130-n) 각각은 두 개의 입력 신호 경로와 두 개의 출력 신호 경로를 갖는 차동(differential) 구조의 증폭기일 수 있다. 다수 개의 가변 이득 증폭기(130-0 내지 130-n) 중에서 가변 이득 증폭기 0(130-0)은 믹서(120)로부터 기저대역 신호를 제공받아 AGC 코드에 따라 크기를 증폭시킨 후, 증폭된 신호를 가변 이득 증폭기 1(130-1)로 제공하고, 가변 이득 증폭기 1(130-1)은 가변 이득 증폭기 0(130-0)으로부터 출력되는 신호를 제공받고 AGC 코드에 따라 크기를 증폭시킨 후, 증폭된 신호를 가변 이득 증폭기 2(130-2)로 출력 신호를 제공한다. 이와 같은 방식을 기반으로, 다수 개의 가변 이득 증폭기(130-0 내지 130-n) 각각은 믹서(120)로부터 출력되는 기저대역 신호를 다수 번 증폭시킬 수 있으며, 다수 번 증폭된 신호는 ADC(160)의 입력으로 제공된다.
- [34] 다수 개의 가변 DAC(140-0 내지 140-n) 각각은 베이스 전류(base current, I_B)를 2의 거듭제곱 형태로 발생시키는 회로와 스위치들로 구성된다. 다수 개의 가변 DAC(140-0 내지 140-n) 각각은 DC 오프셋 제거기(150)로부터 입력되는 전류

제어 코드를 기반으로 스위치의 온/오프를 제어하여 해당 가변 이득 증폭기로 출력되는 전류를 변경할 수 있다. 여기서, 가변 DAC(140-0 내지 140-n) 각각의 출력 전류에 따라 해당 가변 이득 증폭기(130-0 내지 130-n)의 출력단의 DC 오프셋이 변경될 수 있다.

- [35] 다수 개의 가변 DAC(140-0 내지 140-n) 각각의 구성을 상세히 살펴보면, 각각의 가변 DAC(140)는 도 2에 도시된 바와 같이, 베이스 전류를 2의 거듭 제곱 형태(I_B , $2I_B$, $4I_B$, ..., $2^n I_B$)로 발생시키는 다수 개의 전류원(146-0 내지 146-n), 및 다수 개의 전류원(146-0 내지 146-n) 각각에 연결된 다수 개의 스위치(144-0 내지 144-n)를 포함하며, 다수 개의 전류원(146-0 내지 146-n) 각각에 베이스 전류를 제공하는 베이스 전류 제어 회로(142)를 포함하여 구성될 수 있다.
- [36] 가변 DAC(140)는 DC 오프셋 제거기(150)로부터 베이스 전류 제어 코드를 입력받고, 입력된 베이스 전류 제어 코드에 따라 다수 개의 전류원(146-0 내지 146-n)으로 제공되는 베이스 전류를 조절한다. 다수 개의 전류원(146-0 내지 146-n) 각각은 해당 스위치(144-0 내지 144-n)가 온된 상태에서 베이스 전류의 2의 거듭제곱에 대응하는 전류를 발생시킨다. 다수 개의 전류원(146-0 내지 146-n) 각각에서 발생하는 전류의 크기는 선형적(linear)으로 증가하는 형태를 가질 수 있다.
- [37] 다수개의 스위치(144-0 내지 144-n) 각각은 DC 오프셋 제거기(150)로부터 제공되는 DAC 전류 제어 코드에 따라 온 혹은 오프되어, 해당 스위치에 연결된 전류원으로부터 발생하는 전류를 출력단으로 제공한다. 예를 들어, 다수개의 스위치(144-0 내지 144-n) 각각은 DAC 전류 제어 코드에 따라 동시에 온될 수도 있고, 동시에 오프될 수도 있으며, 일부 스위치만 오프되고 나머지 스위치는 온될 수 있다.
- [38] DC 오프셋 제거기(150)는 본 발명의 실시 예에 따라 가변 이득 증폭기들(130-0 내지 130-n)에 의해 발생하는 DC 오프셋을 제거하기 위한 기능을 수행한다. DC 오프셋 제거기(150)는 DC 오프셋 측정기(170)로부터 제공되는 ADC(160) 출력단의 DC 오프셋을 기반으로, AGC 코드별로 DC 오프셋을 최소화시키는 DAC 전류 제어 코드를 검색 및 결정하고, AGC 코드별로 결정된 DAC 전류 제어 코드 정보를 저장한다. 여기서, AGC 코드는 다수 개의 가변 이득 증폭기의 이득 값을 조절하기 위한 코드를 의미하는 것으로, 설계자에 의해 미리 설정될 수 있다.
- [39] DC 오프셋 제거기(150)는 시스템 전원 온 시에, 수신기의 수신 경로 전체가 켜진 상태에서 AGC 코드별로 다수 개의 가변 이득 증폭기(130-0 내지 130-n)의 이득을 조절하면서, ADC(160)의 출력 단에서 측정되는 DC 오프셋이 최소화 되도록 하는 각각의 가변 DAC의 전류 제어 코드를 검색한다. 예컨대, DC 오프셋 제거기(150)는 AGC 코드를 기반으로 다수 개의 가변 이득 증폭기(130-0 내지 130-n)의 이득을 조절하고, 다수 개의 가변 DAC(140-0 내지 140-n)들 각각에 대해 DAC 전류 제어 코드를 순차적으로 탐색한다. 보다 상세히 설명하면, 제 1 AGC

코드를 기반으로 다수 개의 가변 이득 증폭기(130-0 내지 130-n)의 이득을 조절한 상태에서, 다수 개의 가변 DAC(140-0 내지 140-n) 중에서 가장 앞 단에 위치한 가변 DAC 0(140-0)의 전류 제어 코드를 변경하면서, ADC의 출력단에서 측정되는 DC 오프셋이 최소값이 되도록 하는 DAC 0(140-0)의 전류 제어 코드를 탐색한다. 가변 DAC 0(140-0)의 전류 제어 코드는 이진 탐색(binary search) 기법을 통해 탐색될 수 있으며, 가변 DAC 0(140-0)의 전류 제어 코드 탐색 동안에 다른 DAC들(140-1 내지 140-n)의 전류 제어 코드는 일정한 값으로 유지되어야 한다. 이후, DC 오프셋 제거기(150)는 제 1 AGC 코드를 기반으로 다수 개의 가변 이득 증폭기(130-0 내지 130-n)의 이득을 조절한 상태에서, 가변 DAC 1(140-1)의 전류 제어 코드를 변경하면서, ADC의 출력단에서 측정되는 DC 오프셋이 최소값이 되도록 하는 가변 DAC 1(140-1)의 전류 제어 코드를 탐색한다. 가변 DAC 1(140-1)의 전류 제어 코드는 이진 탐색(binary search) 기법을 통해 탐색될 수 있으며, 가변 DAC 1(140-1)의 전류 제어 코드 탐색 동안에 다른 가변 DAC들(140-0, 140-2 내지 140-n)의 전류 제어 코드는 일정한 값으로 유지되어야 한다. 이와 같은 방식으로, DC 오프셋 제거기(150)는 제 1 AGC 코드를 기반으로 다수 개의 가변 이득 증폭기(130-0 내지 130-n)의 이득을 조절한 상태에서, 다수 개의 가변 DAC(140-0 내지 140-n)들 각각에 대해 전류 제어 코드를 결정하고, 다수 개의 가변 DAC(140-0 내지 140-n)들의 전류 제어 코드들 즉, 전류 제어 코드 셋(혹은 전류 제어 코드 조합)을 제 1 AGC 코드에 매핑하여 저장한다.

[40] 추가적으로, DC 오프셋이 최소가 되도록 하는 각각의 가변 DAC의 전류 제어 코드 검색 시, DC 오프셋 제거기(150)는 다수 개의 가변 DAC(140)들 중에서 가장 앞 단의 가변 DAC가 가장 작은 크기의 베이스 전류를 이용하고, 뒷 단에 위치한 가변 DAC일 수록 앞 단의 DAC의 베이스 전류보다 큰 크기의 베이스 전류를 이용하도록 베이스 전류 제어 신호를 출력한다. 이는, 도 4에 도시된 바와 같이, 이득이 커질수록 DC 오프셋이 커지는 특성에 의해 다수개의 가변 VGA들(130-0 내지 130-n) 중에서 뒷 단에 위치한 VGA일수록 DC 오프셋이 커지게 되는 상황을 고려하기 위함이다. 즉, 뒷 단에 위치한 VGA로 제공되는 출력 전류 범위가 앞 단에 위치한 VGA로 제공되는 출력 전류 범위보다 넓도록 제어하여, 뒷 단의 VGA에 의해 발생하는 DC 오프셋을 보다 정밀하게 제거하기 위함이다.

[41] DC 오프셋 제거기(150)는 상술한 바와 같은 방식으로 미리 설정된 모든 AGC 코드에 대한 DAC 전류 제어 코드 셋을 획득하고, 획득된 DAC 전류 제어 코드 셋을 해당 AGC 코드와 매핑하여 저장한다.

[42] 본 발명의 실시 예에 따른 DC 오프셋 제거기(150)는 도 3에 도시된 바와 같이, 베이스 전류 제어 정보 저장 장치(152)와 DC 오프셋 제어 정보 저장 장치(154)를 포함하여, 베이스 전류 제어 정보 및 AGC 코드별 DAC 전류 제어 코드 정보를 저장할 수 있다. 예를 들어, 베이스 전류 제어 정보 저장 장치(152)는 가변 DAC들 각각에 제공될 베이스 전류 정보를 저장할 수 있고, 온도 변경에 따른 베이스 전류 변경 정보를 저장할 수 있다. 또한, DC 오프셋 제어 정보 저장 장치(154)는

상술한 바와 같이, AGC 코드 각각에 대한 DAC 전류 제어 코드 셋을 저장하여, AGC 코드 각각에 대한 가변 DAC들의 전류 제어 코드의 매핑 관계를 나타낼 수 있다.

- [43] DC 오프셋 제거기(150)는 모든 AGC 코드에 대한 DAC 전류 제어 코드 셋을 탐색 및 저장하는 초기 DC 오프셋 교정 절차를 완료한 후, 직접 변환 수신기(100)의 신호 수신 모드 동작 시, 선택된 AGC 코드에 대응하는 DAC 전류 제어 코드 셋을 기반으로 가변 DAC들(140-0 내지 140-n)의 출력 전류를 제어하여 DC 오프셋이 최소가 되도록 한다.
- [44] 또한, DC 오프셋 제거기(150)는 미리 설정된 DAC 전류 제어 코드 셋을 이용하여 동작하는 중에 주기적으로 ADC(160)의 출력단에서 측정되는 DC 오프셋을 측정하고, DC 오프셋이 미리 설정된 임계 범위를 벗어나는 경우, 베이스 전류 조절을 이용한 DC 오프셋 교정 절차를 수행할 수 있다. 예컨대, DC 오프셋 제거기(150)는 초기 DC 오프셋 교정 절차 이후에 주기적으로 DC 오프셋을 측정하여 측정된 DC 오프셋이 임계 범위를 벗어나는 경우, DAC 전류 제어 코드 셋을 변경하지 않고, DC 오프셋이 임계 범위에 해당하도록 각 DAC의 베이스 전류를 순차적으로 변경할 수 있다. 이는, 시간이 지남에 따라 시스템의 온도 등이 변경되어 각 가변 DAC의 전류량이 변경되고, 이로 인해 DC 오프셋이 변경될 수 있는 상황에 대비하기 위함이다.
- [45] ADC(160)는 가변 이득 증폭기 n(130-n)으로부터 증폭된 아날로그 신호를 디지털 신호로 변환하여 출력한다.
- [46] DC 오프셋 측정기(170)는 ADC(160)의 출력 신호를 측정하여 DC 오프셋 값을 측정한다. 예를 들어, DC 오프셋 측정기(170)는 ADC(160)의 두 출력 신호 경로를 통해 출력되는 전압 값을 측정하고, 측정된 두 전압 값의 차이 값을 DC 오프셋으로 결정할 수 있다. DC 오프셋 측정기(170)는 측정된 DC 오프셋을 DC 오프셋 제거기(150)로 제공한다. DC 오프셋 측정기(170)는 직접 변환 수신기(100)를 포함하는 시스템의 전원 온 시에, DC 오프셋 교정을 위해 DC 오프셋을 추정하고, 추정된 DC 오프셋 값을 DC 오프셋 제거기(150)로 제공하는 동작을 수행할 수 있다. 또한, DC 오프셋 측정기(170)는 주기적으로 DC 오프셋을 추정하여 DC 오프셋 제거기(150)로 제공할 수도 있다.
- [47] 본 발명의 다양한 실시 예에 있어서, 직접 변환 수신기의 DC(Direct Current) 오프셋 교정 장치는, 이득 제어 값을 기반으로 입력 신호를 증폭시키는 다수개의 가변 이득 증폭기와, 다수 개의 가변 증폭기의 출력 신호에 대한 DC 오프셋을 측정하는 DC 오프셋 측정기와, 전류 제어 코드에 따라 상기 다수개의 가변 이득 증폭기 각각에 인가되는 전류를 제어하는 다수개의 가변 디지털 아날로그 변환기(DAC: Digital to Analog Converter)와, 미리 설정된 이득 제어 값별로 상기 DC 오프셋 값이 최소가 되도록 하는 전류 제어 코드 셋을 결정하는 DC 오프셋 제거기를 포함하여 구성될 수 있다.
- [48] 본 발명의 다양한 실시 예에서 상기 가변 DAC는, 상기 전류 제어 코드에 따라

온/오프되는 다수 개의 스위치와, 상기 다수 개의 스위치 각각에 연결되어 2의 거듭제곱에 해당하는 전류를 발생시키는 다수개의 전류원과, 상기 다수개의 전류원에 베이스 전류를 제공하는 베이스 전류 제어 회로를 포함하여 구성될 수 있다.

- [49] 본 발명의 다양한 실시 예에서 상기 DC 오프셋 제거기는, 상기 직접 변환 수신기의 전원 온 시, 상기 미리 설정된 이득 제어 값 별로, 상기 다수 개의 가변 DAC 각각에 대한 전류 제어 코드를 변경하여 상기 DC 오프셋 값이 최소가 되도록 하는 각 DAC의 전류 제어 코드를 획득할 수 있다.
- [50] 본 발명의 다양한 실시 예에서 상기 DC 오프셋 제거기는, 특정 이득 제어 값으로 상기 다수 개의 가변 이득 증폭기의 이득을 설정한 상태에서, 상기 다수 개의 가변 DAC들 중 앞 단에 위치한 DAC부터 상기 DC 오프셋 값이 최소가 되도록 하는 전류 제어 코드를 탐색하며, 상기 다수 개의 가변 DAC 각각에 대해 탐색된 전류 제어 코드로 하나의 전류 제어 코드 셋을 구성하며, 상기 구성된 전류 제어 코드 셋을 상기 특정 이득 제어 값과 매핑하여 저장할 수 있다.
- [51] 본 발명의 다양한 실시 예에서 상기 DC 오프셋 제거기는, 상기 다수 개의 가변 DAC들 각각에 대한 전류 제어 코드 탐색 시, 상기 다수 개의 가변 DAC들 중에서 앞 단에 위치한 가변 DAC의 베이스 전류보다 뒷 단에 위치한 가변 DAC의 베이스 전류가 큰 값을 갖도록 제어할 수 있다.
- [52] 본 발명의 다양한 실시 예에서 상기 DC 오프셋 제거기는, 상기 다수 개의 가변 DAC들 각각에 대한 전류 제어 코드 탐색 시, 이전 탐색 기법을 이용하여 전류 제어 코드를 탐색할 수 있다.
- [53] 본 발명의 다양한 실시 예에서 상기 다수 개의 가변 증폭기로부터 출력되는 신호를 디지털 신호로 변환하는 아날로그 디지털 변환기(ADC: Analog to Digital Converter)를 더 포함하며, 상기 DC 오프셋 측정기는 상기 ADC의 출력 신호에 대한 DC 오프셋을 측정할 수 있다.
- [54] 본 발명의 다양한 실시 예에서 상기 DC 오프셋 제거기는, 신호 수신 모드 시, 이득 제어 값에 대응하는 상기 결정된 전류 제어 코드 셋을 이용하여 상기 가변 DAC의 출력 전류를 제어할 수 있다.
- [55] 본 발명의 다양한 실시 예에서 상기 DC 오프셋 제거기는, 상기 신호 수신 모드 시, 주기적으로 상기 DC 오프셋 측정기로부터 제공되는 DC 오프셋 값을 미리 설정된 임계 범위와 비교하고, 상기 DC 오프셋 값이 미리 설정된 임계 범위를 벗어날 시, 상기 다수개의 가변 DAC에서 이용되는 베이스 전류를 조절할 수 있다.
- [56] 본 발명의 다양한 실시 예에서 상기 DC 오프셋 제거기는, 상기 DC 오프셋 값이 미리 설정된 임계 범위를 벗어날 시, 상기 다수 개의 가변 DAC에서 이용 중인 전류 제어 코드 셋을 변경하지 않고 유지할 수 있다.
- [57] 도 5는 본 발명의 일 실시 예에 따른 직접 변환 수신기(100)에서 DC 오프셋 교정(calibration) 절차를 도시하고 있다. 도 5는 직접 변환 수신기(100)를

포함하는 시스템의 전원 온 시에 미리 설정된 모든 AGC 코드에 대한 DAC 전류 제어 코드 셋을 탐색 및 저장하는 초기 DC 오프셋 교정 절차에 대해 설명한다.

[58] 도 5를 참조하면, 직접 변환 수신기(100)는 501단계에서 시스템의 전원 온을 감지한다. 시스템 전원 온을 감지한 후 직접 변환 수신기(100)는 503단계에서 미리 설정된 i 번째 AGC(Automatic Gain Control) 코드를 기반으로 다수 개의 가변 이득 증폭기(130-0 내지 130- n)의 이득 값을 설정한다. AGC 코드는 다수 개의 가변 이득 증폭기(130-0 내지 130- n)의 이득 값을 조절하기 위한 코드를 의미하는 것으로, 설계자에 의해 미리 설정될 수 있다.

[59] 이후, 직접 변환 수신기(100)는 505단계에서 j 번째 가변 DAC의 출력 전류를 제어하여 DC 오프셋이 최소가 되는 DAC 전류 제어 코드를 결정한다. 예를 들어, 직접 변환 수신기(100)는 제 1 AGC 코드를 기반으로 다수 개의 가변 이득 증폭기(130-0 내지 130- n)의 이득이 설정된 상태에서, j 번째 가변 DAC 내에서 전류 제어 코드 변경을 통해 전류 제어 스위치들(144-0 내지 144- n) 각각의 온/오프를 제어하여 출력 전류를 변경시킬 수 있다. 직접 변환 수신기(100)는 j 번째 가변 DAC의 각 전류 제어 코드별로 ADC(160) 출력단의 DC 오프셋을 측정하여, DC 오프셋이 최소가 되도록 하는 전류 제어 코드를 결정할 수 있다. 직접 변환 수신기(100)는 이진 탐색 기법을 이용하여 DC 오프셋이 최소가 되도록 하는 전류 제어 코드를 탐색 및 결정할 수 있다. 또한, 직접 변환 수신기(100)는 j 번째 가변 DAC에 대한 DAC 전류 제어 코드를 탐색하는 동안에 다른 가변 DAC들에 의해 DC 오프셋이 변경되지 않도록 하기 위해, j 번째 가변 DAC를 제외한 나머지 가변 DAC들의 전류 제어 코드를 일정한 값으로 유지한다.

[60] 직접 변환 수신기(100)는 507단계에서 m 개의 DAC 각각에 대한 전류 제어 코드가 결정되었는지 검사한다. 여기서, m 은 직접 변환 수신기(100) 내에서 다수 개의 가변 이득 증폭기에 연결된 가변 DAC들의 총 개수를 의미한다. 즉, 직접 변환 수신기(100)는 i 번째 AGC 코드를 기반으로 다수 개의 가변 이득 증폭기(130-0 내지 130- n)의 이득이 설정된 상태에서, 모든 가변 DAC에 대한 전류 제어 코드가 결정되었는지 여부를 검사한다. 만일, 모든 가변 DAC에 대한 전류 제어 코드가 결정되지 않았을 시, 직접 변환 수신기(100)는 509단계에서 j 를 $j+1$ 로 갱신하고 베이스 전류를 증가시킨 후, 505단계로 진행한다. 즉, 직접 변환 수신기(100)는 모든 가변 DAC에 대한 전류 제어 코드가 결정되지 않았을 시, 다음 가변 DAC에 대한 DAC 전류 제어 코드를 탐색하기 위해 j 값을 갱신한다. 또한, 다음 가변 DAC의 베이스 전류의 크기가 앞 단의 가변 DAC의 베이스 전류의 크기보다 크도록 베이스 전류의 크기를 조절한다.

[61] 반면, 모든 가변 DAC에 대한 전류 제어 코드가 결정되었을 시, 직접 변환 수신기(100)는 511단계에서 m 개의 DAC 각각에 대해 결정된 DAC 전류 제어 코드 셋을 i 번째 AGC 코드에 매핑하여 저장한다. 즉, 직접 변환 수신기(100)는 i 번째 AGC 코드를 기반으로 다수 개의 가변 이득 증폭기(130-0 내지 130- n)의

이득이 설정된 상태에서 결정된 다수 개의 가변 DAC 각각에 대해 결정된 전류 제어 코드들을 포함하는 DAC 전류 제어 코드 셋을 i 번째 AGC 코드와 매핑하여 저장할 수 있다. 예를 들어, 도 3에 나타낸 바와 같이, Gain 0을 나타내는 i 번째 AGC 코드에, DAC 0의 전류 제어 코드, DAC 1의 전류 제어 코드, ... 및, DAC n 의 전류 제어 코드를 조합한 DAC 전류 제어 코드 셋을 매핑시켜 저장할 수 있다.

[62] 이후, 직접 변환 수신기(100)는 513단계에서 미리 설정된 모든 AGC 코드에 대한 DAC 전류 제어 코드 셋이 저장되었는지 여부를 검사한다. 만일, 미리 설정된 모든 AGC 코드에 대한 DAC 전류 제어 코드 셋이 저장되지 않은 경우, 515단계에서 직접 변환 수신기(100)는 i 를 $i+1$ 로 갱신하고, 503단계로 진행한다. 즉, 직접 변환 수신기(100)는 모든 AGC 코드에 대한 DAC 전류 제어 코드 셋이 획득되지 않았을 시, DAC 전류 제어 코드 셋이 획득되지 않은 AGC 코드에 대해, DAC 전류 제어 코드를 탐색하기 위해 i 값을 갱신한다.

[63] 반면, 미리 설정된 모든 AGC 코드에 대한 DAC 전류 제어 코드 셋이 저장되었을 시, 직접 변환 수신기(100)는 본 발명의 실시 예에 따른 DC 오프셋 교정 절차를 종료한다.

[64] 상술한 바와 같이, 본 발명의 일 실시 예에서는 시스템 전원 온 시 초기 DC 오프셋 교정 절차를 통해 모든 AGC 코드 각각에 대해 DC 오프셋을 최소화시키는 DAC 전류 제어 코드 셋을 미리 저장함으로써, 실제 신호 수신 시에 AGC 코드에 따라 미리 저장된 DAC 전류 제어 코드 셋으로 각 DAC의 출력 전류를 제어함으로써 DC 오프셋을 최소화시켜 직접 변환 수신기(100)의 성능 열화를 방지할 수 있다.

[65] 도 6은 본 발명의 다른 실시 예에 따른 직접 변환 수신기(100)에서 DC 오프셋 교정 절차를 도시하고 있다. 도 6은 직접 변환 수신기(100)를 포함하는 시스템에서 초기 DC 오프셋 교정 절차를 완료한 이후에 수행되는 주기적인 DC 오프셋 교정 절차에 대해 설명한다.

[66] 도 6을 참조하면, 직접 변환 수신기(100)는 601단계에서 ADC(160) 출력단의 DC 오프셋을 측정한다. 이후, 직접 변환 수신기(100)는 603단계에서 측정된 DC 오프셋이 미리 설정된 임계 범위를 벗어나는지 여부를 판단한다.

[67] 만일, 측정된 DC 오프셋이 미리 설정된 임계 범위를 벗어나지 않을 시, 직접 변환 수신기(100)는 607단계에서 DC 오프셋 교정이 필요하지 않음을 판단하고, 미리 설정된 주기에 따라 일정 시간을 대기한 후, 601단계로 되돌아 간다.

[68] 반면, 측정된 DC 오프셋이 미리 설정된 임계 범위를 벗어날 시, 직접 변환 수신기(100)는 605단계에서 DC 오프셋 교정이 필요함을 판단하고, 다수 개의 DAC(140-0 내지 140- n) 각각의 베이스 전류를 제어한다. 즉, 직접 변환 수신기(100)는 측정된 DC 오프셋이 임계 범위를 벗어나는 경우, 현재 각각의 DAC에 설정된 DAC 전류 제어 코드를 변경하지 않은 상태에서, ADC 출력단의 DC 오프셋이 임계 범위에 해당하도록 각 DAC의 베이스 전류를 순차적으로 조절할 수 있다. 이후, 직접 변환 수신기(100)는 601단계로 되돌아가 이하 단계를

재수행한다.

- [69] 본 발명의 다양한 실시 예에 있어서, 직접 변환 수신기의 DC(Direct Current) 오프셋 교정 방법은, 다수개의 가변 디지털 아날로그 변환기(DAC: Digital to Analog Converter)에서 전류 제어 코드를 제어하여 다수개의 가변 이득 증폭기 각각에 인가되는 전류를 제어하는 과정과, 상기 다수개의 가변 이득 증폭기에서 이득 제어 값을 기반으로 입력 신호를 증폭시키는 과정과, 다수 개의 가변 증폭기를 통해 증폭된 출력 신호에 대한 DC 오프셋을 측정하는 과정과, 상기 DC 오프셋 측정 결과를 기반으로 미리 설정된 이득 제어 값별로 상기 DC 오프셋 측정 값이 최소가 되도록 하는 전류 제어 코드 셋을 결정하는 과정을 포함할 수 있다.
- [70] 본 발명의 다양한 실시 예에서, 상기 다수개의 가변 DAC에서 전류 제어 코드를 제어하여 다수개의 가변 이득 증폭기 각각에 인가되는 전류를 제어하는 과정은, 상기 전류 제어 코드에 따라 다수 개의 스위치의 온/오프를 제어하는 과정과, 상기 다수 개의 스위치 각각에 연결된 다수개의 전류원을 통해 베이스 전류의 2의 거듭제곱에 해당하는 전류를 발생시키는 과정을 포함할 수 있다.
- [71] 본 발명의 다양한 실시 예에서, 상기 미리 설정된 이득 제어 값 별로 상기 DC 오프셋 측정 값이 최소가 되도록 하는 전류 제어 코드 셋을 결정하는 과정은, 미리 설정된 이득 제어 값 별로, 상기 다수 개의 가변 DAC 각각에 대한 전류 제어 코드를 변경하여 상기 DC 오프셋 값이 최소가 되도록 하는 각 DAC의 전류 제어 코드를 획득하는 과정을 포함할 수 있다.
- [72] 본 발명의 다양한 실시 예에서, 상기 각 DAC의 전류 제어 코드를 획득하는 과정은, 특정 이득 제어 값으로 상기 다수 개의 가변 이득 증폭기의 이득을 설정한 상태에서, 상기 다수 개의 가변 DAC들 중 앞 단에 위치한 DAC부터 상기 DC 오프셋 값이 최소가 되도록 하는 전류 제어 코드를 탐색하는 과정과, 상기 다수 개의 가변 DAC 각각에 대해 탐색된 전류 제어 코드로 하나의 전류 제어 코드 셋을 구성하는 과정과, 상기 구성된 전류 제어 코드 셋을 상기 특정 이득 제어 값과 매핑하여 저장하는 과정을 포함할 수 있다.
- [73] 본 발명의 다양한 실시 예에서, 상기 DC 오프셋 교정 방법은 상기 전류 제어 코드 탐색 시, 상기 다수 개의 가변 DAC들 중에서 앞 단에 위치한 가변 DAC의 베이스 전류보다 뒤 단에 위치한 가변 DAC의 베이스 전류가 큰 값을 갖도록 제어할 수 있다.
- [74] 본 발명의 다양한 실시 예에서, 상기 DC 오프셋 교정 방법은 상기 전류 제어 코드 탐색 시, 이진 탐색 기법을 이용하여 전류 제어 코드를 탐색할 수 있다.
- [75] 본 발명의 다양한 실시 예에서, 상기 다수 개의 가변 증폭기를 통해 증폭된 출력 신호에 대한 DC 오프셋을 측정하는 과정은, 상기 다수 개의 가변 증폭기로부터 출력되는 신호를 디지털 신호로 변환하는 과정과, 상기 디지털 신호로 변환된 신호에 대한 DC 오프셋을 측정하는 과정을 포함할 수 있다.
- [76] 본 발명의 다양한 실시 예에서, 상기 DC 오프셋 교정 방법은 상기 전류 제어

코드 셋이 결정된 후, 신호 수신 모드로 동작하는 과정과, 상기 신호 수신 모드 동작 시, 이득 제어 값에 대응하는 전류 제어 코드 셋을 이용하여 상기 가변 DAC의 출력 전류를 제어하는 과정을 더 포함할 수 있다.

- [77] 본 발명의 다양한 실시 예에서, 상기 DC 오프셋 교정 방법은 상기 신호 수신 모드 시, 주기적으로 상기 다수 개의 가변 증폭기를 통해 증폭된 출력 신호에 대한 DC 오프셋을 측정하는 과정과, 상기 주기적으로 측정된 DC 오프셋 값을 미리 설정된 임계 범위와 비교하는 과정과, 상기 DC 오프셋 값이 미리 설정된 임계 범위를 벗어날 시, 상기 다수개의 가변 DAC에서 이용되는 베이스 전류를 조절하는 과정을 더 포함할 수 있다.
- [78] 본 발명의 다양한 실시 예에서, 상기 DC 오프셋 교정 방법은 상기 DC 오프셋 값이 미리 설정된 임계 범위를 벗어날 시, 상기 다수 개의 가변 DAC에서 이용 중인 전류 제어 코드 셋을 변경하지 않고 유지하는 과정을 더 포함할 수 있다.
- [79] 이상과 같이 본 발명은 비록 한정된 실시 예와 도면에 의해 설명되었으나 본 발명은 상술한 실시 예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상의 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다.
- [80] 본 발명의 실시 예에 따른 동작들은 단일의 제어부에 의해 그 동작이 구현될 수 있을 것이다. 이러한 경우 다양한 컴퓨터로 구현되는 동작을 수행하기 위한 프로그램 명령이 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 프로그램 명령은 본 발명을 위하여 특별히 설계되고 구성된 것들이거나 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체, CD-ROM이나 DVD와 같은 광기록 매체, 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다. 본 발명에서 설명된 기지국 또는 릴레이의 전부 또는 일부가 컴퓨터 프로그램으로 구현된 경우 상기 컴퓨터 프로그램을 저장한 컴퓨터 판독 가능 기록 매체도 본 발명에 포함된다. 그러므로 본 발명의 범위는 설명된 실시예에 국한되어 정해져서는 아니되며, 후술하는 특허청구범위뿐만 아니라 이 특허청구범위와 균등한 것들에 의해 정해져야 할 것이다.

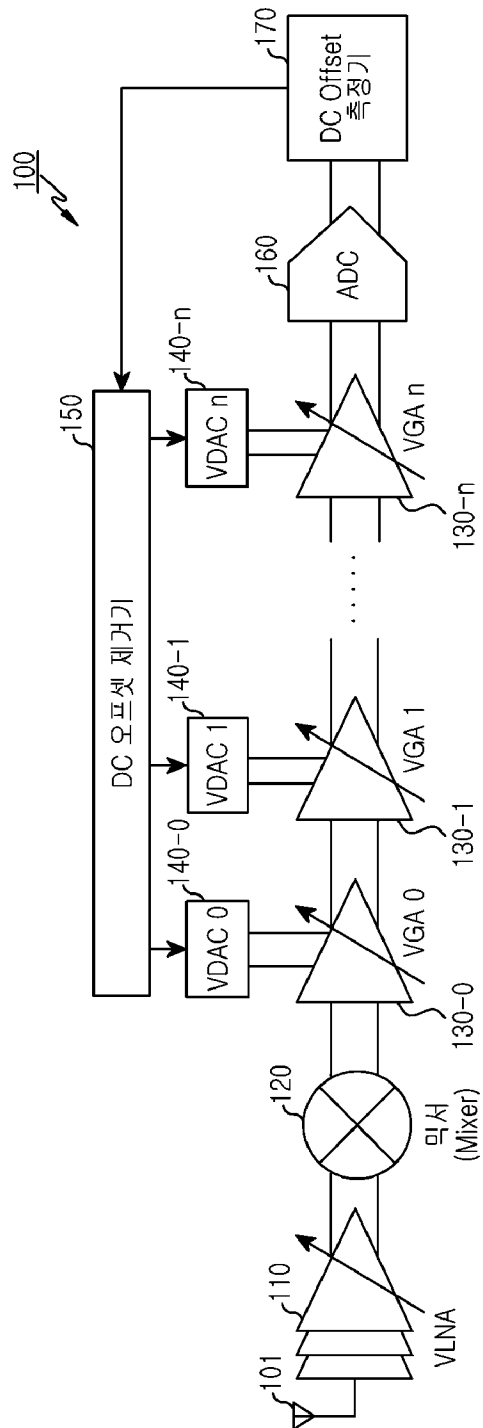
청구범위

- [청구항 1] 직접 변환 수신기의 DC(Direct Current) 오프셋 교정 장치에 있어서,
이득 제어 값을 기반으로 입력 신호를 증폭시키는 다수개의 가변 이득 증폭기와,
상기 다수 개의 가변 증폭기의 출력 신호에 대한 DC 오프셋을 측정하는 DC 오프셋 측정기와,
전류 제어 코드에 따라 상기 다수개의 가변 이득 증폭기 각각에 인가되는 전류를 제어하는 다수개의 가변 디지털 아날로그 변환기(DAC: Digital to Analog Converter)와,
미리 설정된 이득 제어 값별로 상기 DC 오프셋 값이 최소가 되도록 하는 전류 제어 코드 셋을 결정하는 DC 오프셋 제거기를 포함하는 장치.
- [청구항 2] 제 1항에 있어서,
상기 가변 DAC는,
상기 전류 제어 코드에 따라 온/오프되는 다수 개의 스위치와,
상기 다수 개의 스위치 각각에 연결되어 2의 거듭제곱에 해당하는 전류를 발생시키는 다수개의 전류원과,
상기 다수개의 전류원에 베이스 전류를 제공하는 베이스 전류 제어 회로를 포함하는 장치.
- [청구항 3] 제 1항에 있어서,
상기 DC 오프셋 제거기는, 상기 직접 변환 수신기의 전원 온 시,
상기 미리 설정된 이득 제어 값 별로, 상기 다수 개의 가변 DAC 각각에 대한 전류 제어 코드를 변경하여 상기 DC 오프셋 값이 최소가 되도록 하는 각 DAC의 전류 제어 코드를 획득하는 장치.
- [청구항 4] 제 3항에 있어서,
상기 DC 오프셋 제거기는, 특정 이득 제어 값으로 상기 다수 개의 가변 이득 증폭기의 이득을 설정한 상태에서, 상기 다수 개의 가변 DAC들 중 앞 단에 위치한 DAC부터 상기 DC 오프셋 값이 최소가 되도록 하는 전류 제어 코드를 탐색하며,
상기 다수 개의 가변 DAC 각각에 대해 탐색된 전류 제어 코드들로 하나의 전류 제어 코드 셋을 구성하며, 상기 구성된 전류 제어 코드 셋을 상기 특정 이득 제어 값과 매핑하여 저장하는 장치.
- [청구항 5] 제 3항에 있어서,
상기 DC 오프셋 제거기는, 상기 다수 개의 가변 DAC들 각각에 대한 전류 제어 코드 탐색 시, 상기 다수 개의 가변 DAC 들 중에서 앞 단에 위치한 가변 DAC의 베이스 전류보다 뒷 단에 위치한 가변

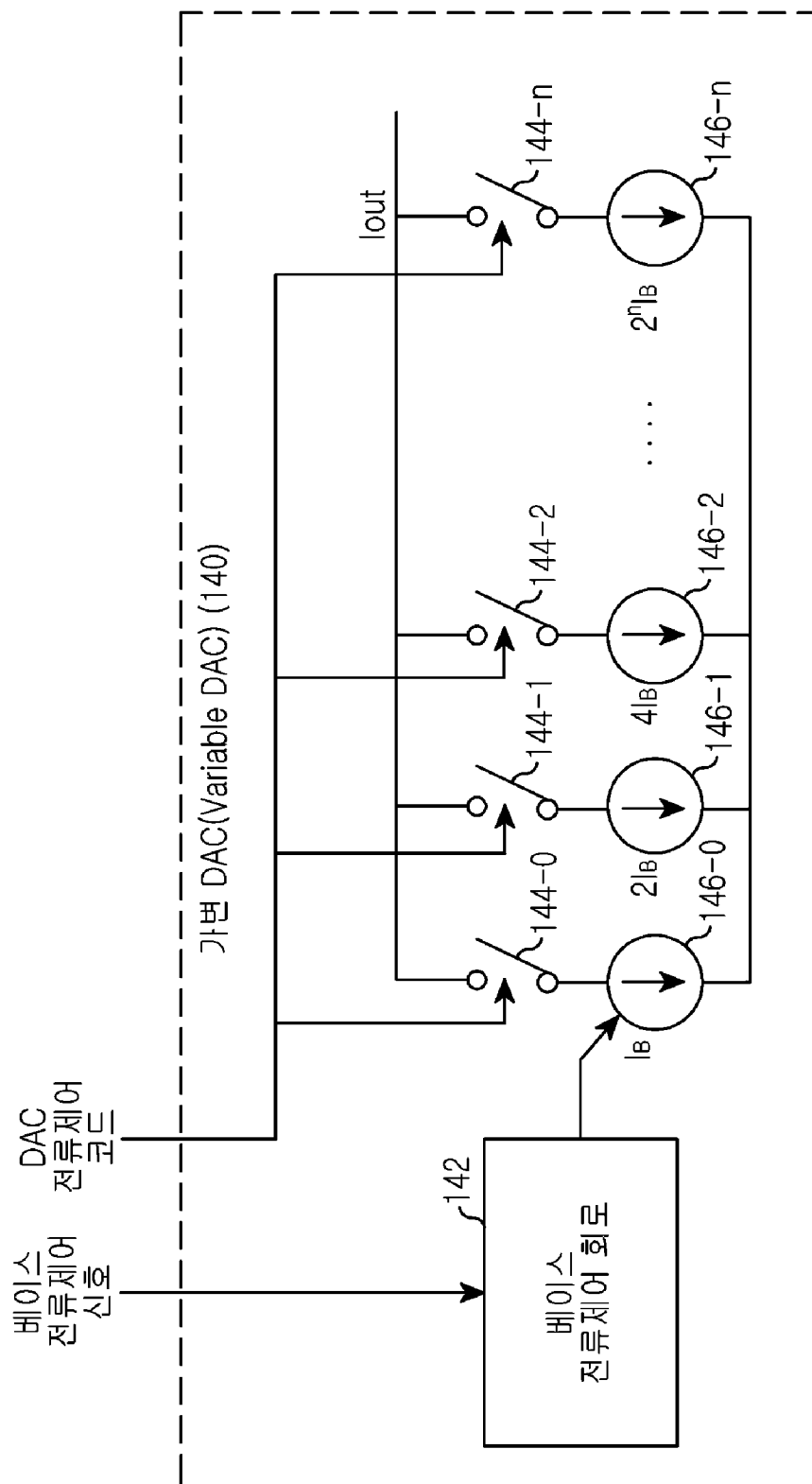
- DAC의 베이스 전류가 큰 값을 갖도록 제어하는 장치.
- [청구항 6] 제 1항에 있어서,
상기 다수 개의 가변 증폭기로부터 출력되는 신호를 디지털 신호로 변환하는 아날로그 디지털 변환기(ADC: Analog to Digital Converter)를 더 포함하며,
상기 DC 오프셋 측정기는 상기 ADC의 출력 신호에 대한 DC 오프셋을 측정하는 장치.
- [청구항 7] 제 1항에 있어서,
상기 DC 오프셋 제거기는, 신호 수신 모드 시, 이득 제어 값에 대응하는 상기 결정된 전류 제어 코드 셋을 이용하여 상기 가변 DAC의 출력 전류를 제어하는 장치.
- [청구항 8] 제 7항에 있어서,
상기 DC 오프셋 제거기는, 상기 신호 수신 모드 시, 주기적으로 상기 DC 오프셋 측정기로부터 제공되는 DC 오프셋 값을 미리 설정된 임계 범위와 비교하고, 상기 DC 오프셋 값이 미리 설정된 임계 범위를 벗어날 시, 상기 다수개의 가변 DAC에서 이용되는 베이스 전류를 조절하고, 상기 다수 개의 가변 DAC에서 이용 중인 전류 제어 코드 셋을 변경하지 않고 유지하는 장치.
- [청구항 9] 직접 변환 수신기의 DC(Direct Current) 오프셋 교정 방법에 있어서,
다수개의 가변 디지털 아날로그 변환기(DAC: Digital to Analog Converter)에서 전류 제어 코드를 제어하여 다수개의 가변 이득 증폭기 각각에 인가되는 전류를 제어하는 과정과,
상기 다수개의 가변 이득 증폭기에서 이득 제어 값을 기반으로 입력 신호를 증폭시키는 과정과,
상기 다수 개의 가변 증폭기를 통해 증폭된 출력 신호에 대한 DC 오프셋을 측정하는 과정과,
상기 DC 오프셋 측정 결과를 기반으로 미리 설정된 이득 제어 값별로 상기 DC 오프셋 측정 값이 최소가 되도록 하는 전류 제어 코드 셋을 결정하는 과정을 포함하는 방법.
- [청구항 10] 제 9항에 있어서,
상기 다수개의 가변 DAC에서 전류 제어 코드를 제어하여 다수개의 가변 이득 증폭기 각각에 인가되는 전류를 제어하는 과정은,
상기 전류 제어 코드에 따라 다수 개의 스위치의 온/오프를 제어하는 과정과,
상기 다수 개의 스위치 각각에 연결된 다수개의 전류원을 통해 베이스 전류의 2의 거듭제곱에 해당하는 전류를 발생시키는

- 과정을 포함하는 방법.
- [청구항 11] 제 9항에 있어서,
 상기 미리 설정된 이득 제어 값 별로 상기 DC 오프셋 측정 값이 최소가 되도록 하는 전류 제어 코드 셋을 결정하는 과정은,
 미리 설정된 이득 제어 값 별로, 상기 다수 개의 가변 DAC 각각에 대한 전류 제어 코드를 변경하여 상기 DC 오프셋 값이 최소가 되도록 하는 각 DAC의 전류 제어 코드를 획득하는 과정을 포함하는 방법.
- [청구항 12] 제 11항에 있어서,
 상기 각 DAC의 전류 제어 코드를 획득하는 과정은,
 특정 이득 제어 값으로 상기 다수 개의 가변 이득 증폭기의 이득을 설정한 상태에서, 상기 다수 개의 가변 DAC들 중 앞 단에 위치한 DAC부터 상기 DC 오프셋 값이 최소가 되도록 하는 전류 제어 코드를 탐색하는 과정과,
 상기 다수 개의 가변 DAC 각각에 대해 탐색된 전류 제어 코드로 하나의 전류 제어 코드 셋을 구성하는 과정과,
 상기 구성된 전류 제어 코드 셋을 상기 특정 이득 제어 값과 매핑하여 저장하는 과정을 포함하는 방법.
- [청구항 13] 제 11항에 있어서,
 상기 전류 제어 코드 탐색 시, 상기 다수 개의 가변 DAC 들 중에서 앞 단에 위치한 가변 DAC의 베이스 전류보다 뒷 단에 위치한 가변 DAC의 베이스 전류가 큰 값을 갖도록 제어하는 방법.
- [청구항 14] 제 9항에 있어서,
 상기 다수 개의 가변 증폭기를 통해 증폭된 출력 신호에 대한 DC 오프셋을 측정하는 과정은,
 상기 다수 개의 가변 증폭기로부터 출력되는 신호를 디지털 신호로 변환하는 과정과,
 상기 디지털 신호로 변환된 신호에 대한 DC 오프셋을 측정하는 과정을 포함하는 방법.
- [청구항 15] 제 14항에 있어서,
 상기 신호 수신 모드 시, 주기적으로 상기 다수 개의 가변 증폭기를 통해 증폭된 출력 신호에 대한 DC 오프셋을 측정하는 과정과,
 상기 주기적으로 측정된 DC 오프셋 값을 미리 설정된 임계 범위와 비교하는 과정과,
 상기 DC 오프셋 값이 미리 설정된 임계 범위를 벗어날 시, 상기 다수개의 가변 DAC에서 이용되는 베이스 전류를 조절하고, 상기 다수 개의 가변 DAC에서 이용 중인 전류 제어 코드 셋을 변경하지 않고 유지하는 과정을 더 포함하는 방법.

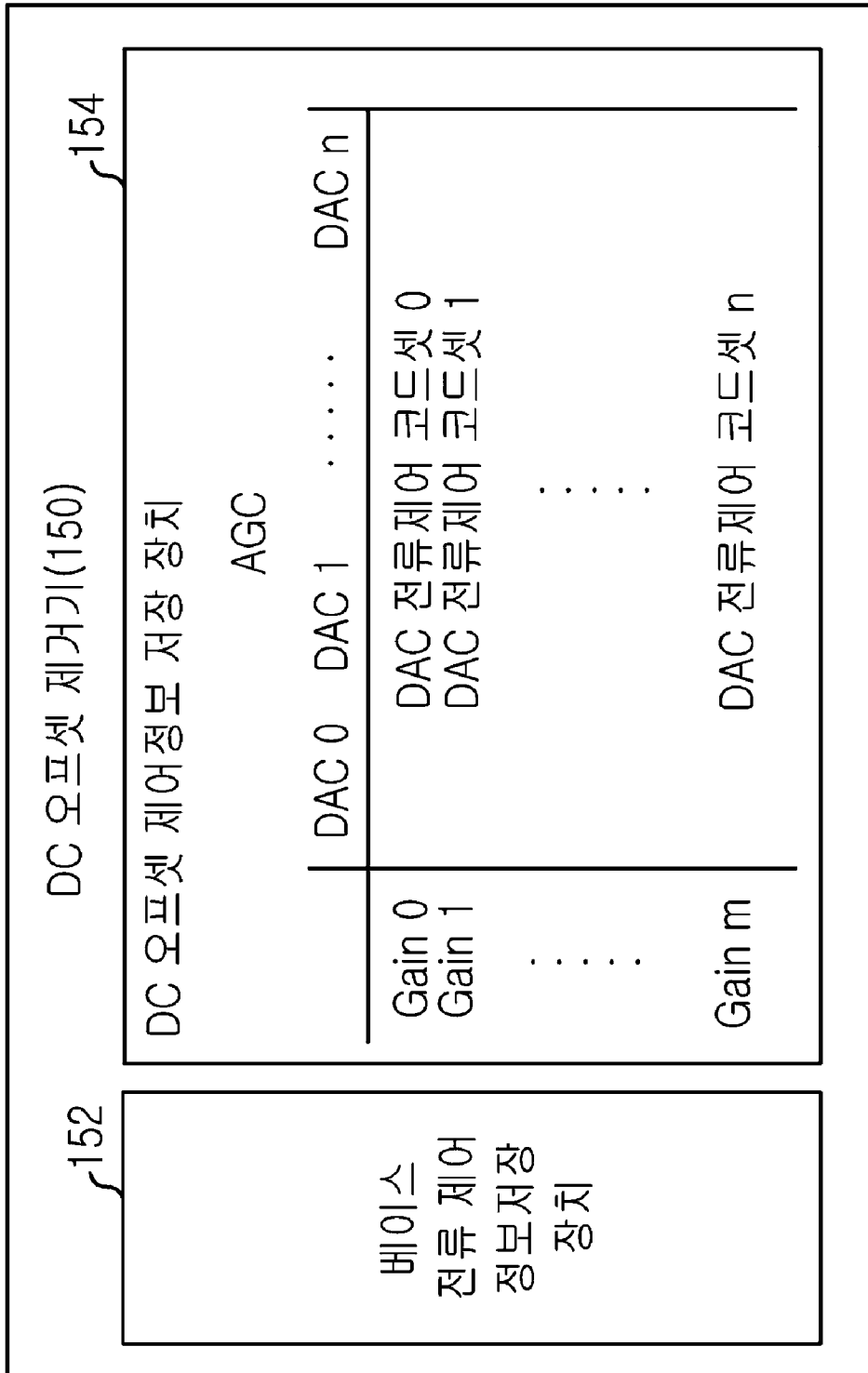
[Fig. 1]



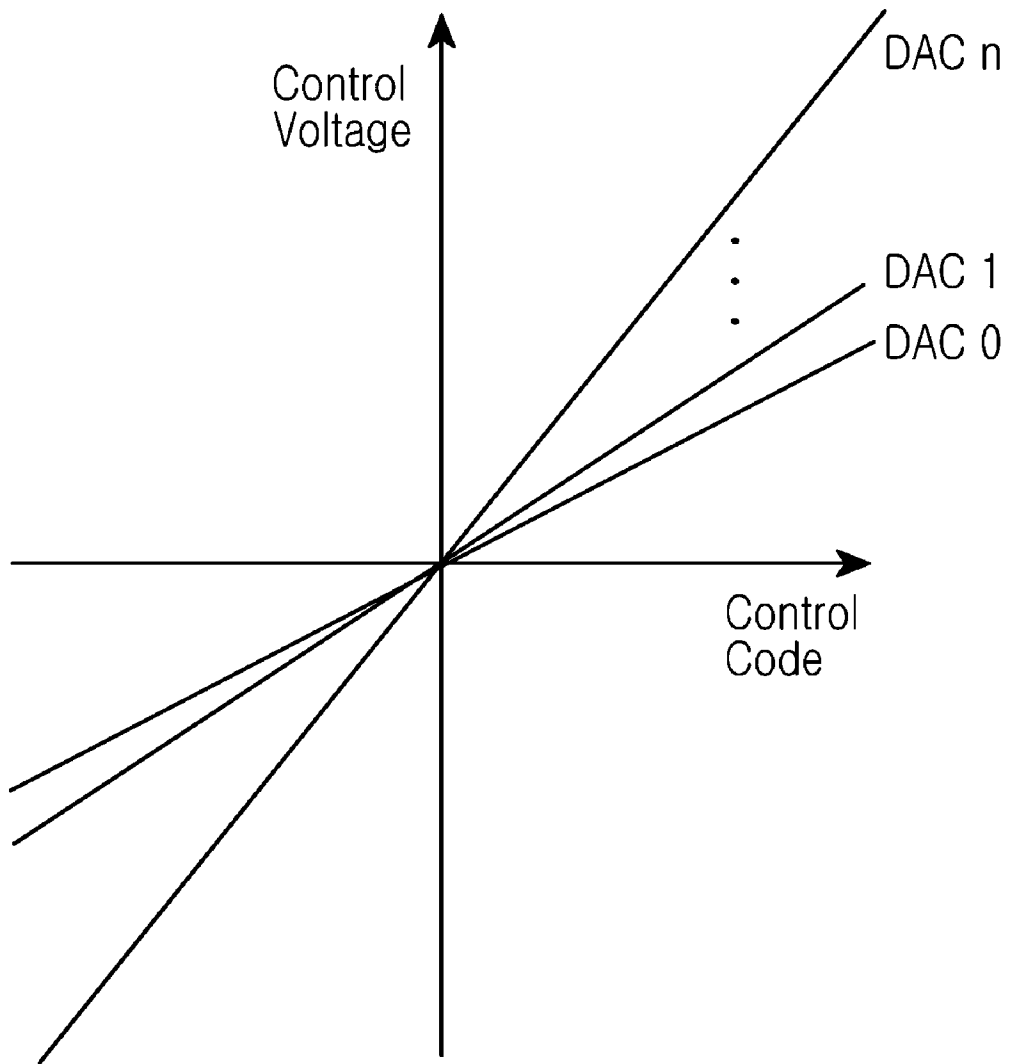
[Fig. 2]



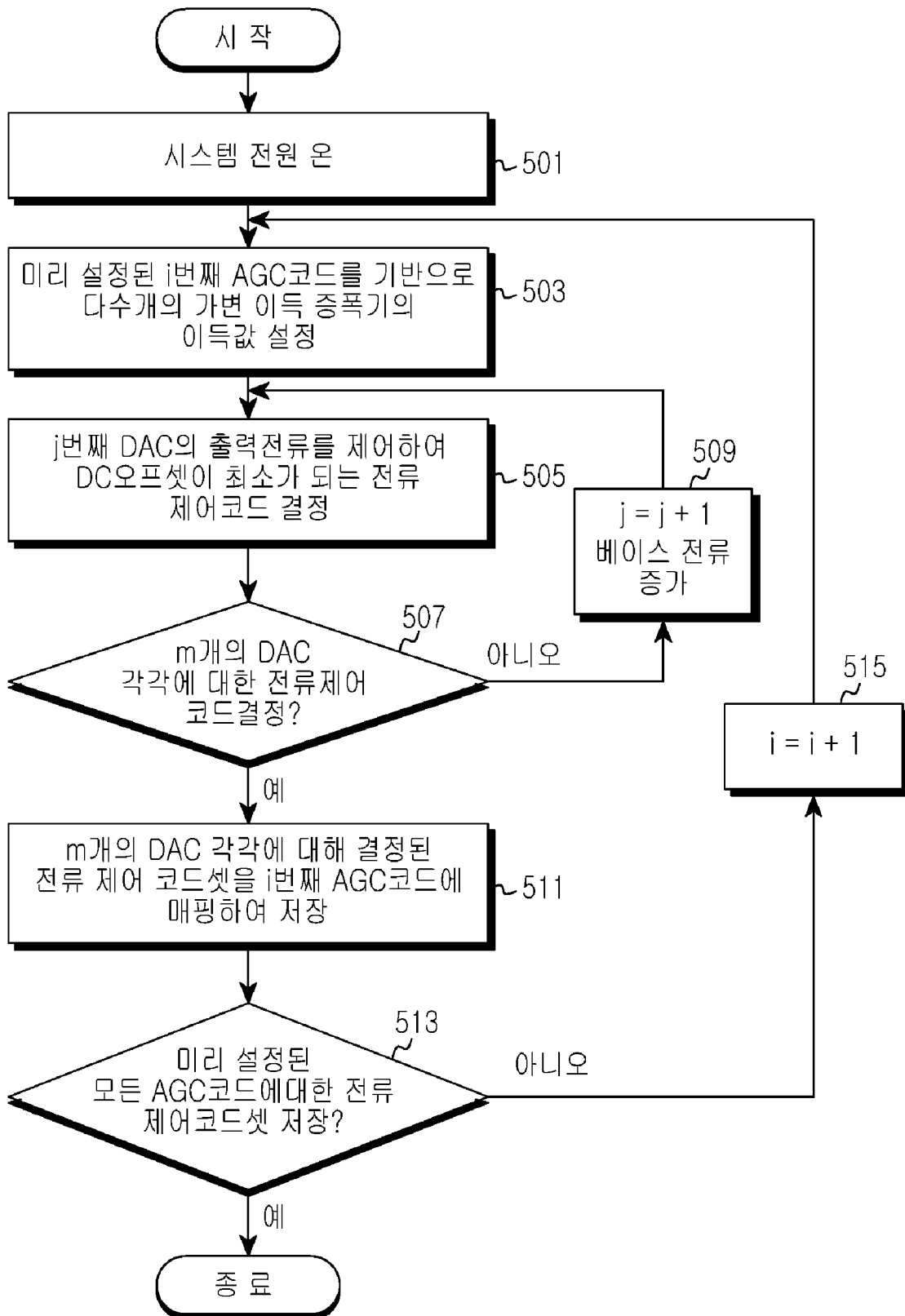
[Fig. 3]



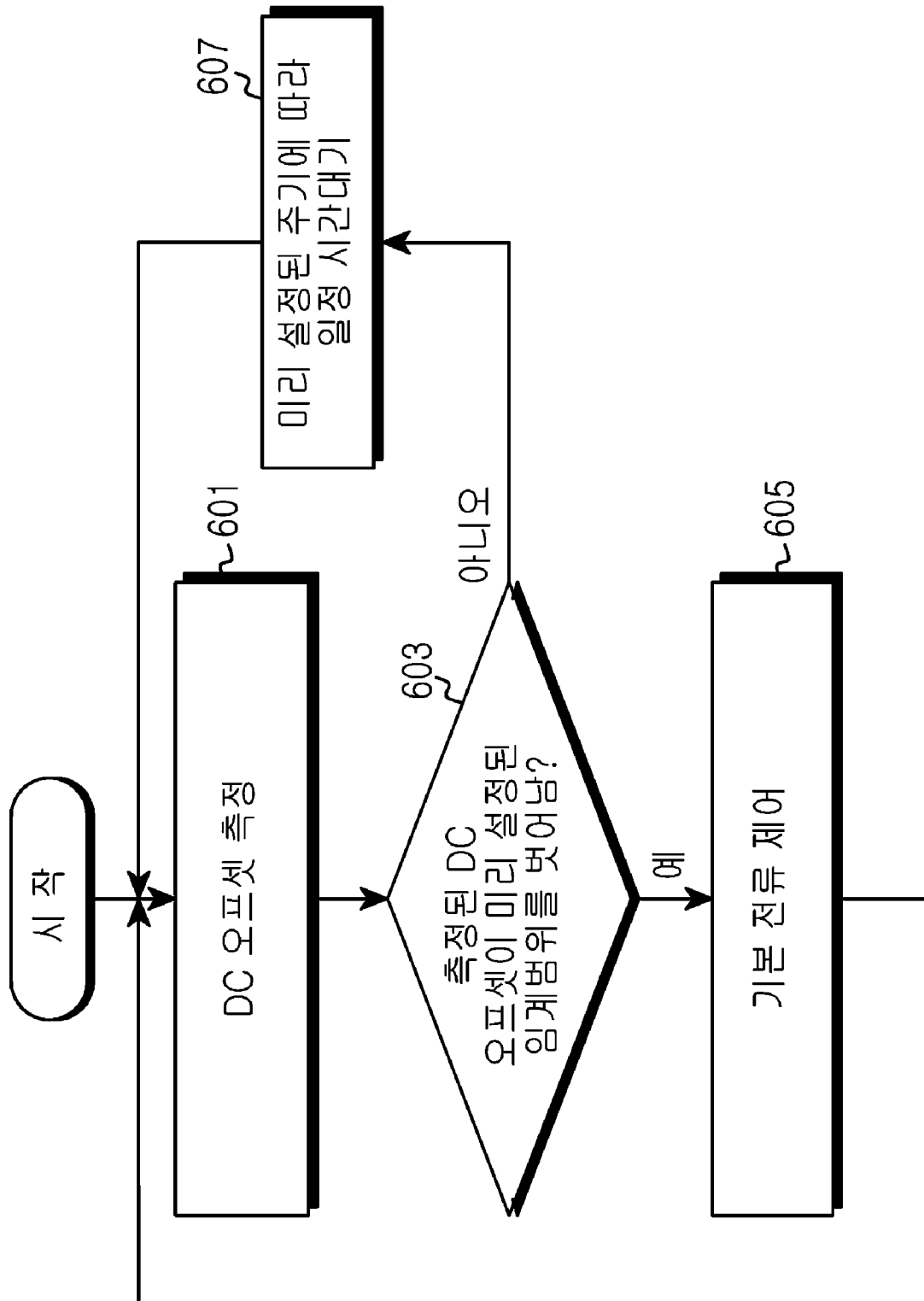
[Fig. 4]



[Fig. 5]



[Fig. 6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2015/000023**A. CLASSIFICATION OF SUBJECT MATTER*****H04L 25/03(2006.01)i***

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04L 25/03; H03G 3/00; H03G 3/10; H04B 1/16; H03F 1/02; H03F 3/45; H04B 1/26

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: variable gain amplifier, DC offset, fixing

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2002-0197975 A1 (CHEN, Jesse E.) 26 December 2002 See paragraphs [0022]-[0030] and figures 1-2.	1-2,6-10,14-15
Y		3-5,11-13
Y	KR 10-2002-0021075 A (NEC CORPORATION) 18 March 2002 See abstract, claim 9 and figure 1.	3-5,11-13
A	KR 10-2012-0140550 A (SAMSUNG ELECTRONICS CO., LTD. et al.) 31 December 2012 See paragraphs [0031]-[0037], claim 1 and figure 1.	1-15
A	US 7622987 B1 (ZORTEA, Anthony Eugene) 24 November 2009 See abstract, column 4, lines 18-23, column 5, line 22 - column 6, line 17 and figures 5, 7.	1-15
A	US 7132861 B1 (FU, Wei et al.) 07 November 2006 See abstract, claim 1 and figures 1-2.	1-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

25 MARCH 2015 (25.03.2015)

Date of mailing of the international search report

26 MARCH 2015 (26.03.2015)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2015/000023

Patent document cited in search report	Publication date	Patent family member	Publication date
US 2002-0197975 A1	26/12/2002	US 6941121 B2	06/09/2005
KR 10-2002-0021075 A	18/03/2002	CN 1344062 A	10/04/2002
		EP 1191686 A2	27/03/2002
		EP 1191686 A3	01/09/2004
		EP 1191686 B1	14/05/2014
		EP 2071720 A1	17/06/2009
		JP 2002-094344 A	29/03/2002
		JP 3479835 B2	15/12/2003
		US 2002-0047744 A1	25/04/2002
		US 6480063 B2	12/11/2002
KR 10-2012-0140550 A	31/12/2012	US 2012-0326787 A1	27/12/2012
US 7622987 B1	24/11/2009	NONE	
US 7132861 B1	07/11/2006	US 6897700 B1	24/05/2005

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H04L 25/03(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H04L 25/03; H03G 3/00; H03G 3/10; H04B 1/16; H03F 1/02; H03F 3/45; H04B 1/26

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 가변 이득 증폭기, DC 오프셋, 교정

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	US 2002-0197975 A1 (JESSE E. CHEN) 2002.12.26 단락 [0022]-[0030] 및 도면 1-2 참조.	1-2, 6-10, 14-15
Y		3-5, 11-13
Y	KR 10-2002-0021075 A (닛뽕덴끼 가부시끼가이샤) 2002.03.18 요약, 청구항 9 및 도면 1 참조.	3-5, 11-13
A	KR 10-2012-0140550 A (삼성전자주식회사 외 1명) 2012.12.31 단락 [0031]-[0037], 청구항 1 및 도면 1 참조.	1-15
A	US 7622987 B1 (ANTHONY EUGENE ZORTEA) 2009.11.24 요약, 칼럼 4, 라인 18-23, 칼럼 5, 라인 22 - 칼럼 6, 라인 17 및 도면 5, 7 참조.	1-15
A	US 7132861 B1 (WEI FU 외 1명) 2006.11.07 요약, 청구항 1 및 도면 1-2 참조.	1-15

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2015년 03월 25일 (25.03.2015)

국제조사보고서 발송일

2015년 03월 26일 (26.03.2015)

ISA/KR의 명칭 및 우편주소



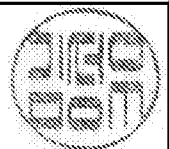
대한민국 특허청
(302-701) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 ++82 42 472 7140

심사관

김성우

전화번호 +82-42-481-3348



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
US 2002-0197975 A1	2002/12/26	US 6941121 B2	2005/09/06
KR 10-2002-0021075 A	2002/03/18	CN 1344062 A	2002/04/10
		EP 1191686 A2	2002/03/27
		EP 1191686 A3	2004/09/01
		EP 1191686 B1	2014/05/14
		EP 2071720 A1	2009/06/17
		JP 2002-094344 A	2002/03/29
		JP 3479835 B2	2003/12/15
		US 2002-0047744 A1	2002/04/25
		US 6480063 B2	2002/11/12
KR 10-2012-0140550 A	2012/12/31	US 2012-0326787 A1	2012/12/27
US 7622987 B1	2009/11/24	없음	
US 7132861 B1	2006/11/07	US 6897700 B1	2005/05/24