



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

197 767

(11) (B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 02 01 78
(21) PV 1-78

(51) Int. Cl.³G 06 F 7/22

(40) Zveřejněno 31 08 79
(45) Vydáno 01 5 82

(75)
Autor vynálezu JANŮ KAREL, ing., CSc., PRAHA

(54) Zapojení řídicí jednotky kazetové páskové paměti

1

Vynález se týká zapojení řídicí jednotky kazetové páskové paměti.

Kazetové páskové paměti umožňují záznam série bitů na magnetofonovou pásku a jejich opětné čtení. Aby bylo možno využívat kazetovou páskovou paměť jako vnější paměť, je nutno doplnit kazetovou páskovou paměť řídicí jednotkou. Řídicí jednotka umožní realizovat různé funkce na příkazy vnějšího zařízení nebo na příkazy ze zadávacího panelu. Vnější zařízení může být testovací zařízení, zkušební zařízení nebo počítač. Funkce, které řídicí jednotka zajišťuje, jsou například organizace a zabezpečení dat při zápisu a čtení, posun pásky, vyhledávání různých souborů a podobně. Řídicí jednotka musí zajišťovat komunikaci mezi vnějším zařízením a kazetovou páskovou pamětí po vícebitových paralelních kanálech. Kanály jsou datové, řídicí, stavové apod. Řídicí jednotka musí být také schopna zjišťovat stavy páskové paměti a informovat o nich vnější zařízení.

V současné době jsou takovéto funkce realizovány vesměs různě zapojenými sekvencními obvody, které zajišťují vytvoření potřebných sekvencí pulsů pro realizaci jednotlivých funkcí. Tento způsob má řadu nevýhod. Je relativně objemný a nepřehledný. Obtížně lze kontrolovat jednotlivé kroky činnosti, protože některé pulsy jsou bezprostředně odvozeny od předcházejících. Při potřebě jakékoli změny nebo doplnění některé funkce je nutno často měnit i velké části celé řídicí jednotky.

Tyto nedostatky odstraňuje zapojení řídicí jednotky kazetové páskové paměti, které sestává z mikroprocesorového bloku, ovládacího panelu, synchronizovaného generátoru, fázového dekodéru, kontrolního registru, fázového kodéru, zabezpečovacího registru, zjišťovacího bloku a přizpůsobovacího bloku, podle vynálezu, jehož podstata spočívá v tom, že skupinový datový vstup zapojení je spojen se skupinovým přípojevacím datovým vstupem přizpůsobovacího bloku. Skupinový datový výstup přizpůsobovacího bloku je spojen se skupinovým datovým vstupem mikroprocesorového bloku. Skupinový datový výstup mikroprocesorového bloku je spojen se skupinovým datovým vstupem přizpůsobovacího bloku. Skupinový přípojevací datový výstup přizpůsobovacího bloku je spojen se skupinovým datovým výstupem zapojení. Skupinový řídicí vstup zapojení je spojen se skupinovým řídicím vstupem přizpůsobovacího bloku. Skupinový řídicí výstup přizpůsobovacího bloku je spojen s prvním skupinovým řídicím vstupem mikroprocesorového bloku. Skupinový stavový výstup mikroprocesorového bloku je spojen se skupinovým stavovým vstupem přizpůsobovacího bloku. Skupinový přípojevací stavový výstup přizpůsobovacího bloku je spojen se skupinovým stavovým vstupem zapojení. Skupinový informační vstup zapojení je spojen se skupinovým informačním vstupem mikroprocesorového bloku. Skupinový ovládací výstup mikroprocesorového bloku je spojen se skupinovým ovládacím vstupem zapojení. Pulsní vstup zapojení je spojen s pulsním vstupem zjišťovacího bloku. Nulovací řídicí vstup zjišťovacího bloku je spojen s nulovacím výstupem mikroprocesorového bloku. Skupinový kódový výstup zjišťovacího bloku je spojen se skupinovým pozicovým vstupem mikroprocesorového bloku. Přepínací výstup mikroprocesorového bloku je spojen s hradlovacím vstupem zabezpečovacího registru a s blokovacím vstupem fázového kodéru. První kódovací vstup fázového kodéru je spojen se zapisovacím datovým výstupem mikroprocesorového bloku a se zapisovacím seriovým vstupem zabezpečovacího registru. Zabezpečovací seriový výstup zabezpečovacího registru je spojen se druhým kódovacím vstupem fázového kodéru. Záznamový kódový výstup fázového kodéru je spojen se záznamovým výstupem zapojení. Datový kódový vstup zapojení je spojen s dekodovacím vstupem fázového dekodéru a se synchronizačním vstupem synchronizačního generátoru. Zápisový hodinový výstup synchronizačního generátoru je spojen se zápisovým hodinovým vstupem fázového kodéru. Čtecí hodinový výstup synchronizačního generátoru je spojen se čtecím hodinovým vstupem fázového dekodéru. Čtecí výstup fázového dekodéru je spojen se čtecím datovým vstupem mikroprocesorového bloku a se čtecím seriovým vstupem kontrolního registru. Chybový výstup kontrolního registru je spojen s kontrolním vstupem mikroprocesorového bloku. Čtecí informační vstup mikroprocesorového bloku je spojen s informačním datovým výstupem synchronizovaného generátoru. Synchronizační výstup synchronizovaného generátoru je spojen s přerušovacím vstupem mikroprocesorového bloku.

Výhodou zapojení je jeho obvodová jednoduchost a malá objemnost. Jednoduše se ožívuje i kontroluje. Snadno lze měnit stávající soubor funkcí i doplňovat další funkce. Výsledné obvodové řešení je velmi levné a jednoduše výrobitelné.

Příklad zapojení podle vynálezu je v blokovém schématu znázorněn na výkresu.

Jednotlivé bloky zapojení je možno charakterizovat takto:

Mikroprocesorový blok 1 sestává z mikroprocesorů s pomocnými obvody, datové paměti, paměti instrukcí a vstupních a výstupních obvodů. Slouží k vlastnímu řízení operací v řídicí jednotce.

Ovládací panel 2 je vytvořen z tlačítek a z optických signalizačních prvků. Slouží k ruční volbě jednotlivých funkcí a ke kontrole stavu řídicí jednotky.

Synchronizovaný generátor 3 je tvořen hodinovým oscilátorem, děliči a čítači s předvolbou. Slouží k vytvoření hodinové frekvence pro zápis a modifikované hodinové frekvence pro čtení dat.

Fázový dekodér 4 je tvořen čítačem se součinnými logickými obvody pro vytvoření čtecího intervalu a paměťovým klopným obvodem. Slouží k dekodování fázově modulovaného signálu přečteného z pásky na signál s logickými úrovněmi log. "0" a log. "1".

Kontrolní registr 5 je vytvořen sériovým posuvným registrem s logickými vazbami, vyhodnocovacím obvodem obsahu registru a paměťovým klopným obvodem údaje chyby. Slouží k průběžné kontrole sériově přijímaných dat na nulový zbytek cyklického zabezpečovacího kódu.

Fázový kodér 6 je tvořen dvěma stupni posuvného registru a součinnými logickými obvody. Slouží k vytvoření fázově kódovaného signálu pro zápis na pásku ze sériového signálu s logickými úrovněmi log. "0" a log. "1".

Zabezpečovací registr 7 je tvořen sériovým posuvným registrem s logickými vazbami. Slouží k průběžné tvorbě cyklického zabezpečovacího zbytku, který se po skončení zápisu dat zapíše na pásku jako zabezpečovací kód.

Zjišťovací blok 8 je tvořen reversibilním čítačem. Slouží k vytvoření kódové kombinace vyjadřující pozici pásky vůči záznamové čtecí hlavě.

Přizpůsobovací blok 9 je tvořen proudovými linkovými přijímači a vysílači. Slouží k přizpůsobení řídicí jednotky na spojovací kabely na přijímací a vysílací straně.

Skupinový datový vstup 57 zapojení je spojen se skupinovým připojovacím datovým vstupem 53 přizpůsobovacího bloku 9. Skupinový datový výstup 49 přizpůsobovacího bloku 9 je spojen se skupinovým datovým vstupem 12 mikroprocesorového bloku 1. Skupinový datový výstup 11 mikroprocesorového bloku 1 je spojen se skupinovým datovým vstupem 48 přizpůsobovacího bloku 9. Skupinový připojovací datový výstup 52 přizpůsobovacího bloku 9 je spojen se skupinovým datovým výstupem 56 zapojení. Skupinový řídicí vstup 59 zapojení je spojen se skupinovým řídicím vstupem 55 přizpůsobovacího bloku 9. Skupinový řídicí výstup 51 přizpůsobovacího bloku 9 je spojen s prvním skupinovým řídicím vstupem 14 mikroprocesorového bloku 1. Skupinový stavový výstup 13 mikroprocesorového bloku 1 je spojen se skupinovým stavovým vstupem 50 přizpůsobovacího bloku 9. Skupinový připojovací stavový výstup 54 přizpůsobovacího bloku 9 je spojen se skupinovým stavovým vstupem 57 zapojení. Skupinový informační vstup 60 zapojení je spojen se skupinovým informačním vstupem 25 mikroprocesorového bloku 1. Skupinový ovládací výstup 24 mikroprocesorového bloku 1

je spojen se skupinovým ovládacím vstupem 61 zapojení. Pulsní vstup 62 zapojení je spojen s pulsním vstupem 47 zjišťovacího bloku 8. Nulovací řídicí vstup 45 zjišťovacího bloku 8 je spojen s nulovacím výstupem 22 mikroprocesorového bloku 1. Skupinový kódový výstup 46 zjišťovacího bloku 8 je spojen se skupinovým pozicovým vstupem 23 mikroprocesorového bloku 1. Přepínací výstup 21 mikroprocesorového bloku je spojen s hradlovacím vstupem 42 zabezpečovacího registru 7 a s blokovacím vstupem 39 fázového kodéru 6. První kódovací vstup 38 fázového kodéru 6 je spojen se zapisovacím datovým výstupem 20 mikroprocesorového bloku 1 a se zapisovacím sériovým vstupem 43 zabezpečovacího registru 7. Zabezpečovací sériový výstup 44 zabezpečovacího registru 7 je spájen se druhým kódovacím vstupem 40 fázového kodéru 6. Záznamový kódový výstup 41 fázového kodéru 6 je spojen se záznamovým kódovým výstupem 63 zapojení. Datový kódový vstup 64 zapojení je spojen s dekodovacím vstupem 33 fázového dekodéru 4 a se synchronizačním vstupem 31 synchronizačního generátoru 3. Zápisový hodinový výstup 30 synchronizačního generátoru 3 je spojen se zápisovým hodinovým vstupem 37 fázového kodéru 6. Čtecí hodinový výstup 29 synchronizovaného generátoru 3 je spojen se čtecím hodinovým vstupem 32 fázového dekodéru 4. Čtecí výstup 34 fázového dekodéru 4 je spojen se čtecím datovým vstupem 19 mikroprocesorového bloku 1 a se čtecím sériovým vstupem 35 kontrolního registru 5. Chybový výstup 36 kontrolního registru 5 je spojen s kontrolním vstupem 18 mikroprocesorového bloku 1. Čtecí informační vstup 17 mikroprocesorového bloku 1 je spojen s informačním datovým výstupem 28 synchronizovaného generátoru 3. Synchronizační výstup 27 synchronizovaného generátoru 3 je spojen s přerušovacím vstupem 16 mikroprocesorového bloku 1.

Zapojení pracuje takto:

Vnější zařízení je k řídicí jednotce připojeno přes přizpůsobovací blok 9. V přizpůsobovacím bloku 9 se přizpůsobí signály ze spojovacích kabelů vnějšího zařízení na logické signály. Mikroprocesový blok 1 cyklicky zjišťuje, zda se na jeho prvním skupinovém řídicím vstupu 14 objevil příkaz k provádění určité funkce. V případě, že zjistí určitou kódovou kombinaci, porovnává ji s tabulkou platných a povolených kódových příkazů. V případě, že nezjistí shodu v některé položce tabulky, odmítne přes svůj skupinový stavový výstup 13 chybný příkaz provést. V případě zjištěné shody provede mikroprocesorový blok 1 přes svůj skupinový informační vstup 25 kontrolu připravenosti kazetové páskové jednotky k činnosti. Je-li kazetová pásková jednotka připravena k činnosti, zahájí provádění příslušné funkce žádané identifikovaným příkazem. Není-li kazetová jednotka připravena k činnosti, mikroprocesorový blok 1 příkaz odmítne, opět přes svůj skupinový stavový výstup 13.

Jednotlivé funkce kazetové páskové jednotky jsou realizována sekvencemi instrukcí uložených v paměti mikroprocesorového bloku 1. Při provádění všech funkcí se mikroprocesorový blok 1 informuje o stavu kazetové páskové jednotky přes svůj skupinový informační vstup 25 a vydává potřebné řídicí sekvence přes svůj skupinový ovládací výstup 24. Jde například o signály start motorů, zastavení motorů, pohyb vpřed, pohyb vzad, řízení zápis - čtení, rychlost pomalu - rychle apod. O pozici záznamové a čtecí hlavy vůči

pásce se mikroprocesorový blok 1 informuje přes svůj skupinový pozicový vstup 23, přes který zjišťovací blok 8 dodává kódovou informaci o pozici pásky vůči záznamové čtecí hlavě. Zjišťovací blok 8 přičítá nebo očítá v závislosti na pohybu pásky vpřed nebo vzad pulsy od čidla značkových děr na pásce. Počáteční nastavení čítačů ve zjišťovacím bloku 8 a nastavení směru jejich čítání provádí mikroprocesorový blok 1 při zakládání nové kazety a při pohybech pásky během funkcí přes nulovací řídicí vstup 45.

Převážná většina funkcí kazetové páskové jednotky pracuje s daty, a to nejen při vlastním zápisu nebo čtení dat, ale i připřevíjení a záznam vpřed nebo vzad anebo hledání konce souboru na pásce. Podle normy platné pro záznam musí být vždy určitý počet datových bitů opatřen na začátku a na konci skupinou synchronizačních bitů a na konci záznamu přes skupinu synchronizačních bitů také 16-ti bitovou skupinou cyklického zabezpečovacího kódu. Tento kód se tvoří sériově během zápisu dat a konečná kódová kombinace je známá po ukončení zápisu posledního bitu dat. Současně při zápisu dat a zabezpečovacího kódu se provádí kontrola správnosti zápisu tak, že posunutou čtecí šterbinou se čtou právě zapsaná data včetně zabezpečovacího kódu a z takto přečtených informací se vytváří nově zabezpečovací kód. Při tomto kontrolním čtení nesmí být nalezena chyba. Tvorba zabezpečovacího kódu pro zápis a kontrolní čtení se provádějí paralelně, ale nutně odděleně. Z tohoto důvodu je mikroprocesorový blok 1 doplněn kontrolním registrem 5 a zabezpečovacím registrem 7.

Záznam dat na pásku se podle normy provádí frekvencí 10 kHz. Při čtení dat může tato rychlost kolísat s ohledem na mechanické parametry kazety a pohonného mechanismu páskové jednotky. Vzhledem k fázové modulaci signálu při záznamu je nutno při čtení vytvořit frekvenci synchronní se skutečnou frekvencí dat na pásce. Tuto činnost zajišťuje synchronizovaný generátor 3, který se během zahajovacích synchronizačních bitů záznamů zasynchronizuje na skutečnou frekvenci čtených dat přes svůj synchronizační vstup 31. Skutečná synchronizovaná frekvence je ze čtecího hodinového výstupu 29 synchronizačního generátoru 3 vedena do fázového dekodéru 4, který z fázově modulovaného signálu vytvoří sérii bitů. Tato série bitů je vedena jednak přes čtecí seriový vstup 35 do kontrolního registru 5 a jednak přes čtecí datový vstup 19 do mikroprocesorového bloku 1 k dalšímu zpracování, tj. k oddělení synchronizačních a zabezpečovacích bitů od datových bitů, ke skupinování bitů do slov a jejich ukládání do paměti pro účely pozdějšího vysílání načtených dat do vnějšího zařízení a ke kontrolám na počet, správnost apod. Synchronizovaný generátor 3 zajišťuje ze svého synchronizačního výstupu 27 také synchronizační činnost mikroprocesorového bloku 1 na frekvenci čtených dat přes jeho přerušovací vstup 16. Přes svůj čtecí informační vstup 17 je mikroprocesorový blok 1 informován o tom, že pod čtecí šterbinou hlavy nejsou již zaznamenána data a může zahájit brzdění motorů a všechny činnosti související se skončením prováděné funkce. Načtená data jsou uložena v paměti mikroprocesorového bloku 1 a jsou-li v pořádku všechny kontrolní operace, zahájí se předávání dat seskupených do potřebně dlouhých slov přes přizpůsobovací blok 9 do vnějšího zařízení. Po skončení předávání čeká mikroprocesorový blok 1 na další příkaz.

Při funkci zápisu dat na pásku probíhá nejprve rychlé předání dat určených k zápisu z vnějšího zařízení přes přírůbovací blok 9 do paměti mikroprocesorového bloku 1. Po ukončení tohoto přenosu jsou data sériově vysouvána z paměti mikroprocesorového bloku 1 přes zapisovací datový výstup 20 do fázového kodéru 6, kde jsou přetvářena na bázově modulovaný signál vhodný pro záznam na pásku. Před vlastním záznamem dat zajistí mikroprocesorový blok 1 přes svůj skupinový ovládací výstup 24 rozběh motorů kazetové páskové paměti příslušným směrem a rychlostí. Po zápisu dat se z přepínacího výstupu 21 mikroprocesorového bloku 1 zablokuje přes blokovací vstup 39 fázového kodéru 6 jeho prvního kódovacího vstupu 38 a současně se odblokuje druhý kódovací vstup 40 fázového kodéru 6. Tak se za zapsaná data uloží na pásku i zjištěný zabezpečovací kód. Údaje o správnosti zapisovaných nebo čtených dat získává mikroprocesorový blok 1 přes svůj kontrolní vstup 18 z kontrolního registru 5.

Pro účely ručního ovládání a diagnostiky je řídicí jednotka kazetové páskové paměti vybavena ovládacím panelem 2, který umožňuje přes skupinový panelový ovládací výstup 26 zadávat tlačítka příkazy k provádění jednotlivých funkcí, které se jinak vyvolávají kódově z vnějšího zařízení.

Vynález se využije pro řízení různých typů kazetových páskových jednotek ve všech oblastech automatického řízení technologických procesů a výpočetní techniky.

P R Ě D M Ě T V Y N Á L E Z U

Zapojení řídicí jednotky kazetové páskové paměti, sestávající z mikroprocesorového bloku, ovládacího panelu, synchronizovaného generátoru, fázového dekodéru, kontrolního registru, fázového kodéru, zabezpečovacího registru, zjišťovacího bloku a přírůbovacího bloku, vyznačující se tím, že skupinový datový vstup (57) zapojení je spojen se skupinovým připojovacím datovým vstupem (53) přírůbovacího bloku (9), jehož skupinový datový výstup (49) je spojen se skupinovým datovým vstupem (12) mikroprocesorového bloku (1), jehož skupinový datový výstup (11) je spojen se skupinovým datovým vstupem (48) přírůbovacího bloku (1), jehož skupinový připojovací datový výstup (52) je spojen se skupinovým datovým výstupem (56) zapojení, jehož skupinový řídicí vstup (59) je spojen se skupinovým řídicím vstupem (55) přírůbovacího bloku (9), jehož skupinový řídicí výstup (51) je spojen s prvním skupinovým řídicím vstupem (14) mikroprocesorového bloku (1), jehož skupinový stavový výstup (13) je spojen se skupinovým stavovým vstupem (50) přírůbovacího bloku (9), jehož skupinový připojovací stavový výstup (54) je spojen se skupinovým stavovým vstupem (57) zapojení, jehož skupinový informační vstup (60) je spojen se skupinovým informačním vstupem (25) mikroprocesorového bloku (1), jehož skupinový ovládací výstup (24) je spojen se skupinovým ovládacím vstupem (61) zapojení, jehož pulsní vstup (62) je spojen s pulsním vstupem (47) zjišťovacího bloku (8), jehož nulovací řídicí vstup (45) je spojen s nulovacím výstupem (22)

mikroprocesorového bloku (1) a skupinový kódový výstup (46) zjišťovacího bloku (8) je spojen se skupinovým pozicovým vstupem (23) mikroprocesorového bloku (1), jehož přepínací výstup (21) je spojen s hradlovacím vstupem (42) zabezpečovacího registru (7) a s blokovacím vstupem (39) fázového kodéru (6), jehož první kódovací vstup (38) je spojen se zapisovacím datovým výstupem (20) mikroprocesorového bloku (1) a se zapisovacím seriovým vstupem (43) zabezpečovacího registru (7), jehož zabezpečovací seriový výstup (44) je spojen s druhým kódovacím vstupem (40) fázového kodéru (6), jehož záznamový kódový výstup (41) je spojen se záznamovým kódovým výstupem (63) zapojení, jehož datový kódový vstup (64) je spojen s dekodovacím vstupem (33) fázového dekodéru (4) a se synchronizačním vstupem (31) synchronizačního generátoru (3), jehož zápisový hodinový výstup (30) je spojen se zápisovým hodinovým vstupem (37) fázového kodéru (6) a čtecí hodinový výstup (29) synchronizovaného generátoru (3) je spojen se čtecím hodinovým vstupem (32) fázového dekodéru (4), jehož čtecí výstup (34) je spojen se čtecím datovým vstupem (19) mikroprocesorového bloku (1) a se čtecím seriovým vstupem (35) kontrolního registru (5), jehož chybový výstup (36) je spojen s kontrolním vstupem (18) mikroprocesorového bloku (1), jehož čtecí informační vstup (17) je spojen s informačním datovým výstupem (28) synchronizovaného generátoru (3), jehož synchronizační výstup (27) je spojen s přerušovacím vstupem (16) mikroprocesorového bloku (1).

1 výkres

