(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2011 年 10 月 20 日(20.10.2011)

PCT

(10) 国際公開番号
WO 2011/129227 A1

(51) 国際特許分類:
H01L 29/786 (2006.01) *H01L 29/41* (2006.01)
H01L 21/28 (2006.01)

(21) 国際出願番号: PCT/JP2011/058589

(22) 国際出願日: 2011 年 4 月 5 日(05.04.2011)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2010-093436 2010 年 4 月 14 日(14.04.2010) JP

(71) 出願人 (米国を除く全ての指定国について): シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町２２番２２号 Osaka (JP).

(71) 出願人 (米国についてのみ): 水野 一七江 (MIZUNO Hinae) (発明者(死亡)の相続人).

(72) 発明者: 水野 裕二 (MIZUNO Yuuji) (死亡).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 中川 興史 (NAKAGAWA Okifumi). 太田 純史(OHTA Yoshifumi). 近間 義雅(CHIKAMA Yoshimasa). 井上 毅 (INOUE Tsuyoshi). 鈴木 正彦 (SUZUKI Masahiko). 竹井 美智子(TAKEI Michiko). 春本 祥征 (HARUMOTO Yoshiyuki). 宮本 恵信 (MIYAMOTO Yoshinobu).

(74) 代理人: 奥田 誠司(OKUDA Seiji); 〒5410041 大阪府大阪市中央区北浜一丁目８番１６号 大阪証券取引所ビル１０階 奥田国際特許事務所 Osaka (JP).

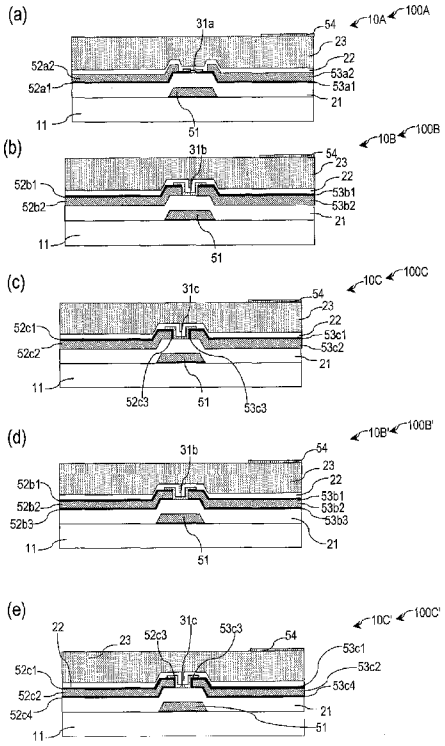
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST,

[続葉有]

(54) **Title**: SEMICONDUCTOR DEVICE, PROCESS FOR PRODUCTION OF SEMICONDUCTOR DEVICE, AND DISPLAY DEVICE

(54) 発明の名称 : 半導体装置、半導体装置の製造方法、および表示装置

[図1]



(57) **Abstract**: Disclosed is a semiconductor device (100A) comprising an oxide semiconductor layer (31a), first and second source electrodes (52a1 and 52a2), and first and second drain electrodes (53a1 and 53a2). The second source electrode (52a2) is so adapted as to contact with the upper surface of the first source electrode and is formed on the inner side of the first source electrode (52a1). The second drain electrode (53a2) is so adapted as to contact with the upper surface of the first drain electrode (53a1) and is formed on the inner side of the first drain electrode (53a1). The oxide semiconductor layer (31a) is so adapted as to contact with the upper surfaces of the first source electrode (52a1) and the first drain electrode (53a1).

(57) 要約: 本発明の半導体装置（１００Ａ）は、酸化物半導体層（３１ａ）と、第１および第２ソース電極（５２ａ１および５２ａ２）と、第１および第２ドレイン電極（５３ａ１および５３ａ２）とを有する。第２ソース電極（５２ａ２）は、第１ソース電極の上面と接触するように形成され、かつ、第１ソース電極（５２ａ１）の内側に形成されている。第２ドレイン電極（５３ａ２）は、第１ドレイン電極（５３ａ１）の上面と接触するように形成され、かつ、第１ドレイン電極（５３ａ１）の内側に形成されている。酸化物半導体層（３１ａ）は、第１ソース電極（５２ａ１）および第１ドレイン電極（５３ａ１）の上面と接触するように形成されている。

WO 2011/129227 A1

SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

明　細　書

発明の名称 ：

半導体装置、半導体装置の製造方法、および表示装置

技術分野

[0001] 本発明は、酸化物半導体を用いた薄膜トランジスタ（Thin Film Transistor：ＴＦＴ）を備える半導体装置、半導体装置の製造方法、および表示装置に関する。

背景技術

[0002] 近年、インジウム（Ｉｎ）、亜鉛（Ｚｎ）またはガリウム（Ｇａ）などを含有した酸化物半導体層を用いたＴＦＴの開発が盛んに行われている（例えば特許文献１～４）。酸化物半導体層を用いたＴＦＴは、移動度が高いという特性を有する。

[0003] しかしながら、酸化物半導体層を有するＴＦＴでは、ソース・ドレイン電極の形成のためのエッチング工程において、その下方にある酸化物半導体層がダメージを受けやすい。このため、ＴＦＴのチャネル領域として酸化物半導体層を用いると、安定したＴＦＴ特性を得ることが難しいという問題がある。

[0004] これに対し、例えば特許文献３には、酸化物半導体層上にチャネル領域を保護する絶縁層（以下、保護層という）を形成することが提案されている。これにより、例えばソース・ドレイン電極の形成のためのエッチング工程において生じる酸素欠損による酸化物半導体層のチャネル領域の低抵抗化が防止され、オフ電流の小さなＴＦＴ特性を実現できる。

先行技術文献

特許文献

[0005] 特許文献1：特開２００３－２９８０６２号公報

特許文献2：特開２００９－２５３２０４号公報

特許文献3：特開２００８－１６６７１６号公報

特許文献4：特開２００８－２７７１０１号公報

発明の概要

発明が解決しようとする課題

[0006] しかしながら、特許文献３に記載されているＴＦＴの製造方法によると、二酸化シリコン（SiO_2）または窒化シリコン（SiN_X）から保護層を形成しているので、製造工程数が増加し製造コストが増大するという問題がある。

[0007] 本発明は上記課題に鑑みたものであり、その目的は、良好な特性を有する半導体装置、および製造コストの増大を抑えたＴＦＴの製造方法を提供することにある。

課題を解決するための手段

[0008] 本発明による半導体装置は、絶縁基板と、前記絶縁基板上に形成されたゲート電極と、前記ゲート電極上に形成された絶縁層と、前記絶縁層上に形成されたＩｎ、ＺｎまたはＧａからなる群から選択される少なくとも１つの元素を含む酸化物半導体層と、前記絶縁層上に形成された第１および第２ソース電極と、前記絶縁層上に形成された第１および第２ドレイン電極とを有し、前記第２ソース電極は、前記第１ソース電極の上面と接触するように形成され、かつ、前記第１ソース電極の内側に形成され、前記第２ドレイン電極は、前記第１ドレイン電極の上面と接触するように形成され、かつ、前記第１ドレイン電極の内側に形成され、前記酸化物半導体層は、前記第１ソース電極および前記第１ドレイン電極の上面と接触するように形成されている。

[0009] ある実施形態において、前記酸化物半導体層は、前記第２ソース電極および前記第２ドレイン電極と接触していない。

[0010] 本発明による他の実施形態における半導体装置は、絶縁基板と、前記絶縁基板上に形成されたゲート電極と、前記ゲート電極上に形成された絶縁層と、前記絶縁層上に形成されたＩｎ、ＺｎまたはＧａからなる群から選択される少なくとも１つの元素を含む酸化物半導体層と、前記絶縁層上に形成された第１および第２ソース電極と、前記絶縁層上に形成された第１および第２

ドレイン電極とを有し、前記第２ソース電極は、前記第１ソース電極の下面と接触して形成され、前記第２ドレイン電極は、前記第１ドレイン電極の下面と接触して形成され、前記酸化物半導体層は、前記第１ソース電極および前記第１ドレイン電極の上面と接触して形成されている。

[0011] ある実施形態において、前記酸化物半導体層は、前記第２ソース電極および前記第２ドレイン電極のそれぞれの側面で接触している。

[0012] ある実施形態において、前記第２ソース電極は、前記第１ソース電極の内側に形成され、前記第２ドレイン電極は、前記第１ドレイン電極の内側に形成され、前記酸化物半導体層は、前記第２ソース電極および前記第２ドレイン電極と接触していない。

[0013] ある実施形態において、前記半導体装置は、前記絶縁層と前記第２ソース電極との間に、前記第２ソース電極と接触するように形成された第３ソース電極と、前記絶縁層と前記第２ドレイン電極との間に、前記第２ドレイン電極と接触するように形成された第３ドレイン電極とをさらに有する。

[0014] ある実施形態において、前記半導体装置は、前記第２ソース電極の側面に接触するように形成された第３ソース電極と、前記第２ドレイン電極の側面に接触するように形成された第３ドレイン電極とをさらに有し、前記酸化物半導体層は、前記第３ソース電極および前記第３ドレイン電極と接触している。

[0015] ある実施形態において、前記半導体装置は、前記絶縁層と前記第２ソース電極との間に、前記第２ソース電極と接触するように形成された第４ソース電極と、前記絶縁層と前記第２ドレイン電極との間に、前記第２ドレイン電極と接触するように形成された第４ドレイン電極とをさらに有する。

[0016] ある実施形態において、前記第４ソース電極および前記第４ドレイン電極は、酸化チタンを含む。

[0017] ある実施形態において、前記第４ソース電極および前記第４ドレイン電極は、Ｔｉ、Ｗ、Ｎｂ、Ｖ、Ｚｒ、Ｎｉ、Ｐｔ、Ｐｄ、Ｒｈ、Ｉｒ、Ｍｏ、Ｃｒ、Ｔａからなる群から選択される少なくとも１つの元素を含む。

[0018] ある実施形態において、前記第４ソース電極および前記第４ドレイン電極は、Ｔｉ、Ｗ、Ｎｂ、Ｖ、Ｚｒ、Ｎｉ、Ｐｔ、Ｐｄ、Ｒｈ、Ｉｒ、Ｍｏ、Ｃｒ、Ｔａからなる群から選択される少なくとも１つの元素を含むナイトライド材料またはシリサイド材料から形成されている。

[0019] ある実施形態において、前記第３ソース電極および前記第３ドレイン電極は、酸化チタンを含む。

[0020] ある実施形態において、前記第３ソース電極および前記第３ドレイン電極は、Ｔｉ、Ｗ、Ｎｂ、Ｖ、Ｚｒ、Ｎｉ、Ｐｔ、Ｐｄ、Ｒｈ、Ｉｒ、Ｍｏ、Ｃｒ、Ｔａからなる群から選択される少なくとも１つの元素を含む。

[0021] ある実施形態において、前記第３ソース電極および前記第３ドレイン電極は、Ｔｉ、Ｗ、Ｎｂ、Ｖ、Ｚｒ、Ｎｉ、Ｐｔ、Ｐｄ、Ｒｈ、Ｉｒ、Ｍｏ、Ｃｒ、Ｔａからなる群から選択される少なくとも１つの元素を含むナイトライド材料またはシリサイド材料から形成されている。

[0022] ある実施形態において、前記第１ソース電極および前記第１ドレイン電極は、酸化チタンを含む。

[0023] ある実施形態において、前記第１ソース電極および前記第１ドレイン電極は、Ｔｉ、Ｗ、Ｎｂ、Ｖ、Ｚｒ、Ｎｉ、Ｐｔ、Ｐｄ、Ｒｈ、Ｉｒ、Ｍｏ、Ｃｒ、Ｔａからなる群から選択される少なくとも１つの元素を含む。

[0024] ある実施形態において、前記第１ソース電極および前記第１ドレイン電極は、Ｔｉ、Ｗ、Ｎｂ、Ｖ、Ｚｒ、Ｎｉ、Ｐｔ、Ｐｄ、Ｒｈ、Ｉｒ、Ｍｏ、Ｃｒ、Ｔａからなる群から選択される少なくとも１つの元素を含むナイトライド材料またはシリサイド材料から形成されている。

[0025] ある実施形態において、前記第２ソース電極および前記第２ドレイン電極は、Ｃｕ、ＡｌまたはＴｉのいずれかを含む。

[0026] ある実施形態において、前記酸化物半導体層は、Ｉｎ、ＧａおよびＺｎを含む酸化物を含有する。

[0027] 本発明の表示装置は、上述の半導体装置を有する表示装置である。

[0028] 本発明による半導体装置の製造方法は、上述の半導体装置の製造方法であ

る。

発明の効果

[0029] 本発明によると、酸化物半導体層を用いたＴＦＴにおいて、製造工程数および製造コストの増大を抑えつつ、良好なＴＦＴ特性が安定して実現される。

図面の簡単な説明

[0030] [図1]（ａ）～（ｅ）は、本発明による実施形態における半導体装置１００Ａ～１００Ｃ、１００Ｂ’および１００Ｃ’の模式的な断面図である。

[図2]他の実施形態における半導体装置１００Ｄの模式的な断面図である。

[図3]（ａ）は、半導体装置１００Ａの画素部１０１の模式的な平面図であり、（ｂ）は、半導体装置１００Ａのゲート・ソース端子部１０２の模式的な平面図である。

[図4]（ａ）および（ｂ）は、半導体装置１００Ａの画素部１０１およびゲート・ソース端子部１０２の図３のＩ－Ｉ’線およびＩＩ－ＩＩ’線に対応する模式的な断面図である。

[図5]（ａ）～（ｄ）は、ＴＦＴ１０Ａの製造工程を示した模式的な断面図である。

発明を実施するための形態

[0031] 図面を参照して本発明による実施形態における半導体装置およびその製造方法を説明する。ただし、本発明は例示する実施形態に限定されない。

[0032] 本発明による実施形態における半導体装置１００Ａ～１００Ｄについて説明する。なお、簡単のため、例示して説明するＴＦＴ１０Ａ～１０Ｄのうち共通するＴＦＴの構成要素には同じ参照符号を付す。

[0033] 図１および図２は、それぞれの半導体装置１００Ａ～１００Ｄの模式的な断面図である。

[0034] 半導体装置１００Ａ、１００Ｂ、１００Ｂ’、１００Ｃ、１００Ｃ’および１００Ｄは、それぞれ絶縁基板（例えばガラス基板）１１上にＴＦＴ１０Ａ、ＴＦＴ１０Ｂ、ＴＦＴ１０Ｂ’、ＴＦＴ１０Ｃ、ＴＦＴ１０Ｃ’および

ＴＦＴ１０Ｄを有する。

[0035] 図１（ａ）に示すように、ＴＦＴ１０Ａは、ゲート電極５１と、ゲート電極５１上に形成された第１絶縁層（ゲート絶縁層）２１とを有する。ＴＦＴ１０Ａは、さらに、第１絶縁層２１上に形成された第１ソース電極５２ａ１および第２ソース電極５２ａ２と、第１絶縁層２１上に形成された第１ドレイン電極５３ａ１および第２ドレイン電極５３ａ２とを有する。第２ソース電極５２ａ２は、第１ソース電極５２ａ１の上面と接触するように形成され、かつ、第１ソース電極５２ａ１の内側に形成されている。つまり、第２ソース電極５２ａ２の側面は、第１ソース電極５２ａ１の上面に形成されている。第２ドレイン電極５３ａ２は、第１ドレイン電極５３ａ１の上面と接触するように形成され、かつ、第１ドレイン電極５３ａ１の内側に形成されている。つまり、第２ドレイン電極５３ａ２の側面は、第１ドレイン電極５３ａ１の上面に形成されている。酸化物半導体層３１ａは、第１ソース電極５２ａ１および第１ドレイン電極５３ａ１の上面と接触するように形成されている。さらに、酸化物半導体層３１ａは、第２ソース電極５２ａ２および第２ドレイン電極５３ａ２のそれぞれと接触していない。また、第３ソース電極５２ａ３（図示されていない）を第２ソース電極５２ａ２の上面と接触するように形成してもよく、第３ドレイン電極５３ａ３（図示されていない）を第２ドレイン電極５３ａ２の上面と接触するように形成してもよい。この場合、酸化物半導体層３１ａは、第３ソース電極５２ａ３および第３ドレイン電極５３ａ３のそれぞれと接触してもよいし、接触していなくてもよい。さらに、ＴＦＴ１０Ａは、酸化物半導体層３１ａ上に形成された第２絶縁層２２を有し、第２絶縁層２２上に形成された第３絶縁層２３を有する。さらに、ＴＦＴ１０Ａは、第３絶縁層２３上に形成された画素電極５４と接続している。

[0036] 図１（ｂ）に示すように、ＴＦＴ１０Ｂは、ゲート電極５１と、ゲート電極５１上に形成された第１絶縁層（ゲート絶縁層）２１とを有する。ＴＦＴ１０Ｂは、さらに、第１絶縁層２１上に形成された第１ソース電極５２ｂ１

および第２ソース電極５２ｂ２と、第１絶縁層２１上に形成された第１ドレイン電極５３ｂ１および第２ドレイン電極５３ｂ２とを有する。第２ソース電極５２ｂ２は、第１ソース電極５２ｂ１の下面と接触するように形成されている。第２ドレイン電極５３ｂ２は、第１ドレイン電極５３ｂ１の下面と接触するように形成されている。酸化物半導体層３１ｂは、第１ソース電極５２ｂ１および第１ドレイン電極５３ｂ１の上面と接触するように形成されている。酸化物半導体層３１ｂは、第２ソース電極５２ｂ２および第２ドレイン電極５３ｂ２のそれぞれの側面で接触している。さらに、ＴＦＴ１０Ｂは、酸化物半導体層３１ｂ上に形成された第２絶縁層２２を有し、第２絶縁層２２上に形成された第３絶縁層２３を有する。さらに、ＴＦＴ１０Ｂは、第３絶縁層２３上に形成された画素電極５４と接続している。

[0037] ＴＦＴ１０Ｂにおいて、図１（ｄ）に示すように第１絶縁層２１と第２ソース電極５２ｂ２との間に、第３ソース電極５２ｂ３が第２ソース電極５２ｂ２と接触するように形成されてもよい。同様に、第１絶縁層２１と第２ドレイン電極５３ｂ２との間に、第３ドレイン電極５３ｂ３が第２ドレイン電極５３ｂ２と接触するように形成されてもよい。ＴＦＴ１０Ｂに第３ソース電極５２ｂ３および第３ドレイン電極５３ｂ３が追加されたＴＦＴをＴＦＴ１０Ｂ’ということにする。

[0038] 図１（ｃ）に示すように、ＴＦＴ１０Ｃは、ゲート電極５１と、ゲート電極５１上に形成された第１絶縁層（ゲート絶縁層）２１とを有する。ＴＦＴ１０Ｃは、さらに第１絶縁層２１上に形成された第１ソース電極５２ｃ１および第２ソース電極５２ｃ２と、第１絶縁層２１上に形成された第１ドレイン電極５３ｃ１および第２ドレイン電極５３ｃ２とを有する。第２ソース電極５２ｃ２は、第１ソース電極５２ｃ１の下面と接触するように形成されている。第２ドレイン電極５３ｃ２は、第１ドレイン電極５３ｃ１の下面と接触するように形成されている。さらに、ＴＦＴ１０Ｃは、第２ソース電極５２ｃ２の側面に形成された第３ソース電極５２ｃ３を有し、第２ドレイン電極５３ｃ２の側面に形成された第３ドレイン電極５３ｃ３を有する。酸化物

半導体層３１ｃは、第１ソース電極５２ｃ１および第１ドレイン電極５３ｃ１の上面と接触するように形成されている。酸化物半導体層３１ｃは、第３ソース電極５２ｃ３および第３ドレイン電極５３ｃ３に接触している。酸化物半導体層３１ｃは、第２ソース電極５２ｃ２および第２ドレイン電極５３ｃ２と接触していない。さらに、ＴＦＴ１０Ｃは、酸化物半導体層３１ｃ上に形成された第２絶縁層２２を有し、第２絶縁層２２上に形成された第３絶縁層２３を有する。さらに、ＴＦＴ１０Ｃは、第３絶縁層２３上に形成された画素電極５４と接続している。

[0039] ＴＦＴ１０Ｃにおいて、図１（ｅ）に示すように第１絶縁層２１と第２ソース電極５２ｃ２との間に第４ソース電極５２ｃ４が第２ソース電極５２ｃ２と接触するように形成されてもよい。同様に、第１絶縁層２１と第２ドレイン電極５３ｃ２との間に第４ドレイン電極５３ｃ４が第２ドレイン電極５３ｃ２と接触するように形成されてもよい。ＴＦＴ１０Ｃに第４ソース電極５２ｃ４および第４ドレイン電極５３ｃ４が追加されたＴＦＴをＴＦＴ１０Ｃ’ということにする。

[0040] 図２に示すように、ＴＦＴ１０Ｄは、ゲート電極５１と、ゲート電極５１上に形成された第１絶縁層（ゲート絶縁層）２１とを有する。ＴＦＴ１０Ｄは、さらに、第１絶縁層２１上に形成された第１ソース電極５２ｄ１、第２ソース電極５２ｄ２および第３ソース電極５２ｄ３を有する。ＴＦＴ１０Ｄは、第１絶縁層２１上に形成された第１ドレイン電極５３ｄ１、第２ドレイン電極５３ｄ２および第３ドレイン電極５３ｄ３を有する。第２ソース電極５２ｄ２は、第１ソース電極５２ｄ１の下面と接触するように形成されている。第３ソース電極５２ｄ３は、第２ソース電極５２ｄ２の下面と接触するように形成されている。第２ドレイン電極５３ｄ２は、第１ドレイン電極５３ｄ１の下面と接触するように形成されている。第３ドレイン電極５３ｄ３は、第２ドレイン電極５３ｄ２の下面と接触するように形成されている。第２ソース電極５２ｄ２は、第１および第３ソース電極５２ｄ１および５２ｄ３の内側に形成され、第２ドレイン電極５３ｄ２は、第１および第３ドレイ

ン電極５３ｄ１および５３ｄ３の内側に形成されている。つまり、第２ソース電極５２ｄ２の側面は、第３ソース電極５２ｄ３の上面に形成され、かつ、第１ソース電極５２ｄ１の下面に形成されている。第２ドレイン電極５３ｄ２の側面は、第３ドレイン電極５３ｄ３の上面に形成され、かつ、第１ドレイン電極５３ｄ１の下面に形成されている。酸化物半導体層３１ｄは、第１ソース電極５２ｄ１および第１ドレイン電極５３ｄ１の上面と接触するように形成されている。ＴＦＴ１０Ｄは、酸化物半導体層３１ｄの側面と第２ソース電極５２ｄ２との間に、隙間ｈ１を有する。さらに、ＴＦＴ１０Ｄは、酸化物半導体層３１ｄの側面と第２ドレイン電極５３ｄ２との間に、隙間ｈ２を有する。従って、酸化物半導体層３１ｄは、第２ソース電極５２ｄ２および第２ドレイン電極５３ｄ２と接触していない。あるいは、酸化物半導体層３１ｄは、第２ソース電極５２ｄ２の側面、または、第２ドレイン電極５３ｄ２の側面のいずれか一方と接触してもよい。酸化物半導体層３１ｄは、第３ソース電極５２ｄ３および第３ドレイン電極５３ｄ３のそれぞれの側面で接触している。さらに、ＴＦＴ１０Ｄは、酸化物半導体層３１ｄ上に形成された第２絶縁層２２を有し、第２絶縁層２２上に形成された第３絶縁層２３を有する。さらに、ＴＦＴ１０Ｄは、第３絶縁層２３上に形成された画素電極５４と接続している。

[0041] ゲート電極５１は、例えば下層にＴｉ（チタン）層が形成され、その上に例えばＣｕ（銅）層が形成された積層構造を有している。Ｔｉ層の厚さは、例えば３０ｎｍ～１５０ｎｍであり、Ｃｕ層の厚さは、例えば１００ｎｍ～６００ｎｍである。

[0042] 第１絶縁層（ゲート絶縁層）２１は、例えば二酸化シリコン（SiO_2）または窒化シリコン（SiN_x）から形成されている。第１絶縁層２１の厚さは、例えば１００ｎｍ～５００ｎｍである。

[0043] 第１ソース電極５２ａ１～５２ｄ１および第１ドレイン電極５３ａ１～５３ｄ１は、例えばＴｉから形成されている。第１ソース電極５２ａ１～５２ｄ１および第１ドレイン電極５３ａ１～５３ｄ１の厚さは、例えば３０ｎｍ

～１５０ｎｍである。第１ソース電極５２ａ１～５２ｄ１および第１ドレイン電極５３ａ１～５３ｄ１はＴｉの他、例えば、TiO_x（酸化チタン）、Ｗ（タングステン）、Ｎｂ（ニオブ）、Ｖ（バナジウム）、Ｚｒ（ジルコニウム）、Ｎｉ（ニッケル）、Ｐｔ（白金）、Ｐｄ（パラジウム）、Ｒｈ（ロジウム）、Ｉｒ（イリジウム）、Ｍｏ（モリブデン）、Ｃｒ（クロム）、Ｔａ（タンタル）やこれらの合金、並びにこれらのナイトライド材料またはシリサイド材料から形成され得る。第１ソース電極５２ａ１～５２ｄ１および第１ドレイン電極５３ａ１～５３ｄ１は、単層構造を有するが、積層構造を有してもよい。積層構造とは、上述の材料から選ばれた異なる金属、酸化物、合金、並びにこれらのナイトライド材料またはシリサイド材料から形成された２以上の層を有する構造である。例えばＴｉＮ／Ｔｉである。

[0044] 第２ソース電極５２ａ２～５２ｄ２および第２ドレイン電極５３ａ２～５３ｄ２は、例えばＣｕから形成されている。第２ソース電極５２ａ２～５２ｄ２および第２ドレイン電極５３ａ２～５３ｄ２の厚さは、例えば１００ｎｍ～６００ｎｍである。第２ソース電極５２ａ２～５２ｄ２および第２ドレイン電極５３ａ２～５３ｄ２はＣｕの他、例えばＣｕＯ（酸化銅（ＩＩ））、ＡｌまたはＴｉから形成され得る。第２ソース電極５２ａ２～５２ｄ２および第２ドレイン電極５３ａ２～５３ｄ２は、単層構造を有するが、積層構造を有してもよい。積層構造とは、上述の材料から選ばれた異なる金属または酸化物から形成された２以上の層を有する構造である。例えばＣｕＯ／Ｃｕである。本明細書において、ＣｕまたはＡｌを「低抵抗の材料」という場合がある。

[0045] 第３ソース電極５２ａ３～５２ｄ３および第３ドレイン電極５３ａ３～５３ｄ３は、例えばＴｉから形成されている。第３ソース電極５２ａ３～５２ｄ３および第３ドレイン電極５３ａ３～５３ｄ３の厚さは、例えば３０ｎｍ～１５０ｎｍである。第３ソース電極５２ａ３～５２ｄ３および第３ドレイン電極５３ａ３～５３ｄ３はＴｉの他、例えば、TiO_x、Ｗ、Ｎｂ、Ｖ、Ｚｒ、Ｎｉ、Ｐｔ、Ｐｄ、Ｒｈ、Ｉｒ、Ｍｏ、Ｃｒ、Ｔａやこれらの合金、も

しくはこれらのナイトライド材料またはシリサイド材料から形成され得る。第３ソース電極５２ａ３～５２ｄ３および第３ドレイン電極５３ａ３～５３ｄ３は、単層構造を有するが、積層構造を有してもよい。積層構造とは、上述の材料から選ばれた異なる金属、酸化物、合金、並びにこれらのナイトライド材料またはシリサイド材料から形成された２以上の層を有する構造である。例えばＴｉＮ／Ｔｉである。

[0046] 第４ソース電極５２ｃ４および第４ドレイン電極５３ｃ４は、例えばＴｉから形成されている。第４ソース電極５２ｃ４および第４ドレイン電極５２ｃ４の厚さは、例えば３０ｎｍ～１５０ｎｍである。第４ソース電極５２ｃ４および第４ドレイン電極５３ｃ４はＴｉの他、例えば、TiO_x、Ｗ、Ｎｂ、Ｖ、Ｚｒ、Ｎｉ、Ｐｔ、Ｐｄ、Ｒｈ、Ｉｒ、Ｍｏ、Ｃｒ、Ｔａやこれらの合金、並びにこれらのナイトライド材料またはシリサイド材料から形成され得る。第４ソース電極５２ｃ４および第４ドレイン電極５３ｃ４は、単層構造を有するが、積層構造を有してもよい。積層構造とは、上述の材料から選ばれた異なる金属、酸化物、合金、並びにこれらのナイトライド材料またはシリサイド材料から形成された２以上の層を有する構造である。例えばＴｉＮ／Ｔｉである。

[0047] 酸化物半導体層３１ａ～３１ｄは、Ｉｎ、ＺｎおよびＧａからなる群から選択される少なくとも１つの元素を含む。酸化物半導体層３１ａ～３１ｄは、例えばＩｎ、ＧａおよびＺｎの元素を含有するアモルファス金属酸化物半導体層（ａ－ＩＧＺＯ層）である。酸化物半導体層３１ａ～３１ｄの厚さは、例えば１０ｎｍ～２００ｎｍである。

[0048] 第２絶縁層２２は、例えば、二酸化シリコンまたは窒化シリコンから形成されている。第２絶縁層２２の厚さは、例えば１０ｎｍ～５００ｎｍである。

[0049] 第３絶縁層２３は、例えば感光性の有機絶縁膜材料から形成される。第３絶縁層２３の厚さは、例えば１０００ｎｍ～３０００ｎｍである。

[0050] 画素電極５４は、例えばＩＴＯ（Indium Tin Oxide）などの透明電極であ

る。画素電極５４の厚さは、例えば５０ｎｍ～２００ｎｍである。

[0051] このような構成を有するＴＦＴは、後述する製造方法によって製造することができ、ソース電極およびドレイン電極を形成した後に酸化物半導体層３１ａ～３１ｄを形成し得る。従って、ソース電極およびドレイン電極のパターニング工程で生じる酸化物半導体層へのダメージを防ぐための保護層を形成しなくてもよいので、製造工程数が増大せず、製造コストが増大しない。

[0052] また、本発明者の検討によると、例えばＩｎ、ＧａおよびＺｎを含有するアモルファス酸化物（ａ－ＩＧＺＯ）から形成された酸化物半導体層を有するＴＦＴの製造工程において、アニール処理を行い酸化物半導体層の不純物準位の低減を行うことが好ましい。しかしながら、例えばａ－ＩＧＺＯから形成された酸化物半導体層を有するＴＦＴのソース電極およびドレイン電極をＣｕまたはＡｌから形成した場合、アニール処理工程でＣｕまたはＡｌが酸化物半導体層へ拡散し、ＴＦＴの特性が劣化することがある。特に、Ｃｕからソース電極およびドレイン電極を形成した場合、酸化物半導体層とソース電極およびドレイン電極とが直接接触すると、アニール処理で酸化物半導体層とソース電極およびドレイン電極との密着性が低下することがある。

[0053] 上述の構成を採用すると、酸化物半導体層３１ａ～３１ｄが低抵抗の材料（例えばＣｕまたはＡｌ）と接触する面積が最小限にされた、または、接触しないようにされたＴＦＴが得られる。従って、アニール工程で生じる酸化物半導体層３１ａ～３１ｄと例えばＣｕとの密着性の劣化を低減できる。また、低抵抗の材料が酸化物半導体層３１ａ～３１ｄへ拡散するのを防ぐことができる。その結果、良好なＴＦＴ特性を有する半導体装置が実現される。

[0054] 図３および図４は、半導体装置１００Ａを模式的に示す図である。図３（ａ）は、半導体装置１００Ａにおける画素部１０１の模式的な平面図であり、図３（ｂ）は、半導体装置１００Ａのゲート・ソース端子部１０２の模式的な平面図である。図４（ａ）および（ｂ）は、図３に示したＩ－Ｉ’線およびＩＩ－ＩＩ’線に対応した模式的な断面図である。

[0055] 図３（ａ）に示すように、画素部１０１には、画素の列方向に沿って延び

るソース配線５２ａｓと、画素の行方向に沿って延びるゲート配線５１および補助容量配線５１’とが形成されている。第１ソース電極５２ａ１とゲート配線５１との交差する点の近傍には、ＴＦＴ１０Ａが形成され、補助容量配線５１’上には補助容量Ｃｓが形成されている。

[0056] 図４（ａ）に示すように、ＴＦＴ１０Ａの酸化物半導体層３１ａは、第１ソース電極５２ａ１の上面および第１ドレイン電極５３ａ１の上面とそれぞれ接触している。また、第１および第２ドレイン電極５３ａ１および５３ａ２は、補助容量配線５１’上まで延設されている。補助容量Ｃｓ上の第２および第３絶縁層２２および２３の開口部内で、画素電極５４は、第２ドレイン電極５３ａ２と接触している。

[0057] また、図４（ｂ）に示すように、補助容量Ｃｓ領域の画素電極５４と第２ドレイン電極５３ａ２との間に酸化物半導体層３２’が形成されてもよい。このとき、第２ドレイン電極５３ａ２は、例えばＴｉまたはＡｌから形成されている。

[0058] ゲート・ソース端子部１０２において、接続部５１’’は、第２絶縁層２２および第３絶縁層２３を同時にエッチングして得られた開口部内で接続部５４’と接触している。接続部５４’は、開口部１’内で接続部５３ａ１’および５３ａ２’のそれぞれの側面と接触している。また、接続部５３ａ２’上に接続部５３ａ３’を形成してもよい。接続部５１’’は、ゲート電極５１と同じ材料から形成されている。接続部５３ａ１’および接続部５３ａ３’は、第１ソース電極５２ａ１および第１ドレイン電極５３ａ１と同じ材料から形成されており、接続部５３ａ２’は、第２ソース電極５２ａ２および第２ドレイン電極５３ａ２と同じ材料から形成されている。接続部５４’は、画素電極５４と同じ材料から形成されている。

[0059] なお、画素部１０１に形成されるＴＦＴは、ＴＦＴ１０Ａに限定されず上述のＴＦＴ１０Ｂ～ＴＦＴ１０Ｄであってもよい。

[0060] 半導体装置１００Ａ～１００Ｄは、例えば液晶表示装置や有機ＥＬ表示装置などの表示装置に用いられる。

[0061] 次に、ＴＦＴ１０Ａ～１０Ｄの製造方法について説明する。

[0062] 図５を参照して、ＴＦＴ１０Ａの製造方法を具体的に説明する。

[0063] 図５（ａ）に示すように、絶縁基板（例えばガラス基板）１１にゲート電極５１を公知の方法で形成する。ゲート電極５１は、例えばＴｉ／Ｃｕの積層構造を有する。ゲート電極５１の厚さは、例えば１００ｎｍ～７５０ｎｍである。

[0064] 図５（ｂ）に示すように、ゲート電極５１上に第１絶縁層（ゲート絶縁層）２１を形成する。第１絶縁層２１は、例えばSiO_2／SiN_xの積層構造を有する。SiO_2の厚さは、例えば１０ｎｍ～２００ｎｍである。SiN_xの厚さは、例えば１００ｎｍ～５００ｎｍである。第１絶縁層２１の構造は、単層構造であってもよい。

[0065] 次に、公知の方法で、第１導電膜４２ａおよび第２導電膜４３ａ（いずれも図示されていない）を形成する。第２導電膜４３ａは、第１導電膜４２ａの上に形成されている。第１導電膜４２ａの厚さは、例えば３０ｎｍ～１５０ｎｍである。第２導電膜４３ａの厚さは、例えば１００ｎｍ～６００ｎｍである。第１導電膜４２ａは、例えばＴｉから形成されている。また、第１導電膜４２ａはＴｉの他、例えば、TiO_x、Ｗ、Ｎｂ、Ｖ、Ｚｒ、Ｎｉ、Ｐｔ、Ｐｄ、Ｒｈ、Ｉｒ、Ｍｏ、Ｃｒ、Ｔａやこれらの合金、並びにこれらのナイトライド材料またはシリサイド材料から形成され得る。第１導電膜４２ａは、単層構造を有するが、積層構造を有してもよい。積層構造とは、上述の材料から選ばれた異なる金属、酸化物、合金、並びにこれらのナイトライド材料またはシリサイド材料から形成された２以上の層を有する構造である。例えばＴｉＮ／Ｔｉである。第２導電膜４３ａは、例えばＣｕから形成されている。また、第２導電膜４３ａはＣｕの他、例えばＣｕＯ、ＡｌまたはＴｉから形成され得る。第２導電膜４３ａは、単層構造を有するが、積層構造を有してもよい。積層構造とは、上述の材料から選ばれた異なる金属または酸化物から形成された２以上の層を有する構造である。例えばＣｕＯ／Ｃｕである。

[0066] 次に、第１導電膜４２ａをパターニングすることにより、第１ソース電極５２ａ１および第１ドレイン電極５３ａ１が形成される。第２導電膜４３ａをパターニングすることにより、第２ソース電極５２ａ２および第２ドレイン電極５３ａ２が形成される。このとき、第２ソース電極５２ａ２は、第１ソース電極５２ａ１の内側に形成される。つまり、第２ソース電極５２ａ２の側面は、第１ソース電極５２ａ１の上面に形成される。第２ドレイン電極５３ａ２は、第１ドレイン電極５３ａ１の内側に形成される。つまり、第２ドレイン電極５３ａ２の側面は、第１ドレイン電極５３ａ１の上面に形成される。第１ソース電極５２ａ１の側面と第１ドレイン電極５３ａ１の側面との距離（チャネル長）Ａ１は、第２ソース電極５２ａ２の側面と第２ドレイン電極５３ａ２の側面との距離Ａ２より短くなるように形成される。距離Ａ２と距離Ａ１との差（距離Ａ２－距離Ａ１）は、例えば２μｍ以上が好ましく、例えば４μｍ以上がより好ましい。このような関係を有することにより、第２ソース電極５２ａ２および第２ドレイン電極５３ａ２と接触しないように酸化物半導体層３１ａが形成され得る。

[0067] 次に、例えばスパッタ法により、酸化物半導体膜３０（図示されていない）を形成する。酸化物半導体膜３０の厚さは、例えば１０ｎｍ～２００ｎｍである。酸化物半導体膜３０は、Ｉｎ、ＺｎまたはＧａからなる群から選択される少なくとも１つの元素から形成される。酸化物半導体膜３０は、例えばａ－ＩＧＺＯから形成される。その後、図５（ｃ）に示すように、公知の方法で酸化物半導体膜３０から酸化物半導体層３１ａを形成する。このとき、酸化物半導体層３１ａは、第１ソース電極５２ａ１および第１ドレイン電極５３ａ１と接触し、第２ソース電極５２ａ２および第２ドレイン電極５３ａ２と接触しないように形成される。このとき、第２ソース電極５２ａ２と酸化物半導体層３１ａとの間の距離をＬ１とし、第２ドレイン電極５３ａ２と酸化物半導体層３１ａとの間の距離をＬ２とした場合、距離Ｌ１およびＬ２は、２μｍ以上が好ましい。

[0068] 次に、図５（ｄ）に示すように、第２絶縁層２２を酸化物半導体層３１ａ

上に形成する。第２絶縁層２２の厚さは、例えば１０ｎｍ～５００ｎｍである。第２絶縁層２２は、例えば二酸化シリコンおよび窒化シリコンから形成され、窒化シリコンから形成されることがより好ましい。

[0069] 次に、アニール処理を行う。アニール処理の条件は、例えば温度が３５０度で、時間は１時間である。アニール処理によって、安定したオンーオフ特性を有するＴＦＴが得られる。

[0070] 次に、第２絶縁層２２上に、第３絶縁層２３を公知の方法で形成する。第３絶縁層２３の厚さは、例えば１０００ｎｍ～３０００ｎｍである。第３絶縁層２３は、例えば感光性の有機絶縁膜材料から形成される。

[0071] 次に、第３絶縁層２３上に画素電極５４を公知の方法で形成し、図１（ａ）に示したＴＦＴ１０Ａを得る。画素電極５４の厚さは、例えば５０ｎｍ～２００ｎｍである。画素電極５４は、例えばＩＴＯなどの透明電極である。

[0072] 次に、ＴＦＴ１０Ｂの製造方法を説明する。なおＴＦＴ１０Ａの製造工程と共通する工程は省略し、共通する構成要素には同じ符号を付す。

[0073] 上述した方法で、第１絶縁層２１までを形成する。

[0074] 次に、第１絶縁層２１上に、第１導電膜４２ｂおよび第２導電膜４３ｂ（図示されていない）を公知の方法で形成する。第２導電膜４３ｂは、第１導電膜４２ｂの下面と接触するように形成されている。第１導電膜４２ｂの厚さは、例えば３０ｎｍ～１５０ｎｍである。第２導電膜４３ｂの厚さは、例えば１００ｎｍ～６００ｎｍである。第１導電膜４２ｂは、例えばＴｉから形成されている。第１導電膜４２ｂはＴｉの他、例えば、TiO_x、Ｗ、Ｎｂ、Ｖ、Ｚｒ、Ｎｉ、Ｐｔ、Ｐｄ、Ｒｈ、Ｉｒ、Ｍｏ、Ｃｒ、Ｔａやこれらの合金、並びにこれらのナイトライド材料またはシリサイド材料から形成され得る。第１導電膜４２ｂは、単層構造を有するが、積層構造を有してもよい。積層構造とは、上述の材料から選ばれた異なる金属、酸化物、合金、並びにこれらのナイトライド材料またはシリサイド材料から形成された２以上の層を有する構造である。例えばＴｉＮ／Ｔｉである。第２導電膜４３ｂは、例えばＣｕから形成されている。第２導電膜４３ｂはＣｕの他、例えばＣｕ

Ｏ、ＡｌまたはＴｉから形成され得る。第２導電膜４３ｂは、単層構造を有するが、積層構造を有してもよい。積層構造とは、上述の材料から選ばれた異なる金属または酸化物から形成された２以上の層を有する構造である。例えばＣｕＯ／Ｃｕである。また、第１絶縁層２１と第２導電膜４３ｂとの間に、第３導電膜４６ｂ（図示されていない）を形成してもよい。第３導電膜４６ｂの厚さは、例えば３０ｎｍ～１５０ｎｍである。第３導電膜４６ｂは、例えばＴｉから形成されている。第３導電膜４６ｂはＴｉの他、例えば、TiO_x、Ｗ、Ｎｂ、Ｖ、Ｚｒ、Ｎｉ、Ｐｔ、Ｐｄ、Ｒｈ、Ｉｒ、Ｍｏ、Ｃｒ、Ｔａやこれらの合金、並びにこれらのナイトライド材料またはシリサイド材料から形成され得る。第３導電膜４６ｂは、単層構造を有するが、積層構造を有してもよい。積層構造とは、上述の材料から選ばれた異なる金属、酸化物、合金、並びにこれらのナイトライド材料またはシリサイド材料から形成された２以上の層を有する構造である。例えばＴｉＮ／Ｔｉである。

[0075] 次に、第１導電膜４２ｂをパターニングすることにより、第１ソース電極５２ｂ１および第１ドレイン電極５３ｂ１が形成される。第２導電膜４３ｂをパターニングすることにより、第２ソース電極５２ｂ２および第２ドレイン電極５３ｂ２が形成される。

[0076] 次に、上述した方法で、酸化物半導体膜３０を形成する。

[0077] 次に、公知の方法でパターニングし、酸化物半導体膜３０から酸化物半導体層３１ｂを得る。このとき、酸化物半導体層３１ｂは、第１ソース電極５２ｂ１および第１ドレイン電極５３ｂ１の上面と接触するように形成される。酸化物半導体層３１ｂは、第２ソース電極５２ｂ２の側面と接触するように形成され、かつ、第２ドレイン電極５３ｂ２の側面と接触するように形成される。また、第１絶縁層２１と第２ソース電極５２ｂ２との間に第３ソース電極５２ｂ３を形成してもよく、第１絶縁層２１と第２ドレイン電極５３ｂ２との間に第３ドレイン電極５３ｂ３を形成してもよい。このとき、第３ソース電極５２ｂ３および第３ドレイン電極５３ｂ３は、上述した第３導電膜４６ｂから形成される。

[0078] その後、上述した製造方法で、図１（ｂ）に示したＴＦＴ１０Ｂが製造される。また、第３ソース電極５２ｂ３および第３ドレイン電極５３ｂ３を形成した場合、図１（ｄ）に示すＴＦＴ１０Ｂ’が製造される。

[0079] 次に、ＴＦＴ１０Ｃの製造方法を説明する。なおＴＦＴ１０Ｂの製造工程と共通する工程は省略し、共通する構成要素には同じ符号を付す。

[0080] 上述した方法で、第１絶縁層２１までを形成する。

[0081] 次に、第１絶縁層２１上に、第１導電膜４２ｃおよび第２導電膜４３ｃ（図示されていない）を公知の方法で形成する。第２導電膜４３ｃは、第１導電膜４２ｃの下面と接触するように形成されている。第１導電膜４２ｃの厚さは、例えば３０ｎｍ～１５０ｎｍである。第２導電膜４３ｃの厚さは、例えば１００ｎｍ～６００ｎｍである。第１導電膜４２ｃは、例えばＴｉから形成されている。第１導電膜４２ｃはＴｉの他、例えば、TiO_x、Ｗ、Ｎｂ、Ｖ、Ｚｒ、Ｎｉ、Ｐｔ、Ｐｄ、Ｒｈ、Ｉｒ、Ｍｏ、Ｃｒ、Ｔａやこれらの合金、並びにこれらのナイトライド材料またはシリサイド材料から形成され得る。第１導電膜４２ｃは、単層構造を有しているが、積層構造を有してもよい。積層構造とは、上述の材料から選ばれた異なる金属、酸化物、合金、並びにこれらのナイトライド材料またはシリサイド材料から形成された２以上の層を有する構造である。例えばＴｉＮ／Ｔｉである。第２導電膜４３ｃは、例えばＣｕから形成されている。第２導電膜４３ｃはＣｕの他、例えばＣｕＯ、ＡｌまたはＴｉから形成され得る。第２導電膜４３ｃは、単層構造を有するが、積層構造を有してもよい。積層構造とは、上述の材料から選ばれた異なる金属または酸化物から形成された２以上の層を有する構造である。例えばＴｉＮ／Ｔｉである。また、第１絶縁層２１と第２導電膜４３ｃとの間に、第４導電膜４６ｃ（図示されていない）を形成してもよい。第４導電膜４６ｃの厚さは、例えば３０ｎｍ～１５０ｎｍである。第４導電膜４６ｃは、例えばＴｉから形成される。第４導電膜４６ｃはＴｉの他、例えば、TiO_x、Ｗ、Ｎｂ、Ｖ、Ｚｒ、Ｎｉ、Ｐｔ、Ｐｄ、Ｒｈ、Ｉｒ、Ｍｏ、Ｃｒ、Ｔａやこれらの合金、並びにこれらのナイトライド材料またはシリサイド

材料から形成され得る。第４導電膜４６ｃは、単層構造を有するが、積層構造を有してもよい。積層構造とは、上述の材料から選ばれた異なる金属、酸化物、合金、並びにこれらのナイトライド材料またはシリサイド材料から形成された２以上の層を有する構造である。例えばＴｉＮ／Ｔｉである。

[0082] 次に、第１導電膜４２ｃをパターニングすることにより、第１ソース電極５２ｃ１および第１ドレイン電極５３ｃ１が形成される、第２導電膜４３ｃをパターニングすることにより、第２ソース電極５２ｃ２および第２ドレイン電極５３ｃ２が形成される。また、第１絶縁層２１と第２ソース電極５２ｃ２との間に第４ソース電極５２ｃ４と、および、第１絶縁層２１と第２ドレイン電極５３ｃ２との間に第４ドレイン電極５３ｃ４とを形成してもよい。このとき、第４ソース電極５２ｃ４および第４ドレイン電極５３ｃ４は、上述した第４導電膜４６ｃから形成される。

[0083] 次に、公知の方法で、第３導電膜４４ｃを第２ソース電極５２ｃ２の側面および第２ドレイン電極５３ｃ２の側面を覆うように形成する。第３導電膜４４ｃの厚さは、例えば３０ｎｍ～１５０ｎｍである。第３導電膜４４ｃは、例えばＴｉから形成される。第３導電膜４４ｃはＴｉの他、例えば、ＴｉO_x、Ｗ、Ｎｂ、Ｖ、Ｚｒ、Ｎｉ、Ｐｔ、Ｐｄ、Ｒｈ、Ｉｒ、Ｍｏ、Ｃｒ、Ｔａやこれらの合金、並びにこれらのナイトライド材料またはシリサイド材料から形成され得る。第３導電膜４４ｃは、単層構造を有するが、積層構造を有してもよい。積層構造とは、上述の材料から選ばれた異なる金属、酸化物、合金、並びにこれらのナイトライド材料またはシリサイド材料から形成された２以上の層を有する構造である。例えばＴｉＮ／Ｔｉである。

[0084] 次に、公知の方法で、第３導電膜４４ｃをパターニングし、第３ソース電極５２ｃ３および第３ドレイン電極５３ｃ３を形成する。第３ソース電極５２ｃ３は、第２ソース電極５２ｃ２の側面を覆うように形成され、第３ドレイン電極５３ｃ３は、第２ドレイン電極５３ｃ２の側面を覆うように形成されている。

[0085] 次に、公知の方法で酸化物半導体膜３０を形成する。

[0086] 次に、公知の方法でパターニングし、酸化物半導体膜３０から酸化物半導体層３１ｃを得る。このとき、酸化物半導体層３１ｃは、第１ソース電極５２ｃ１および第１ドレイン電極５３ｃ１の上面と接触するように形成される。酸化物半導体層３１ｃは、第３ソース電極５２ｃ３および第３ドレイン電極５３ｃ３と接触するように形成される。酸化物半導体層３１ｃは、第２ソース電極５２ｃ２および第２ドレイン電極５３ｃ２と接触していない。

[0087] その後、上述した製造方法で、図１（ｃ）に示したＴＦＴ１０Ｃが製造される。また、第４ソース電極５２ｃ４および第４ドレイン電極５３ｃ４を形成した場合、図１（ｅ）に示したＴＦＴ１０Ｃ’が製造される。

[0088] 次に、ＴＦＴ１０Ｄの製造方法を説明する。なおＴＦＴ１０Ｂの製造工程と共通する工程は省略し、共通する構成要素には同じ符号を付す。

[0089] 上述した方法で、第１絶縁層２１までを形成する。

[0090] 次に、第１絶縁層２１上に、第１導電膜４２ｄ、第２導電膜４３ｄおよび第３導電膜４４ｄ（図示されていない）を公知の方法で形成する。第２導電膜４３ｄは、第１導電膜４２ｂの下に形成され、第３導電膜４４ｄは、第２導電膜４３ｄの下に形成される。第１導電膜４２ｄおよび第３導電膜４４ｄの厚さは、例えば３０ｎｍ～１５０ｎｍである。第２導電膜４３ｄの厚さは、例えば１００ｎｍ～６００ｎｍである。第１導電膜４２ｄおよび第３導電膜４４ｄは、例えばＴｉから形成されている。第１導電膜４２ｄおよび第３導電膜４４ｄはＴｉの他、例えば、TiO_x、Ｗ、Ｎｂ、Ｖ、Ｚｒ、Ｎｉ、Ｐｔ、Ｐｄ、Ｒｈ、Ｉｒ、Ｍｏ、Ｃｒ、Ｔａやこれらの合金、並びにこれらのナイトライド材料またはシリサイド材料から形成され得る。第１導電膜４２ｄおよび第３導電膜４４ｄは、単層構造を有するが、積層構造を有してもよい。積層構造とは、上述の材料から選ばれた異なる金属、酸化物、合金、並びにこれらのナイトライド材料またはシリサイド材料から形成された２以上の層を有する構造である。例えばＴｉＮ／Ｔｉである。第２導電膜４３ｄは、例えばＣｕから形成されている。第２導電膜４３ｄはＣｕの他、例えばＣｕＯ、ＡｌまたはＴｉから形成され得る。第２導電膜４３ｄは、単層構造を

有するが、積層構造を有してもよい。積層構造とは、上述の材料から選ばれた異なる金属または酸化物から形成された２以上の層を有する構造である。例えばＣｕＯ／Ｃｕである。

[0091] 次に、第１導電膜４２ｄをパターニングすることにより、第１ソース電極５２ｄ１および第１ドレイン電極５３ｄ１が形成される。第２導電膜４３ｄをパターニングすることにより、第２ソース電極５２ｄ２および第２ドレイン電極５３ｄ２が形成される。第３導電膜４４ｄをパターニングすることにより、第３ソース電極５２ｄ３および第３ドレイン電極５３ｄ３が形成される。このとき、第１導電膜４２ｄおよび第３導電膜４４ｄと第２導電膜４３ｄとのエッチングレートの違いによって、第２ソース電極５２ｄ２は、第１ソース電極５２ｄ１および第３ソース電極５２ｄ３の内側に形成される。つまり、第２ソース電極５２ｄ２の側面は、第３ソース電極５２ｄ３の上面に形成され、かつ、第１ソース電極５２ｄ１の下面に形成される。同様に、第２ドレイン電極５３ｄ２は、第１ドレイン電極５３ｄ１および第３ドレイン電極５３ｄ３の内側に形成される。つまり、第２ドレイン電極５３ｄ２の側面は、第３ドレイン電極５３ｄ３の上面に形成され、かつ、第１ドレイン電極５３ｄ１の下面に形成される。

[0092] 次に、上述した方法で、酸化物半導体膜３０を形成する。

[0093] 次に、公知の方法でパターニングし、酸化物半導体膜３０から酸化物半導体層３１ｄを得る。このとき、酸化物半導体層３１ｄは、第１ソース電極５２ｄ１および第１ドレイン電極５３ｄ１の上面と接触するように形成される。酸化物半導体層３１ｄは、第２ソース電極５２ｄ２および第２ドレイン電極５３ｄ２と接触しないように形成される。酸化物半導体層３１ｄは、第３ソース電極５２ｄ３および第３ドレイン電極５３ｄ３の側面と接触するように形成される。また、第２ソース電極５２ｄ２と酸化物半導体層３１ｄとの間に隙間ｈ１が形成され、第２ドレイン電極５３ｄ２と酸化物半導体層３１ｄとの間に隙間ｈ２が形成される。隙間ｈ１およびｈ２の幅は、それぞれ１μｍ以上が好ましい。隙間ｈ１およびｈ２の幅が１μｍ以上あると、例えば

Ｔｉ／Ｃｕを有する金属膜からソース電極およびドレイン電極をエッチング処理して形成するときに、塩化物が生成されるのを防ぐことができる。なお、酸化物半導体層３１ｄと第２ソース電極５２ｄ２の側面、または、第２ドレイン電極５３ｄ２の側面とのいずれか一方が接触してもよい。

[0094] その後、上述した製造方法で、図２に示したＴＦＴ１０Ｄが製造される。

[0095] このような製造方法において、酸化物半導体層３１ａ～３１ｄはソース電極およびドレイン電極が形成された後に形成される。従って、ソース電極およびドレイン電極のパターニング工程で生じる酸化物半導体層へのダメージを防ぐための保護層を形成しなくてもよいので、製造工程数が増大せず、製造コストが増大しない。また、酸化物半導体層３１ａ～３１ｄが低抵抗の材料（例えばＣｕまたはＡｌ）と接触する面積が最小限にされた、または、接触しないようにされたＴＦＴが得られる。従って、低抵抗の材料が酸化物半導体層３１ａ～３１ｄへ拡散するのを防ぐことができる。また、アニール工程で生じる酸化物半導体層３１ａ～３１ｄと例えばＣｕとの密着性劣化の問題を低減できる。その結果、本発明の実施形態により良好なＴＦＴ特性を有する半導体装置を製造することができる。

産業上の利用可能性

[0096] 本発明の適用範囲は極めて広く、ＴＦＴを備えた半導体装置、あるいは、そのような半導体装置を有するあらゆる分野の電子機器に適用することが可能である。例えば、アクティブマトリクス型液晶表示装置や有機ＥＬ表示装置に用いることができる。このような表示装置は、例えば携帯電話や携帯ゲーム機の表示画面や、デジタルカメラのモニター等に利用され得る。従って、液晶表示装置や有機ＥＬ表示装置が組み込まれた電子機器全てに本発明を適用できる。

符号の説明

[0097] １、１’ 開口部

１０、１０Ａ、１０Ｂ、１０Ｂ’、１０Ｃ、１０Ｃ’、１０Ｄ ＴＦＴ

１１ 絶縁基板

２１、２２、２３　　絶縁層

３１ａ、３１ｂ、３１ｃ、３１ｄ、３２’　　酸化物半導体層

５１　　ゲート電極（ゲート配線）

５１’　　補助容量配線

５２ａｓ　　ソース配線

５４　　画素電極

５１’’、５３ａ１’、５３ａ２’、５３ａ３’、５４’　　接続部

１００Ａ、１００Ｂ、１００Ｂ’、１００Ｃ、１００Ｃ’、１００Ｄ　半導体装置

請求の範囲

[請求項1] 絶縁基板と、

前記絶縁基板上に形成されたゲート電極と、

前記ゲート電極上に形成された絶縁層と、

前記絶縁層上に形成されたＩｎ、ＺｎまたはＧａからなる群から選択される少なくとも１つの元素を含む酸化物半導体層と、

前記絶縁層上に形成された第１および第２ソース電極と、

前記絶縁層上に形成された第１および第２ドレイン電極とを有し、

前記第２ソース電極は、前記第１ソース電極の上面と接触するように形成され、かつ、前記第１ソース電極の内側に形成され、

前記第２ドレイン電極は、前記第１ドレイン電極の上面と接触するように形成され、かつ、前記第１ドレイン電極の内側に形成され、

前記酸化物半導体層は、前記第１ソース電極および前記第１ドレイン電極の上面と接触するように形成されている、半導体装置。

[請求項2] 前記酸化物半導体層は、前記第２ソース電極および前記第２ドレイン電極と接触していない、請求項１に記載の半導体装置。

[請求項3] 絶縁基板と、

前記絶縁基板上に形成されたゲート電極と、

前記ゲート電極上に形成された絶縁層と、

前記絶縁層上に形成されたＩｎ、ＺｎまたはＧａからなる群から選択される少なくとも１つの元素を含む酸化物半導体層と、

前記絶縁層上に形成された第１および第２ソース電極と、

前記絶縁層上に形成された第１および第２ドレイン電極とを有し、

前記第２ソース電極は、前記第１ソース電極の下面と接触して形成され、

前記第２ドレイン電極は、前記第１ドレイン電極の下面と接触して形成され、

前記酸化物半導体層は、前記第１ソース電極および前記第１ドレイ

ン電極の上面と接触して形成されている、半導体装置。

[請求項4] 前記酸化物半導体層は、前記第２ソース電極および前記第２ドレイン電極のそれぞれの側面で接触している、請求項３に記載の半導体装置。

[請求項5] 前記第２ソース電極は、前記第１ソース電極の内側に形成され、

前記第２ドレイン電極は、前記第１ドレイン電極の内側に形成され、

前記酸化物半導体層は、前記第２ソース電極および前記第２ドレイン電極と接触していない、請求項３に記載の半導体装置。

[請求項6] 前記半導体装置は、前記絶縁層と前記第２ソース電極との間に、前記第２ソース電極と接触するように形成された第３ソース電極と、

前記絶縁層と前記第２ドレイン電極との間に、前記第２ドレイン電極と接触するように形成された第３ドレイン電極とをさらに有する、請求項３から５のいずれかに記載の半導体装置。

[請求項7] 前記半導体装置は、前記第２ソース電極の側面に接触するように形成された第３ソース電極と、前記第２ドレイン電極の側面に接触するように形成された第３ドレイン電極とをさらに有し、

前記酸化物半導体層は、前記第３ソース電極および前記第３ドレイン電極と接触している、請求項３から５のいずれかに記載の半導体装置。

[請求項8] 前記半導体装置は、前記絶縁層と前記第２ソース電極との間に、前記第２ソース電極と接触するように形成された第４ソース電極と、

前記絶縁層と前記第２ドレイン電極との間に、前記第２ドレイン電極と接触するように形成された第４ドレイン電極とをさらに有する、請求項７に記載の半導体装置。

[請求項9] 前記第４ソース電極および前記第４ドレイン電極は、酸化チタンを含む、請求項８に記載の半導体装置。

[請求項10] 前記第４ソース電極および前記第４ドレイン電極は、Ｔｉ、Ｗ、Ｎ

ｂ、Ｖ、Ｚｒ、Ｎｉ、Ｐｔ、Ｐｄ、Ｒｈ、Ｉｒ、Ｍｏ、Ｃｒ、Ｔａからなる群から選択される少なくとも１つの元素を含む、請求項８に記載の半導体装置。

[請求項11] 前記第４ソース電極および前記第４ドレイン電極は、Ｔｉ、Ｗ、Ｎｂ、Ｖ、Ｚｒ、Ｎｉ、Ｐｔ、Ｐｄ、Ｒｈ、Ｉｒ、Ｍｏ、Ｃｒ、Ｔａからなる群から選択される少なくとも１つの元素を含むナイトライド材料またはシリサイド材料から形成されている、請求項１０に記載の半導体装置。

[請求項12] 前記第３ソース電極および前記第３ドレイン電極は、酸化チタンを含む、請求項６から１１のいずれかに記載の半導体装置。

[請求項13] 前記第３ソース電極および前記第３ドレイン電極は、Ｔｉ、Ｗ、Ｎｂ、Ｖ、Ｚｒ、Ｎｉ、Ｐｔ、Ｐｄ、Ｒｈ、Ｉｒ、Ｍｏ、Ｃｒ、Ｔａからなる群から選択される少なくとも１つの元素を含む、請求項６から１１のいずれかに記載の半導体装置。

[請求項14] 前記第３ソース電極および前記第３ドレイン電極は、Ｔｉ、Ｗ、Ｎｂ、Ｖ、Ｚｒ、Ｎｉ、Ｐｔ、Ｐｄ、Ｒｈ、Ｉｒ、Ｍｏ、Ｃｒ、Ｔａからなる群から選択される少なくとも１つの元素を含むナイトライド材料またはシリサイド材料から形成されている、請求項１３に記載の半導体装置。

[請求項15] 前記第１ソース電極および前記第１ドレイン電極は、酸化チタンを含む、請求項１から１４のいずれかに記載の半導体装置。

[請求項16] 前記第１ソース電極および前記第１ドレイン電極は、Ｔｉ、Ｗ、Ｎｂ、Ｖ、Ｚｒ、Ｎｉ、Ｐｔ、Ｐｄ、Ｒｈ、Ｉｒ、Ｍｏ、Ｃｒ、Ｔａからなる群から選択される少なくとも１つの元素を含む、請求項１から１４のいずれかに記載の半導体装置。

[請求項17] 前記第１ソース電極および前記第１ドレイン電極は、Ｔｉ、Ｗ、Ｎｂ、Ｖ、Ｚｒ、Ｎｉ、Ｐｔ、Ｐｄ、Ｒｈ、Ｉｒ、Ｍｏ、Ｃｒ、Ｔａからなる群から選択される少なくとも１つの元素を含むナイトライド材

料またはシリサイド材料から形成されている、請求項１６に記載の半導体装置。

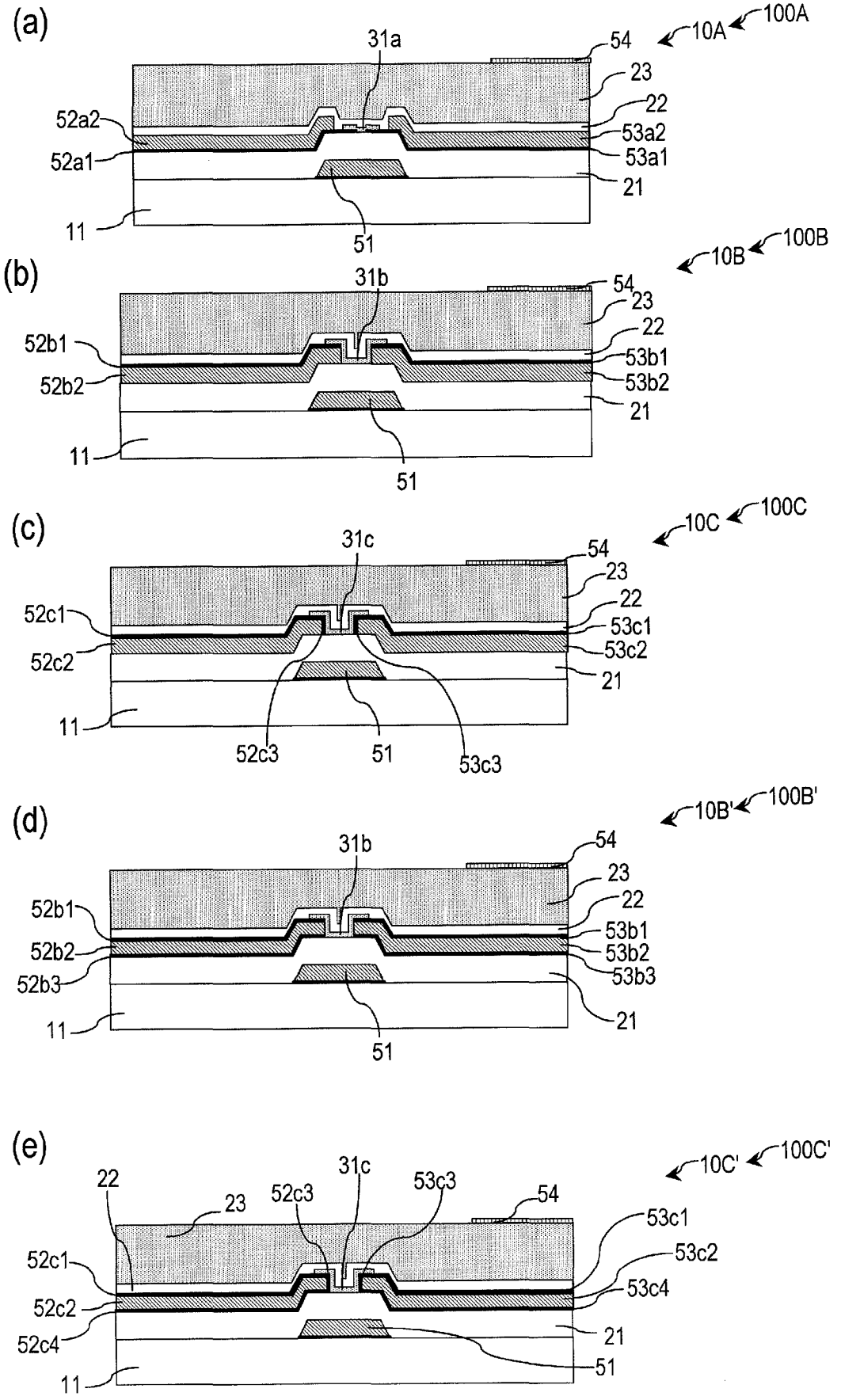
[請求項18] 前記第２ソース電極および前記第２ドレイン電極は、Ｃｕ、ＡｌまたはＴｉを含む、請求項１から１７のいずれかに記載の半導体装置。

[請求項19] 前記酸化物半導体層は、Ｉｎ、ＧａおよびＺｎを含む酸化物を含有する、請求項１から１８のいずれかに記載の半導体装置。

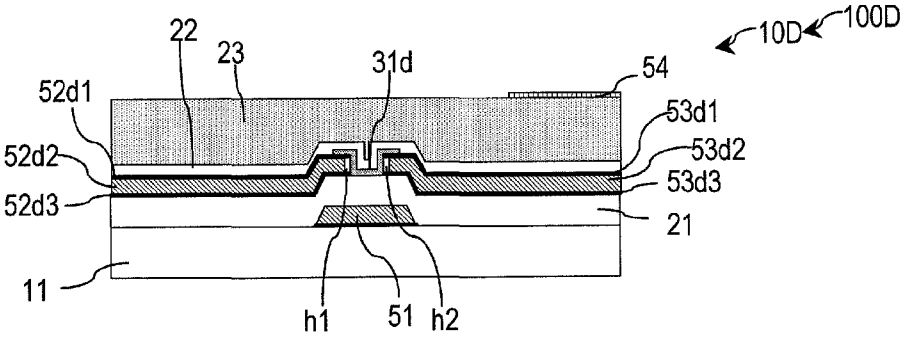
[請求項20] 請求項１から１９のいずれかに記載の半導体装置を有する表示装置。

[請求項21] 請求項１から１９のいずれかに記載の半導体装置の製造方法。

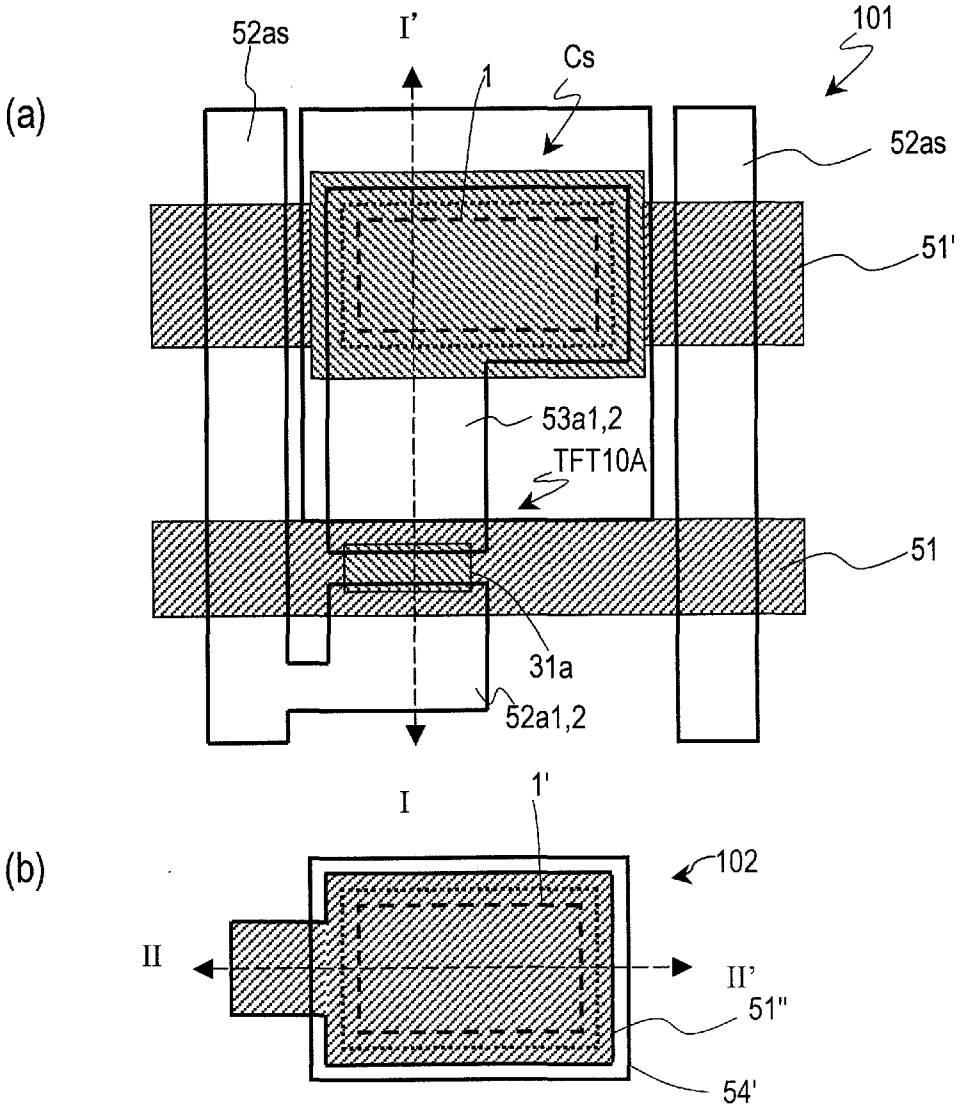
[図1]


(a)
100A
10A
31a
54
23
22
52a2
53a2
52a1
53a1
21
11
51
(b)
100B
10B
31b
54
23
22
52b1
53b1
52b2
53b2
21
11
51
(c)
100C
10C
31c
54
23
22
52c1
53c1
52c2
53c2
21
11
52c3
51
53c3
(d)
100B'
10B'
31b
54
23
22
52b1
53b1
52b2
53b2
52b3
53b3
21
11
51
(e)
100C'
10C'
22
23
31c
52c3
53c3
54
53c1
52c1
53c2
52c2
53c4
52c4
21
11
51

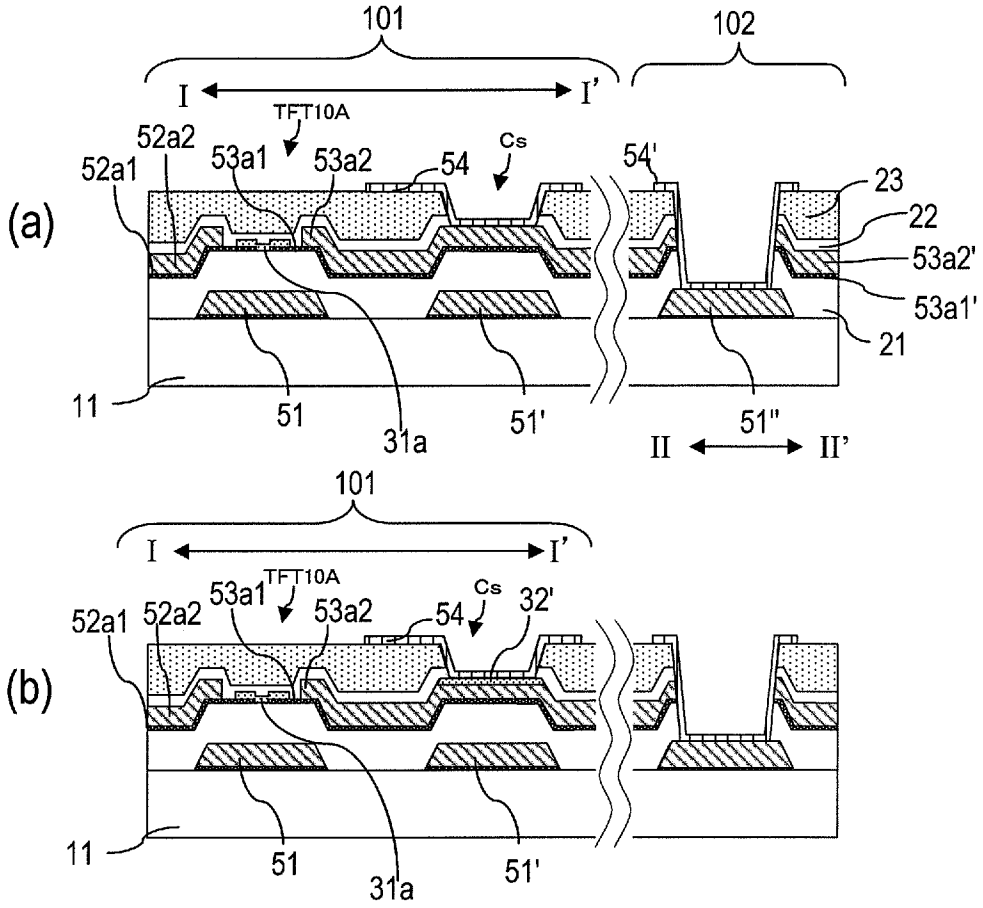
[図2]


22
23
31d
54
10D
100D
52d1
53d1
52d2
53d2
52d3
53d3
21
11
h1
51
h2

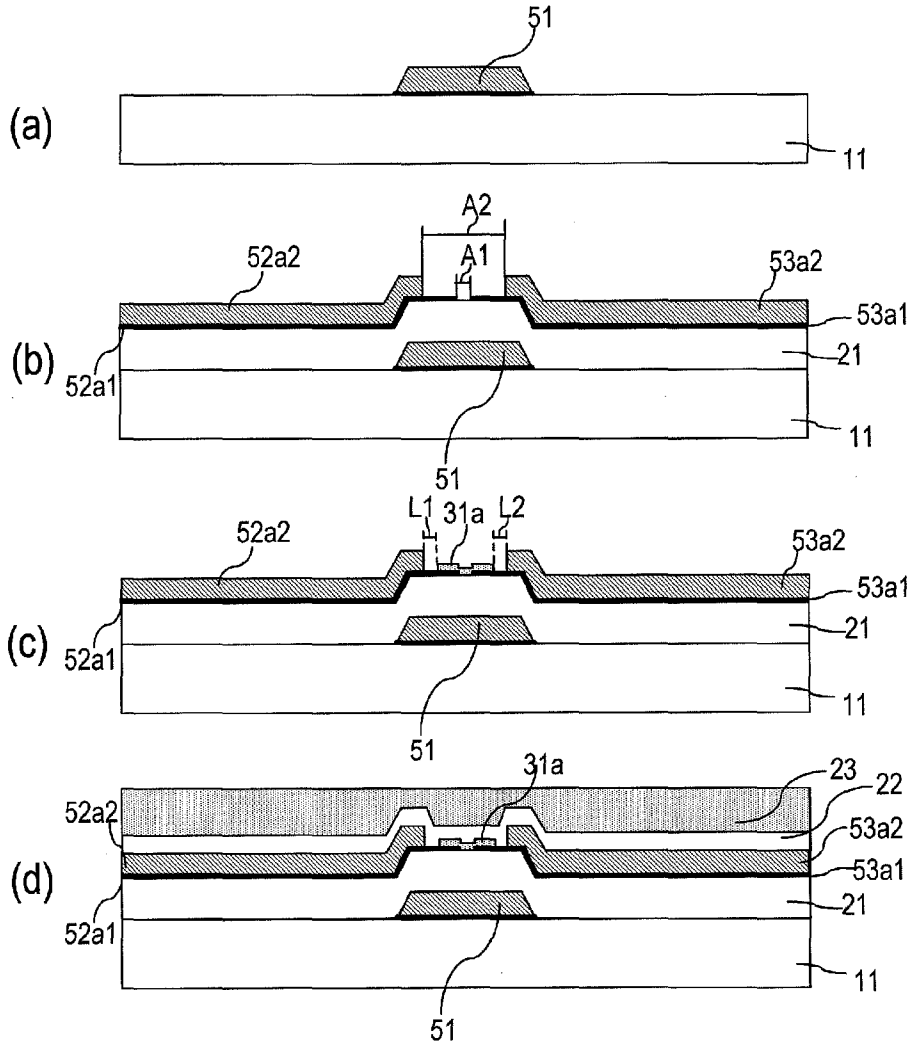
[図3]


(a)
52as
I'
1
Cs
101
52as
51'
53a1,2
TFT10A
51
31a
52a1,2
I
1'
(b)
102
II
II'
51"
54'

[図4]


(a)
101
102
I
I'
TFT10A
52a1
52a2
53a1
53a2
54
Cs
54'
23
22
53a2'
53a1'
21
11
51
31a
51'
51"
II
II'
(b)
101
I
I'
TFT10A
52a1
52a2
53a1
53a2
54
Cs
32'
11
51
31a
51'

[図5]


(a)
51
11
(b)
A2
A1
52a2
53a2
53a1
21
52a1
11
51
(c)
L1
31a
L2
52a2
53a2
53a1
21
52a1
11
51
(d)
31a
23
22
52a2
53a2
53a1
21
52a1
11
51

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2011/058589

A. CLASSIFICATION OF SUBJECT MATTER
H01L29/786(2006.01)i, *H01L21/28*(2006.01)i, *H01L29/41*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L29/786, H01L21/28, H01L29/41

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2010-080954 A (Semiconductor Energy Laboratory Co., Ltd.), 08 April 2010 (08.04.2010), paragraphs [0020] to [0069]; fig. 1, 2 & US 2010/0055832 A1	3,4,6,13,16,18-21 1,2,5,12,14,15,17 7-11
Y	JP 58-170065 A (Tokyo Shibaura Electric Co., Ltd.), 06 October 1983 (06.10.1983), fig. 3, 4 and the explanation passage thereof & US 4700458 A & EP 71244 A2	1,2,5,12,14,15,17
Y	JP 2010-062547 A (Semiconductor Energy Laboratory Co., Ltd.), 18 March 2010 (18.03.2010), paragraphs [0017] to [0020] & US 2010/0032668 A1	9,12,15

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
15 June, 2011 (15.06.11)	28 June, 2011 (28.06.11)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2011/058589

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2010-062546 A (Semiconductor Energy Laboratory Co., Ltd.), 18 March 2010 (18.03.2010), paragraphs [0001] to [0081]; fig. 1 to 3 & US 2010/0032667 A1 & CN 101645463 A & KR 10-2010-0019380 A	3,5-8,10,11, 13,14,16-21 9,12,14,15, 17 1,2,4
E,X	JP 2010-206190 A (Semiconductor Energy Laboratory Co., Ltd.), 16 September 2010 (16.09.2010), paragraphs [0048] to [0102]; fig. 1 to 4 & US 2010/0193782 A1	1,3,4,18-21
E,X	JP 2010-226097 A (Semiconductor Energy Laboratory Co., Ltd.), 07 October 2010 (07.10.2010), paragraphs [0028] to [0117]; fig. 1 to 3 & US 2010/0213461 A1	1,3,4,18-21

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１１／０５８５８９

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/786(2006.01)i, H01L21/28(2006.01)i, H01L29/41(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/786, H01L21/28, H01L29/41

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１１年
日本国実用新案登録公報	１９９６－２０１１年
日本国登録実用新案公報	１９９４－２０１１年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2010-080954 A (株式会社半導体エネルギー研究所) 2010.04.08, 【0020】-【0069】, 図1,2 & US 2010/0055832 A1	3,4,6,13,16, 18-21
Y		1,2,5,12,14, 15,17
A		7-11
Y	JP 58-170065 A (東京芝浦電機株式会社) 1983.10.06, 第３図、第４図及び第３図、第４図の説明箇所 & US 4700458 A & EP 71244 A2	1,2,5,12,14, 15,17

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１５．０６．２０１１	２８．０６．２０１１

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　４Ｌ　４４２９
松本　陶子
電話番号　０３－３５８１－１１０１　内線　３４９８

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Ｙ	JP 2010-062547 A (株式会社半導体エネルギー研究所) 2010.03.18, 【0017】-【0020】 & US 2010/0032668 A1	9,12,15
Ｘ	JP 2010-062546 A (株式会社半導体エネルギー研究所) 2010.03.18, 【0001】-【0081】及び図 1-3 & US 2010/0032667 A1	3,5-8,10,11,13,14,16-21
Ｙ	& CN 101645463 A & KR 10-2010-0019380 A	9,12,14,15,17
Ａ		1,2,4
Ｅ，Ｘ	JP 2010-206190 A (株式会社半導体エネルギー研究所) 2010.09.16, 【0048】-【0102】及び図 1-4 & US 2010/0193782 A1	1,3,4,18-21
Ｅ，Ｘ	JP 2010-226097 A (株式会社半導体エネルギー研究所) 2010.10.07, 【0028】-【0117】, 図 1-3 & US 2010/0213461 A1	1,3,4,18-21