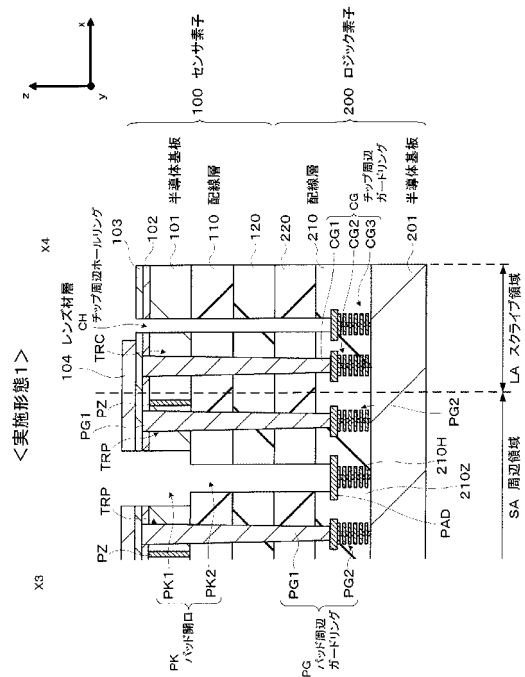




【特許請求の範囲】**【請求項 1】**

光電変換部を含む画素が複数設けられているセンサ素子と、
前記センサ素子に対面して積層するように貼り合わされており、パッド電極が設けられているロジック素子と

を具備しており、

前記センサ素子と前記ロジック素子との積層体は、

前記パッド電極において前記センサ素子に対面するパッド面の上面に、パッド開口が設けられていると共に、前記パッド開口の側部を囲うようにパッド周辺ガードリングが設けられており、

前記パッド周辺ガードリングは、前記パッド開口の側部において、少なくとも前記パッド開口と同じ深さまで設けられたトレンチの全体に、金属材料を一体で埋め込むことで形成されている、

固体撮像装置。

10

【請求項 2】

前記パッド周辺ガードリングは、上面から下面へ向かうに幅が伴って狭くなるように形成されている、

請求項 1 に記載の固体撮像装置。

【請求項 3】

前記パッド周辺ガードリングは、銅を用いて形成されており、

前記センサ素子は、上面において前記パッド周辺ガードリングが設けられた部分を被覆するように、有機樹脂膜が設けられている、

請求項 1 に記載の固体撮像装置。

20

【請求項 4】

前記センサ素子は、第 1 半導体基板を含み、前記第 1 半導体基板において前記ロジック素子に対面する下面に第 1 配線層が設けられており、

前記ロジック素子は、第 2 半導体基板を含み、前記第 2 半導体基板において前記センサ素子に対面する上面に第 2 配線層が設けられており、

前記パッド電極は、前記第 2 配線層の内部に設けられており、

前記パッド開口と前記パッド周辺ガードリングとのそれぞれは、少なくとも、前記第 1 半導体基板と前記第 1 配線層とを貫通するように設けられている、

請求項 1 に記載の固体撮像装置。

30

【請求項 5】

前記センサ素子と前記ロジック素子との積層体は、

前記センサ素子と前記ロジック素子とが対面する面の方向において、前記複数の画素が配置された画素領域を含むチップ領域と、前記チップ領域の周りに位置するスクライブ領域とを有し、

前記スクライブ領域においてダイシングされる部分よりも前記チップ領域側に、トレンチがチップ周辺ホールリングとして設けられていると共に、

前記スクライブ領域において前記チップ周辺ホールリングが設けられている部分よりも前記チップ領域側に、チップ周辺ガードリングが設けられており、

前記チップ周辺ガードリングは、前記チップ周辺ホールリングの側部において、少なくとも前記チップ周辺ホールリングと同じ深さまで設けられたトレンチの全体に、金属材料を一体で埋め込むことで形成されている、

請求項 1 に記載の固体撮像装置。

40

【請求項 6】

前記チップ周辺ガードリングは、上面から下面へ向かうに幅が伴って狭くなるように形成されている、

請求項 5 に記載の固体撮像装置。

【請求項 7】

50

前記チップ周辺ガードリングは、銅を用いて形成されており、

前記センサ素子は、上面において前記チップ周辺ガードリングが設けられた部分を被覆するように、有機樹脂膜が設けられている、

請求項 5 に記載の固体撮像装置。

【請求項 8】

前記センサ素子は、第 1 半導体基板を含み、前記第 1 半導体基板において前記ロジック素子に対面する下面に第 1 配線層が設けられており、

前記ロジック素子は、第 2 半導体基板を含み、前記第 2 半導体基板において前記センサ素子に対面する上面に第 2 配線層が設けられており、

前記チップ周辺ホールリングと前記チップ周辺ガードリングとのそれぞれは、少なくとも、前記第 1 半導体基板と前記第 1 配線層とを貫通するように設けられている、

請求項 5 に記載の固体撮像装置。

【請求項 9】

前記センサ素子は、前記光電変換部の受光面に光を集光するオンチップレンズが前記複数の画素のそれぞれに対応して前記第 1 半導体基板の上面の側に設けられており、

前記オンチップレンズは、前記第 1 半導体基板の上面において当該オンチップレンズを形成する部分を被覆するように設けられた前記有機樹脂膜を加工することで形成されている、

請求項 3 に記載の固体撮像装置。

【請求項 10】

前記センサ素子は、前記光電変換部の受光面に光を集光するオンチップレンズが前記複数の画素のそれぞれに対応して前記第 1 半導体基板の上面の側に設けられており、

前記オンチップレンズは、前記第 1 半導体基板の上面において当該オンチップレンズを形成する部分を被覆するように設けられた前記有機樹脂膜を加工することで形成されている、

請求項 7 に記載の固体撮像装置。

【請求項 11】

光電変換部を含む画素が複数設けられているセンサ素子と、

前記センサ素子に対面して積層するように貼り合わされており、パッド電極が設けられているロジック素子と

を具備しており、

前記センサ素子と前記ロジック素子との積層体は、

前記パッド電極において前記センサ素子に対面するパッド面の上面に、パッド開口が設けられていると共に、前記パッド開口の側部を囲うようにパッド周辺ガードリングが設けられており、

前記パッド周辺ガードリングは、前記パッド開口の側部において、少なくとも前記パッド開口と同じ深さまで設けられたトレンチの全体に、金属材料を一体で埋め込むことで形成されている、

電子機器。

【請求項 12】

第 1 半導体チップと、

前記第 1 半導体チップに対面して積層するように貼り合わされており、パッド電極が設けられている第 2 半導体チップと

を具備しており、

前記第 1 半導体チップと前記第 2 半導体チップとの積層体は、

前記パッド電極において前記第 1 半導体チップに対面するパッド面の上面に、パッド開口が設けられていると共に、前記パッド開口の側部を囲うようにパッド周辺ガードリングが設けられており、

前記パッド周辺ガードリングは、前記パッド開口の側部において、少なくとも前記パッド開口と同じ深さまで設けられたトレンチの全体に、金属材料を一体で埋め込むことで形

10

20

30

40

50

成されている、
半導体装置。

【請求項 13】

光電変換部を含む画素が複数設けられているセンサ素子と、パッド電極が設けられているロジック素子とを対面して積層するように貼り合わせる工程と、

前記センサ素子と前記ロジック素子との積層体において、前記パッド電極にて前記センサ素子に対面するパッド面の上面に設けるパッド開口の側部を囲うようにパッド周辺ガードリングを設ける工程と

を有し、

前記パッド周辺ガードリングを設ける工程においては、

前記パッド開口の側部において、少なくとも前記パッド開口と同じ深さまで設けられたトレンチの全体に、金属材料を一体で埋め込むことで、前記パッド周辺ガードリングを形成する、

固体撮像装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本技術は、固体撮像装置、電子機器、半導体装置、固体撮像装置の製造方法に関する。

【背景技術】

【0002】

デジタルビデオカメラ、デジタルスチルカメラなどの電子機器は、固体撮像装置を含む。たとえば、固体撮像装置として、CMOS (Complementary Metal Oxide Semiconductor) 型イメージセンサ、CCD (Charge Coupled Device) 型イメージセンサを含む。

【0003】

固体撮像装置は、半導体基板の面に複数の画素が配列されている。各画素においては、光電変換部が設けられている。光電変換部は、たとえば、フォトダイオードであり、外付けの光学系を介して入射する光を受光面で受光し光電変換することによって、信号電荷を生成する。

【0004】

固体撮像装置のうち、CMOS型イメージセンサは、光電変換部のほかに、画素トランジスタを含むように、画素が構成されている。画素トランジスタは、光電変換部で生成された信号電荷を読み出して、信号線へ電気信号として出力するように構成されている。

【0005】

固体撮像装置は、一般に、半導体基板において回路や配線などが設けられた表面側から入射する光を、光電変換部が受光する。このような場合には、回路や配線などが入射する光を遮光または反射するために、感度を向上させることが困難な場合がある。このため、半導体基板において回路や配線などが設けられた表面とは反対側の裏面側から入射する光を、光電変換部が受光する「裏面照射型」が提案されている（たとえば、特許文献1～3参照）。

【0006】

また、上記の固体撮像装置のような半導体装置では、機能が異なる素子を積み重ねて両者を電氣的に接続する「3次元実装」が提案されている。「3次元実装」では、各機能に対応する最適な回路を各半導体基板に形成するので、装置を高機能化することを容易に実現できる。たとえば、センサ素子と、そのセンサ素子から出力される信号を処理するロジック素子とを積層して、固体撮像装置が構成される。ここでは、パッド電極の表面が露出するように半導体基板を貫通させることでパッド開口を設け、そのパッド開口を介して、各素子の間を電氣的に接続している（たとえば、特許文献4，5参照）。

【0007】

上記のような半導体装置を製造する際には、半導体基板に複数の半導体装置を並べるよ

10

20

30

40

50

うに形成する。つまり、複数のチップを半導体ウエハに配列して設ける。その後、その各半導体装置の周囲に位置するスクライプラインに沿ってダイシングして、複数に分割する。ダイシング工程では、分割されたものに亀裂や剥がれ等のチップングが発生し、製品の歩留まりが低下する場合がある。特に、 SiO_2 よりも比誘電率が低誘電率絶縁材料を用いて形成された low-k 膜を、絶縁膜として用いた場合には、このような不具合の発生が顕在化する場合がある。一般に、 low-k 膜は、密着性および機械的強度が低いため、このような不具合が生じやすい。

【0008】

チップングの発生を防止するために、さまざまな方法が提案されている。

【0009】

10

たとえば、チップングの進行が素子の形成部分に達する前に止めるように、半導体装置（チップ）の周りを囲うようにトレンチを設けている（たとえば、特許文献6参照）。

【0010】

この他に、多層配線層で発生したチップングが素子の形成部分に達する前に止まるように、多層配線層の内部にガードリングを形成している。たとえば、絶縁層と金属配線とを交互に設けて多層配線層を形成する工程において、ガードリングを形成する部分についても、その配線を形成する金属材料を成膜することで、ガードリングを形成している。つまり、複数の金属膜を積層することで、ガードリングを形成している（たとえば、特許文献7参照）。

【先行技術文献】

20

【特許文献】

【0011】

【特許文献1】特開2003-273343号公報

【特許文献2】特開2005-150463号公報

【特許文献3】特開2008-182142号公報

【特許文献4】特開2006-49361号公報

【特許文献5】特開2007-13089号公報

【特許文献6】特開平06-77315号公報

【特許文献7】特開2005-167198号公報

【発明の概要】

30

【発明が解決しようとする課題】

【0012】

しかしながら、上記の固体撮像装置などの半導体装置においては、装置の信頼性や、製品の歩留まりなどが十分でない場合がある。

【0013】

したがって、本技術は、装置の信頼性や、製品の歩留まりなどを向上可能な固体撮像装置、電子機器、半導体装置、固体撮像装置の製造方法を提供する。

【課題を解決するための手段】

【0014】

本技術の固体撮像装置、電子機器は、光電変換部を含む画素が複数設けられているセンサ素子と、前記センサ素子に対面して積層するように貼り合わされており、パッド電極が設けられているロジック素子とを具備しており、前記センサ素子と前記ロジック素子との積層体は、前記パッド電極において前記センサ素子に対面するパッド面の上面に、パッド開口が設けられていると共に、前記パッド開口の側部を囲うようにパッド周辺ガードリングが設けられており、前記パッド周辺ガードリングは、前記パッド開口の側部において、少なくとも前記パッド開口と同じ深さまで設けられたトレンチの全体に、金属材料を一体で埋め込むことで形成されている。

40

電子機器。

【0015】

本技術の半導体装置は、第1半導体チップと、前記第1半導体チップに対面して積層す

50

るように貼り合わされており、パッド電極が設けられている第2半導体チップとを具備しており、前記第1半導体チップと前記第2半導体チップとの積層体は、前記パッド電極において前記第1半導体チップに対面するパッド面の上面に、パッド開口が設けられていると共に、前記パッド開口の側部を囲うようにパッド周辺ガードリングが設けられており、前記パッド周辺ガードリングは、前記パッド開口の側部において、少なくとも前記パッド開口と同じ深さまで設けられたトレンチの全体に、金属材料を一体で埋め込むことで形成されている。

【0016】

本技術の固体撮像装置の製造方法は、光電変換部を含む画素が複数設けられているセンサ素子と、パッド電極が設けられているロジック素子とを対面して積層するように貼り合わせる工程と、前記センサ素子と前記ロジック素子との積層体において、前記パッド電極にて前記センサ素子に対面するパッド面の上面に設けるパッド開口の側部を囲うようにパッド周辺ガードリングを設ける工程とを有し、前記パッド周辺ガードリングを設ける工程においては、前記パッド開口の側部において、少なくとも前記パッド開口と同じ深さまで設けられたトレンチの全体に、金属材料を一体で埋め込むことで、前記パッド周辺ガードリングを形成する。

10

【0017】

本技術では、パッド電極のパッド面の上面に設けるパッド開口の側部を囲うようにパッド周辺ガードリングを設ける。ここでは、パッド開口の側部において、少なくともパッド開口と同じ深さまで設けられたトレンチの全体に、金属材料を一体で埋め込むことで、このパッド周辺ガードリングを形成する。パッド開口から吸湿した水分が内部へ侵入することを、パッド周辺ガードリングが遮断する。

20

【発明の効果】

【0018】

本技術によれば、装置の信頼性や、製品の歩留まりなどを向上可能な固体撮像装置、電子機器、半導体装置、固体撮像装置の製造方法を提供することができる。

【図面の簡単な説明】

【0019】

【図1】図1は、実施形態1にかかるカメラの構成を示す図である。

【図2】図2は、実施形態1にかかる固体撮像装置の全体構成を示す図である。

30

【図3】図3は、実施形態1にかかる固体撮像装置の全体構成を示す図である。

【図4】図4は、実施形態1にかかる固体撮像装置の要部構成を示す図である。

【図5】図5は、実施形態1にかかる固体撮像装置の要部構成を示す図である。

【図6】図6は、実施形態1にかかる固体撮像装置の要部構成を示す図である。

【図7】図7は、実施形態1にかかる固体撮像装置の要部構成を示す図である。

【図8】図8は、実施形態1にかかる固体撮像装置の製造方法を示す図である。

【図9】図9は、実施形態1にかかる固体撮像装置の製造方法を示す図である。

【図10】図10は、実施形態1にかかる固体撮像装置の製造方法を示す図である。

【図11】図11は、実施形態1にかかる固体撮像装置の製造方法を示す図である。

【図12】図12は、実施形態1にかかる固体撮像装置の製造方法を示す図である。

40

【図13】図13は、実施形態1にかかる固体撮像装置の製造方法を示す図である。

【図14】図14は、実施形態1にかかる固体撮像装置について、作用・効果を示す図である。

【図15】図15は、実施形態2において、固体撮像装置の要部を示す図である。

【図16】図16は、実施形態2において、固体撮像装置の要部を示す図である。

【図17】図17は、実施形態2において、固体撮像装置の要部を示す図である。

【発明を実施するための形態】

【0020】

実施形態について、図面を参照して説明する。

【0021】

50

なお、説明は、下記の順序で行う。

- 1．実施形態 1（ホールリング有の場合）
- 2．実施形態 2（ホールリング無の場合）
- 3．その他

【0022】

< 1．実施形態 1 >

[A．装置構成]

(A - 1) カメラの要部構成

図 1 は、実施形態 1 にかかるカメラの構成を示す図である。

【0023】

10

図 1 に示すように、カメラ 40 は、固体撮像装置 1 と、光学系 42 と、制御部 43 と、信号処理部 44 とを有する。各部について、順次、説明する。

【0024】

固体撮像装置 1 は、光学系 42 を介して被写体像として入射する入射光 H を、撮像面 P S で受光して光電変換することによって、信号電荷を生成する。ここでは、固体撮像装置 1 は、制御部 43 から出力される制御信号に基づいて駆動する。そして、信号電荷を読み出し、電気信号として出力する。

【0025】

光学系 42 は、結像レンズや絞りなどの光学部材を含み、入射光 H を、固体撮像装置 1 の撮像面 P S へ集光するように配置されている。

20

【0026】

制御部 43 は、各種の制御信号を固体撮像装置 1 と信号処理部 44 とに出力し、固体撮像装置 1 と信号処理部 44 とを制御して駆動させる。

【0027】

信号処理部 44 は、固体撮像装置 1 から出力された電気信号について信号処理を実施することによって、カラーデジタル画像を生成する。

【0028】

(A - 2) 固体撮像装置の全体構成

固体撮像装置 1 の全体構成について説明する。

【0029】

30

図 2 , 図 3 は、実施形態 1 にかかる固体撮像装置の全体構成を示す図である。

【0030】

図 2 は、ブロック図を示し、図 3 は、断面図を示している。

【0031】

図 2 に示すように、固体撮像装置 1 は、画素領域 P A が設けられている。

【0032】

画素領域 P A は、図 2 に示すように、矩形形状であり、複数の画素 P が水平方向 x と垂直方向 y とのそれぞれに並んで配置されている。つまり、画素 P がマトリクス状に並んでいる。この画素領域 P A は、図 1 に示した撮像面 P S に相当する。画素 P の詳細については、後述する。

40

【0033】

この他に、固体撮像装置 1 は、図 2 に示すように、垂直駆動回路 3 と、カラム回路 4 と、水平駆動回路 5 と、外部出力回路 7 と、タイミングジェネレータ 8 とが、周辺回路として設けられている。

【0034】

垂直駆動回路 3 は、図 2 に示すように、画素領域 P A において水平方向 x に並ぶ複数の画素 P の行ごとに電氣的に接続されている。

【0035】

カラム回路 4 は、図 2 に示すように、列単位で画素 P から出力される信号について信号処理を実施するように構成されている。ここでは、カラム回路 4 は、C D S (C o r r e

50

lated Double Sampling ; 相関二重サンプリング) 回路 (図示なし) を含み、固定パターンノイズを除去する信号処理を実施する。

【 0 0 3 6 】

水平駆動回路 5 は、図 2 に示すように、カラム回路 4 に電氣的に接続されている。水平駆動回路 5 は、たとえば、シフトレジスタを含み、カラム回路 4 で画素 P の列ごとに保持されている信号を、順次、外部出力回路 7 へ出力させる。

【 0 0 3 7 】

外部出力回路 7 は、図 2 に示すように、カラム回路 4 に電氣的に接続されており、カラム回路 4 から出力された信号について信号処理を実施後、外部へ出力する。外部出力回路 7 は、A G C (A u t o m a t i c G a i n C o n t r o l) 回路 7 a と A D C 回路 7 b とを含む。外部出力回路 7 においては、A G C 回路 7 a が信号にゲインをかけた後に、A D C 回路 7 b がアナログ信号からデジタル信号へ変換して、外部へ出力する。

【 0 0 3 8 】

タイミングジェネレータ 8 は、図 2 に示すように、垂直駆動回路 3、カラム回路 4、水平駆動回路 5、外部出力回路 7 のそれぞれに電氣的に接続されている。タイミングジェネレータ 8 は、各種パルス信号を生成し、垂直駆動回路 3、カラム回路 4、水平駆動回路 5、外部出力回路 7 に出力することで、各部について駆動制御を行う。

【 0 0 3 9 】

図 3 に示すように、固体撮像装置 1 は、センサ素子 1 0 0 と、ロジック素子 2 0 0 とを含む。

【 0 0 4 0 】

センサ素子 1 0 0 と、ロジック素子 2 0 0 とのそれぞれは、図 3 に示すように、対面しており、その対面した面で互いに接合されている。このように、固体撮像装置 1 は、「3次元積層構造」であって、センサ素子 1 0 0 とロジック素子 2 0 0 とが積み重なっている。そして、センサ素子 1 0 0 とロジック素子 2 0 0 とのそれぞれが、互いに電氣的に接続されている。

【 0 0 4 1 】

固体撮像装置 1 において、センサ素子 1 0 0 には、上述の図 2 で示した画素領域 P A が設けられている。また、センサ素子 1 0 0 には、上述の図 2 で示した周辺回路の一部が設けられている。たとえば、上述の図 2 で示した垂直駆動回路 3 とタイミングジェネレータ 8 とが、画素領域 P A の周辺に設けられている。

【 0 0 4 2 】

固体撮像装置 1 において、ロジック素子 2 0 0 には、上述の図 2 で示した周辺回路のうち、センサ素子 1 0 0 に設けられなかった回路が設けられている。たとえば、上述の図 2 で示したカラム回路 4 と、水平駆動回路 5 と、外部出力回路 7 とが設けられている。

【 0 0 4 3 】

なお、センサ素子 1 0 0 に周辺回路を設けず、ロジック素子 2 0 0 に、図 2 で示した周辺回路の全てを設けるように、構成しても良い。その他、ロジック素子 2 0 0 に代えて、配線基板を設けても良い。すなわち、機能が異なる複数の半導体チップを積み重ねて、固体撮像装置を構成しても良い。

【 0 0 4 4 】

(A - 3) 固体撮像装置 1 の要部構成

固体撮像装置 1 の要部構成について説明する。

【 0 0 4 5 】

図 4 ~ 図 7 は、実施形態 1 にかかる固体撮像装置の要部構成を示す図である。

【 0 0 4 6 】

ここでは、図 4 は、上面図であり、センサ素子 1 0 0 側の面を示している。

【 0 0 4 7 】

また、図 5、図 6 は、断面図である。図 5 は、図 4 の X 1 - X 2 部分を示している。これに対して、図 6 は、図 4 の X 3 - X 4 部分を示している。

【 0 0 4 8 】

図 7 は、画素 P の回路構成を示している。

【 0 0 4 9 】

(A - 3 - 1) 上面構成の概要

図 4 に示すように、固体撮像装置 1 は、チップ領域 C A と、スクライプ領域 L A とが、面 (x y 面) に設けられている。

【 0 0 5 0 】

チップ領域 C A は、図 4 に示すように、水平方向 x と垂直方向 y において区画された矩形形状であって、上述した画素領域 P A (図 2 参照) を含む。この他に、チップ領域 C A は、周辺領域 S A を含む。

10

【 0 0 5 1 】

チップ領域 C A において、画素領域 P A は、図 4 に示すように、矩形形状であり、複数の画素 P が水平方向 x と垂直方向 y とのそれぞれに並んで配置されている。

【 0 0 5 2 】

チップ領域 C A において、周辺領域 S A は、図 4 に示すように、画素領域 P A の周囲に位置している。

【 0 0 5 3 】

この周辺領域 S A においては、図 4 に示すように、パッド電極 P A D と、パッド周辺ガードリング P G と、パッド周辺絶縁リング P Z とが設けられている。

【 0 0 5 4 】

20

スクライプ領域 L A は、図 4 に示すように、チップ領域 C A の周りを囲うように位置している。ここでは、スクライプ領域 L A は、水平方向 x と垂直方向 y とのそれぞれに延在する部分を含み、チップ領域 C A の周りで矩形を描くように設けられている。

【 0 0 5 5 】

このスクライプ領域 L A には、図 4 に示すように、チップ周辺ガードリング C G とチップ周辺ホールリング C H とが設けられている。

【 0 0 5 6 】

詳細については後述するが、ダイシング前のウエハ (図示無し) には、チップ領域 C A が複数並んで設けられており、スクライプ領域 L A は、その複数のチップ領域 C A の間においてライン状に延在している。このスクライプ領域 L A では、ブレードが当てられてダイシングが行われ、上述したチップ領域 C A を備える固体撮像装置 1 に分割される。

30

【 0 0 5 7 】

(A - 3 - 2) 断面構成の概要

図 5 , 図 6 に示すように、上記の固体撮像装置 1 は、センサ素子 1 0 0 と、ロジック素子 2 0 0 とを含み、それぞれが対面して貼り合わされている。

【 0 0 5 8 】

センサ素子 1 0 0 は、図 5 , 図 6 に示すように、半導体基板 1 0 1 を含む。半導体基板 1 0 1 は、たとえば、単結晶シリコンからなる。

【 0 0 5 9 】

図 5 , 図 6 に示すように、センサ素子 1 0 0 は、半導体基板 1 0 1 においてロジック素子 2 0 0 に対面する側の表面 (下面) には、配線層 1 1 0 と絶縁層 1 2 0 とが、順次、設けられている。配線層 1 1 0 と絶縁層 1 2 0 とのそれぞれは、半導体基板 1 0 1 の表面 (下面) において、画素領域 P A , 周辺領域 S A , スクライプ領域 L A の全体に渡って設けられている。

40

【 0 0 6 0 】

センサ素子 1 0 0 において、半導体基板 1 0 1 の内部には、図 5 に示すように、画素領域 P A にフォトダイオード 2 1 が設けられている。

【 0 0 6 1 】

センサ素子 1 0 0 において、半導体基板 1 0 1 の裏面 (上面) には、図 5 , 図 6 に示すように、第 1 絶縁膜 1 0 2 と第 2 絶縁膜 1 0 3 とが順次設けられている。第 1 絶縁膜 1 0

50

2と第2絶縁膜103とのそれぞれは、半導体基板101の裏面(上面)において、画素領域PA, 周辺領域SA, スクライブ領域LAの全体に渡って設けられている。また、半導体基板101の裏面(上面)において、画素領域PAには、図5に示すように、カラーフィルタCFとオンチップレンズOCLとが、第1絶縁膜102と第2絶縁膜103と介在して、順次、設けられている。この他に、半導体基板101の裏面(上面)において、周辺領域SA, スクライブ領域LAには、図6に示すように、レンズ材層104が、第1絶縁膜102と第2絶縁膜103と介在して設けられている。

【0062】

図示を省略しているが、センサ素子100において、配線層110が設けられた下面側には、半導体回路素子(図示無し)が設けられている。具体的には、半導体回路素子(図示無し)は、画素領域PAにおいては、図7に示す画素トランジスタTrを構成するように設けられている。また、周辺領域SAにおいては、たとえば、図2に示した、垂直駆動回路3、タイミングジェネレータ8を構成するように、半導体回路素子(図示無し)が設けられている。

【0063】

ロジック素子200は、図5, 図6に示すように、半導体基板201を含む。半導体基板201は、たとえば、単結晶シリコンからなる。ロジック素子200は、半導体基板201が、センサ素子100の半導体基板101に対面している。ロジック素子200の半導体基板201は、支持基板として機能して、固体撮像装置1の全体の強度が確保される。

【0064】

ロジック素子は、図5, 図6に示すように、半導体基板201においてセンサ素子100に対面する側の表面(上面)に、配線層210と絶縁層220とが、順次、設けられている。配線層210と絶縁層220とのそれぞれは、半導体基板201の表面(上面)において、画素領域PA, 周辺領域SA, スクライブ領域LAの全体に渡って設けられている。

【0065】

図示を省略しているが、ロジック素子200において、半導体基板201の表面(上面)側には、MOSトランジスタなどの半導体回路素子(図示無し)が設けられている。半導体回路素子(図示無し)は、たとえば、図2に示した、カラム回路4、水平駆動回路5、外部出力回路7を構成するように設けられている。

【0066】

そして、固体撮像装置1は、図5, 図6に示すように、センサ素子100の絶縁層120と、ロジック素子200の絶縁層220とが接合されており、これにより、センサ素子100と、ロジック素子200との両者が貼り合わされている。

【0067】

固体撮像装置1は、図5に示すように、センサ素子100の半導体基板101において、配線層110が設けられた表面(下面)側とは反対側の裏面(上面)から入射する入射光Hを、フォトダイオード21が受光するように構成されている。

【0068】

つまり、固体撮像装置1は、「裏面照射型CMOSイメージセンサ」である。

【0069】

また、固体撮像装置1は、図6に示すように、周辺領域SAにおいては、図4に示した、パッド電極PAD、パッド周辺ガードリングPG、パッド周辺絶縁リングPZが設けられている。

【0070】

そして、図6に示すように、スクライブ領域LAには、図4に示した、チップ周辺ガードリングCGとチップ周辺ホールリングCHとが設けられている。

【0071】

(A-3-3)各部の詳細構成

10

20

30

40

50

固体撮像装置 1 を構成する各部の詳細について、順次、説明する。

【 0 0 7 2 】

(a) フォトダイオード 2 1 について

フォトダイオード 2 1 は、図 5 に示すように、画素領域 P A において、複数の画素 P のそれぞれに対応して設けられている。フォトダイオード 2 1 は、センサ素子 1 0 0 において、たとえば、厚みが 1 ~ 3 0 μ m に薄膜化された半導体基板 1 0 1 に設けられている。

【 0 0 7 3 】

フォトダイオード 2 1 は、被写体像として入射する入射光 H を受光して光電変換することによって、信号電荷を生成し蓄積するように形成されている。

【 0 0 7 4 】

ここでは、図 5 に示すように、半導体基板 1 0 1 の裏面 (上面) 側であって、フォトダイオード 2 1 の上方には、カラーフィルタ C F , マイクロレンズ M L が設けられている。このため、フォトダイオード 2 1 は、これらの各部を順次介して入射した入射光 H を、受光面 J S で受光して光電変換が行われる。

【 0 0 7 5 】

フォトダイオード 2 1 は、たとえば、 n 型電荷蓄積領域 (図示なし) を含み、その n 型電荷蓄積領域 (図示なし) が、半導体基板 1 0 1 の p 型半導体領域 (図示なし) に設けられている。そして、その n 型電荷蓄積領域において、半導体基板 1 0 1 の表面側には、不純物濃度が高い p 型半導体領域 (図示なし) が、正孔蓄積層として設けられている。つまり、フォトダイオード 2 1 は、 H A D (H o l e A c c u m u l a t i o n D i o d e) 構造で形成されている。

【 0 0 7 6 】

図 7 に示すように、各フォトダイオード 2 1 は、アノードが接地されており、蓄積した信号電荷 (ここでは、電子) が、画素トランジスタ T r によって読み出され、電気信号として垂直信号線 2 7 へ出力されるように構成されている。

【 0 0 7 7 】

(b) 画素トランジスタ T r について

画素トランジスタ T r は、上述したように、画素領域 P A において、複数の画素 P のそれぞれに対応して設けられている。画素トランジスタ T r は、図 7 に示すように、転送トランジスタ 2 2 と、増幅トランジスタ 2 3 と、選択トランジスタ 2 4 と、リセットトランジスタ 2 5 とを含み、各画素 P において、フォトダイオード 2 1 から信号電荷を電気信号として出力する。

【 0 0 7 8 】

上述したように、図 5 では、画素トランジスタ T r について図示を省略しているが、画素トランジスタ T r は、半導体基板 1 0 1 の表面 (下面) に設けられている。具体的には、画素トランジスタ T r を構成する各トランジスタ 2 2 ~ 2 5 は、たとえば、半導体基板 1 0 1 において画素 P の間を分離する領域に、活性化領域 (図示なし) が形成されており、各ゲートが n 型不純物を含むポリシリコンを用いて形成されている。

【 0 0 7 9 】

画素トランジスタ T r において、転送トランジスタ 2 2 は、図 7 に示すように、フォトダイオード 2 1 で生成された信号電荷を、フローティング・ディフュージョン F D に転送するように構成されている。具体的には、転送トランジスタ 2 2 は、フォトダイオード 2 1 のカソードと、フローティング・ディフュージョン F D との間に設けられている。そして、転送トランジスタ 2 2 は、ゲートに転送線 2 6 が電氣的に接続されている。転送トランジスタ 2 2 では、転送線 2 6 からゲートに送信される転送信号 T G に基づいて、フォトダイオード 2 1 において蓄積された信号電荷を、フローティング・ディフュージョン F D に転送する。

【 0 0 8 0 】

画素トランジスタ T r において、増幅トランジスタ 2 3 は、図 7 に示すように、フローティング・ディフュージョン F D において、電荷から電圧へ変換された電気信号を増幅し

10

20

30

40

50

て出力するように構成されている。具体的には、増幅トランジスタ23は、ゲートが、フローティング・ディフュージョンFDに電氣的に接続されている。また、増幅トランジスタ23は、ドレインが電源供給線Vd dに電氣的に接続され、ソースが選択トランジスタ24に電氣的に接続されている。増幅トランジスタ23は、選択トランジスタ24がオン状態になるように選択されたときには、定電流源Iから定電流が供給されて、ソースフォロアとして動作する。このため、増幅トランジスタ23では、選択トランジスタ24に選択信号が供給されることによって、フローティング・ディフュージョンFDにおいて、電荷から電圧へ変換された電気信号が増幅される。

【0081】

画素トランジスタTrにおいて、選択トランジスタ24は、図7に示すように、選択信号に基づいて、増幅トランジスタ23によって出力された電気信号を、垂直信号線27へ出力するように構成されている。具体的には、選択トランジスタ24は、選択信号が供給されるアドレス線28にゲートが接続されている。そして、選択トランジスタ24は、選択信号が供給された際にはオン状態になり、上記のように増幅トランジスタ23によって増幅された出力信号を、垂直信号線27に出力する。

【0082】

画素トランジスタTrにおいて、リセットトランジスタ25は、図7に示すように、リセットトランジスタ25は、増幅トランジスタ23のゲート電位をリセットするように構成されている。具体的には、リセットトランジスタ25は、リセット信号が供給されるリセット線29にゲートが電氣的に接続されている。また、リセットトランジスタ25は、ドレインが電源供給線Vd dに電氣的に接続され、ソースがフローティング・ディフュージョンFDに電氣的に接続されている。そして、リセットトランジスタ25は、リセット線29から送信されたリセット信号に基づいて、フローティング・ディフュージョンFDを介して、増幅トランジスタ23のゲート電位を、電源電圧にリセットする。

【0083】

各トランジスタ22, 24, 25の各ゲートは、水平方向xに並ぶ複数の画素Pからなる行単位で接続されており、その行単位にて並ぶ複数の画素について同時に駆動される。具体的には、上述した垂直駆動回路(図示なし)によって供給される選択信号によって、水平ライン(画素行)単位で垂直な方向に順次選択される。そして、タイミングジェネレータ(図示なし)から出力される各種タイミング信号によって各画素Pのトランジスタが制御される。これにより、各画素Pにおける出力信号が垂直信号線27を通して画素Pの列毎にカラム回路(図示なし)に読み出される。そして、カラム回路で保持された信号が、水平駆動回路(図示なし)によって選択されて、外部出力回路(図示なし)へ順次出力される。

(c) カラーフィルタCFについて

カラーフィルタCFは、図5に示すように、画素領域PAにおいて、半導体基板101の裏面(上面)側に設けられている。

【0084】

ここでは、半導体基板101の裏面(上面)には、第1絶縁膜102と第2絶縁膜103とが設けられている。

【0085】

第1絶縁膜102は、反射防止膜として機能するように、たとえば、SiNなどの絶縁材料を用いて形成されている。

【0086】

また、第2絶縁膜103は、銅拡散防止膜として機能するように、たとえば、SiCなどの低誘電率な絶縁材料を用いて形成されている。

【0087】

そして、この第2絶縁膜103の上面に、カラーフィルタCFが形成されている。

【0088】

カラーフィルタCFは、半導体基板101の裏面(上面)側からオンチップレンズOC

10

20

30

40

50

Lを介して入射する入射光Hが着色されて透過するように形成されている。たとえば、カラーフィルタCFは、入射光Hとして入射する可視光線のうち、所定の波長領域の光が選択的に透過するように形成されている。

【0089】

カラーフィルタCFは、たとえば、赤色フィルタ層（図示なし）、緑色フィルタ層（図示なし）、青色フィルタ層（図示なし）を含み、ペイヤー配列で、その3原色の各フィルタ層が、各画素Pに対応するように配置されている。

【0090】

たとえば、カラーフィルタCFは、着色顔料とフォトレジスト樹脂とを含む塗布液を、スピンコート法などのコーティング方法によって塗布して塗膜を形成後、リソグラフィ技術によって、その塗膜をパターン加工して形成される。

【0091】

（d）オンチップレンズOCL，レンズ材層104について

オンチップレンズOCLは、図5に示すように、画素領域PAにおいて、複数の画素Pのそれぞれに対応して設けられている。

【0092】

オンチップレンズOCLは、半導体基板101の裏面（上面）側において、カラーフィルタCFの上面に設けられている。

【0093】

オンチップレンズOCLは、半導体基板101の裏面（上面）から上方に凸状に突き出た凸レンズであり、半導体基板101の裏面（上面）側から入射する入射光Hをフォトダイオード21へ集光する。

【0094】

詳細については後述するが、オンチップレンズOCLは、カラーフィルタCFを介して第2絶縁膜103の上面に成膜されたレンズ材層104（図6参照）を加工することで形成されている。

【0095】

たとえば、第2絶縁膜103の上面に有機樹脂材料を成膜することで、レンズ材層104を設ける。そして、レンズ材層104上にフォトレジスト膜（図示無し）を設けた後に、そのフォトレジスト膜（図示無し）をレンズ形状にパターン加工する。そして、そのレンズ形状のレジストパターン（図示無し）をマスクとして、そのレンズ材層104についてエッチバック処理を実施する。このようにして、オンチップレンズOCLが形成される。なお、上記以外に、レンズ材層104をパターン加工後、リフロー処理することで、オンチップレンズOCLを形成しても良い。

【0096】

レンズ材層104は、図6に示すように、周辺領域SAおよびスクライブ領域LAにおいては、オンチップレンズOCLに加工されずに、第2絶縁膜103の上面を被覆するように設けられている。

【0097】

図6に示すように、周辺領域SAでは、レンズ材層104は、半導体基板101の上面においてパッド周辺ガードリングPGが設けられた部分を、第2絶縁膜103を介して被覆するように設けられている。また、レンズ材層104は、パッド周辺絶縁リングPZが設けられた部分を、第2絶縁膜103を介して被覆するように設けられている。そして、レンズ材層104は、パッド電極PADが設けられた部分に、パッド開口PKが形成されている。

【0098】

図6に示すように、スクライブ領域LAにおいては、レンズ材層104は、周辺領域SAに近い部分に設けられ、周辺領域SAから遠い部分には、設けられていない。

【0099】

具体的には、レンズ材層104は、スクライブ領域LAにおいて周辺領域SAに近い部

10

20

30

40

50

分であって、半導体基板 101 の上面においてチップ周辺ガードリング CG が設けられた部分を、第 2 絶縁膜 103 を介して被覆するように設けられている。しかし、レンズ材層 104 は、スクライプ領域 LA において周辺領域 SA から遠い部分であって、ダイシングが行われて切断される部分に近い部分には、設けられていない。

【0100】

(e) センサ素子 100 の配線層 110 , 絶縁層 120 について

センサ素子 100 において、配線層 110 は、図 5 , 図 6 に示すように、半導体基板 101 のうち、カラーフィルタ CF、マイクロレンズ ML などの各部が設けられた裏面 (上面) とは反対側の表面 (下面) に設けられている。つまり、センサ素子 100 において、配線層 110 は、半導体基板 101 のうち、ロジック素子 200 に対面する側の面 (下面) に設けられている。

10

【0101】

配線層 110 は、図 5 に示すように、配線 110 H と絶縁層 110 Z とを含み、絶縁層 110 Z 内において、配線 110 H が設けられている。配線層 110 は、いわゆる多層配線層であり、絶縁層 110 Z を構成する層間絶縁膜と配線 110 H とが、交互に、複数回、積層されて形成されている。

【0102】

たとえば、シリコン酸化物などの絶縁材料を用いて、絶縁層 110 Z が形成されている。また、アルミニウムなどの導電性の金属材料を用いて、配線 110 H が形成されている。

20

【0103】

配線層 110 において、配線 110 H は、図 7 で示した、転送線 26 , アドレス線 28 , 垂直信号線 27 , リセット線 29 などの各配線として機能するように、複数回積層して形成されている。

【0104】

そして、図 5 , 図 6 に示すように、配線層 110 において半導体基板 101 側とは反対側の表面 (下面) には、絶縁層 120 が設けられている。

【0105】

たとえば、絶縁層 120 は、シリコン酸化物などの絶縁材料を用いて、絶縁層 110 Z が形成されている。

30

【0106】

(f) ロジック素子 200 の配線層 210 , 絶縁層 220 について

ロジック素子 200 において、配線層 210 は、図 5 , 図 6 に示すように、半導体基板 201 のうち、センサ素子 100 に対面する側の面 (上面) に設けられている。

【0107】

配線層 210 は、図 5 に示すように、配線 210 H と絶縁層 210 Z とを含み、絶縁層 210 Z 内において、配線 210 H が設けられている。配線層 210 は、いわゆる多層配線層であり、絶縁層 210 Z を構成する層間絶縁膜と配線 210 H とが、交互に、複数回、積層されて形成されている。

【0108】

たとえば、シリコン酸化物などの絶縁材料を用いて、絶縁層 210 Z が形成されている。また、アルミニウムなどの導電性の金属材料を用いて、配線 210 H が形成されている。

40

【0109】

配線層 210 において、配線 210 H は、ロジック素子 200 の半導体基板 201 に設けられた半導体回路素子 (図示無し) に電氣的に接続する配線として機能するように、複数回積層して形成されている。

【0110】

そして、図 5 , 図 6 に示すように、配線層 210 において半導体基板 201 側とは反対側の表面 (上面) には、絶縁層 220 が設けられている。

50

【 0 1 1 1 】

たとえば、絶縁層 2 2 0 は、シリコン酸化物などの絶縁材料を用いて、絶縁層 1 1 0 Z が形成されている。

【 0 1 1 2 】

(g) パッド電極 P A D について

パッド電極 P A D は、図 4 , 図 6 に示すように、周辺領域 S A に設けられている。

【 0 1 1 3 】

ここでは、図 4 に示すように、パッド電極 P A D は、複数が、画素領域 P A の右側端部に設けられている。

【 0 1 1 4 】

また、図 6 に示すように、パッド電極 P A D は、ロジック素子 2 0 0 の配線層 2 1 0 の内部に設けられている。

【 0 1 1 5 】

具体的には、パッド電極 P A D は、配線層 2 1 0 を構成する絶縁層 2 1 0 Z 内に設けられている。パッド電極 P A D は、たとえば、配線層 2 1 0 を構成する他の配線 2 1 0 H と同様に、アルミニウムなどの導電性の金属材料を用いて形成されている。

【 0 1 1 6 】

パッド電極 P A D は、他の配線 2 1 0 H と電氣的に接続されており、ロジック素子 2 0 0 に設けた半導体回路素子 (図示無し) と、その外部に設けた素子 (図示無し) との間が電氣的に接続される。たとえば、パッド電極 P A D は、センサ素子 1 0 0 の配線層 1 1 0 内に設けられた他のパッド電極 (図示無し) と電氣的に接続される。また、パッド電極 P A D は、ボンディングワイヤ (図示無し) を用いて、センサ素子 1 0 0 以外に設けられた外部素子 (図示無し) に電氣的に接続される。

【 0 1 1 7 】

図 6 に示すように、パッド電極 P A D は、上方にパッド開口 P K が形成されており、パッド電極 P A D の上面が露出している。

【 0 1 1 8 】

ここでは、パッド開口 P K は、パッド電極 P A D の上面からレンズ材層 1 0 4 の上面までの間を貫通するように設けられている。

【 0 1 1 9 】

具体的には、パッド開口 P K は、第 1 パッド開口 P K 1 と第 2 パッド開口 P K 2 とを含み、第 1 パッド開口 P K 1 と第 2 パッド開口 P K 2 とが深さ方向 z において積み重なるように設けられている。

【 0 1 2 0 】

第 1 パッド開口 P K 1 は、図 6 に示すように、センサ素子 1 0 0 の配線層 1 1 0 の上面から、レンズ材層 1 0 4 の上面までの間を貫通するように設けられている。すなわち、第 1 パッド開口 P K 1 は、センサ素子 1 0 0 の半導体基板 1 0 1 と第 1 絶縁膜 1 0 2 と第 2 絶縁膜 1 0 3 とレンズ材層 1 0 4 とのそれぞれを貫通するように形成されている。

【 0 1 2 1 】

第 2 パッド開口 P K 2 は、図 6 に示すように、パッド電極 P A D の上面から、センサ素子 1 0 0 の配線層 1 1 0 の上面までの間を貫通するように設けられている。すなわち、第 2 パッド開口 P K 2 は、センサ素子 1 0 0 の配線層 1 1 0 と絶縁層 1 2 0 との両者を貫通するように形成されている。また、第 2 パッド開口 P K 2 は、ロジック素子 2 0 0 の絶縁層 2 2 0 と共に、配線層 2 1 0 においてパッド電極 P A D が設けられた部分の上方が貫通するように形成されている。

【 0 1 2 2 】

(h) パッド周辺ガードリング P G について

パッド周辺ガードリング P G は、図 4 , 図 6 に示すように、周辺領域 S A に設けられている。

【 0 1 2 3 】

ここでは、図 4 に示すように、パッド周辺ガードリング P G は、パッド電極 P A D の周りを矩形状に囲うように設けられている。

【 0 1 2 4 】

図 6 に示すように、パッド周辺ガードリング P G は、ロジック素子 2 0 0 の半導体基板 2 0 1 の表面（上面）から、センサ素子 1 0 0 の第 1 絶縁膜 1 0 2 の上面までの間に設けられている。

【 0 1 2 5 】

パッド周辺ガードリング P G は、図 6 に示すように、第 1 パッド周辺ガードリング P G 1 と第 2 パッド周辺ガードリング P G 2 とを含む。第 1 パッド周辺ガードリング P G 1 と第 2 パッド周辺ガードリング P G 2 とのそれぞれは、深さ方向 z において、積み重なるように設けられている。

10

【 0 1 2 6 】

パッド周辺ガードリング P G のうち、第 1 パッド周辺ガードリング P G 1 は、図 6 に示すように、パッド開口 P K の側部に位置するように設けられている。また、第 1 パッド周辺ガードリング P G 1 は、深さ方向 z において幅が上方から下方へ向かうに伴って狭くなるように形成されている。

【 0 1 2 7 】

図 6 に示すように、第 1 パッド周辺ガードリング P G 1 は、センサ素子 1 0 0 の第 1 絶縁膜 1 0 2 の上面から第 2 パッド周辺ガードリング P G 2 の上面までの間に形成されたたトレんチ T R P に形成されている。具体的には、第 1 パッド周辺ガードリング P G 1 は、センサ素子 1 0 0 の半導体基板 1 0 1 と第 1 絶縁膜 1 0 2 と配線層 1 1 0 と絶縁層 1 2 0 とのそれぞれを貫通するように形成されている。また、第 1 パッド周辺ガードリング P G 1 は、ロジック素子 2 0 0 の絶縁層 2 2 0 と共に、配線層 2 1 0 において第 2 パッド周辺ガードリング P G 2 が設けられた部分の上方が貫通するように形成されている。このように、第 1 パッド周辺ガードリング P G 1 は、T C V (T h r o u g h C h i p V i a) としてセンサ素子 1 0 0 を貫通するトレんチ T R P に設けられている。

20

【 0 1 2 8 】

パッド周辺ガードリング P G のうち、第 2 パッド周辺ガードリング P G 2 は、図 6 に示すように、パッド電極 P A D の側部に位置するように設けられている。

【 0 1 2 9 】

30

図 6 に示すように、第 2 パッド周辺ガードリング P G 2 は、配線層 2 1 0 の内部に設けられている。

【 0 1 3 0 】

第 1 パッド周辺ガードリング P G 1 と第 2 パッド周辺ガードリング P G 2 とのそれぞれは、パッド開口 P K 内の側面から吸湿された水分が、チップ領域 C A (画素領域 P A , 周辺領域 S A) へ浸入することをガードするように形成されている。つまり、第 1 パッド周辺ガードリング P G 1 と第 2 パッド周辺ガードリング P G 2 とのそれぞれは、パッド開口 P K との間に位置する部分よりも、湿気が透過しにくい材料で形成されている。

【 0 1 3 1 】

たとえば、第 1 パッド周辺ガードリング P G 1 は、銅などの金属材料を用いて形成されている。第 1 パッド周辺ガードリング P G 1 は、図 6 に示すように、トレんチ T R P の全体に金属材料を一体で埋め込むことで形成されている。

40

【 0 1 3 2 】

また、第 2 パッド周辺ガードリング P G 2 は、たとえば、配線層 2 1 0 を構成する配線 2 1 0 H と同様に、アルミニウムなどの導電性の金属材料からなる金属導電膜を積層することで形成されている。また、第 2 パッド周辺ガードリング P G 2 は、その積層する複数の金属導電膜の間が連結する金属層が設けられている。

【 0 1 3 3 】

(i) パッド周辺絶縁リング P Z について

パッド周辺絶縁リング P Z は、図 4 , 図 6 に示すように、周辺領域 S A に設けられてい

50

る。

【0134】

ここでは、図4に示すように、パッド周辺絶縁リングPZは、パッド周辺ガードリングPGを介して、パッド電極PADの周りを矩形状に囲うように設けられている。

【0135】

また、図6に示すように、パッド周辺絶縁リングPZは、センサ素子100の半導体基板101において裏面(上面)から表面(下面)の間を貫通するように設けられている。

【0136】

パッド周辺絶縁リングPZは、絶縁材料を用いて形成されている。そして、パッド周辺絶縁リングPZは、たとえば、製造時に位置合わせマークとして用いられる。

10

【0137】

(j) チップ周辺ホールリングCHについて

チップ周辺ホールリングCHは、図4, 図6に示すように、スクライプ領域LAに設けられている。

【0138】

ここでは、図4に示すように、チップ周辺ホールリングCHは、スクライプ領域LAにおいて、ダイシングで切断される端部よりもチップ領域CAの側の内側部分に設けられている。チップ周辺ホールリングCHは、チップ領域CAの周りを矩形状に囲うように設けられている。

【0139】

20

図6に示すように、チップ周辺ホールリングCHは、エアギャップであり、ロジック素子200の配線層210の上側部分から、センサ素子100の第2絶縁膜103の上面までの間を開口させることで形成されている。すなわち、チップ周辺ホールリングCHは、センサ素子100の半導体基板101と第1絶縁膜102と第2絶縁膜103と配線層110と絶縁層120とのそれぞれを貫通するように形成されている。また、チップ周辺ホールリングCHは、ロジック素子200の絶縁層220を貫通すると共に、配線層210の上方に溝を設けることで形成されている。

【0140】

チップ周辺ホールリングCHは、図6に示すように、深さ方向zで同じ幅になるように形成されている。詳細については後述するが、チップ周辺ホールリングCHは、スクライプ領域LAでダイシングの際に生ずるチッピングが、チップ領域CAまで達することを防止するために設けられている。

30

【0141】

(k) チップ周辺ガードリングCGについて

チップ周辺ガードリングCGは、図4, 図6に示すように、スクライプ領域LAに設けられている。

【0142】

ここでは、図4に示すように、チップ周辺ガードリングCGは、スクライプ領域LAにおいて、ダイシングで切断される端部よりもチップ領域CAの側の内側部分に設けられている。チップ周辺ガードリングCGは、チップ領域CAの周りを矩形状に囲うように設けられている。

40

【0143】

チップ周辺ガードリングCGは、図6に示すように、第1チップ周辺ガードリングCG1と第2チップ周辺ガードリングCG2とを含む。第1チップ周辺ガードリングCG1と第2チップ周辺ガードリングCG2とのそれぞれは、深さ方向zにおいて、積み重なるように設けられている。第1チップ周辺ガードリングCG1と第2チップ周辺ガードリングCG2とのそれぞれは、チップ周辺ホールリングCHよりもチップ領域CAに近い位置に設けられている。

【0144】

チップ周辺ガードリングCGのうち、第1チップ周辺ガードリングCG1は、図6に示

50

すように、チップ周辺ホールリングCHの側部に位置するように設けられている。第1チップ周辺ガードリングCG1は、深さ方向zにおいて幅が上方から下方へ向かうに伴って狭くなるように形成されている。

【0145】

図6に示すように、第1チップ周辺ガードリングCG1は、センサ素子100の第1絶縁膜102の上面から第2パッド周辺ガードリングPG2の上面までの間に形成されたトレンチTRCに形成されている。具体的には、第1チップ周辺ガードリングCG1は、センサ素子100の半導体基板101と第1絶縁膜102と配線層110と絶縁層120とのそれぞれを貫通するように形成されている。また、第1チップ周辺ガードリングCG1は、ロジック素子200の絶縁層220と共に、配線層210において第2チップ周辺ガードリングCG2が設けられた部分の上方が貫通するように形成されている。このように、第1チップ周辺ガードリングCG1は、第1パッド周辺ガードリングPG1と同様に、TCVとしてセンサ素子100を貫通するトレンチTRCに設けられている。

【0146】

第1チップ周辺ガードリングCG1は、チップ周辺ホールリングCH内の側面から吸湿された水分が、チップ領域CA（画素領域PA，周辺領域SA）へ浸入することをガードするように形成されている。ここでは、第1チップ周辺ガードリングCG1は、チップ周辺ホールリングCHとの間に位置する部分よりも、湿気が透過しにくい材料で形成されている。これと共に、第1チップ周辺ガードリングCG1は、スクライプ領域LAにおいてダイシングの際に生ずるチップングが、側面からチップ領域CAまで達することを防止するように設けられている。ここでは、第1チップ周辺ガードリングCG1は、チップ周辺ホールリングCHとの間に位置する部分に対して、硬度、剛性率などの性質が異なる材料であり、たとえば、機械的強度が大きな材料で形成されている。

【0147】

たとえば、第1チップ周辺ガードリングCG1は、第1パッド周辺ガードリングPG1と同様に、銅などの金属材料を用いて形成されている。第1チップ周辺ガードリングCG1は、図6に示すように、トレンチTRPの全体に金属材料を一体で埋め込むことで形成されている。

【0148】

チップ周辺ガードリングCGのうち、第2チップ周辺ガードリングCG2は、図6に示すように、第2パッド周辺ガードリングPG2と同様に、ロジック素子200の配線層210の内部に設けられている。第2チップ周辺ガードリングCG2は、配線層210を構成する絶縁層210Zの内部において、複数の金属導電膜を連結させて積層することで形成されている。

【0149】

チップ周辺ガードリングCGは、図6に示すように、第3チップ周辺ガードリングCG3を更に含む。

【0150】

チップ周辺ガードリングCGのうち、第3チップ周辺ガードリングCG3は、図4では図示を省略しているが、チップ周辺ホールリングCHと同様な位置に設けられている。つまり、第3チップ周辺ガードリングCG3は、チップ周辺ホールリングCHと同様に、スクライプ領域LAにおいて、ダイシングで切断される端部よりもチップ領域CAの側の内側部分に設けられている。第3チップ周辺ガードリングCG3は、チップ周辺ホールリングCHと同様に、チップ領域CAの周りを矩形状に囲うように設けられている。第3チップ周辺ガードリングCG3は、第2チップ周辺ガードリングCG2よりもチップ領域CAの側から遠い位置に設けられている。

【0151】

第3チップ周辺ガードリングCG3は、図6に示すように、第2チップ周辺ガードリングCG2と同様に、ロジック素子200の配線層210の内部に設けられている。第3チップ周辺ガードリングCG3は、配線層210を構成する絶縁層210Zの内部において

、複数の金属導電膜を連結させて積層することで形成されている。

【0152】

すなわち、ロジック素子200の配線層210において、スクライプ領域LAには、第2チップ周辺ガードリングCG2と第3チップ周辺ガードリングCG3との複数のガードリングが設けられている。

【0153】

第2チップ周辺ガードリングCG2と第3チップ周辺ガードリングCG3とのそれぞれは、ダイシングされた側面から吸湿された水分が、チップ領域CA（画素領域PA，周辺領域SA）へ浸入することをガードするように形成されている。これと共に、第2チップ周辺ガードリングCG2と第3チップ周辺ガードリングCG3とのそれぞれは、スクライプ領域LAにおいてダイシングの際に生ずるチップングが、側面からチップ領域CAまで達することを防止するために設けられている。

10

【0154】

たとえば、第2チップ周辺ガードリングCG2と第3チップ周辺ガードリングCG3とのそれぞれは、配線層210を構成する配線210Hと同様に、アルミニウムなどの導電性の金属材料を用いて形成されている。

【0155】

[B] 製造方法

上記の固体撮像装置1を製造する製造方法の要部について説明する。

【0156】

20

図8～図13は、実施形態1にかかる固体撮像装置の製造方法を示す図である。

【0157】

ここで、図8は、ダイシングによって上記の固体撮像装置1へ分割する前の半導体基板101の上面を示している。

【0158】

図9～図13は、図6と同様に、X3 - X4部分の断面を示すと共に、分割前において、その右側の隣に設けられた固体撮像装置のスクライプ領域LAの断面を示している。

【0159】

図9は、図4と同様に、X3 - X4部分の断面を示している。また、図10は、図5と同様に、X5 - X6部分の断面を示している。

30

【0160】

本実施形態では、図7に示すように、複数の固体撮像装置1を、円盤状の大判な半導体基板101の面（xy面）に並ぶように形成する。ここでは、図9～図13に示すように、（a）～（e）の各工程を経て、複数の固体撮像装置1を形成する。つまり、半導体ウエハの面に、固体撮像装置1を半導体チップとして複数設ける。

【0161】

その後、その固体撮像装置1の周囲においてライン状に設けられたスクライプ領域LAにおいて、ブレード（図示なし）を用いてダイシングすることによって、複数の固体撮像装置1に分割する。これにより、図6に示したように、固体撮像装置1が製造される。

40

【0162】

下記より、固体撮像装置1を製造する際の各製造工程について、順次、説明する。

【0163】

（a）貼り合わせなどの実施

まず、図9に示すように、センサ素子100の半導体基板101とロジック素子200の半導体基板201とを貼り合わせる。

【0164】

この貼り合わせの実施に先立って、図9に示すように、ロジック素子200を構成する半導体基板201の表面（上面）に、配線層210と絶縁層220とを、順次、設ける。

【0165】

ここでは、ロジック素子200を構成する半導体基板201の表面（上面）側に、半導

50

体回路素子（図示無し）を設ける。そして、半導体回路素子（図示無し）が設けられた半導体基板 201 の表面（上面）全体を被覆するように、配線層 210 を設ける。

【0166】

ロジック素子 200 を構成する配線層 210 の形成においては、図 9 に示すように、周辺領域 SA に、パッド電極 PAD と第 2 パッド周辺ガードリング PG2 とを、絶縁層 210Z 内に設ける。

【0167】

さらに、ロジック素子 200 を構成する配線層 210 の形成においては、図 9 に示すように、スクライブ領域 LA に、第 2 チップ周辺ガードリング CG2 と第 3 チップ周辺ガードリング CG3 とを設ける。

10

【0168】

本実施形態では、配線層 210 の形成の際には、パッド電極 PAD、第 2 パッド周辺ガードリング PG2、第 2 チップ周辺ガードリング CG2、第 3 チップ周辺ガードリング CG3 のそれぞれを、同時に形成する。具体的には、配線 210H の形成部分に金属材料を成膜すると同時に、各部の形成部分にも金属材料を成膜する。そして、配線 210H へのパターン加工の際に、同時に、各部へのパターン加工を行う。

【0169】

そして、上記のように形成した配線層 210 の表面（上面）全体を被覆するように、絶縁層 220 を設けて、ロジック素子 200 を形成する。

【0170】

ロジック素子 200 の他に、センサ素子 100 を構成する各部を半導体基板 101 に形成する。

20

【0171】

本工程では、図 9 に示すように、センサ素子 100 を構成する半導体基板 101 の裏面（上面）側には、第 1 絶縁膜 102 を設け、それよりも上方に設ける部材については、本工程では設けない。つまり、図 5、図 6 に示すセンサ素子 100 において、第 2 絶縁膜 103、カラーフィルタ CF、オンチップレンズ OCL、レンズ材層 104 については、本工程では形成しない。

【0172】

具体的には、図 9 に示すように、半導体基板 101 の周辺領域 SA に、パッド周辺絶縁リング PZ を設ける。パッド周辺絶縁リング PZ については、半導体基板 101 に溝を形成後、その溝に絶縁材料を埋め込むことで形成する。

30

【0173】

そして、図 9 では図示していないが、半導体基板 101 の画素領域 PA に、フォトダイオード 21 を設ける（図 5 参照）。また、半導体基板 101 の表面（下面）側に、画素トランジスタ Tr（図 7 参照）などの半導体回路素子（図示無し）を設ける。

【0174】

そして、図 9 に示すように、画素トランジスタ Tr などの半導体回路素子（図示無し）が設けられた半導体基板 101 の表面（下面）の全体を被覆するように、配線層 110 を設ける。

40

【0175】

そして、図 9 に示すように、その配線層 110 の表面（下面）の全体を被覆するように、絶縁層 120 を設ける。

【0176】

この後、図 9 に示すように、センサ素子 100 の絶縁層 120 と、ロジック素子 200 の絶縁層 220 とを、たとえば、プラズマ接合によって接合する。

【0177】

このようにして、センサ素子 100 の半導体基板 101 とロジック素子 200 の半導体基板 201 とを貼り合わせる。

【0178】

50

貼り合わせた後、センサ素子 100 の構成する半導体基板 101 を薄膜化する。ここでは、半導体基板 101 の裏面側について、たとえば、CMP 処理などの除去加工処理を実施することで、半導体基板 101 を薄膜化する。たとえば、半導体基板 101 の内部に設けたパッド周辺絶縁リング PZ が露出するまで、半導体基板 101 を薄膜化する。

【0179】

そして、図 9 に示すように、センサ素子 100 の構成する半導体基板 101 の裏面（上面）に、第 1 絶縁膜 102 を設ける。

【0180】

（b）トレンチ TRP，TRC の形成

つぎに、図 10 に示すように、トレンチ TRP，TRC を形成する。

10

【0181】

ここでは、図 10 に示すように、周辺領域 SA において第 1 パッド周辺ガードリング PG1（図 6 参照）を形成する部分にトレンチ TRP を形成する。

【0182】

具体的には、図 10 に示すように、センサ素子 100 の第 1 絶縁膜 102 の上面から第 2 パッド周辺ガードリング PG2 の上面までの間を貫通するように、このトレンチ TRP を形成する。つまり、センサ素子 100 の半導体基板 101 と第 1 絶縁膜 102 と配線層 110 と絶縁層 120 と、ロジック素子 200 の絶縁層 220 と共に、配線層 210 において第 2 パッド周辺ガードリング PG2 が設けられた部分の上方が貫通するように形成する。

20

【0183】

図 10 に示すように、トレンチ TRP の他に、スクライプ領域 LA において第 1 チップ周辺ガードリング CG1（図 6 参照）を形成する部分に、トレンチ TRC を形成する。

【0184】

具体的には、図 10 に示すように、センサ素子 100 の第 1 絶縁膜 102 の上面から第 2 チップ周辺ガードリング CG2 の上面までの間を貫通するように、このトレンチ TRC を形成する。つまり、センサ素子 100 の半導体基板 101 と第 1 絶縁膜 102 と配線層 110 と絶縁層 120 とロジック素子 200 の絶縁層 220 と共に、配線層 210 において第 2 チップ周辺ガードリング CG2 が設けられた部分の上方が貫通するように形成する。

30

【0185】

本実施形態においては、各トレンチ TRP，TRC について、同時に形成する。ここでは、各トレンチ TRP，TRC について、深さ方向 z において幅が上方から下方へ向かうに伴って狭くなるように形成する。つまり、深さ方向 z の断面がテーパ状になるように形成する。

【0186】

本工程では、第 1 絶縁膜 102 の上面を被覆するようにフォトリソ膜（図示無し）を成膜後、そのフォトリソ膜（図示無し）をパターン加工して、レジストパターン（図示無し）を形成する。レジストパターン（図示無し）については、第 1 絶縁膜 102 の上面において、各トレンチ TRP，TRC を形成する部分が露出し、他の部分が被覆された状態になるように形成する。そして、そのレジストパターン（図示無し）をマスクとして用いて、第 1 絶縁膜 102 などの各部についてエッチング処理を実施する。これにより、各トレンチ TRP，TRC が形成される。

40

【0187】

各トレンチ TRP，TRC については、たとえば、下記のように形成することが好適である。

（トレンチ TRP，TRC について）

- ・幅：1～4 μm
- ・深さ：10 μm

【0188】

50

(c) 第1パッド周辺ガードリングPG1, 第1チップ周辺ガードリングCG1の形成
つぎに、図11に示すように、第1パッド周辺ガードリングPG1, 第1チップ周辺ガードリングCG1を形成する。

【0189】

ここでは、図11に示すように、上記の工程で形成した各トレンチTRP, TRCに金属導電材料を埋め込むことで、第1パッド周辺ガードリングPG1と、第1チップ周辺ガードリングCG1とのそれぞれを形成する。

【0190】

具体的には、図11に示すように、第2チップ周辺ガードリングCG2の上面に設けられたトレンチTRCに金属導電材料を埋め込むことで、第1パッド周辺ガードリングPG1を形成する。また、第2チップ周辺ガードリングCG2の上面に設けられたトレンチTRCに金属導電材料を埋め込むことで、第1チップ周辺ガードリングCG1を形成する。

【0191】

本実施形態においては、第1パッド周辺ガードリングPG1と、第1チップ周辺ガードリングCG1とのそれぞれを、同時に形成する。

【0192】

本工程では、たとえば、Cu(銅)を電解メッキ法によって各トレンチTRP, TRCの内部に埋め込むように成膜する。たとえば、電流値が10A以下のメッキ条件で、この形成を実施する。これにより、図11に示すように、第1パッド周辺ガードリングPG1および第1チップ周辺ガードリングCG1は、深さ方向zにおいて幅が上方から下方へ向かうに伴って狭くなるように形成される。つまり、第1パッド周辺ガードリングPG1および第1チップ周辺ガードリングCG1は、深さ方向zの断面がテーパ状になるように形成される。

【0193】

(d) 第2絶縁膜103、レンズ材層104の形成

つぎに、図12に示すように、第2絶縁膜103とレンズ材層104とを形成する。

【0194】

ここでは、図12に示すように、第1絶縁膜102の上面を被覆するように、第2絶縁膜103を設ける。

【0195】

この後、図12に示すように、第2絶縁膜103の上面を被覆するように、レンズ材層104を設ける。

【0196】

図12では図示していないが、画素領域PAにおいても、第2絶縁膜103とレンズ材層104とを形成する。

【0197】

画素領域PAでは、図6に示すように、第2絶縁膜103の形成後であってレンズ材層104の形成前に、カラーフィルタCFを形成する。また、画素領域PAでは、レンズ材層104の形成後に、そのレンズ材層104を加工して、オンチップレンズOCLを形成する。

【0198】

第2絶縁膜103については、第1パッド周辺ガードリングPG1と第1チップ周辺ガードリングCG1の銅成分が拡散することを防止する銅拡散防止膜として機能するように、たとえば、SiCなどの低誘電率な絶縁材料を用いて形成する。

【0199】

また、レンズ材層104についても、銅拡散防止膜として機能するように、センサ素子100の上面において第1チップ周辺ガードリングCG1, 第1パッド周辺ガードリングPG1が設けられた部分を被覆するように設けられている。

【0200】

(e) パッド開口PK, チップ周辺ホールリングCHの形成

10

20

30

40

50

つぎに、図 13 に示すように、パッド開口 P K とチップ周辺ホールリング C H とを形成する。

【0201】

ここでは、図 13 に示すように、パッド電極 P A D の上面が露出するように、パッド開口 P K を周辺領域 S A に形成する。

【0202】

パッド開口 P K の形成においては、まず、第 1 パッド開口 P K 1 を形成する。

【0203】

第 1 パッド開口 P K 1 については、図 13 に示すように、センサ素子 100 の半導体基板 101 と第 1 絶縁膜 102 と第 2 絶縁膜 103 とレンズ材層 104 とにおいて、第 1 パッド開口 P K 1 を形成する部分をエッチング処理で除去することで形成する。

10

【0204】

そして、第 2 パッド開口 P K 2 を形成する。

【0205】

第 2 パッド開口 P K 2 については、センサ素子 100 の配線層 110 および絶縁層 120 と、ロジック素子 200 の配線層 210 および絶縁層 220 とにおいて、第 2 パッド開口 P K 2 を形成する部分をエッチング処理で除去することで形成する。

【0206】

本工程では、パッド開口 P K の他に、図 13 に示すように、チップ周辺ホールリング C H をスクライブ領域 L A に設ける。

20

【0207】

チップ周辺ホールリング C H の形成の際には、図 13 に示すように、第 2 絶縁膜 103 の上面において、チップ周辺ホールリング C H を形成する部分を含む領域から、レンズ材層 104 を除去する。

【0208】

具体的には、レンズ材層 104 については、スクライブ領域 L A において周辺領域 S A に近い部分であって、第 1 チップ周辺ガードリング C G 1 が設けられた部分を残し、周辺領域 S A から遠い部分であってチップ周辺ホールリング C H を形成する部分を除去する。また、スクライブ領域 L A において、ダイシングによって切断される部分（太い破線部分）から、レンズ材層 104 を除去する。

30

【0209】

そして、センサ素子 100 の半導体基板 101、第 1 絶縁膜 102、第 2 絶縁膜 103、配線層 110、絶縁層 120 と、ロジック素子 200 の絶縁層 220、配線層 210 とにおいて、チップ周辺ホールリング C H の形成部分を除去する。たとえば、エッチング処理の実施によって、これらの部分を除去する。これにより、チップ周辺ホールリング C H が形成される。

【0210】

上記の各工程では、たとえば、パッド周辺絶縁リング P Z を位置合わせマークとして用いて、位置合わせを実施することで実施される。

【0211】

40

このようにすることで、図 8 に示したように、複数の固体撮像装置 1 が円盤状の半導体基板 101 の面（x y 面）に形成される。

【0212】

（f）ダイシング

つぎに、図 6 に示したように、ダイシングを実施して、複数の固体撮像装置 1 を分割する。

【0213】

ここでは、図 8 に示したように、複数の固体撮像装置 1 の周囲にライン状に設けたスクライブ領域 L A で、ブレード（図示なし）を用いてダイシングを実施し、複数の固体撮像装置 1 に分割する。つまり、複数の固体撮像装置 1 が半導体チップとして形成された大判

50

の半導体ウエハ（１０１など）を切削して、複数の半導体チップにチップ化する。

【０２１４】

具体的には、図１３に示すように、分割前の半導体ウエハ（１０１など）のスクライプ領域ＬＡにおいて、複数の固体撮像装置１のチップ周辺ガードリングＣＧの間に位置する部分（太い破線の部分）で分割するように、ダイシングを実施する。

【０２１５】

これにより、固体撮像装置１が完成される。

【０２１６】

[Ｃ]まとめ

以上のように、本実施形態では、固体撮像装置１は、チップ領域ＣＡを含み、チップ領域ＣＡには、画素領域ＰＡと、その画素領域ＰＡの周辺に位置する周辺領域ＳＡを含む。そして、チップ領域ＣＡの周りを囲うように、スクライプ領域ＬＡが設けられている（図４参照）。

【０２１７】

固体撮像装置１は、センサ素子１００と、センサ素子１００に対面して積層するように貼り合わされており、パッド電極ＰＡＤが設けられているロジック素子２００とを有する。センサ素子１００とロジック素子２００との積層体からなる固体撮像装置１は、パッド電極ＰＡＤにおいてセンサ素子１００に対面するパッド面の上面に、パッド開口ＰＫが設けられている。また、この積層体からなる固体撮像装置１は、パッド開口ＰＫの側部を囲うように第１パッド周辺ガードリングＰＧ１が設けられている（図６参照）。

【０２１８】

この他に、積層体からなる固体撮像装置１は、スクライプ領域ＬＡにてダイシングされる部分よりもチップ領域ＣＡの側の内部に、トレンチがチップ周辺ホールリングＣＨとしてチップ領域ＣＡの周りを囲うように設けられている。これと共に、スクライプ領域ＬＡにおいては、そのチップ周辺ホールリングＣＨが設けられている部分よりもチップ領域ＣＡの側に、第１チップ周辺ガードリングＣＧ１が設けられている（図６参照）。

【０２１９】

よって、本実施形態では、下記に示すように、装置の信頼性や、製品の歩留まりなどを向上できる。

【０２２０】

図１４は、実施形態１にかかる固体撮像装置について、作用・効果を示す図である。

【０２２１】

図１４は、図１３と同様に、断面図であり、ダイシングの実施前の状態を示している。

【０２２２】

図１４に示すように、周辺領域ＳＡにおいては、パッド開口ＰＫの内面から湿気ＭＯが侵入する場合がある。

【０２２３】

しかし、本実施形態では、このパッド開口ＰＫの側部に位置するように、第１パッド周辺ガードリングＰＧ１が設けられている。

【０２２４】

第１パッド周辺ガードリングＰＧ１は、パッド開口ＰＫの側部において、少なくともパッド開口ＰＫと同じ深さになるように設けられたトレンチＴＲＰの全体に、金属材料を一体で埋め込むことで形成されている。つまり、第１パッド周辺ガードリングＰＧ１は、パッド開口ＰＫの側部においては、深さ方向ｚにおいて複数の層が積み重なるように形成されておらず、連結部分が存在しない。

【０２２５】

さらに、第１パッド周辺ガードリングＰＧ１は、ロジック素子２００の半導体基板２０１と貼り合わされたセンサ素子１００の半導体基板１０１を少なくとも貫通するように形成されている。また、第１パッド周辺ガードリングＰＧ１は、センサ素子１００とロジック素子２００とが対面して貼り合わされた接合面を貫くように形成されている。

【0226】

このため、本実施形態では、パッド開口 P K の内面から画素領域 P A へ水分が侵入することを、第 1 パッド周辺ガードリング P G 1 が効果的に防止できる。

【0227】

また、第 1 パッド周辺ガードリング P G 1 は、パッド開口 P K の側面との間が絶縁材料で覆われている（図 1 4 参照）。このため、第 1 パッド周辺ガードリング P G 1 の側壁部分でのショートが防止可能である。

【0228】

スクライブ領域 L A において、図 1 4 に示すように、スクライブ領域 L A にブレード（図示なし）を当てて切断する際には、その切断部分（図中では太い破線部分）からチップング T P がチップ領域 C A（周辺領域 S A を含む）の側へ伝搬する。しかし、本実施形態では、そのダイシングされる部分よりもチップ領域 C A の側の内部に、チップ周辺ホールリング C H が設けられている。このため、チップング T P がスクライブ領域 L A からチップ領域 C A へ伝搬することを、そのトレンチであるチップ周辺ホールリング C H が防止する。

10

【0229】

このスクライブ領域 L A においては、図 1 4 に示すように、トレンチであるチップ周辺ホールリング C H の内面から湿気 M O が侵入する場合がある。

【0230】

しかし、本実施形態では、図 1 4 に示すように、スクライブ領域 L A には、チップ周辺ガードリング C G が設けられている。

20

【0231】

チップ周辺ガードリング C G は、チップ周辺ホールリング C H とチップ領域 C A（周辺領域 S A を含む）との間に介在するように設けられている。ここでは、チップ周辺ガードリング C G は、第 1 チップ周辺ガードリング C G 1 が、チップ周辺ホールリング C H の側部において、チップ周辺ホールリング C H と同じ深さまで設けられたトレンチ T R C の全体に、金属材料を一体で埋め込むことで形成されている。つまり、第 1 チップ周辺ガードリング C G 1 は、チップ周辺ホールリング C H の側部においては、深さ方向 z において複数の金属層が積み重なるように形成されておらず、連結部分が存在しない。

【0232】

30

さらに、第 1 チップ周辺ガードリング C G 1 は、ロジック素子 2 0 0 の半導体基板 2 0 1 と貼り合わされたセンサ素子 1 0 0 の半導体基板 1 0 1 を少なくとも貫通するように形成されている。第 1 チップ周辺ガードリング C G 1 は、センサ素子 1 0 0 とロジック素子 2 0 0 とが対面して貼り合わされた接合面を貫くように形成されている。

【0233】

このため、本実施形態では、チップ周辺ホールリング C H の内面からチップ領域 C A へ水分が侵入することを、第 1 チップ周辺ガードリング C G 1 が効果的に防止できる。

【0234】

また、複数の金属膜が連結されたガードリングの場合、その連結部分にチップングが伝達したときには、その連結部分が離れて、チップングの進行を止めることできない場合がある。しかし、本実施形態では、上記したように、第 1 チップ周辺ガードリング C G 1 は、連結部分が存在しない。よって、本実施形態では、チップングの進行についても、効果的に防止できる。

40

【0235】

この他に、本実施形態においては、銅（C u）を用いて形成された第 1 パッド周辺ガードリング P G 1 と第 1 チップ周辺ガードリング C G 1 との上面を被覆するように、有機樹脂膜のレンズ材層 1 0 4 を銅拡散防止層として設けている。このため、銅（C u）が拡散することを好適に防止可能である。

【0236】

したがって、本実施形態は、装置の信頼性や、製品の歩留まりなどを向上できる。

50

【 0 2 3 7 】

また、本実施形態では、第 1 パッド周辺ガードリング P G 1 と第 1 チップ周辺ガードリング C G 1 とを同時に形成している。つまり、第 1 パッド周辺ガードリング P G 1 を形成する部分にトレンチ T R P を形成すると同時に、第 1 チップ周辺ガードリング C G 1 を形成する部分にトレンチ T R C を形成する。そして、各トレンチ T R P , T R C のそれぞれに、同一の金属材料を同時に埋め込む。

【 0 2 3 8 】

これにより、第 1 パッド周辺ガードリング P G 1 と第 1 チップ周辺ガードリング C G 1 とを同一工程で同時に形成できる。

【 0 2 3 9 】

この他に、本実施形態では、半導体基板 1 0 1 の上面において、オンチップレンズ O C L を形成する部分を被覆するように、有機材料膜をレンズ材層 1 0 4 として成膜する。このとき、第 1 パッド周辺ガードリング P G 1 と第 1 チップ周辺ガードリング C G 1 との上面についても被覆するように、有機樹脂膜のレンズ材層 1 0 4 を成膜している。

【 0 2 4 0 】

よって、本実施形態では、高い製造効率で製造することを実現できる。

【 0 2 4 1 】

< 2 . 実施形態 2 >

[A] 装置構成など

図 1 5 ~ 図 1 7 は、実施形態 2 において、固体撮像装置の要部を示す図である。

【 0 2 4 2 】

ここで、図 1 5 は、図 4 と同様に、上面図であり、センサ素子 1 0 0 側の面を示している。

【 0 2 4 3 】

そして、図 1 6 は、図 6 と同様に、図 1 6 の X 3 - X 4 部分であって、周辺領域 S A とスクライブ領域 L A を示している。

【 0 2 4 4 】

図 1 7 は、図 1 4 と同様に、断面図であり、ダイシングの実施前の状態を示している。

【 0 2 4 5 】

図 1 5 ~ 図 1 7 に示すように、本実施形態の固体撮像装置 1 b においては、チップ周辺ホールリング C H (図 4 などを参照) が設けられていない。この点、および、これに関連する点を除き、本実施形態は、実施形態 1 と同様である。このため、重複する部分については、記載を省略する。

【 0 2 4 6 】

スクライブ領域 L A についてブレード (図示なし) で切断する際には、図 1 7 に示すように、その切断部分 (図中では太い破線部分) からチップリング T P が生じ、チップ領域 C A (周辺領域 S A を含む) の側へ伝搬する。

【 0 2 4 7 】

しかし、本実施形態では、そのダイシングされる部分よりもチップ領域 C A の側の内部に、チップ周辺ガードリング C G が設けられている。

【 0 2 4 8 】

チップ周辺ガードリング C G は、上記したように、半導体基板 1 0 1 や絶縁層などの周囲に設けられた部分と、硬度、剛性率などの性質が異なる材料で形成されている。本実施形態では、チップ周辺ガードリング C G は、たとえば、銅 (C u) などの金属材料で形成されている。このため、チップリング T P がスクライブ領域 L A からチップ領域 C A へ伝搬することを、チップ周辺ガードリング C G が防止できる。

【 0 2 4 9 】

[B] まとめ

以上のように、本実施形態は、実施形態 1 と同様に、装置の信頼性や、製品の歩留まりなどを向上できる。

10

20

30

40

50

【 0 2 5 0 】

< 3 . その他 >

実施形態は、上記したものに限定されるものではなく、種々の変形例を採用することができる。

【 0 2 5 1 】

上記の実施形態では、センサ素子 1 0 0 とロジック素子 2 0 0 とをプラズマ接合で貼り合わせる場合について説明したが、これに限定されない。たとえば、接着剤を用いて両者を貼り合せても良い。

【 0 2 5 2 】

上記の実施形態では、第 1 パッド開口 P K 1 と第 2 パッド開口 P K 2 とを深さ方向 z で積み重なるように形成することで、パッド開口 P K を設けたが、これに限定されない。第 1 パッド開口 P K 1 と第 2 パッド開口 P K 2 との 2 段で形成する場合以外に、3 段以上でパッド開口 P K を設けてもよい。また、段差がないように、パッド開口 P K を設けてもよい。

10

【 0 2 5 3 】

上記の実施形態では、第 1 パッド周辺ガードリング P G 1 を形成する部分にトレンチ T R P を形成すると同時に、第 1 チップ周辺ガードリング C G 1 を形成する部分にトレンチ T R C を形成しているが、これに限定されない。各部を個別に形成しても良い。この他に、各トレンチ T R P , T R C の形成と同一工程で、同時に、パッド開口 P K を形成しても良い。

20

【 0 2 5 4 】

上記の実施形態では、各トレンチ T R P , T R C のそれぞれに、同一の金属材料を同時に埋め込んで、第 1 パッド周辺ガードリング P G 1 と第 1 チップ周辺ガードリング C G 1 とを同時に形成しているが、これに限定されない。各部を個別に形成しても良い。

【 0 2 5 5 】

上記の実施形態では、第 1 パッド周辺ガードリング P G 1 と第 1 チップ周辺ガードリング C G 1 との両者を固体撮像装置に設ける場合について説明したが、これに限定されない。第 1 パッド周辺ガードリング P G 1 と第 1 チップ周辺ガードリング C G 1 とのいずれか一方でもよい。

【 0 2 5 6 】

上記の実施形態では、第 1 パッド周辺ガードリング P G 1 をパッド開口 P K と同じ深さになるように形成する場合について説明したが、これに限定されない。第 1 パッド周辺ガードリング P G 1 について、パッド開口 P K よりも深い位置まで形成しても良い。その際、下方には、第 2 パッド周辺ガードリング P G 2 を設けなくても良い。

30

【 0 2 5 7 】

上記の実施形態では、第 1 チップ周辺ガードリング P C 1 をチップ周辺ホールリング C H と同じ深さになるように形成する場合について説明したが、これに限定されない。第 1 チップ周辺ガードリング P C 1 について、チップ周辺ホールリング C H よりも深い位置まで形成しても良い。その際、下方には、第 2 チップ周辺ガードリング P C 2 を設けなくても良い。

40

【 0 2 5 8 】

上記の実施形態では、パッド周辺絶縁リング P Z を位置合わせマークとして設ける場合について説明したが、これに限定されない。他に、位置合わせマークを設けても良い。

【 0 2 5 9 】

上記の実施形態では、裏面照射型の C M O S イメージセンサであるセンサ素子 1 0 0 を、シリコン基板から製造する場合について説明したが、これに限定されない。いわゆる S O I (S i l i c o n o n I n s u l a t o r) 基板から、センサ素子 1 0 0 を製造しても良い。

【 0 2 6 0 】

上記の実施形態では、転送トランジスタと増幅トランジスタと選択トランジスタとリセ

50

ットランジスタとの４種を、画素トランジスタとして設ける場合について説明したが、これに限定されない。たとえば、転送トランジスタと増幅トランジスタとリセットトランジスタとの３種を、画素トランジスタとして設ける場合に、本技術を適用しても良い。

【０２６１】

上記の実施形態では、１つのフォトダイオードに対して、転送トランジスタと増幅トランジスタと選択トランジスタとリセットトランジスタとのそれぞれを１つずつ設ける場合について説明したが、これに限定されない。たとえば、複数のフォトダイオードに対して、増幅トランジスタと選択トランジスタとリセットトランジスタをのそれぞれを１つずつ設ける場合に、本技術を適用しても良い。

【０２６２】

上記の実施形態においては、カメラに本技術を適用する場合について説明したが、これに限定されない。スキャナーやコピー機などのように、固体撮像装置を備える他の電子機器において、本技術を適用しても良い。

【０２６３】

上記の実施形態では、センサ素子１００が「裏面照射型」のＣＭＯＳイメージセンサである場合について説明したが、これに限定されない。「表面照射型」の場合に、本技術を適用しても良い。また、ＣＭＯＳイメージセンサの他に、ＣＣＤ型イメージセンサの場合に、本技術を適用しても良い。

【０２６４】

上記の実施形態では、センサ素子１００とロジック素子２００とを貼り合せる場合について説明したが、これに限定されない。センサ素子１００，ロジック素子２００以外の半導体チップを貼り合わせる場合に、本技術を適用しても良い。

【０２６５】

その他、上記の各実施形態を、適宜、組み合わせても良い。

【０２６６】

つまり、本技術は、下記のような構成も取ることができる。

【０２６７】

(１)

光電変換部を含む画素が複数設けられているセンサ素子と、
前記センサ素子に対面して積層するように貼り合わされており、パッド電極が設けられているロジック素子と

を具備しており、

前記センサ素子と前記ロジック素子との積層体は、

前記パッド電極において前記センサ素子に対面するパッド面の上面に、パッド開口が設けられていると共に、前記パッド開口の側部を囲うようにパッド周辺ガードリングが設けられており、

前記パッド周辺ガードリングは、前記パッド開口の側部において、少なくとも前記パッド開口と同じ深さまで設けられたトレンチの全体に、金属材料を一体で埋め込むことで形成されている、

固体撮像装置。

【０２６８】

(２)

前記パッド周辺ガードリングは、上面から下面へ向かうに幅が伴って狭くなるように形成されている、

上記(１)に記載の固体撮像装置。

【０２６９】

(３)

前記パッド周辺ガードリングは、銅を用いて形成されており、

前記センサ素子は、上面において前記パッド周辺ガードリングが設けられた部分を被覆するように、有機樹脂膜が設けられている、

上記（１）または（２）に記載の固体撮像装置。

【０２７０】

（４）

前記センサ素子は、第１半導体基板を含み、前記第１半導体基板において前記ロジック素子に対面する下面に第１配線層が設けられており、

前記ロジック素子は、第２半導体基板を含み、前記第２半導体基板において前記センサ素子に対面する上面に第２配線層が設けられており、

前記パッド電極は、前記第２配線層の内部に設けられており、

前記パッド開口と前記パッド周辺ガードリングとのそれぞれは、少なくとも、前記第１半導体基板と前記第１配線層とを貫通するように設けられている、

10

上記（１）から（３）のいずれかに記載の固体撮像装置。

【０２７１】

（５）

前記センサ素子と前記ロジック素子との積層体は、

前記センサ素子と前記ロジック素子とが対面する面の方向において、前記複数の画素が配置された画素領域を含むチップ領域と、前記チップ領域の周りに位置するスクライプ領域とを有し、

前記スクライプ領域においてダイシングされる部分よりも前記チップ領域側に、トレンチがチップ周辺ホールリングとして設けられていると共に、

前記スクライプ領域において前記チップ周辺ホールリングが設けられている部分よりも前記チップ領域側に、チップ周辺ガードリングが設けられており、

20

前記チップ周辺ガードリングは、前記チップ周辺ホールリングの側部において、少なくとも前記チップ周辺ホールリングと同じ深さまで設けられたトレンチの全体に、金属材料を一体で埋め込むことで形成されている、

上記（１）に記載の固体撮像装置。

【０２７２】

（６）

前記チップ周辺ガードリングは、上面から下面へ向かうに幅が伴って狭くなるように形成されている、

上記（５）に記載の固体撮像装置。

30

【０２７３】

（７）

前記チップ周辺ガードリングは、銅を用いて形成されており、

前記センサ素子は、上面において前記チップ周辺ガードリングが設けられた部分を被覆するように、有機樹脂膜が設けられている、

上記（５）または（６）に記載の固体撮像装置。

【０２７４】

（８）

前記センサ素子は、第１半導体基板を含み、前記第１半導体基板において前記ロジック素子に対面する下面に第１配線層が設けられており、

40

前記ロジック素子は、第２半導体基板を含み、前記第２半導体基板において前記センサ素子に対面する上面に第２配線層が設けられており、

前記チップ周辺ホールリングと前記チップ周辺ガードリングとのそれぞれは、少なくとも、前記第１半導体基板と前記第１配線層とを貫通するように設けられている、

上記（５）から（７）のいずれかに記載の固体撮像装置。

【０２７５】

（９）

前記センサ素子は、前記光電変換部の受光面に光を集光するオンチップレンズが前記複数の画素のそれぞれに対応して前記第１半導体基板の上面の側に設けられており、

前記オンチップレンズは、前記第１半導体基板の上面において当該オンチップレンズを

50

形成する部分を被覆するように設けられた前記有機樹脂膜を加工することで形成されている、

上記(3)または(7)に記載の固体撮像装置。

【0276】

(10)

光電変換部を含む画素が複数設けられているセンサ素子と、

前記センサ素子に対面して積層するように貼り合わされており、パッド電極が設けられているロジック素子と

を具備しており、

前記センサ素子と前記ロジック素子との積層体は、

前記パッド電極において前記センサ素子に対面するパッド面の上面に、パッド開口が設けられていると共に、前記パッド開口の側部を囲うようにパッド周辺ガードリングが設けられており、

前記パッド周辺ガードリングは、前記パッド開口の側部において、少なくとも前記パッド開口と同じ深さまで設けられたトレンチの全体に、金属材料を一体で埋め込むことで形成されている、

電子機器。

【0277】

(11)

第1半導体チップと、

前記第1半導体チップに対面して積層するように貼り合わされており、パッド電極が設けられている第2半導体チップと

を具備しており、

前記第1半導体チップと前記第2半導体チップとの積層体は、

前記パッド電極において前記第1半導体チップに対面するパッド面の上面に、パッド開口が設けられていると共に、前記パッド開口の側部を囲うようにパッド周辺ガードリングが設けられており、

前記パッド周辺ガードリングは、前記パッド開口の側部において、少なくとも前記パッド開口と同じ深さまで設けられたトレンチの全体に、金属材料を一体で埋め込むことで形成されている、

半導体装置。

【0278】

(12)

光電変換部を含む画素が複数設けられているセンサ素子と、パッド電極が設けられているロジック素子とを対面して積層するように貼り合わせる工程と、

前記センサ素子と前記ロジック素子との積層体において、前記パッド電極にて前記センサ素子に対面するパッド面の上面に設けるパッド開口の側部を囲うようにパッド周辺ガードリングを設ける工程と

を有し、

前記パッド周辺ガードリングを設ける工程においては、

前記パッド開口の側部において、少なくとも前記パッド開口と同じ深さまで設けられたトレンチの全体に、金属材料を一体で埋め込むことで、前記パッド周辺ガードリングを形成する、

固体撮像装置の製造方法。

【0279】

なお、上記の実施形態において、フォトダイオード21は、光電変換部の一例である。また、上記の実施形態において、カメラ40は、電子機器の一例である。また、上記の実施形態において、センサ素子100は、第1半導体チップの一例である。また、上記の実施形態において、ロジック素子200は、第2半導体チップの一例である。また、上記の実施形態において、第1パッド周辺ガードリングPG1は、パッド周辺ガードリングの一

10

20

30

40

50

例である。また、上記の実施形態において、半導体基板 1 0 1 は、第 1 半導体基板の一例である。また、上記の実施形態において、配線層 1 1 0 は、第 1 配線層の一例である。また、上記の実施形態において、半導体基板 2 0 1 は、第 2 半導体基板の一例である。また、上記の実施形態において、配線層 2 1 0 は、第 2 配線層の一例である。また、上記の実施形態において、レンズ材層 1 0 4 は、有機樹脂膜の一例である。また、上記の実施形態において、第 1 チップ周辺ガードリング C G 1 は、チップ周辺ガードリングの一例である。また、上記の実施形態において、固体撮像装置 1 は、半導体装置の一例である。

【符号の説明】

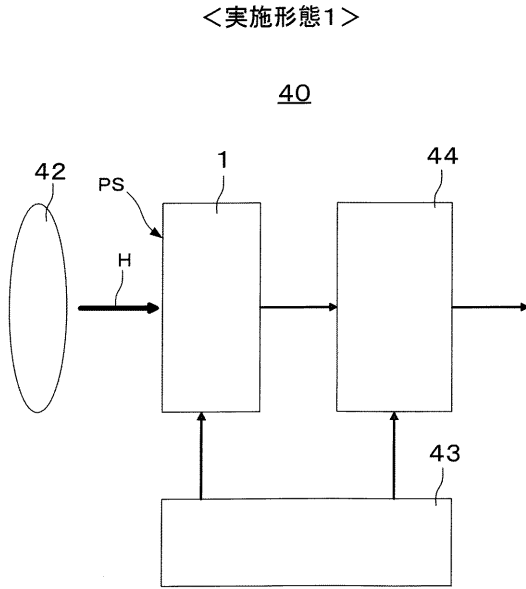
【 0 2 8 0 】

1 , 1 b : 固体撮像装置、 3 : 垂直駆動回路、 4 : カラム回路、 5 : 水平駆動回路、 7 : 外部出力回路、 7 a : A G C 回路、 7 b : A D C 回路、 8 : タイミングジェネレータ、 2 1 : フォトダイオード、 2 2 : 転送トランジスタ、 2 3 : 増幅トランジスタ、 2 4 : 選択トランジスタ、 2 5 : リセットトランジスタ、 2 6 : 転送線、 2 7 : 垂直信号線、 2 8 : アドレス線、 2 9 : リセット線、 4 0 : カメラ、 4 2 : 光学系、 4 3 : 制御部、 4 4 : 信号処理部、 1 0 0 : センサ素子、 1 0 1 : 半導体基板、 1 0 2 : 第 1 絶縁膜、 1 0 3 : 第 2 絶縁膜、 1 0 4 : レンズ材層、 1 1 0 : 配線層、 1 1 0 H : 配線、 1 1 0 Z : 絶縁層、 1 2 0 : 絶縁層、 2 0 0 : ロジック素子、 2 0 1 : 半導体基板、 2 1 0 : 配線層、 2 1 0 H : 配線、 2 1 0 Z : 絶縁層、 2 2 0 : 絶縁層、 C A : チップ領域、 C F : カラーフィルタ、 C G : チップ周辺ガードリング、 C G 1 : 第 1 チップ周辺ガードリング、 C G 2 : 第 2 チップ周辺ガードリング、 C G 3 : 第 3 チップ周辺ガードリング、 C H : チップ周辺ホールリング、 F D : フローティング・ディフュージョン、 H : 入射光、 I : 定電流源、 J S : 受光面、 L A : スクライブ領域、 M L : マイクロレンズ、 M O : 湿気、 O C L : オンチップレンズ、 P : 画素、 P A : 画素領域、 P A D : パッド電極、 P C 1 : 第 1 チップ周辺ガードリング、 P C 2 : 第 2 チップ周辺ガードリング、 P G : パッド周辺ガードリング、 P G 1 : 第 1 パッド周辺ガードリング、 P G 2 : 第 2 パッド周辺ガードリング、 P K : パッド開口、 P K 1 : 第 1 パッド開口、 P K 2 : 第 2 パッド開口、 P S : 撮像面、 P Z : パッド周辺絶縁リング、 S A : 周辺領域、 T P : チッピング、 T R C : トレンチ、 T R P : トレンチ、 T r : 画素トランジスタ、 V d d : 電源供給線。

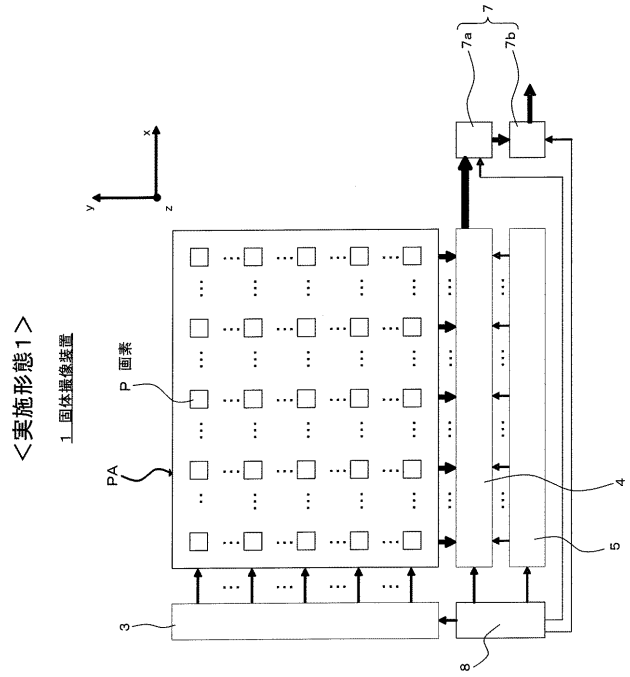
10

20

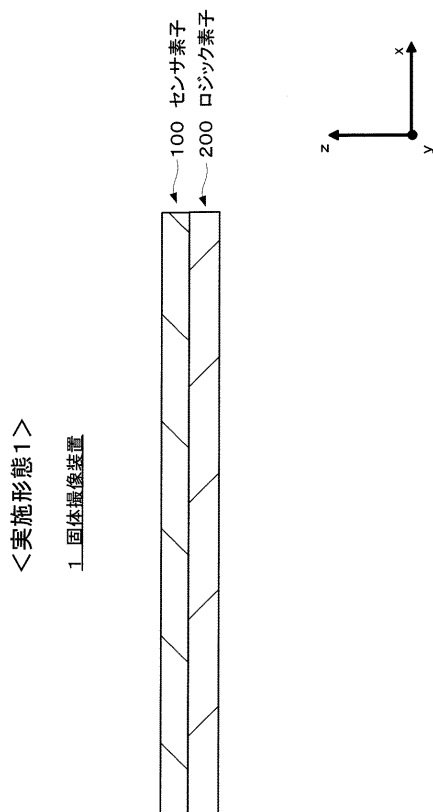
【図 1】



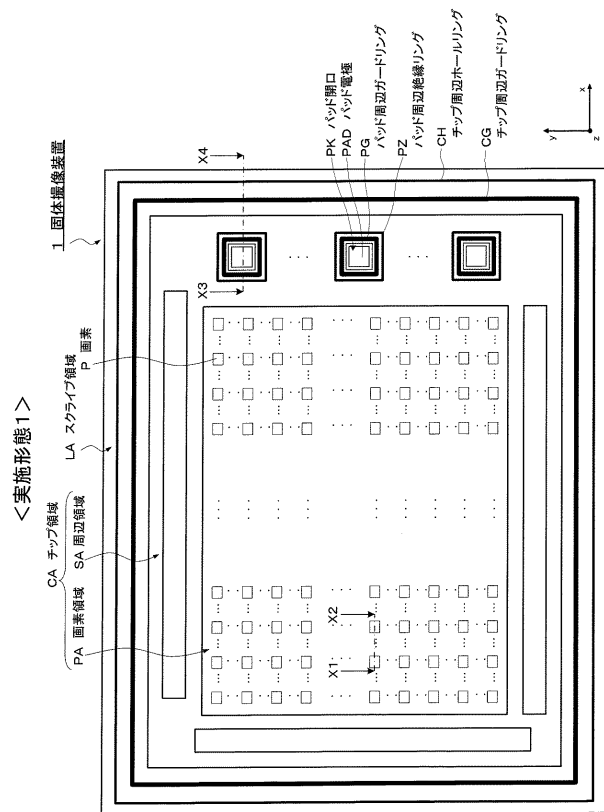
【図 2】



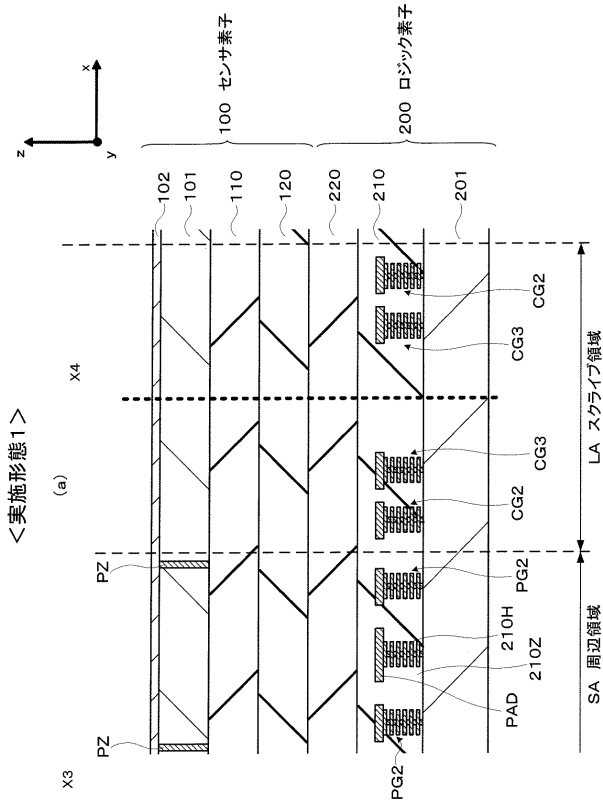
【図 3】



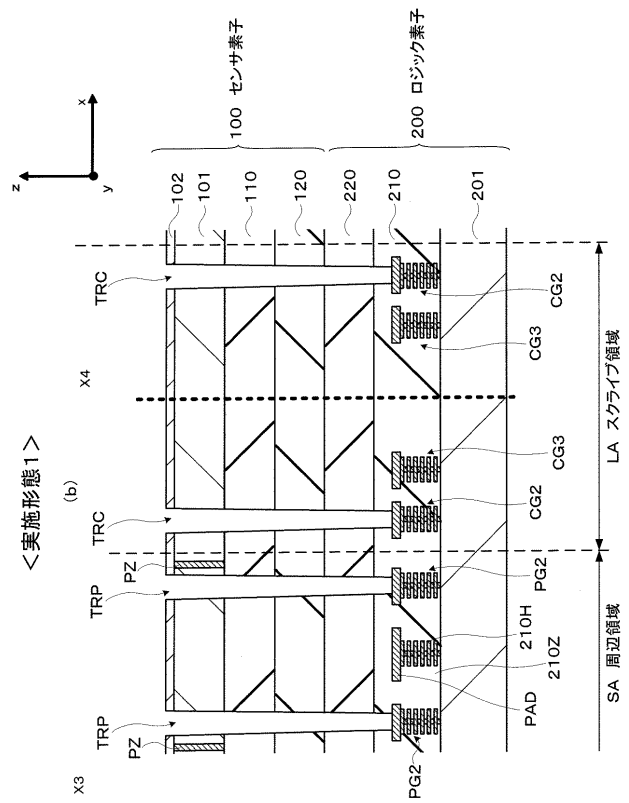
【図 4】



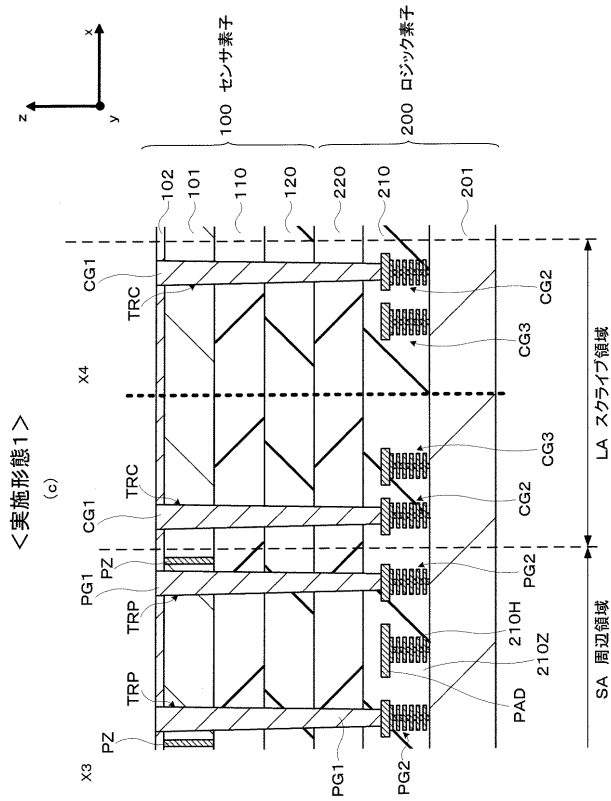
【図 9】



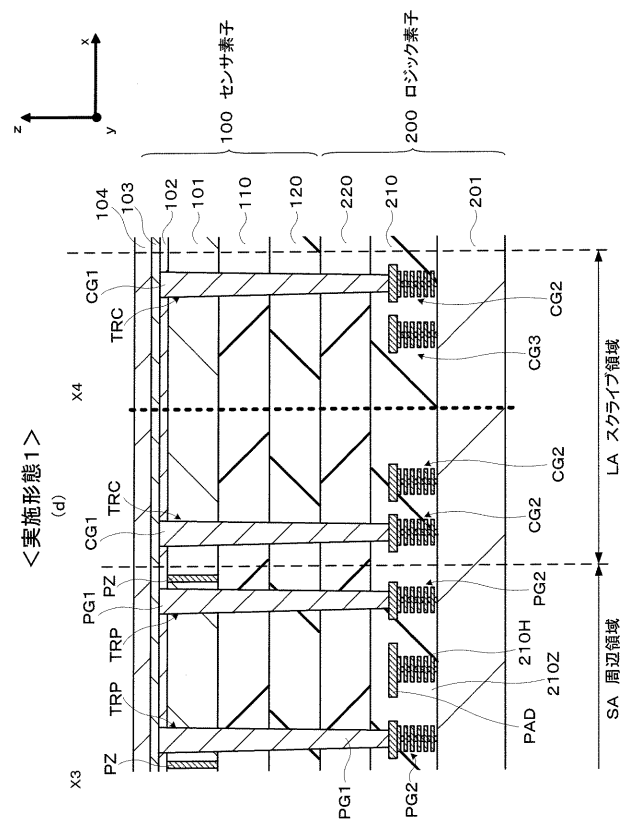
【図 10】



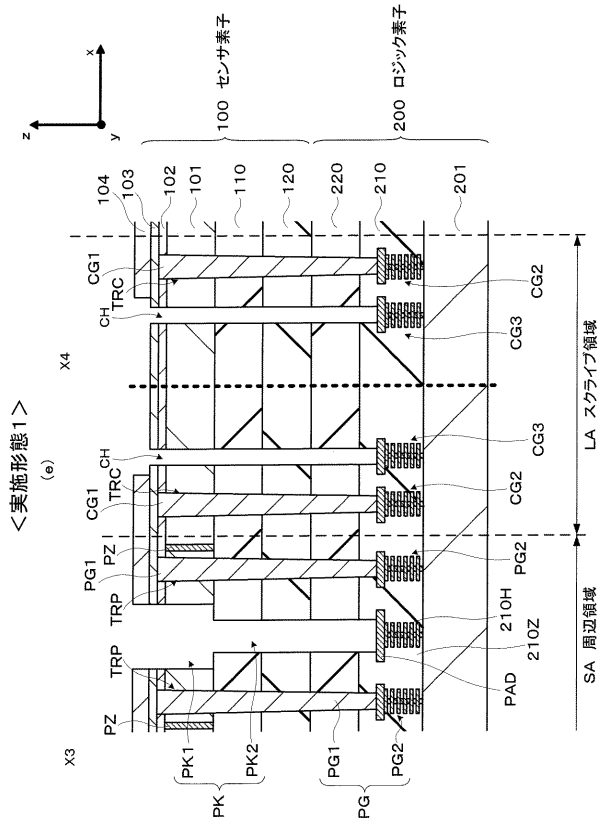
【図 11】



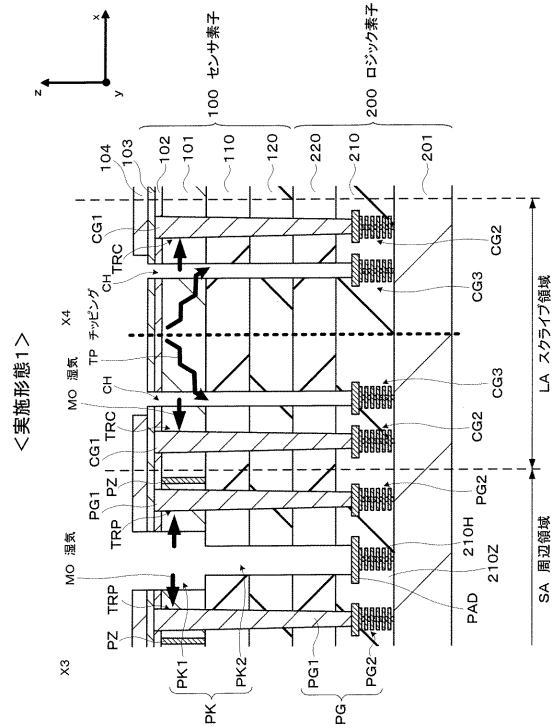
【図 12】



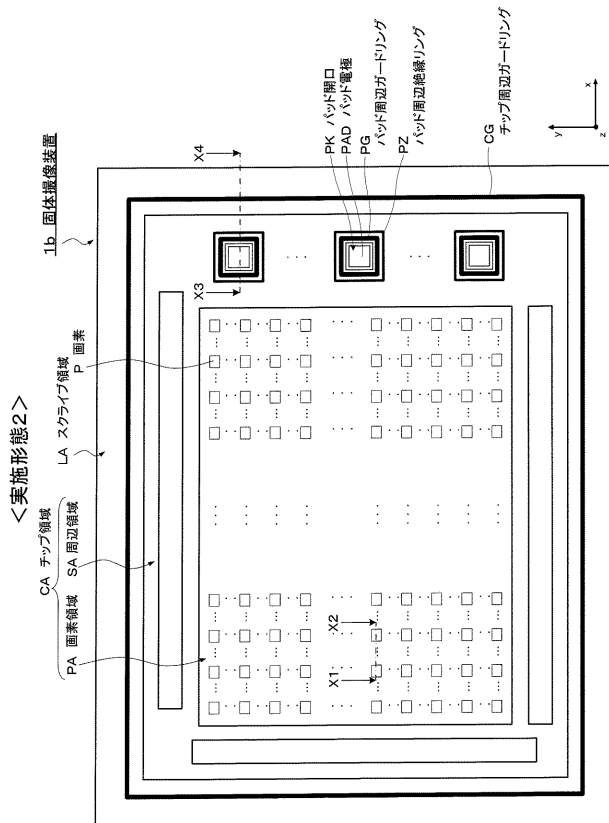
【図 1 3】



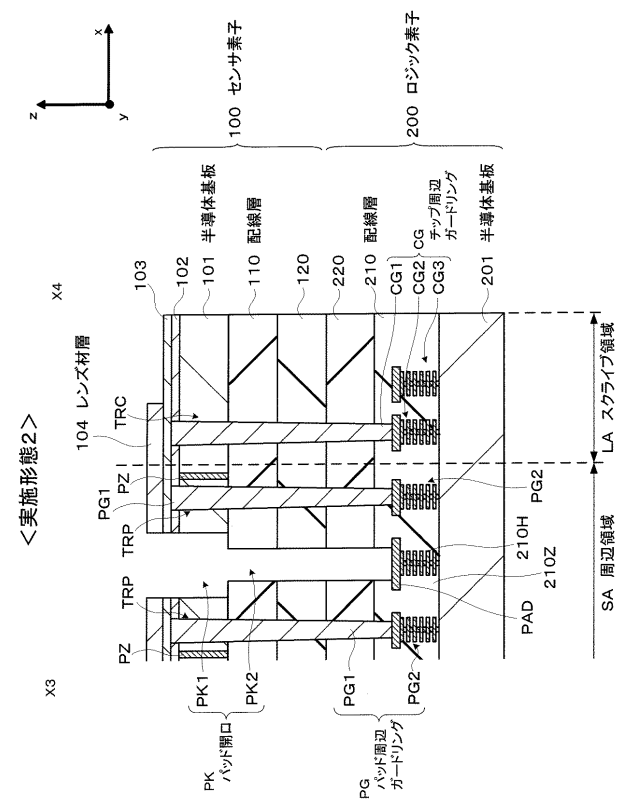
【図 1 4】



【図 1 5】



【図 1 6】



【図 17】

