

(21)申請案號：103144329

(22)申請日：中華民國 103 (2014) 年 12 月 18 日

(51)Int. Cl. : **H01L29/78 (2006.01)**

H01L21/22 (2006.01)

(30)優先權：2013/12/26 日本

2013-269264

(71)申請人：豐田自動車股份有限公司(日本) TOYOTA JIDOSHA KABUSHIKI KAISHA (JP)
日本

(72)發明人：齋藤順 SAITO, JUN (JP)；藤原広和 FUJIWARA, HIROKAZU (JP)；池田知治 IKEDA, TOMOHARU (JP)；渡辺行彦 WATANABE, YUKIHIKO (JP)；山本敏雅 YAMAMOTO, TOSHIMASA (JP)

(74)代理人：林志剛

(56) 參考文獻：

TW 200302556A

TW 201322451A

CN 101048874A

審查人員：陳佳瑤

申請專利範圍項數：13 項 圖式數：12 共 43 頁

(54)名稱

絕緣閘極型半導體裝置的製造方法及絕緣閘極型半導體裝置

(57)摘要

本發明的課題是在於使絕緣閘極型半導體裝置高耐壓化。其解決手段是本發明為一種製造切換表面電極與背面電極之間的絕緣閘極型半導體裝置的方法，具有：在閘極溝(34)的底面注入第1的第2導電型雜質，使注入的第1的第2導電型雜質擴散之工程；及在外周溝(54)的底面注入第2的第2導電型雜質，使注入的第2的第2導電型雜質擴散之工程。

指定代表圖：

符號簡單說明：

12 · · · 半導體基板

12a · · · 端面

14 · · · 表面電極

16 · · · 絕緣層

18 · · · 背面電極

20 · · · 單元領域

22 · · · 源極領域

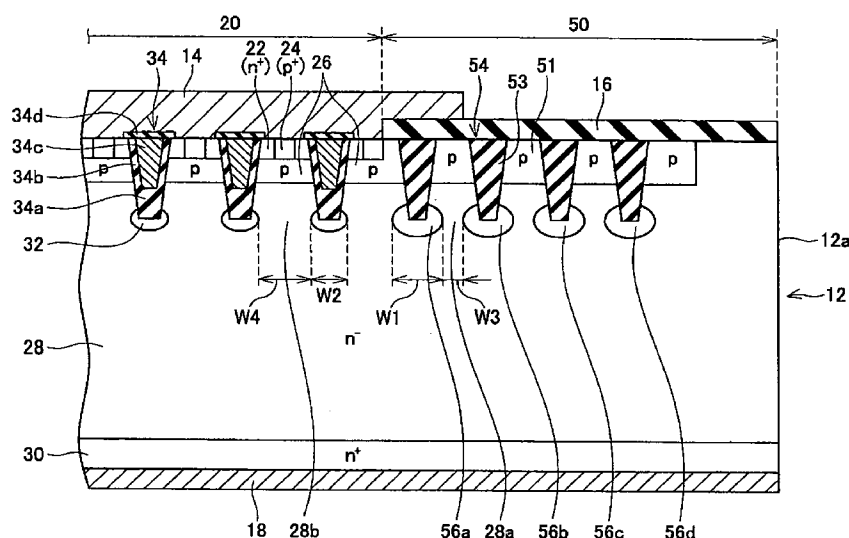
24 · · · 本體接觸領域

26 · · · 本體領域

28、28a、28b . . .

漂移領域

圖 2



- 30 . . . 汲極領域
- 32 . . . p 型浮動領域
- 34 . . . 閘極溝
- 34a . . . 底部絕緣層
- 34b . . . 閘極絕緣膜
- 34c . . . 閘極電極
- 34d . . . 絕緣層
- 50 . . . 外周領域
- 51 . . . 表面領域
- 53 . . . 絕緣層
- 54 . . . 外周溝
- 56a~56d . . . 底面領域
- W1~W4 . . . 寬度

發明摘要

※申請案號： 103144329

※申請日： 103.12.18

※IPC 分類： H01L 29/18 (2006.01)
H01L 21/28 (2006.01)

【發明名稱】(中文/英文)

絕緣閘極型半導體裝置的製造方法及絕緣閘極型半導體裝置

【中文】

本發明的課題是在於使絕緣閘極型半導體裝置高耐壓化。

其解決手段是本發明為一種製造切換表面電極與背面電極之間的絕緣閘極型半導體裝置的方法，具有：

在閘極溝（34）的底面注入第1的第2導電型雜質，使注入的第1的第2導電型雜質擴散之工程；及

在外周溝（54）的底面注入第2的第2導電型雜質，使注入的第2的第2導電型雜質擴散之工程。

【英文】

【代表圖】

【本案指定代表圖】：第(2)圖。

【本代表圖之符號簡單說明】：

12：半導體基板

12a：端面

14：表面電極

16：絕緣層

18：背面電極

20：單元領域

22：源極領域

24：本體接觸領域

26：本體領域

28、28a、28b：漂移領域

30：汲極領域

32：p型浮動領域

34：閘極溝

34a：底部絕緣層

34b：閘極絕緣膜

34c：閘極電極

34d：絕緣層

50：外周領域

51：表面領域

53：絕緣層

54：外周溝

56a~56d：底面領域

W1~W4：寬度

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

絕緣閘極型半導體裝置的製造方法及絕緣閘極型半導體裝置

【技術領域】

[0001] 本說明書所揭示的技術是有關絕緣閘極型半導體裝置。

【先前技術】

[0002] 在專利文獻 1 中是揭示絕緣閘極型半導體裝置，其係具有形成 MOS 構造的元件領域及該領域的周圍的外周領域。在元件領域中形成有複數的閘極溝 (trench)，在閘極溝內形成有閘極絕緣膜及閘極電極。在露出於閘極溝的底面的範圍中形成有 p 型的底面圍繞領域 (以下稱為元件部底面圍繞領域)。在外周領域中，以能夠包圍元件領域的方式形成有複數的溝，在各溝內充填有絕緣層。在露出於外周領域的各溝的底面的範圍中形成有 p 型的底面圍繞領域 (以下稱為外周部底面圍繞領域)。一旦 MOSFET 關閉，則在元件領域內，空乏層會從元件部底面圍繞領域擴展至漂移領域內。藉此，元件領域內的漂移領域的空乏化會被促進。並且，在外周領域內，空乏層會從外周部底面圍繞領域擴展至漂移領域內。

藉此，外周領域內的漂移領域的空乏化會被促進。因此，絕緣閘極型半導體裝置的耐壓會被提升。

[先行技術文獻]

[專利文獻]

[0003] [專利文獻 1] 日本特開 2008-135522 號公報

【發明內容】

（發明所欲解決的課題）

[0004] 專利文獻 1 的絕緣閘極型半導體裝置是在元件領域內，大致同時空乏層會從各元件部底面圍繞領域擴展。因此，被 2 個的元件部底面圍繞領域所夾著的部分的漂移領域是空乏化會從兩側進展，因此容易被空乏化。對此，在外周領域內，從元件領域擴展的空乏層一旦到達外周領域內的最初的外周部底面圍繞領域（最接近元件領域的外周部底面圍繞領域），則空乏層會從最初的外周部底面圍繞領域往第 2 個的外周部底面圍繞領域（從元件領域往第 2 個的外周部底面圍繞領域）延伸。一旦空乏層到達第 2 個的外周部底面圍繞領域，則空乏層會從第 2 個的外周部底面圍繞領域往第 3 個的外周部底面圍繞領域延伸。如此，空乏層會經由各外周部底面圍繞領域來依序擴展而去。因此，被 2 個的外周部底面圍繞領域所夾著的部分的漂移領域是空乏化只從一側進展。因此，外周領域是難被空乏化。所以，期望外周領域的更高耐壓化。

(用以解決課題的手段)

[0005] 本說明書所揭示的製造方法是在製造絕緣閘極型半導體裝置，該絕緣閘極型半導體裝置係具有：半導體基板，及形成於前述半導體基板的表面的表面電極，及形成於前述半導體基板的背面的背面電極，切換前述表面電極與前述背面電極之間。

前述絕緣閘極型半導體裝置係具有：

第 1 導電型的第 1 領域，其係連接至前述表面電極；

第 2 導電型的第 2 領域，其係接觸於前述第 1 領域；

第 1 導電型的第 3 領域，其係藉由前述第 2 領域來從前述第 1 領域分離；

複數的閘極溝，其係形成於前述半導體基板的前述表面，貫通前述第 2 領域而到達前述第 3 領域；

閘極絕緣膜及閘極電極，其係配置於前述閘極溝內；

第 2 導電型的第 4 領域，其係形成在露出於前述閘極溝的底面的範圍中；

複數的外周溝，其係在前述第 2 領域的外側的領域中形成於前述半導體基板的前述表面；

絕緣層，其係配置於前述外周溝內；及

第 2 導電型的第 5 領域，其係形成在露出於前述外周溝的底面的範圍中。

前述方法係具有：

形成前述閘極溝的工程；

形成前述外周溝的工程；

在前述閘極溝的底面注入第 1p 型雜質，在使注入的前述第 1p 型雜質擴散之下形成前述第 4 領域的工程；及

在前述外周溝的底面注入第 2p 型雜質，在使注入的前述第 2p 型雜質擴散之下形成前述第 5 領域的工程。

形成前述第 5 領域的工程之前述第 2 的第 2 導電型雜質的擴散係數要比形成前述第 4 領域的工程之前述第 1 的第 2 導電型雜質的擴散係數更大。

[0006] 另外，閘極溝及外周溝是哪個先形成皆可。並且，往閘極溝的底面之雜質的注入及往外周溝的底面之雜質的注入是哪個先實施皆可。並且，注入至閘極溝的底面之雜質的擴散及注入至外周溝的底面之雜質的擴散是哪個先實施皆可，或亦可同時實施該等。

[0007] 此方法是形成第 5 領域的工程之第 2p 型雜質的擴散係數大。因此，在使第 2p 型雜質擴散至更廣的範圍之下，可形成更寬廣的第 5 領域。因此，可窄化各第 5 領域之間的間隔，該等的間隔會更容易被空乏化。因此，若根據此方法，可使外周部的耐壓提升。另一方面，形成第 4 領域的工程之第 1p 型雜質的擴散係數小。因此，第 1p 型雜質的擴散範圍變窄，藉此第 4 領域的寬度變窄。在如此窄化第 4 領域的寬度之下，可擴大確保各第 4 領域之間的間隔（亦即，電流路徑）。藉此，可降低絕緣閘極型半導體裝置的 ON 電壓。

[0008] 在上述的方法中，前述第 1p 型雜質亦可為與前述第 2p 型雜質不同的元素。

[0009] 並且，在上述的方法中，前述第 1p 型雜質及前述第 2p 型雜質為硼，形成前述第 4 領域的前述工程亦可在前述閘極溝的底面注入硼及碳。

[0010] 藉由該等的任一方法亦可將形成第 5 領域的工程之第 2p 型雜質的擴散係數形成比形成第 4 領域的工程之第 1p 型雜質的擴散係數更大。

[0011] 並且，在上述的任一方法中，形成前述第 5 領域的前述工程亦可在前述外周溝的底面注入前述第 2p 型雜質，及形成前述第 4 領域的工程的擴散係數要比前述第 2p 型雜質更小的第 3p 型雜質。

[0012] 並且，在上述的任一方法中，形成前述第 5 領域的前述工程亦可以構成前述外周溝的底面的半導體層的至少一部分非晶質化的濃度來注入前述第 2p 型雜質。

[0013] 並且，在上述的任一方法中，形成前述第 5 領域的前述工程亦可在前述外周溝的底面以 1×10^{18} atoms/cm³ 以上的濃度來注入前述第 2p 型雜質。

[0014] 藉由該等的任一方法亦可提高第 5 領域之中的外周溝的底面周邊的領域的 p 型雜質濃度。藉此，可抑制在外周溝的底面附近產生高的電場。

[0015] 在上述的任一方法中，前述各第 5 領域之間的間隔亦可為前述各第 4 領域之間的間隔的 1/2 以下。

[0016] 若根據如此的構成，則在元件部要比外周部更先產生崩潰降伏。元件部因為崩潰耐量高，所以在使崩潰降伏先產生於元件部之下，絕緣閘極型半導體裝置的耐

壓會提升。

[0017] 並且，本說明書是提案新的絕緣閘極型半導體裝置。此絕緣閘極型半導體裝置係具有：半導體基板，及形成於前述半導體基板的表面的表面電極，及形成於前述半導體基板的背面的背面電極，切換前述表面電極與前述背面電極之間。

此絕緣閘極型半導體裝置具有：

第 1 導電型的第 1 領域，其係連接至前述表面電極；

第 2 導電型的第 2 領域，其係接觸於前述第 1 領域；

第 1 導電型的第 3 領域，其係藉由前述第 2 領域來從前述第 1 領域分離；

複數的閘極溝，其係形成於前述半導體基板的前述表面，貫通前述第 1 領域及前述第 2 領域而到達前述第 3 領域；

閘極絕緣膜及閘極電極，其係配置於前述閘極溝內；

第 2 導電型的第 4 領域，其係形成在露出於前述閘極溝的底面的範圍中；

複數的外周溝，其係在不與前述第 2 領域接觸的位置形成於前述半導體基板的前述表面；

絕緣層，其係配置於前述外周溝內；及

第 2 導電型的第 5 領域，其係形成在露出於前述外周溝的底面的範圍中。

前述第 5 領域的寬度要比前述第 4 領域的寬度更寬。

含在前述第 4 領域中的第 2 導電型雜質亦可為與含在

前述第 5 領域中的第 2 導電型雜質不同的元素。

含在前述第 4 領域中的第 2 導電型雜質及含在前述第 5 領域中的第 2 導電型雜質為硼，亦可在前述第 4 領域中更含有碳。

亦可在前述第 5 領域中含有第 1 的特定的第 2 導電型雜質，及在前述半導體基板內的擴散係數要比前述第 1 的特定的第 2 導電型雜質更小的第 2 的特定的第 2 導電型雜質。前述外周溝的底面的至少一部分亦可為非晶質層。前述外周溝的底面的至少一部分亦可以 $1 \times 10^{18} \text{atoms/cm}^3$ 以上的濃度含有第 2 導電型雜質。前述各第 5 領域之間的間隔亦可為前述各第 4 領域之間的間隔的 $1/2$ 以下。若根據如此的構成，則可使絕緣閘極型半導體裝置的耐壓提升。

【圖式簡單說明】

[0018]

圖 1 是半導體裝置 10 的上面圖。

圖 2 是圖 1 的 II-II 線的半導體裝置 10 的縱剖面圖。

圖 3 是半導體裝置 10 的製造工程的說明圖（形成 p 型浮動領域 32 及底面領域 56 的領域的擴大剖面圖）。

圖 4 是半導體裝置 10 的製造工程的說明圖（形成 p 型浮動領域 32 及底面領域 56 的領域的擴大剖面圖）。

圖 5 是半導體裝置 10 的製造工程的說明圖（形成 p 型浮動領域 32 及底面領域 56 的領域的擴大剖面圖）。

圖 6 是半導體裝置 10 的製造工程的說明圖（形成 p

型浮動領域 32 及底面領域 56 的領域的擴大剖面圖)。

圖 7 是半導體裝置 10 的製造工程的說明圖(形成 p 型浮動領域 32 及底面領域 56 的領域的擴大剖面圖)。

圖 8 是半導體裝置 10 的製造工程的說明圖(形成 p 型浮動領域 32 及底面領域 56 的領域的擴大剖面圖)。

圖 9 是半導體裝置 10 的製造工程的說明圖(形成 p 型浮動領域 32 及底面領域 56 的領域的擴大剖面圖)。

圖 10 是半導體裝置 10 的製造工程的說明圖(形成 p 型浮動領域 32 及底面領域 56 的領域的擴大剖面圖)。

圖 11 是表示高濃度注入 B 時的 B 的擴散的情況的圖表。

圖 12 是半導體裝置 10 的製造工程的說明圖(形成 p 型浮動領域 32 及底面領域 56 的領域的擴大剖面圖)。

【實施方式】

[實施例]

[0019] 圖 1 所示的半導體裝置 10 是具有由 SiC 所構成的半導體基板 12。半導體基板 12 是具有單元(cell)領域 20 及外周領域 50。在單元領域 20 中形成有 MOSFET。外周領域 50 是單元領域 20 與半導體基板 12 的端面 12a 之間的領域。

[0020] 如圖 2 所示般，在半導體基板 12 的表面是形成有表面電極 14 及絕緣層 16。絕緣層 16 是覆蓋外周領域 50 內的半導體基板 12 的表面。表面電極 14 是在單元

領域 20 內與半導體基板 12 接觸。換言之，表面電極 14 與半導體基板 12 接觸的接觸領域的下側的領域為單元領域 20，比接觸領域更外周側（端面 12a 側）的領域為外周領域 50。在半導體基板 12 的背面是形成有背面電極 18。背面電極 18 是覆蓋半導體基板 12 的背面的大致全體。

[0021] 在單元領域 20 內是形成有源極領域 22，本體接觸領域 24，本體領域 26，漂移領域 28，汲極領域 30，p 型浮動領域 32，閘極溝 34。

[0022] 源極領域 22 是高濃度含 n 型雜質的 n 型領域。源極領域 22 是形成在露出於半導體基板 12 的上面的範圍中。源極領域 22 是對於表面電極 14 歐姆連接。

[0023] 本體接觸領域 24 是高濃度含 p 型雜質的 p 型領域。本體接觸領域 24 是在未形成有源極領域 22 的位置以能夠露出於半導體基板 12 的上面之方式形成。本體接觸領域 24 是對於表面電極 14 歐姆連接。

[0024] 本體領域 26 是低濃度含 p 型雜質的 p 型領域。本體領域 26 的 p 型雜質濃度是比本體接觸領域 24 的 p 型雜質濃度更低。本體領域 26 是形成於源極領域 22 及本體接觸領域 24 的下側，接觸於該等的領域。

[0025] 漂移領域 28 是低濃度含 n 型雜質的 n 型領域。漂移領域 28 的 n 型雜質濃度是比源極領域 22 的 n 型雜質濃度更低。漂移領域 28 是形成於本體領域 26 的下側。漂移領域 28 是接觸於本體領域 26，藉由本體領域 26

來從源極領域 22 分離。

[0026] 汲極領域 30 是高濃度含 n 型雜質的 n 型領域。汲極領域 30 的 n 型雜質濃度是比漂移領域 28 的 n 型雜質濃度更高。汲極領域 30 是形成於漂移領域 28 的下側。汲極領域 30 是接觸於漂移領域 28，藉由漂移領域 28 來從本體領域 26 分離。汲極領域 30 是形成在露出於半導體基板 12 的下面的範圍中。汲極領域 30 是對於背面電極 18 歐姆連接。

[0027] 如圖 1，2 所示般，在單元領域 20 內的半導體基板 12 的上面是形成有複數的閘極溝 34。各閘極溝 34 是在半導體基板 12 的表面，彼此平行直線狀地延伸。各閘極溝 34 是形成貫通源極領域 22 與本體領域 26，到達漂移領域 28。在各閘極溝 34 內是形成有底部絕緣層 34a，閘極絕緣膜 34b 及閘極電極 34c。底部絕緣層 34a 是形成於閘極溝 34 的底部之厚的絕緣層。底部絕緣層 34a 的上側的閘極溝 34 的側面是藉由閘極絕緣膜 34b 來覆蓋。在底部絕緣層 34a 的上側的閘極溝 34 內是形成有閘極電極 34c。閘極電極 34c 是經由閘極絕緣膜 34b 來與源極領域 22，本體領域 26 及漂移領域 28 對向。閘極電極 34c 是藉由閘極絕緣膜 34b 及底部絕緣層 34a 來從半導體基板 12 絕緣。閘極電極 34c 的上面是藉由絕緣層 34d 來覆蓋。閘極電極 34c 是藉由絕緣層 34d 來從表面電極 14 絕緣。

[0028] p 型浮動領域 32 是形成在半導體基板 12 內，

接觸於各閘極溝 34 的底面的範圍。各 p 型浮動領域 32 的周圍是被漂移領域 28 所包圍。各 p 型浮動領域 32 是藉由漂移領域 28 來彼此分離。

[0029] 在露出於外周領域 50 內的半導體基板 12 的表面的範圍中形成有 p 型的表面領域 51。表面領域 51 是擴展至與本體領域 26 大致同深度。上述的漂移領域 28 及汲極領域 30 是擴展至外周領域 50。漂移領域 28 與汲極領域 30 是擴展至半導體基板 12 的端面 12a。漂移領域 28 是從下側來對表面領域 51 接觸。

[0030] 在外周領域 50 內的半導體基板 12 的上面是形成有複數的外周溝 54。各外周溝 54 是形成貫通表面領域 51，到達漂移領域 28。在各外周溝 54 內是形成有絕緣層 53。如圖 1 所示般，各外周溝 54 是由上側來看半導體基板 12 時，形成繞單元領域 20 的周圍一圈之環狀。各外周溝 54 是彼此隔開距離形成。表面領域 51 是藉由外周溝 54 來從本體領域 26（亦即，與表面電極 14 導通的 p 型領域）分離。並且，各表面領域 51 是藉由各外周溝 54 來彼此分離。

[0031] 在半導體基板 12 內，接觸於各外周溝 54 的底面的範圍是形成有 p 型的底面領域 56。底面領域 56 是以能夠覆蓋外周溝 54 的底面全體之方式，沿著外周溝 54 來形成。各底面領域 56 的周圍是被漂移領域 28 所包圍。各底面領域 56 是藉由漂移領域 28 來互相分離。如圖示般，各底面領域 56 的寬度 W1 是比各 p 型浮動領域 32 的

寬度 $W2$ 更寬。在此，底面領域 56 的寬度 $W1$ 是意思穿過外周溝 54 的方向（亦即，外周溝 54 的寬度方向）的底面領域 56 的尺寸。並且，p 型浮動領域 32 的寬度 $W2$ 是意思穿過閘極溝 34 的方向（亦即，閘極溝 34 的寬度方向）的 p 型浮動領域 32 的尺寸。

[0032] 其次，說明有關半導體裝置 10 的動作。使半導體裝置 10 動作時，在背面電極 18 與表面電極 14 之間施加背面電極 18 成為正的電壓。而且，在對於閘極電極 34c 施加閘極 ON 電壓之下，單元領域 20 內的 MOSFET 為 ON。亦即，在與閘極電極 34c 對向的位置的本體領域 26 形成通道，從表面電極 14 經由源極領域 22，通道，漂移領域 28，汲極領域 30 來朝背面電極 18 流動電子。此時，電子是通過位於 2 個 p 型浮動領域 32 之間的漂移領域 28b 來流動。在半導體裝置 10 中，各 p 型浮動領域 32 的寬度 $W2$ 會變窄，藉此漂移領域 28b 的寬度 $W4$ 會變寬。如此，電流流動的漂移領域 28b 的寬度會被擴大確保，因此 MOSFET 的 ON 電壓低。

[0033] 一旦停止往閘極電極 34c 之閘極 ON 電壓的施加，則通道消失，MOSFET 為 OFF。一旦 MOSFET 為 OFF，則空乏層會從本體領域 26 與漂移領域 28 的境界部的 pn 接合擴展至漂移領域 28 內。一旦空乏層到達至單元領域 20 內的 p 型浮動領域 32，則從 p 型浮動領域 32 到漂移領域 28 內也有空乏層擴展。因此，在位於 2 個的 p 型浮動領域 32 之間的漂移領域 28b 中，空乏層會從兩側

的 p 型浮動領域 32 擴展。在如此空乏層伸展至單元領域 20 內之下，可實現單元領域 20 內的高耐壓。

[0034] 另外，如上述般，位於 2 個的 p 型浮動領域 32 之間的漂移領域 28b 的寬度 W4 寬。然而，如上述般，漂移領域 28b 是從兩側被空乏化。因此，即使漂移領域 28b 的寬度 W4 寬，漂移領域 28b 還是容易被空乏化。

[0035] 並且，從上述 pn 接合延伸的空乏層是到達至最位於單元領域 20 側的外周溝 54 的下側的底面領域 56a。於是，空乏層會從底面領域 56a 往外周側的底面領域 56b 延伸。一旦空乏層到達底面領域 56b，則空乏層會從該底面領域 56b 往外周側的底面領域 56c 延伸。如此，在外周領域 50 內，空乏層經由各底面領域 56 來依序伸展至外周側之下，空乏層會延伸至最外周側的底面領域 56d。藉由如此空乏層伸展至外周領域 50 內，可實現外周領域 50 內的高耐壓。另外，在外周領域 50 中，因為空乏層如此伸展，所以位於 2 個的底面領域 56 之間的漂移領域 28a 是只從一側（單元領域 20 側）被空乏化。然而，漂移領域 28a 的寬度 W3 變窄，藉此漂移領域 28a 會確實地被空乏化。

[0036] 本實施例是漂移領域 28a 的寬度 W3 為未滿漂移領域 28b 的寬度 W4 的 $1/2$ 。因此，漂移領域 28a 是比漂移領域 28b 更先被空乏化。若根據如此的構成，則當過大的電壓被施加於半導體裝置 10 時，可使崩潰降伏產生於單元領域 20。亦即，外周領域 50 因為面積小，所以電

流路徑小，在崩潰降伏產生時，崩潰電流的密度容易變高。因此，外周領域 50 是崩潰耐量低。相對的，單元領域 20 是面積廣，電流路徑廣，所以即使產生崩潰降伏，崩潰電流的密度也會變低。因此，單元領域 20 是比外周領域 50 更崩潰耐量高。因此，在如上述般崩潰降伏產生於單元領域 20 之下，可使半導體裝置 10 全體的崩潰耐量提升。

[0037] 其次，說明有關半導體裝置 10 的製造方法。另外，本說明書所揭示的製造方法是在形成 p 型浮動領域 32 及底面領域 56 的工程中具有特徵，因此以下主要說明有關形成該等的工程。本說明書是提案實施例 1~4 的製造方法。

[實施例 1]

[0038] 在實施例 1 的製造方法中，首先，如圖 3 所示般，藉由磊晶成長，離子注入等，在半導體基板 12 形成源極領域 22，本體接觸領域 24，本體領域 26 及表面領域 51。其次，如圖 4 所示般，在半導體基板 12 的表面形成具有開口的遮罩 60（例如氧化膜），藉由各向異性蝕刻來蝕刻開口內的半導體基板 12，藉此形成閘極溝 34。此時，閘極溝 34 的側面是成為錐狀地傾斜的形狀。其次，藉由 CVD 法或熱氧化法，如圖 5 所示般，在閘極溝 34 的內面形成保護膜 66（氧化膜）。

[0039]

(第 1 注入工程)

其次，如圖 6 所示般，朝半導體基板 12 照射 A1（鋁）。被照射的 A1 是貫通閘極溝 34 的底面的保護膜 66，而被注入至閘極溝 34 的底面。並且，藉由保護膜 66 來防止 A1 被注入至閘極溝 34 的側面。因此，A1 是只被注入至閘極溝 34 的底面。之後，除去遮罩 60 及保護膜 66。

[0040] 其次，如圖 7 所示般，在半導體基板 12 的表面形成具有開口的遮罩 61（例如氧化膜），藉由各向異性蝕刻來蝕刻開口內的半導體基板 12，藉此形成外周溝 54。此時，外周溝 54 的側面是成為錐狀地傾斜的形狀。其次，藉由 CVD 法或熱氧化法，如圖 8 所示般，在外周溝 54 的內面形成保護膜 67（氧化膜）。

[0041]

(第 2 注入工程)

其次，如圖 9 所示般，朝半導體基板 12 照射 B（硼）。被照射的 B 是貫通外周溝 54 的底面的保護膜 67，而被注入至外周溝 54 的底面。並且，藉由保護膜 67 來防止 B 被注入至外周溝 54 的側面。因此，B 是只被注入至外周溝 54 的底面。之後，除去遮罩 61 及保護膜 67。

[0042]

(活化退火工程)

其次，在 1600℃ 以上的溫度，將半導體基板 12 退

火。藉此，使被注入至半導體基板 12 的 A1 及 B 活化。藉此，如圖 10 所示般，在閘極溝 34 的底面的周圍形成 p 型浮動領域 32，且在外周溝 54 的底面的周圍形成底面領域 56。在此，在半導體基板 12（亦即，SiC）之中，B 的擴散係數是遠大於 A1 的擴散係數。因此，在活化退火工程中，B 的擴散距離是比 A1 的擴散距離更大。因此，如圖 10 所示般，底面領域 56（亦即，B 的擴散範圍）的大小是比 p 型浮動領域 32（亦即，A1 的擴散範圍）的大小更大。因此，底面領域 56 的寬度 W1 是比 p 型浮動領域 32 的寬度 W2 更寬，2 個底面領域 56 之間の間隔 W3 是比 2 個 p 型浮動領域 32 之間の間隔 W4 更窄。之後，在形成必要的構造（圖 1 所示的溝閘極構造，絕緣層 16，表面電極 14，汲極領域 30 及背面電極 18）之下，完成圖 1 所示的半導體裝置 10。

[0043] 如以上說明般，實施例 1 的製造方法是在外周溝 54 的底面注入擴散係數大的 B，而形成寬度 W1 寬的底面領域 56，另一方面，在閘極溝 34 的底面注入擴散係數小的 A1，而形成寬度 W2 窄的 p 型浮動領域 32。在如此分開使用注入於底面領域 56 及 p 型浮動領域 32 的 p 型雜質之下，可使底面領域 56 的寬度形成比 p 型浮動領域 32 的寬度更寬。藉此，在外周領域 50 是可窄化底面領域 56 之間の寬度 W3 而使耐壓提升，且可擴大確保單元領域 20 的電流路徑的寬度 W4 而使 MOSFET 的 ON 電壓提升。

[0044] 另外，藉由窄化外周溝 54 之間的間隔，也可窄化底面領域 56 之間的間隔 W3。然而，因外周溝 54 的加工精度之限制，窄化外周溝 54 之間的間隔是有限。相對於此，若根據上述實施例 1 的方法，則由於利用 B 的擴散來窄化底面領域 56 之間的間隔 W3，因此無關外周溝 54 的加工精度之限制，可窄化間隔 W3。另外，在限制的範圍內儘可能窄化外周溝 54 之間的間隔，且藉由 B 的注入來形成底面領域 56 之下，可更窄化寬度 W3。

[實施例 2]

[0045] 在實施例 2 的製造方法中，上述第 1 注入工程是與實施例 1 的製造方法不同。其他的工程則是與實施例 1 的製造方法相等。

[0046] 實施例 2 的第 1 注入工程是在閘極溝 34 的底面注入 C（碳），其次，在閘極溝 34 的底面注入 B。另外，第 1 注入工程是以比 B 更高濃度注入 C 為理想。並且，第 1 注入工程是亦可比 C 更先注入 B。第 2 注入工程是與實施例 1 的製造方法同樣在外周溝 54 的底面注入 B。在外周溝 54 的底面是 C 未被注入。活化退火工程是與實施例 1 的製造方法同樣將半導體基板 12 退火，使被注入至半導體基板 12 的 B 擴散。在此，被注入至外周溝 54 的底面的 B 是與實施例 1 同樣廣泛擴散。相對於此，被注入至閘極溝 34 的底面的 B 是沒有那麼地廣泛擴散。這是因為在被注入 C 的 SiC 領域中，B 的擴散係數會變

低。因此，如圖 10 所示般，在外周溝 54 的底面的周圍是形成寬度 W1 寬的底面領域 56，在閘極溝 34 的底面的周圍是形成寬度 W2 窄的 p 型浮動領域 32。

[0047] 另外，實施例 2 的第 1 注入工程是使注入 C 的範圍形成比注入 B 的範圍更廣為理想。在如此注入 C 之下，可更有效地抑制活化退火工程之 B 的擴散。

[0048] 並且，即使是在實施例 2 的第 2 注入工程也可在外周溝 54 的底面注入 B 及 C。即便是如此的構成，只要被注入至外周溝 54 的底面的 C 的濃度比被注入至閘極溝 34 的底面的 C 的濃度更低，外周溝 54 的底面附近的 B 的擴散距離便會比閘極溝 34 的底面附近的 B 的擴散距離更長。因此，可使底面領域 56 形成比 p 型浮動領域 32 更寬廣。

[實施例 3]

[0049] 在實施例 3 的製造方法中，上述第 2 注入工程是與實施例 1 的製造方法不同。其他的工程則是與實施例 1 的製造方法相等。

[0050] 實施例 3 的第 2 注入工程是在外周溝 54 的底面極高濃度注入 B。具體而言，以構成外周溝 54 的底面的半導體層的至少一部分能夠含有 $1 \times 10^{18} \text{ atoms/cm}^3$ 以上的濃度的 B 之方式注入 B。一旦如此以高濃度注入 B，則會在高濃度注入 B 的領域中產生極多的結晶缺陷。依情況，高濃度注入 B 的領域非晶質化。其結果，在高濃度注

入 B 的領域中，B 的擴散係數會變低。

[0051] 圖 11 是表示在由 SiC 所構成的半導體基板的淺領域（更詳細是比 1000nm 更淺的領域）中注入 B 時的 B 的濃度分佈。在圖 11 中，圖表 A 是表示剛注入 B 之後的濃度分佈。又，圖表 B~E 是表示在對應的溫度進行 30 分鐘的退火之後的濃度分佈。另外，在圖 11 中，圖表 D 與圖表 E 會重疊。就圖表 A 而言，只在比 1000nm 更淺的領域中分佈 B。如圖表 B~E 所示般，一旦進行熱處理，則 B 的分佈範圍會擴展至深的方向。這顯示在 SiC 中 B 擴散。但，在比較圖表 A 與圖表 B~E 之下，明顯就 B 的濃度為 $1 \times 10^{18} \text{ atoms/cm}^3$ 以上的領域而言，在圖表 A~E 中 B 的濃度不那麼變化。這意味含有 $1 \times 10^{18} \text{ atoms/cm}^3$ 以上的高濃度的 B 之領域是 B 難擴散。可知含有 $1 \times 10^{18} \text{ atoms/cm}^3$ 以上的高濃度的 B 之領域因為缺陷極多，所以 B 的擴散係數變小。

[0052] 實施例 3 的製造方法是以第 2 注入工程，在外周溝 54 的底面高濃度注入 B，然後實施活化退火工程。於是，外周溝 54 的底面附近之高濃度含有 B 的領域是 B 不太擴散，因此在外周溝 54 的底面附近留下 B 的濃度高的領域。藉此形成圖 12 所示的高濃度底面領域 57。並且，在高濃度底面領域 57 的周圍是 B 會廣泛擴散，藉此形成低濃度底面領域 58。另外，更具體而言，高濃度底面領域 57 是含有 $1 \times 10^{18} \text{ atoms/cm}^3$ 以上的濃度的 B 之領域，低濃度底面領域 58 是含有未滿 $1 \times 10^{18} \text{ atoms/cm}^3$ 的濃

度的 B 之領域。另外，高濃度底面領域 57 是亦可為非晶質化的領域。一旦如此在外周溝 54 的底面附近形成高濃度底面領域 57，則在空乏層伸展至外周領域 50 內時，防止空乏層到達外周溝 54 的底面。藉此，抑制在外周溝 54 的底面附近產生高的電場。並且，在低濃度底面領域 58 廣泛分佈之下，底面領域 56 的寬度 W1 變寬，可謀求外周領域 50 的耐壓提升。

[實施例 4]

[0053] 在實施例 4 的製造方法中，上述第 2 注入工程是與實施例 1 的製造方法不同。其他的工程則是與實施例 1 的製造方法相等。

[0054] 實施例 4 的第 2 注入工程是在外周溝 54 的底面注入 B，其次，在外周溝 54 的底面注入 A1。另外，亦可先注入 A1，之後注入 B。活化退火工程是與實施例 1 的製造方法同樣將半導體基板 12 退火，使被注入至半導體基板 12 的 p 型雜質（亦即，B 及 A1）擴散。在此，外周溝 54 的底面附近是 B 會從底面廣泛擴展至其周圍，相對的，A1 是難擴散，所以留在底面的附近。因此，如圖 12 所示般，在外周溝 54 的底面的周圍形成有 p 型雜質濃度高的高濃度底面領域 57，在其高濃度底面領域 57 的周圍形成有 p 型雜質濃度低的低濃度底面領域 58。在實施例 4 中，高濃度底面領域 57 是 A1 多數存在的領域，低濃度底面領域 58 是 B 多數存在的領域。因此，藉由實施例 4 的

製造方法來製造的半導體裝置 10 也可在空乏層伸展至外周領域 50 時，防止空乏層到達至外周溝 54 的底面。藉此，抑制在外周溝 54 的底面附近產生高的電場。

[0055] 如以上說明般，實施例 1~4 的製造方法是以活化退火工程的 p 型雜質的擴散距離，被注入至外周溝 54 的底面的 p 型雜質要比被注入至閘極溝 34 的底面的 p 型雜質更長之方式，選擇 p 型雜質或與 p 型雜質一起注入的元素。藉此，使底面領域 56 形成比 p 型浮動領域 32 更寬廣的情形會被實現。另外，在上述的實施例 1~4 中，亦可取代 Al，而使用 Ga（鎵）或 In（銦）作為 p 型雜質。由於 Ga，In 是在 SiC 中的擴散距離短，因此可與 Al 同樣使用。並且，Al，Ga，In 的擴散距離是比注入 B 及 C 時的 B 的擴散距離更短。因此，亦可在第 1 注入工程中將 Al，Ga 或 In 注入至閘極溝 34 的底面，在第 2 注入工程中在外周溝 54 的底面注入 C 及 B。又，亦可將實施例 3，4 的第 2 注入工程適用在實施例 2。

[0056] 另外，上述的實施例是使用 SiC 製的半導體基板，但亦可使用其他的半導體基板。但，SiC 製的半導體基板是 B 的擴散係數比其他的 p 型雜質的擴散係數更極端地大。因此，在將實施例適用於 SiC 製的半導體基板之下，可使 p 型浮動領域 32 的寬度形成最小限度，且可充分擴大底面領域 56 的寬度。

[0057] 並且，上述的實施例是說明有關 MOSFET 的製造方法，但在 IGBT 等其他的絕緣閘極型半導體裝置的

製造工程亦可適用上述的技術。

[0058] 並且，上述的實施例是在閘極溝 34 的下端形成有 p 型浮動領域 32，但亦可取代 p 型浮動領域 32，形成有被連接至預定的電位的 p 型領域。

[0059] 以上，詳細說明本發明的具體例，但該等只不過是舉例說明，不是限定申請專利範圍者。申請專利範圍記載的技術是包含將以上舉例說明的具體例予以變形，變更成各種者。

在本說明書或圖面說明的技術要素是單獨或藉由各種的組合來發揮技術性有用性者，不是被限定於申請時請求項記載的組合者。並且，在本說明書或圖面所舉例說明的技術是同時達成複數目的者，達成其中一個目的本身持有技術性有用性者。

【符號說明】

[0060]

10：半導體裝置

12：半導體基板

14：表面電極

16：絕緣層

18：背面電極

20：單元領域

22：源極領域

24：本體接觸領域

- 26：本體領域
- 28：漂移領域
- 30：汲極領域
- 32：p 型浮動領域
- 34：閘極溝
- 34a：底部絕緣層
- 34b：閘極絕緣膜
- 34c：閘極電極
- 34d：絕緣層
- 50：外周領域
- 51：表面領域
- 53：絕緣層
- 54：外周溝
- 56：底面領域

申請專利範圍

1. 一種製造絕緣閘極型半導體裝置的方法，該絕緣閘極型半導體裝置係具有：半導體基板，及形成於前述半導體基板的表面的表面電極，及形成於前述半導體基板的背面的背面電極，切換前述表面電極與前述背面電極之間，其特徵為：

前述絕緣閘極型半導體裝置係具有：

第 1 導電型的第 1 領域，其係連接至前述表面電極；

第 2 導電型的第 2 領域，其係接觸於前述第 1 領域；

第 1 導電型的第 3 領域，其係藉由前述第 2 領域來從前述第 1 領域分離；

複數的閘極溝，其係形成於前述半導體基板的前述表面，貫通前述第 2 領域而到達前述第 3 領域；

閘極絕緣膜及閘極電極，其係配置於前述閘極溝內；

第 2 導電型的第 4 領域，其係形成在露出於前述閘極溝的底面的範圍中；

複數的外周溝，其係在前述第 2 領域的外側的領域中形成於前述半導體基板的前述表面；

絕緣層，其係配置於前述外周溝內；及

第 2 導電型的第 5 領域，其係形成在露出於前述外周溝的底面的範圍中，

前述方法係具有：

形成前述閘極溝的工程；

形成前述外周溝的工程；

在前述閘極溝的底面注入第 1 的第 2 導電型雜質，在使注入的前述第 1 的第 2 導電型雜質擴散之下形成前述第 4 領域的工程；及

在前述外周溝的底面注入第 2 的第 2 導電型雜質，在使注入的前述第 2 的第 2 導電型雜質擴散之下形成前述第 5 領域的工程，

形成前述第 5 領域的工程之前述第 2 的第 2 導電型雜質的擴散係數要比形成前述第 4 領域的工程之前述第 1 的第 2 導電型雜質的擴散係數更大。

2. 如申請專利範圍第 1 項之方法，其中，前述第 1 的第 2 導電型雜質為與前述第 2 的第 2 導電型雜質不同的元素。

3. 如申請專利範圍第 1 項之方法，其中前述半導體基板係藉由 SiC 所構成，

前述第 1 的第 2 導電型雜質及前述第 2 的第 2 導電型雜質為硼，

形成前述第 4 領域的前述工程，係於前述閘極溝的底面注入硼及碳，

形成前述第 5 領域的前述工程，係於前述外周溝的底面不注入碳，而注入硼。

4. 如申請專利範圍第 1~3 項中的任一項所記載之方法，其中，形成前述第 5 領域的前述工程，係於前述外周溝的底面注入前述第 2 的第 2 導電型雜質，及形成前述第 5 領域的工程的擴散係數要比前述第 2 的第 2 導電型雜質

更小的第 3 的第 2 導電型雜質。

5. 如申請專利範圍第 1~3 項中的任一項所記載之方法，其中，形成前述第 5 領域的前述工程，係以構成前述外周溝的底面的半導體層的至少一部分為非晶質化的濃度來注入前述第 2 的第 2 導電型雜質。

6. 如申請專利範圍第 1~3 項中的任一項所記載之方法，其中，形成前述第 5 領域的前述工程，係於前述外周溝的底面以 $1 \times 10^{18} \text{atoms/cm}^3$ 以上的濃度來注入前述第 2 的第 2 導電型雜質。

7. 如申請專利範圍第 1~3 項中的任一項所記載之方法，其中，前述各第 5 領域之間的時間隔為未滿前述各第 4 領域之間的時間隔的 $1/2$ 。

8. 一種絕緣閘極型半導體裝置，係具有：半導體基板，及形成於前述半導體基板的表面的表面電極，及形成於前述半導體基板的背面的背面電極，切換前述表面電極與前述背面電極之間，其特徵為具有：

第 1 導電型的第 1 領域，其係連接至前述表面電極；

第 2 導電型的第 2 領域，其係接觸於前述第 1 領域；

第 1 導電型的第 3 領域，其係藉由前述第 2 領域來從前述第 1 領域分離；

複數的閘極溝，其係形成於前述半導體基板的前述表面，貫通前述第 1 領域及前述第 2 領域而到達前述第 3 領域；

閘極絕緣膜及閘極電極，其係配置於前述閘極溝內；

第 2 導電型的第 4 領域，其係形成在露出於前述閘極溝的底面的範圍中；

複數的外周溝，其係在不與前述第 2 領域接觸的位置形成於前述半導體基板的前述表面；

絕緣層，其係配置於前述外周溝內；及

第 2 導電型的第 5 領域，其係形成在露出於前述外周溝的底面的範圍中，

前述第 5 領域的寬度要比前述第 4 領域的寬度更寬，

含在前述第 4 領域中的第 2 導電型雜質為與含在前述第 5 領域中的第 2 導電型雜質不同的元素。

9. 一種絕緣閘極型半導體裝置，係具有：半導體基板，及形成於前述半導體基板的表面的表面電極，及形成於前述半導體基板的背面的背面電極，切換前述表面電極與前述背面電極之間，其特徵為具有：

第 1 導電型的第 1 領域，其係連接至前述表面電極；

第 2 導電型的第 2 領域，其係接觸於前述第 1 領域；

第 1 導電型的第 3 領域，其係藉由前述第 2 領域來從前述第 1 領域分離；

複數的閘極溝，其係形成於前述半導體基板的前述表面，貫通前述第 1 領域及前述第 2 領域而到達前述第 3 領域；

閘極絕緣膜及閘極電極，其係配置於前述閘極溝內；

第 2 導電型的第 4 領域，其係形成在露出於前述閘極溝的底面的範圍中；

複數的外周溝，其係在不與前述第 2 領域接觸的位置形成於前述半導體基板的前述表面；

絕緣層，其係配置於前述外周溝內；及

第 2 導電型的第 5 領域，其係形成在露出於前述外周溝的底面的範圍中，

前述第 5 領域的寬度要比前述第 4 領域的寬度更寬，

前述半導體基板係藉由 SiC 所構成，

含在前述第 4 領域中的第 2 導電型雜質及含在前述第 5 領域中的第 2 導電型雜質為硼，

在前述第 4 領域中更含有碳，

在前述第 5 領域中未含有碳。

10. 如申請專利範圍第 8 或 9 項之絕緣閘極型半導體裝置，其中，在前述第 5 領域中含有第 1 的特定的第 2 導電型雜質，及在前述半導體基板內的擴散係數要比前述第 1 的特定的第 2 導電型雜質更小的第 2 的特定的第 2 導電型雜質。

11. 如申請專利範圍第 8 或 9 項之絕緣閘極型半導體裝置，其中，前述外周溝的底面的至少一部分為非晶質層。

12. 如申請專利範圍第 8 或 9 項之絕緣閘極型半導體裝置，其中，前述外周溝的底面的至少一部分係以 $1 \times 10^{18} \text{ atoms/cm}^3$ 以上的濃度含有第 2 導電型雜質。

13. 如申請專利範圍第 8 或 9 項之絕緣閘極型半導體裝置，其中，前述各第 5 領域之間的時間隔為未滿前述各第

4 領域之間の間隔的 $1/2$ 。

圖 式

圖 1

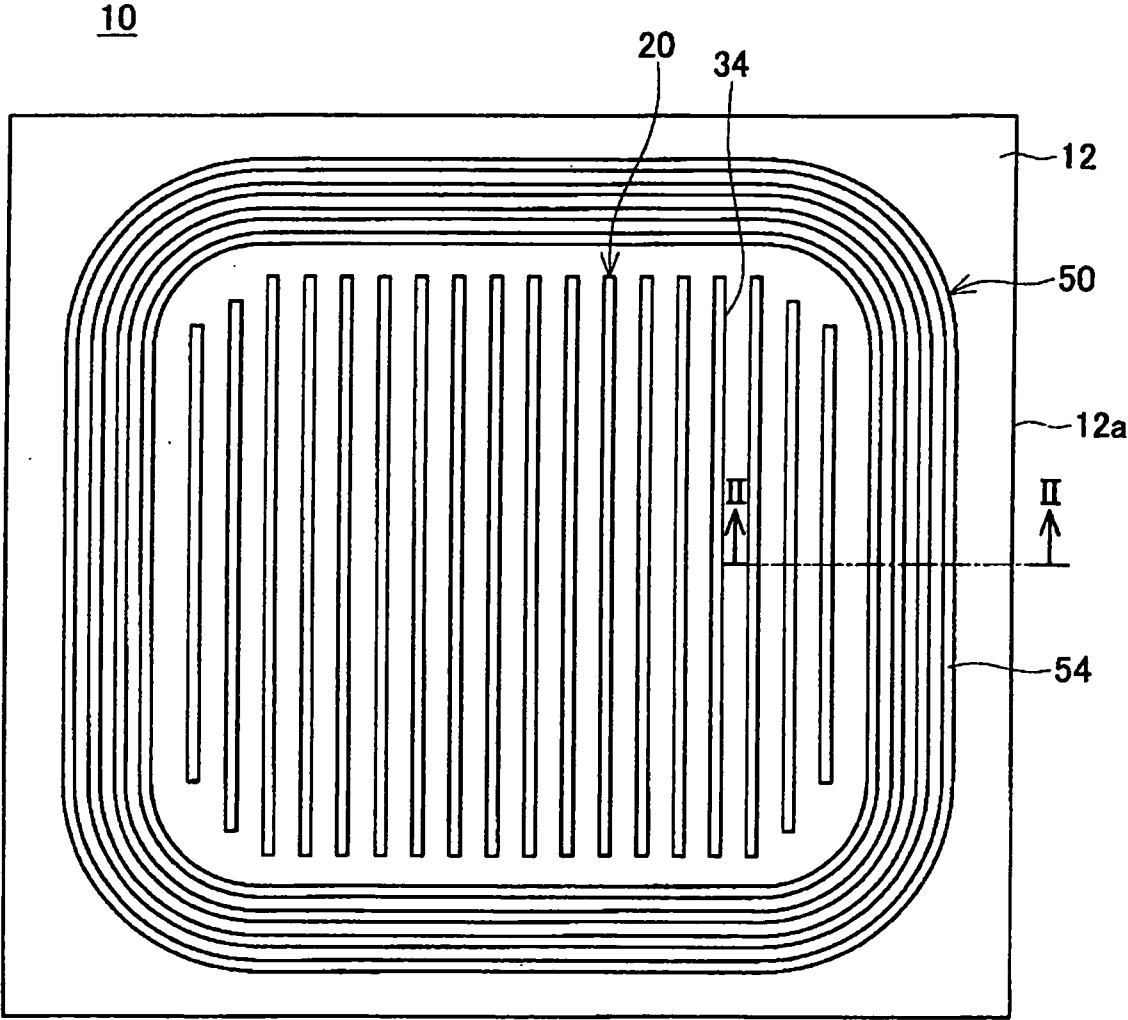


圖 2

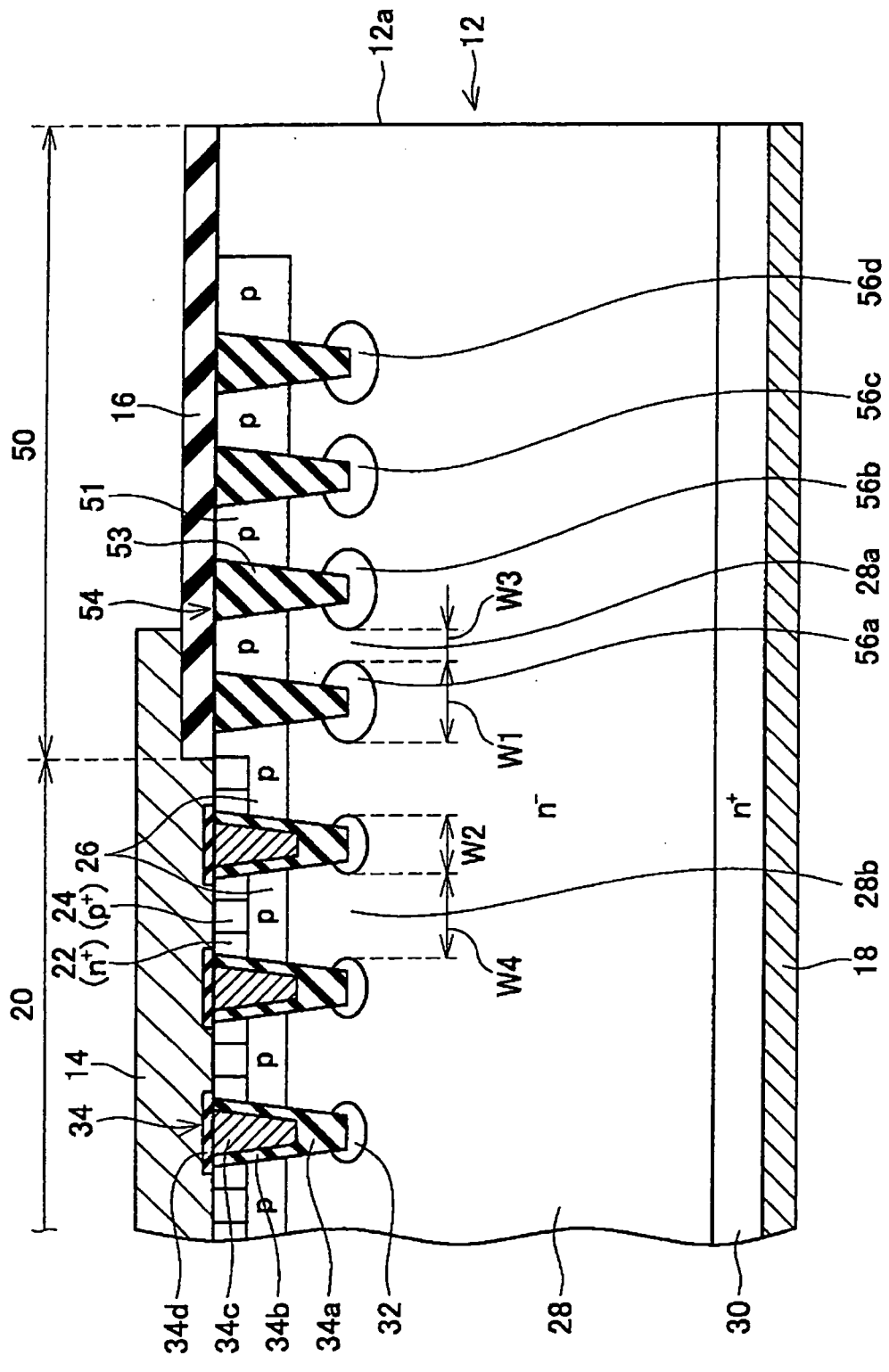
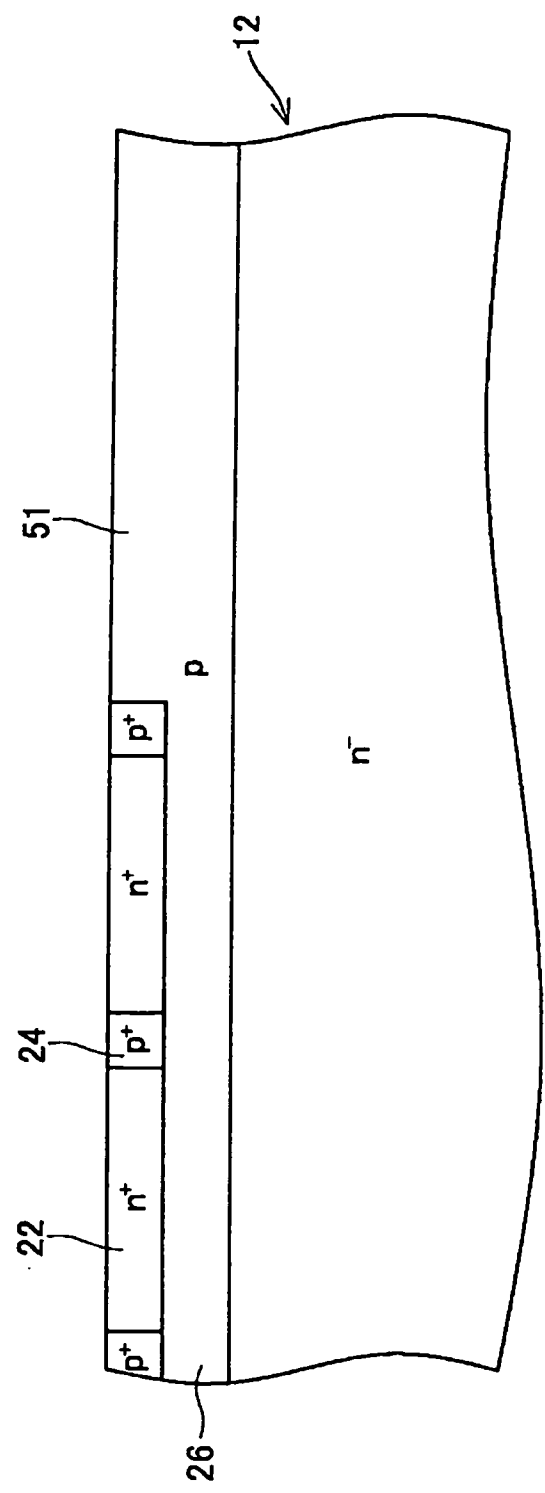


圖 3



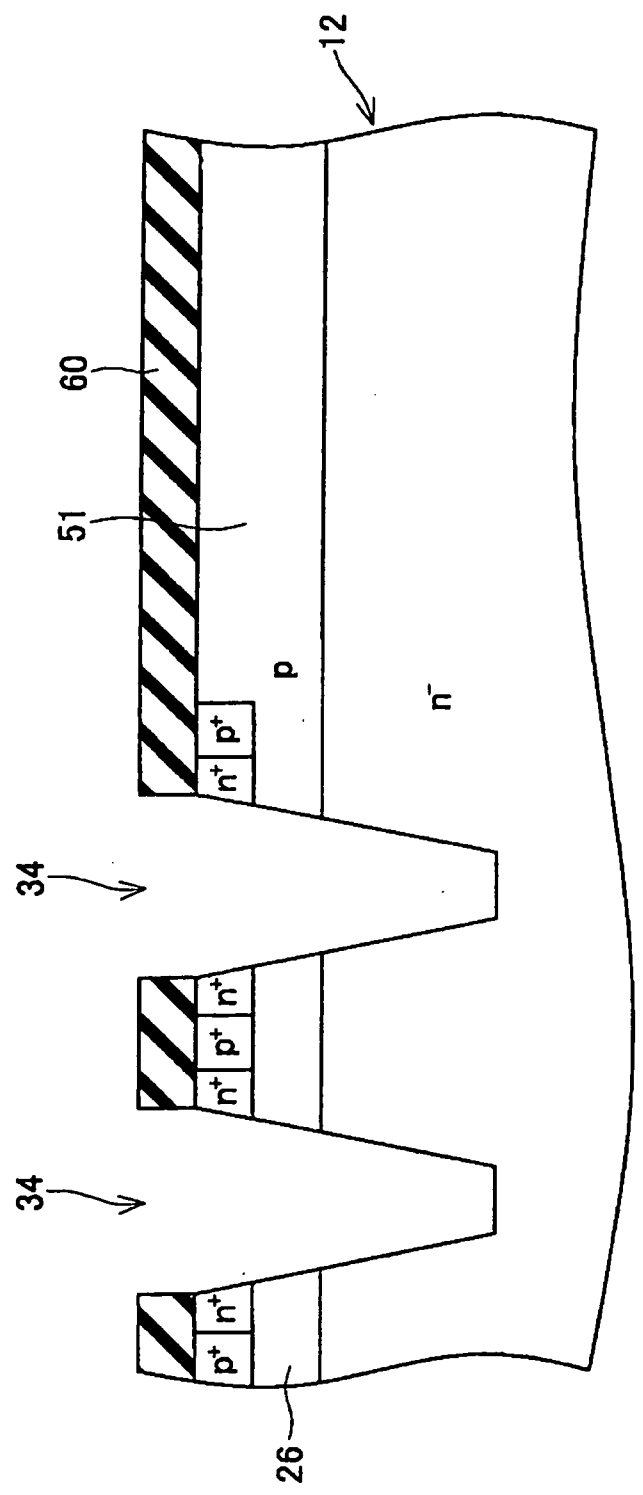


圖 4

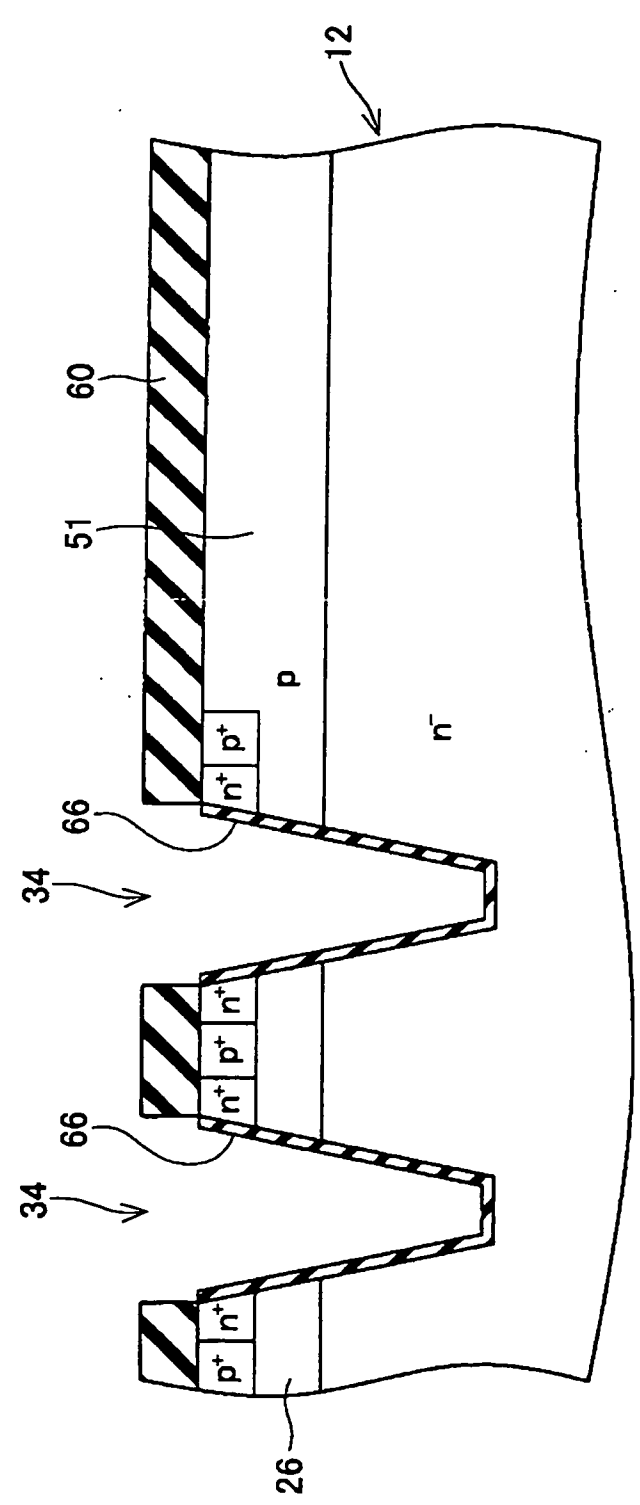


圖 5

圖 6

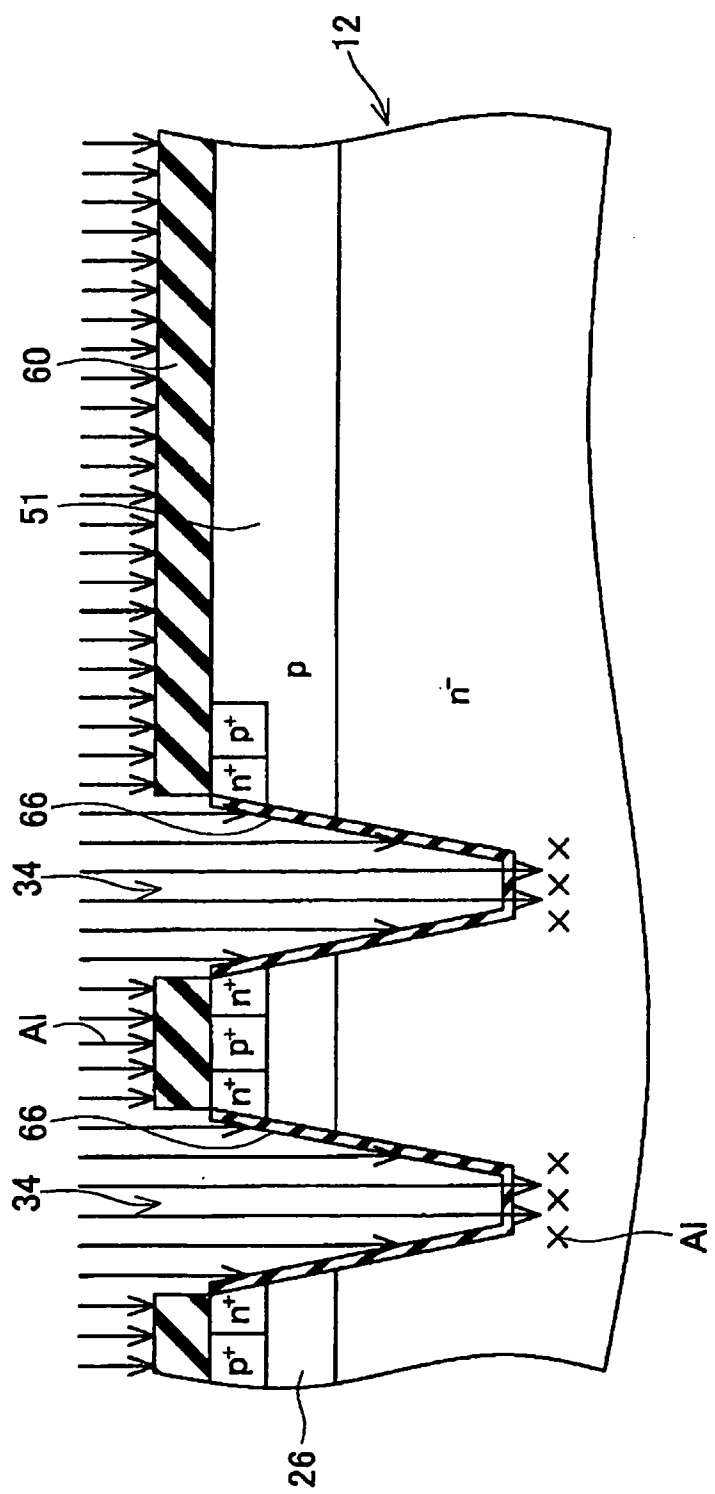


圖 7

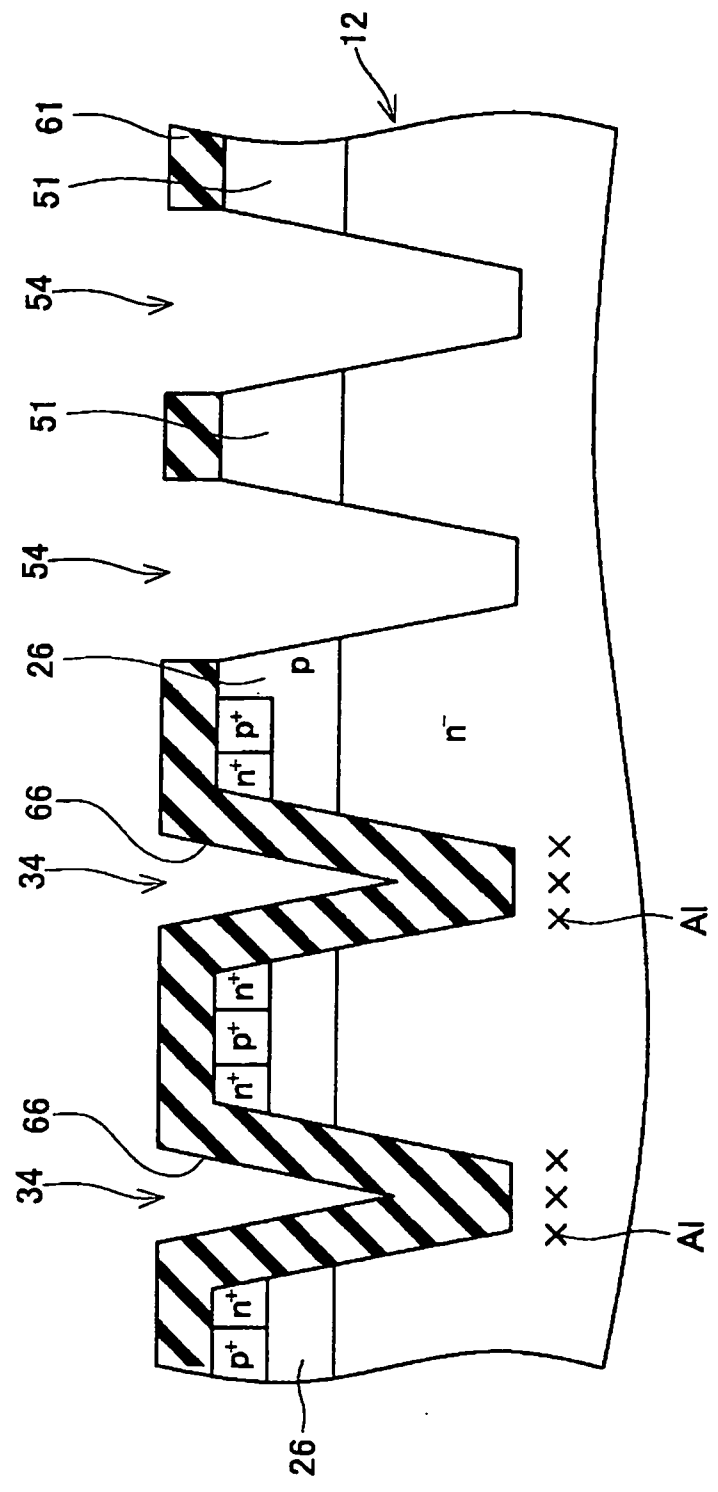
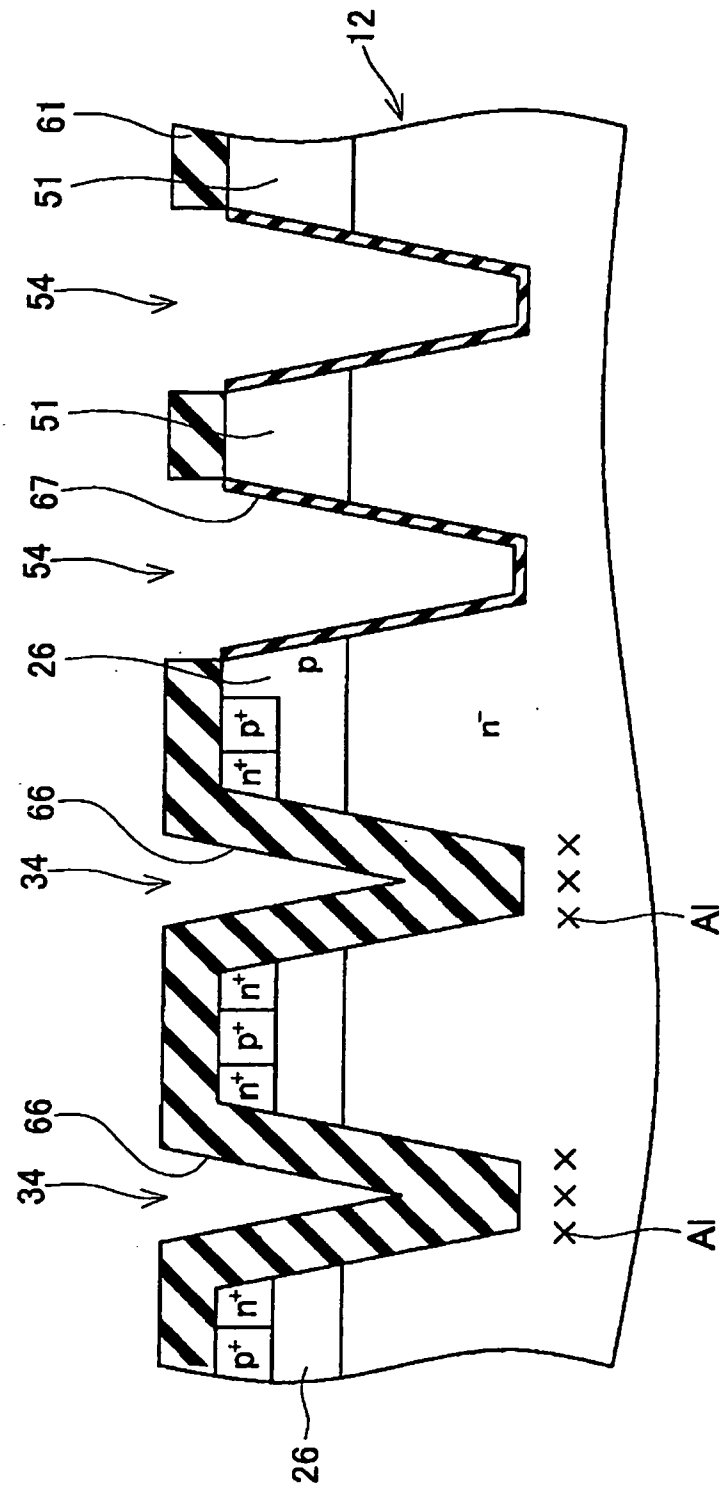
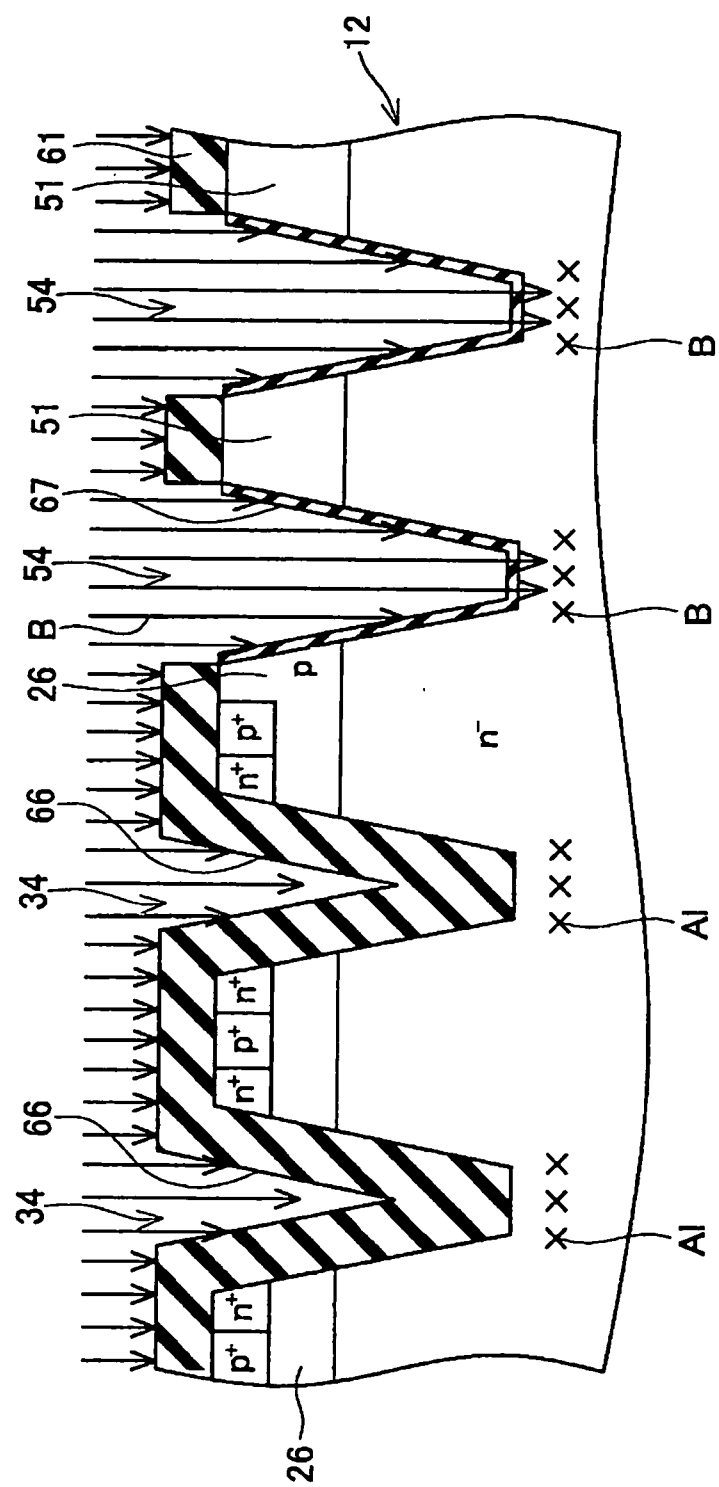


圖 8





九

圖 10

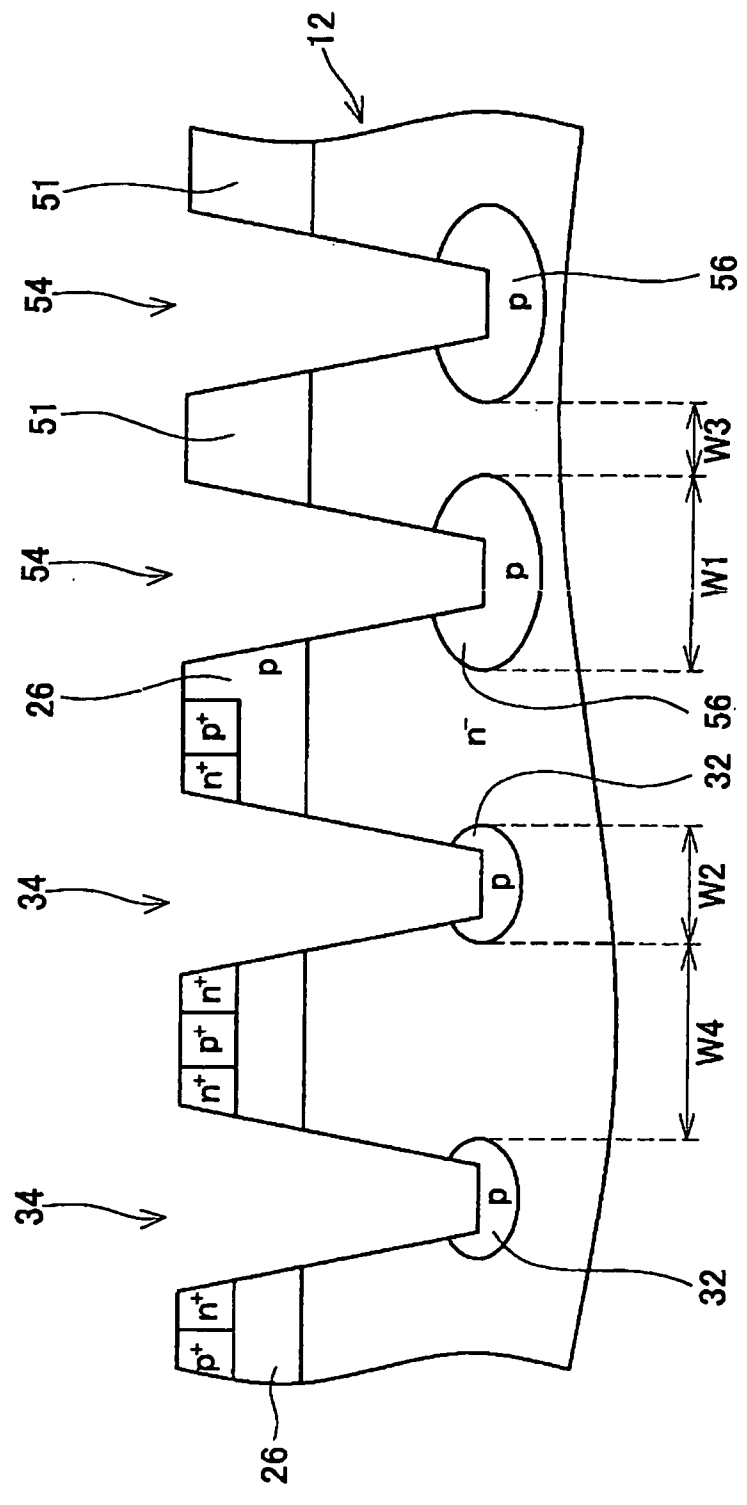


圖 11

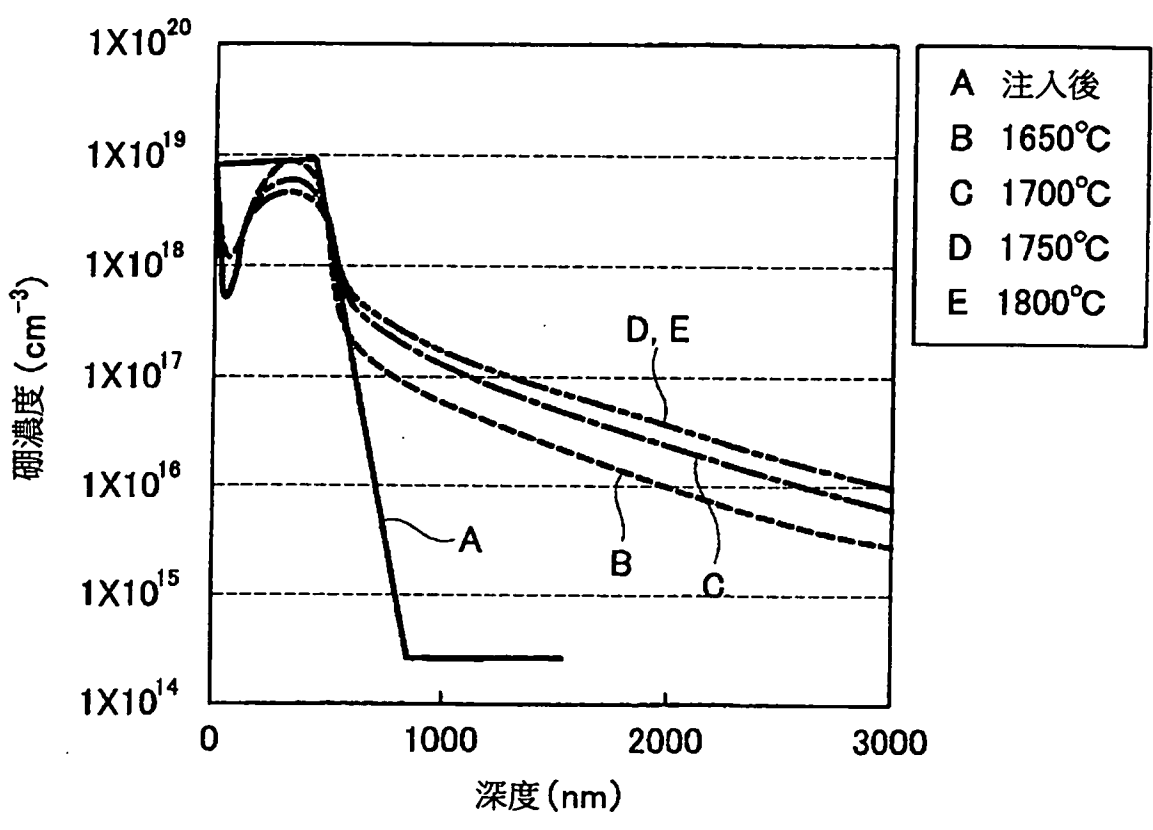


圖 12

