

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014年6月19日(19.06.2014)



(10) 国際公開番号
WO 2014/091592 A1

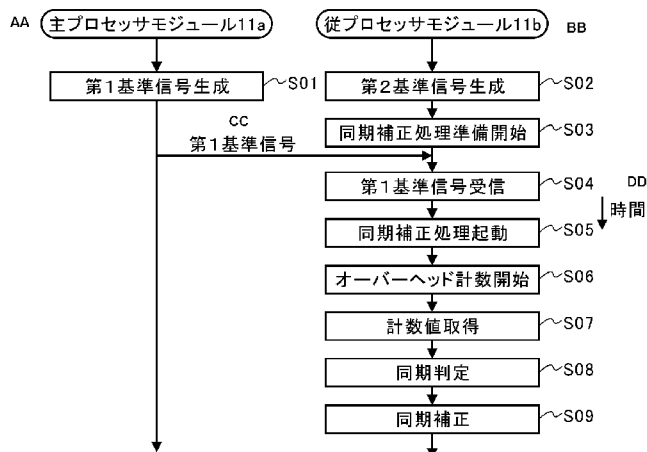
- (51) 国際特許分類:
H04L 7/00 (2006.01)
- (21) 国際出願番号: PCT/JP2012/082334
- (22) 国際出願日: 2012年12月13日(13.12.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 富士電機株式会社(FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 Kanagawa (JP).
- (72) 発明者: 光井 崇(MITSUI Takashi); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 Kanagawa (JP).
- (74) 代理人: 特許業務法人 青海特許事務所(AOMI PATENT); 〒1010032 東京都千代田区岩本町3-11-15 アーバンネット岩本町ビル9F Tokyo (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SIGNAL SYNCHRONIZATION SYSTEM, NODE SYNCHRONIZATION SYSTEM, SIGNAL SYNCHRONIZATION METHOD, AND NODE SYNCHRONIZATION METHOD

(54) 発明の名称: 信号同期システム、ノード同期システム、信号同期方法、及び、ノード同期方法



S01 Generate first reference signal
S02 Generate second reference signal
S03 Start preparing synchronization correction process
S04 Receive first reference signal
S05 Activate synchronization correction process
S06 Start overhead counting
S07 Acquire count value
S08 Determine whether synchronized
S09 Correct synchronization
AA Main processor module 11a
BB Sub-processor module 11b
CC First reference signal
DD Time

(57) Abstract: A main module performs counting and generates a first reference signal from the count value reaching a preset reference value. A sub-module performs counting, generates a second reference signal from the count value reaching a reference value, counts an interval at which a synchronization correction process is performed, and, after the count value reaches a correction processing interval value for the synchronization correction process to be performed, receives the first reference signal, whereupon the sub-module restarts and continues to count. Then, after a count value indicating an interval at which the synchronization correction process is performed reaches the correction processing interval value, the sub-module acquires a count value for generating the second reference signal and a count value restarted after receiving the first reference signal, and temporarily sets a value for offsetting the difference between the count value for generating the second reference signal and the count value restarted after receiving the first reference signal, the offsetting value being set as a reference value to the count value for generating the second reference signal.

(57) 要約:

[続葉有]



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

主モジュールは、計数を行い、予め設定された基準値に計数値が達することで第 1 基準信号を生成し、従モジュールは、計数を行い、基準値に計数値が達することで第 2 基準信号を生成し、同期補正処理を行う間隔を計数し、同期補正処理を行う補正処理間隔値に計数値が達した後、第 1 基準信号を受信してリスタートし、計数を行い、同期補正処理を行う間隔を示す計数値が補正処理間隔値に達した後、第 2 基準信号を生成するための計数値及び第 1 基準信号を受信してリスタートした計数値を取得し、第 2 基準信号を生成するための計数値と第 1 基準信号を受信してリスタートした計数値との差分を相殺する値を、第 2 基準信号を生成するための計数に一時的に基準値として設定する。

明 細 書

発明の名称：

信号同期システム、ノード同期システム、信号同期方法、及び、ノード同期方法

技術分野

[0001] 本発明は、所定の信号を同期させるための信号同期システム、ノード同期システム、信号同期方法、及び、ノード同期方法に関する。

背景技術

[0002] 従来、プロセッサ等を用いて所定のプログラムを実行させるような場合に、大規模処理への対応や処理の迅速化、負荷分散等の目的から、複数のプロセッサを用いて処理を実行するマルチプロセッサシステムが知られている。このようなマルチプロセッサシステムでは、複数のプロセッサ間でカウンタ（タイマ）の同期を行うために、主プロセッサから従プロセッサのカウンタに対して割り込み信号等を発生させ、従プロセッサはその割り込み信号に合わせてカウンタの同期を図っている。

[0003] また、従来のプラント制御用伝送システム等の産業用ネットワークにおいては、システムを構成する各機器が、リアルタイム性を保証したうえで相互に大容量のデータ交換を行う必要がある。したがって、例えば各機器に搭載されるアプリケーションによるアクセス要求の発生に応じてイベント的に相互アクセスを行うような場合には、ネットワーク負荷がアプリケーションに依存してしまい、リアルタイム性を保証することができない場合がある。

[0004] そこで、従来、各機器に仮想的な共有メモリ（コモンメモリ）を設け、更新タイミングでネットワーク上の全ノード（局）へ自ノードデータの送信を行う技術が存在する。このような技術を用いた場合には、受信した各ノードが、そのデータを更新し、アプリケーションにアクセスさせることにより、リアルタイム性を保証したデータ交換方式を実現している。また、従来、上述したデータ交換時にネットワーク上での効率的な同報通信（ブロードキャ

スト通信)を実現するための手法が提案されている(例えば、特許文献1参照)。

[0005] 特許文献1では、各ノードの内蔵タイマによる時分割多重アクセス方式とマスタノードからの同期化フレームによるスレーブノードの内蔵タイマ補正を併用している。また、特許文献1に示す手法では、伝送路をバス又はシリアルケーブルで接続されたネットワークとして構成している。

先行技術文献

特許文献

[0006] 特許文献1：特開2005-159754号公報

発明の概要

発明が解決しようとする課題

[0007] ところで、上述したような主プロセッサと従プロセッサ間等でのカウンタ同期補正処理では、主プロセッサから従プロセッサのカウンタに対して直接(ハードウェア的に)リセットさせるのが好ましい。しかしながら、このカウンタは、内部で行う複数のプログラム処理の実行基準となるカウンタであるため、外部により勝手に書き換えられると他の処理に問題が生じ得る。また、カウンタが従プロセッサのCPU(Central Processing Unit)等に内蔵されているような場合には、主プロセッサから直接従プロセッサのカウンタをリセットすることができない。したがって、従来、一旦主プロセッサから従プロセッサに割り込み信号を送信し、従プロセッサがその信号を受信して、所定のソフトウェアを用いて間接的(ソフトウェア的)にカウンタのリセット処理を実行している。

[0008] そのような場合に、従プロセッサは、主プロセッサから割り込み信号を受信してから、その信号に対応する自カウンタのリセット処理を実行するまでの間にオーバーヘッド等による遅延時間が発生する。そのため、従来、リセット処理を行ったとしても、主プロセッサと従プロセッサとのカウンタ同期誤差が残ってしまう。

[0009] また、ネットワーク間のマスタスレーブ関係にあるノード間のカウンタの同期については、例えば、同期化フレームを受信しタイマをクリアする等の手法が考えられる。しかしながら、上述と同様に、同期化フレーム受信後にファームウェアが介在してカウンタのクリアを行うと、そのオーバーヘッド等の遅延時間によってカウンタに誤差が生じていた。

[0010] したがって、従来手法である同期化フレームを用いたノード間の同期手法についても、マスタノードと各スレーブノードとの同期時間の測定の補正をマイコンのファームウェアで行っている場合には、マイコンの処理時間による誤差が発生する。

[0011] そこで、カウンタの書き換えによる他の処理への影響を抑えるべく、主プロセッサから従プロセッサに送信される割り込み信号をハードウェア的に計数し、従プロセッサ内のカウンタとの差分に基づいて、従プロセッサのカウンタの計数目標（基準値）を調整することで、主プロセッサと従プロセッサの同期を図ることが考えられる。

[0012] 主プロセッサのカウンタと従プロセッサのカウンタは、それぞれ電気的特性が異なるので、主プロセッサと従プロセッサとの間で、カウンタのずれがどの程度であるか推定することは難しい。そこで、上記従プロセッサのカウンタの基準値を調整する同期補正処理を割り込み信号毎に行えば、主プロセッサと従プロセッサとの同期が保たれることとなる。しかし、同期補正処理を頻繁に行うと、その処理負荷が増大し、本来実行すべき他の処理に影響を及ぼすおそれがある。

[0013] 本発明は、上記の点に鑑みて考案されたものであり、処理負荷を抑制しつつ、所定の信号を高精度に同期させる信号同期システム、ノード同期システム、信号同期方法、及び、ノード同期方法を提供することを目的とする。

課題を解決するための手段

[0014] 上記の課題を解決するために、第1基準信号に従って動作する主モジュールと、第2基準信号に従って動作する従モジュールとを含み、第1基準信号に第2基準信号を同期させる本発明の信号同期システムは、主モジュールは

、計数を行い、予め設定された基準値に計数値が達することで第1基準信号を生成する第1基準信号生成部を備え、従モジュールは、計数を行い、基準値に計数値が達することで第2基準信号を生成する第2基準信号生成部と、同期補正処理を行う間隔を計数する間隔計数部と、間隔計数部において同期補正処理を行う補正処理間隔値に計数値が達した後、第1基準信号を受信してリスタートし、計数を行うオーバーヘッド計数部と、間隔計数部において補正処理間隔値に計数値が達した後、第1基準信号の受信に応じて第2基準信号生成部の計数値及びオーバーヘッド計数部の計数値を取得する計数値取得部と、第2基準信号生成部の計数値とオーバーヘッド計数部の計数値との差分を相殺する値を、第2基準信号生成部に一時的に基準値として設定する同期補正部と、を備えることを特徴とする。

[0015] なお、本発明の構成要素、表現又は構成要素の任意の組み合わせを、方法、装置、システム、コンピュータプログラム、記録媒体、データ構造等に適用したものも本発明の態様として有効である。

発明の効果

[0016] 本発明によれば、処理負荷を抑制しつつ、所定の信号を高精度に同期させることができる。

図面の簡単な説明

[0017] [図1]第1実施形態における信号同期システムの概略構成の一例を示す図である。

[図2]プロセッサモジュールのハードウェア構成の一例を示す図である。

[図3]第1実施形態における同期補正処理例を説明するためのタイムチャート図（その1）である。

[図4]第1実施形態における同期補正処理例を説明するためのタイムチャート図（その2）である。

[図5]第1実施形態における同期補正処理例を説明するためのタイムチャート図（その3）である。

[図6]信号同期方法の概略的なシーケンス例を示す図である。

[図7]第2実施形態におけるノード同期システムの概略構成の一例を示す図である。

[図8]第2実施形態における同期補正処理例を説明するためのタイムチャート図（その1）である。

[図9]第2実施形態における同期補正処理例を説明するためのタイムチャート図（その2）である。

[図10]第2実施形態における同期補正処理例を説明するためのタイムチャート図（その3）である。

[図11]第2実施形態における伝送遅延時間の通知手順の一例を説明するための図である。

[図12]第2実施形態におけるマスタノード及びスレーブノードを用いたノード同期システムを含むネットワーク伝送システムの概略構成の一例を示す図である。

[図13]ノード同期方法の概略的なシーケンス例を示す図である。

発明を実施するための形態

[0018] 以下に添付図面を参照しながら、本発明の好適な実施形態について詳細に説明する。かかる実施形態に示す寸法、材料、その他具体的な数値などは、発明の理解を容易とするための例示にすぎず、特に断る場合を除き、本発明を限定するものではない。なお、本明細書及び図面において、実質的に同一の機能、構成を有する要素については、同一の符号を付することにより重複説明を省略し、また本発明に直接関係のない要素は図示を省略する。

[0019] （本実施形態について）

本実施形態は、例えば、複数のプロセッサモジュールや、少なくとも1のプロセッサモジュールをそれぞれ含む複数のノード、装置、基板といった、主従関係にあるモジュール間でカウンタ（タイマ）同期を行う場合に、主モジュール側からの割り込み信号（カウンタリセット信号）に対し、従モジュール側のオーバーヘッド値を求める。また、本実施形態は、求めたオーバーヘッド値と従モジュール側のカウンタとに基づいて同期補正処理を行う。

[0020] ただし、当該同期補正処理を頻繁に実行すると処理負荷が増大するので、本実施形態においては、同期補正処理を行う間隔を計数し、所定の補正処理間隔値毎に定期的（間欠的）に同期補正処理を実行する。

[0021] また、本実施形態は、主従関係にある装置をマスタノード及びスレーブノードとした場合に、通信路上の遅延時間（伝送遅延時間）も考慮して同期補正処理を行う。

[0022] 以下に、本実施形態における信号同期システム、及び、ノード同期システムを好適に実施した形態について、図面を用いて説明する。

[0023] （第１実施形態：信号同期システム）

図１は、第１実施形態における信号同期システムの概略構成の一例を示す図である。図１に示す信号同期システム１０は、一例として、モジュールとしての複数のプロセッサモジュール（図１の例では、プロセッサモジュール１１ａ～１１ｃ）間で、カウンタ同期を行うためのマルチプロセッサの一例を示している。

[0024] 図１に示す信号同期システム１０は、複数のプロセッサモジュール１１ａ～１１ｃ（以下、必要に応じて「プロセッサモジュール１１」という）と、伝送バス１２と、Ｉ／Ｏ（入出力）モジュール１３（図１中、１３ａ～１３ｄで示す）と、外部機器１４（図１中、１４ａ～１４ｄで示す）と、プログラミング装置１５とを有する。ここで、図１の例では、説明の便宜上、プロセッサモジュール１１ａを主プロセッサモジュールとし、プロセッサモジュール１１ｂ，１１ｃを従プロセッサモジュールとして、それぞれのプロセッサモジュールとしての主な構成について説明する。ただし、従プロセッサモジュールの数等については図１のように２つに限定されるものではない。

[0025] なお、本実施形態においては、上記の構成に限定されるものではなく、１つのプロセッサモジュールが主プロセッサモジュール１１ａにも従プロセッサモジュール１１ｂ，１１ｃにもなり得るように同一の構成を有している。また、各プロセッサモジュール１１は、伝送バス１２により接続されている。なお、第１実施形態では、伝送バス１２による遅延時間は生じていないも

のとする。

[0026] ここで、主プロセッサモジュール 1 1 a は、第 1 基準信号生成部 2 1 と、第 1 演算部 2 2 と、記憶部 2 3 とを有する。なお、図 1 の例では、第 1 基準信号生成部 2 1 は後述する CPU に内蔵されているが、これに限定されるものではなく、例えば第 1 基準信号生成部 2 1 と CPU とが別体で構成されていてもよい。また、上述した「内蔵されている」とは、例えば第 1 基準信号生成部 2 1 に対して、CPU 内の各機能部（第 1 基準信号生成部 2 1 や第 1 演算部 2 2）のみがアクセスできることを意味する。

[0027] また、従プロセッサモジュール 1 1 b, 1 1 c は、第 2 基準信号生成部 3 1 と、第 2 演算部 3 2 と、間隔計数部 3 3 と、オーバーヘッド計数部 3 4 と、計数値取得部 3 5 と、同期判定部 3 6 と、同期補正部 3 7 と、記憶部 3 8 とを有する。なお、図 1 の例では、第 2 基準信号生成部 3 1 が CPU に内蔵されているが、これに限定されるものではなく、例えば第 2 基準信号生成部 3 1 と CPU とが別体で構成されていてもよい。

[0028] 第 1 基準信号生成部 2 1 は、計数を行い、予め設定された基準値に計数値が達することで第 1 基準信号を生成する。なお、第 1 基準信号生成部 2 1 は、ハードウェア的なカウンタ（以下、必要に応じて「タイマ」ともいう）として機能する。上述した計数値は、基準値に基づいてサイクリックにカウントされている。図 1 では、このようなハードウェア的なカウンタを破線で示している。

[0029] 第 1 演算部 2 2 は、第 1 基準信号生成部 2 1 によって生成された第 1 基準信号に応じて、記憶部 2 3 に記憶されている所定のアプリケーションプログラム等を実行（演算）する。また、第 1 基準信号は、割り込み信号（カウンタリセット信号）として、伝送バス 1 2 を介して従プロセッサモジュール 1 1 b, 1 1 c にも与えられる（送信される）。

[0030] 記憶部 2 3 は、第 1 演算部 2 2 で演算させる所定のアプリケーションプログラム（シーケンスプログラム）を記憶する。なお、第 1 演算部 2 2 が演算する所定のアプリケーションプログラムは、例えば主プロセッサモジュール

11aに接続されたI/Oモジュール13aに指示を与え、I/Oモジュール13aによって外部機器14aを制御する処理である。そのため、記憶部23には、主に自プロセッサモジュール11aに接続されているI/Oモジュール13aや外部機器14aに対して所定の処理を実行するためのプログラムが記憶される。

[0031] つまり、主プロセッサモジュール11aは、第1基準信号を所定周期毎に生成し、第1演算部22は、第1基準信号に応じてアプリケーションプログラム（シーケンスプログラム）を実行（演算）することで所定の機器を制御し、当該アプリケーションプログラム（シーケンスプログラム）はサイクリックに実行される。

[0032] 次に、従プロセッサモジュール11b、11cについて説明するが、従プロセッサモジュール11b、11cは同一の構成であるため、以下の説明では、従プロセッサモジュール11bを用いて説明し、従プロセッサモジュール11cの説明は省略する。

[0033] 第2基準信号生成部31は、計数を行い、上述した第1基準信号生成部21に設定されている基準値と同一の基準値が設定され、基準値に計数値が達することで第2基準信号を生成する。なお、第2基準信号生成部31は、ハードウェア的なカウンタとして機能する。上述した計数値は、基準値に基づいてサイクリックにカウントされている。付言すると、第1基準信号生成部21と第2基準信号生成部31のそれぞれのカウンタは、フリーランニングカウンタであり、自走している。

[0034] 第2演算部32は、第2基準信号生成部31によって生成された第2基準信号に応じて、記憶部38に記憶されている所定のアプリケーションプログラム等を実行（演算）する。

[0035] なお、第2基準信号生成部31は、例えばCPU内の第2演算部32からしかアクセスすることができないカウンタであり、CPUに内蔵されたカウンタ（CPU内蔵カウンタ）である。すなわち、第2基準信号生成部31は、主プロセッサモジュール11a等の外部からハード的にリセットすること

ができないカウンタである。

[0036] また、第2演算部32は、主プロセッサモジュール11aからの第1基準信号（同期基準信号）を割り込み信号として受信し、後述の同期補正処理を起動する。

[0037] 間隔計数部33は、計数を行い、同期処理を行う補正処理間隔に相当する補正処理間隔値が予め設定され、補正処理間隔値に計数値が達すると、その旨を示す補正処理開始信号を生成する。

[0038] なお、補正処理間隔値は、以下のような計算を通じて設定されている。例えば、当該信号同期システムに要求される加工精度を満たすために許容される、主プロセッサモジュール11aと従プロセッサモジュール11bとの同期誤差が $10\mu\text{s}$ であるとする。この場合、本実施形態では、同期誤差が $1\sim 5\mu\text{s}$ となるまでの最短時間を計算する。ここで、 $1\mu\text{s}$ 以上としたのは、それより短いと、同期補正処理の頻度が高くなって処理負荷が増加するからであり、 $5\mu\text{s}$ 以下としたのは、 $10\mu\text{s}$ に対するマージンを考慮したものである。

[0039] このとき、主プロセッサモジュール11aと従プロセッサモジュール11bとで用いられる発振器の周波数が 50MHz 、発振精度が 50ppm であったとする。この条件下において、同期誤差が $1\mu\text{s}$ となる最短時間は、1クロックの時間 $\times$ 同期許容誤差ずれる発振回数であり、 $20\text{ns} \times ((1\mu\text{s} / 20\text{ns}) \times (1 / 50\text{ppm})) = 20\text{ms}$ となる。同様に、同期誤差が $5\mu\text{s}$ となる最短時間は、 100ms となる。したがって、補正処理間隔値は、 $20\text{ms} \sim 100\text{ms}$ を計数値に換算した値とするとよい。補正処理間隔値をこのような範囲に設定し、同期補正処理を間欠的に実行することで、処理負荷を抑制しつつ、より高い加工精度や生産品質の向上を実現できる。

[0040] オーバーヘッド計数部34は、計数を行い、補正処理開始信号の受信後、すなわち、間隔計数部33の計数値が補正処理間隔値に達した後、上述した第1基準信号の受信を起点として、同期補正処理が実行されるまでのオーバ

ーヘッド値を計測する。具体的には、オーバーヘッド計数部34は、第1基準信号を受信してリスタートするハードウェア的なカウンタ（タイマ）として機能する。

[0041] オーバーヘッド計数部34はハードウェアで構成されたカウンタなので、第1基準信号に対して直ぐに反応するが、同期補正処理は、例えば、計数値を読み込むための準備が整うまでに時間を要する。この計数値を読み込むための準備が整うまでに要する時間がオーバーヘッドとなる。なお、オーバーヘッドとは、あるイベントが発生してからそのイベントに対する処理（ソフトウェア）が実際に実行されるまでの遅延時間を意味するが、本例ではオーバーヘッド計数部34がリスタートされた起点から同期補正処理が実際に行われるまでの時間であり、これに限定されるものではない。

[0042] 計数値取得部35は、補正処理開始信号の受信後、すなわち、間隔計数部33の計数値が補正処理間隔値に達した後、第1基準信号の受信に応じ、同期補正処理が実際に実行される時点（開始時点）での、第2基準信号生成部31の計数値及びオーバーヘッド計数部34の計数値を取得する。

[0043] 同期判定部36は、計数値取得部35によって取得された、第2基準信号生成部31の計数値とオーバーヘッド計数部34の計数値とが等しいとき、第1基準信号と第2基準信号とが同期していると判定する。また、同期判定部36は、計数値取得部35によって取得された、第2基準信号生成部31の計数値とオーバーヘッド計数部34の計数値とが異なるとき、上述した第1基準信号と第2基準信号とが非同期であると判定する。

[0044] また、同期判定部36は、計数値取得部35によって取得された第2基準信号生成部31の計数値とオーバーヘッド計数部34の計数値とを時間換算し、双方の時間が等しいときに同期していると判定し、また双方の時間が異なるときには非同期であると判定することもできる。つまり、第1実施形態では、各プロセッサモジュール11間において、各カウンタの1クロックあたりの単位時間が等しくない場合もありえる。したがって、そのような場合には、各計数値を時間に換算し、換算された時間で同期／非同期の判定を行

う。

[0045] 同期補正部 37 は、同期判定部 36 が第 1 基準信号と第 2 基準信号とが同期していると判定すると、基準値を第 2 基準信号生成部 31 に設定する。また、同期補正部 37 は、同期判定部 36 が第 1 基準信号と第 2 基準信号とが非同期であると判定すると、第 2 基準信号生成部 31 の計数値とオーバーヘッド計数部 34 の計数値との差分を相殺する値を求める。具体的に、同期補正部 37 は、計数値取得部 35 によって取得された、第 2 基準信号生成部 31 の計数値から、オーバーヘッド計数部 34 の計数値を差し引いて同期補正值を求める。次に、同期補正部 37 は、求めた同期補正值を基準値から差し引き、差し引いた値を第 2 基準信号生成部 31 に新たな基準値として設定する。この新たな基準値とは、同期判定部 36 が同期を判定したときに使われるタイマ基準値（デフォルトの基準値）に対し、同期判定部 36 が非同期を判定したときに一時的に使われるタイマ基準値である。

[0046] また、同期判定部 36 が第 1 基準信号と第 2 基準信号とが非同期であると判定し、差し引いた値を第 2 基準信号生成部 31 に新たな基準値として設定し、その差し引いた値での計数が完了すると、同期補正部 37 は、速やかに、基準値を第 2 基準信号生成部 31 に設定する。こうして、一時的に基準値を同期補正值分だけ変更することができる。ここでは、同期補正值分の補正を一度に実行する例を挙げているが、かかる場合に限らず、複数回に分けて実行してもよい。その場合においても、同期補正部 37 は、同期補正処理が完了した後、基準値を第 2 基準信号生成部 31 に設定する。

[0047] なお、同期補正部 37 は、同期判定部 36 が第 1 基準信号と第 2 基準信号との同期を判定すれば、その都度上述したデフォルトの基準値を第 2 基準信号生成部 31 に設定してもよいが、同期が保たれている場合には、一度デフォルトの基準値を設定すれば、何もしなくてもよい。

[0048] また、本実施形態では、補正処理間隔毎に同期補正処理が実行されるので、第 2 基準信号生成部 31 の計数値とオーバーヘッド計数部 34 の計数値とが異なる可能性が高く、同期判定部 36 が、第 1 基準信号と第 2 基準信号と

が非同期であると判定することが多い。そこで、同期判定部 36 による判定を実行することなく、すなわち、第 1 基準信号と第 2 基準信号とが同期であるか非同期であるかに拘わらず、同期補正部 37 が第 2 基準信号生成部 31 の計数値とオーバーヘッド計数部 34 の計数値との差分を相殺する値を求め、その値を第 2 基準信号生成部 31 に新たな基準値として設定してもよい。

[0049] このように、同期判定部 36 の構成を省略することにより、判定処理が不要になり、判定に費やす処理分、処理負荷を軽減することが可能となる。

[0050] 記憶部 38 は、第 2 演算部 32 で演算させる所定のアプリケーションプログラム（シーケンスプログラム）を記憶する。なお、第 2 演算部 32 が演算する所定のアプリケーションプログラムは、例えば従プロセッサモジュール 11b に接続された I/O モジュール 13b, 13c に指示を与え、I/O モジュール 13b, 13c によって外部機器 14b, 14c を制御する処理である。そのため、記憶部 38 には、主に自プロセッサモジュール 11b に接続されている I/O モジュール 13b, 13c や外部機器 14b, 14c に対して所定の処理を実行するためのプログラムが記憶される。

[0051] I/O モジュール 13 は、外部機器 14 等と入出力処理を行う。例えば、I/O モジュール 13 は、接続された外部機器 14 等から得られるデータ等をプロセッサモジュール 11 に出力（送信）したり、プロセッサモジュール 11 により演算処理された結果を外部機器 14 等に出したり、記憶したりする。つまり、プロセッサモジュール 11 は、I/O モジュール 13 から得られた入力データをアプリケーションプログラムで演算し、この演算結果を I/O モジュール 13 に出力データとして与えることにより、外部機器 14 を制御する。

[0052] 外部機器 14 は、例えば各種センサやモータ、記録装置等である。外部機器 14 は、I/O モジュール 13 からの制御信号等に基づいて、データの検出や駆動、データの入出力等を行う。

[0053] ここで、基準値は、プロセッサモジュール 11a, プロセッサモジュール 11b, プロセッサモジュール 11c のそれぞれに予め設定されていてもよ

く、それぞれに外部接続されるプログラミング装置 15（設定装置）からも設定することができる。

[0054] プログラミング装置 15 は、ユーザ等が使用する PC（Personal Computer）等にプロセッサモジュール 11 と通信し、基準値を設定する機能を付加すれば実現できるが、これに限定されるものではなく、専用の設定装置であってもよい。これにより、ユーザ毎に基準値（処理周期）を任意に調整することができる。

[0055] ここで、上述の例では、信号同期システム 10 の一例としてマルチプロセッサについて説明したが、信号同期システム 10 としては、第 1 基準信号生成部 21 と、第 2 基準信号生成部 31 と、オーバーヘッド計数部 34 と、計数值取得部 35 と、同期判定部 36 と、同期補正部 37 とを含んでいればよい。

[0056] なお、信号同期システム 10 の適用例については、マルチプロセッサに限定されるものではなく、例えば主装置側を原子時計による日付・時刻情報のデジタル信号を送信する送信局とし、従装置側を電波時計としたタイマ同期システムとしての応用も可能である。

[0057] （プロセッサモジュール 11 のハードウェア構成例）

次に、プロセッサモジュール 11 のハードウェア構成例について、図を用いて説明する。図 2 は、プロセッサモジュール 11 のハードウェア構成の一例を示す図である。図 2 に示すプロセッサモジュール 11 は、入力部 41 と、出力部 42 と、CPU 43 と、FPGA 44 と、メモリ 45 と、外部インタフェース 46 とを有し、これらは共通バス B により接続されている。

[0058] 入力部 41 は、例えばユーザ等からのプログラムの実行等、各種操作信号を入力する。なお、入力部 41 は、例えばユーザ等が操作するキーボードや、マウス、タッチパネル等のポインティングデバイスを有していてもよく、音声等により入力する場合には、音声入力デバイスを有していてもよい。

[0059] 出力部 42 は、本実施形態における処理を行うプロセッサモジュール 11 を操作するのに必要な各種ウィンドウやデータ等を表示するディスプレイを

有し、CPU 43 が実行する制御プログラムの実行経過や結果等を表示する。

[0060] CPU 43 は、OS (Operating System) 等の制御プログラム、及びメモリ 45 に格納されている実行プログラムに基づいて、各種演算や各ハードウェア構成部とのデータの入出力等、プロセッサモジュール 11 全体の処理を制御することで本実施形態における各処理を実現する。また、CPU 43 は、メモリ 45 と協働して、上述した第 1 演算部 22、第 2 演算部 32、計数值取得部 35、同期判定部 36、同期補正部 37 として実質的に機能し、第 1 基準信号生成部 21、第 2 基準信号生成部 31 を内蔵する。なお、プログラム実行中に必要な各種情報等は、メモリ 45 から取得し、実行結果等をメモリ 45 に格納してもよい。

[0061] FPGA (Field-Programmable Gate Array) 44 は、論理回路を書き換え可能な集積回路である。FPGA 44 は、CPU 43 を補助する様々な論理回路で構成され、本実施形態では、特に、間隔計数部 33、オーバーヘッド計数部 34 として機能する。ただし、間隔計数部 33 はソフトウェアで処理されてもよい。

[0062] メモリ 45 は、CPU 43 により読み出された実行プログラム等を格納する。なお、メモリ 45 は、ROM (Read Only Memory) や RAM (Random Access Memory) 等からなる。また、メモリ 45 は、補助記憶装置として、ハードディスク等のストレージ手段を有していてもよい。また、メモリ 45 は、本実施形態における実行プログラムやコンピュータに設けられた制御プログラム等を記憶し、必要に応じて入出力を行う。なお、メモリ 45 は、上述した記憶部 23、38 等に対応する。

[0063] 外部インタフェース 46 は、伝送バス 12 等を介して他のプロセッサモジュール 11 間とのデータや制御信号の送受信を行う。また、外部インタフェース 46 は、接続された I/O モジュール 13 とのデータや制御信号の送受信等も行う。

[0064] 上述したハードウェア構成により、本実施形態における同期補正処理を実行することが可能となる。また、実行プログラムをインストールすることにより、汎用のパーソナルコンピュータ等で本実施形態における同期補正処理を容易に実現することが可能となる。

[0065] 次に、第1実施形態における同期補正処理例について以下に説明する。

[0066] (第1実施形態における同期補正処理例)

図3～図5は、第1実施形態における同期補正処理例を説明するためのタイムチャート図(その1～その3)である。図3～図5に示す例では、主プロセッサモジュール11aと、従プロセッサモジュール11bとの間における計数値の同期例を示している。なお、第1実施形態における基準値(処理周期)は、 $1000\mu s$ とするが、これに限定されるものではなく、例えば上述したプログラミング装置15により適宜設定を変更することができる。

[0067] 図3では、主プロセッサモジュール11aの第1基準信号生成部21が計数を行っている。その計数値が図3の(1)時点で基準値に達すると、第1基準信号を出力する。そして、第1演算部22は、当該第1基準信号に応じて所定の処理を実行する。図3中、ハッチングで示した三角形の領域は、計数値の推移を示し、時間の経過に従い計数値が増加し、計数目標(例えば基準値)に達するとリセットされる。

[0068] また、従プロセッサモジュール11bの第2基準信号生成部31が計数を行っている。その計数値が図3の(2)時点で基準値に達すると、第2基準信号を出力する。そして、第2演算部32は、当該第2基準信号に応じて所定の処理を実行する。このように、主プロセッサモジュール11a及び従プロセッサモジュール11bでは、それぞれ、独立した第1基準信号及び第2基準信号に応じて所定の処理が遂行される。

[0069] また、従プロセッサモジュール11bでは、間隔計数部33が計数を行い、計数値が補正処理間隔値に達すると(図3の(3))、補正処理開始信号を生成する。かかる補正処理開始信号に応じて同期補正処理の準備が開始される。

- [0070] 主プロセッサモジュール11aで生成される第1基準信号は、割り込み信号として従プロセッサモジュール11bに送信されている。従プロセッサモジュール11bは、第1基準信号を割り込みとして受信し、ソフトウェアによる同期補正処理を起動させている（図3の（4））。これと共に従プロセッサモジュール11bのオーバーヘッド計数部34は、当該ハードウェアによるカウンタの計数値をクリアしてリスタートしている（図3の（5））。続いて、同期補正処理の準備が整うと、図3の（6）時点で、計数値取得部35は、第2基準信号生成部31から計数値を取得する（図3の（7））と共に、オーバーヘッド計数部34から計数値を取得する（図3の（8））。
- [0071] 同期判定部36は、計数値取得部35によって与えられた計数値を時間に換算する。ここでは、例えば、第2基準信号生成部31の計数値から300 μ sを得、オーバーヘッド計数部34の計数値から300 μ sを得たとする。こうして、第1基準信号の割り込みの起点から、同期補正処理において計数値が取得されるまでのオーバーヘッドを計測すると共に、その時点の第2基準信号生成部31の計数値を取得することができる。第1基準信号と第2基準信号とが同期している場合、かかる計数値は等しくなるはずである。
- [0072] 同期判定部36は、計数値取得部35から得た、第2基準信号生成部31の計数値（300 μ s）とオーバーヘッド計数部34の計数値（300 μ s）とを比較する。この場合、同期判定部36は、双方が同じ値なので第1基準信号と第2基準信号とが同期していると判定する。
- [0073] 同期判定部36によって第1基準信号と第2基準信号とが同期していると判定されたため、同期補正部37は、通常通り、基準値1000 μ sを第2基準信号生成部31に設定している（この時点で第2基準信号生成部31は、リスタートしていない）。そして、第2基準信号生成部31は、図3の（9）の時点で計数値が基準値1000 μ sに達したため、リスタートしている。
- [0074] なお、第2基準信号生成部31については、上述したCPU43に内蔵されているが、本実施形態においては、これに限定されるものではなく、CP

U 4 3 と別体であってもよい。

[0075] また、付言しておくが、図 3 に示す同期補正処理の中には、計数値取得部 3 5、同期判定部 3 6、同期補正部 3 7 のプログラムの処理が含まれている。

[0076] 図 4 は、従プロセッサモジュール 1 1 b のカウンタが、主プロセッサモジュール 1 1 a のカウンタより $3 \mu s$ 遅れている場合を示している。

[0077] 図 4 では、従プロセッサモジュール 1 1 b の間隔計数部 3 3 が計数を行い、計数値が補正処理間隔値に達すると（図 4 の（1））、補正処理開始信号を生成する。かかる補正処理開始信号に応じて同期補正処理の準備が開始される。

[0078] 主プロセッサモジュール 1 1 a の第 1 基準信号生成部 2 1 は、計数値が基準値に達したため、 $1000 \mu s$ 毎に第 1 基準信号を出力している。従プロセッサモジュール 1 1 b は、補正処理開始信号が生成された後、第 1 基準信号を割り込みとして受信し、ソフトウェアによる同期補正処理を起動させる（図 4 の（2））。これと共に従プロセッサモジュール 1 1 b のオーバーヘッド計数部 3 4 は、当該ハードウェアによるカウンタの計数値をクリアしてリスタートしている（図 4 の（3））。続いて、同期補正処理の準備が整うと、図 4 の（4）時点で、計数値取得部 3 5 は、第 2 基準信号生成部 3 1 から計数値を取得する（図 4 の（5））と共に、オーバーヘッド計数部 3 4 から計数値を取得する（図 4 の（6））。

[0079] 同期判定部 3 6 は、計数値取得部 3 5 によって与えられた計数値を時間に換算する。ここでは、例えば、第 2 基準信号生成部 3 1 の計数値から $297 \mu s$ を得、オーバーヘッド計数部 3 4 の計数値から $300 \mu s$ を得たとする。同期判定部 3 6 は、両計数値を比較し、両計数値が異なる値なので第 1 基準信号と第 2 基準信号とが非同期であると判定する。

[0080] 同期判定部 3 6 によって非同期が判定されたため、同期補正部 3 7 は、第 2 基準信号生成部 3 1 の計数値とオーバーヘッド計数部 3 4 の計数値との差分が相殺されるように、第 2 基準信号生成部 3 1 に臨時の基準値を設定する

。具体的には、同期補正部 37 は、「基準値（処理周期）－（オーバーヘッド計数部 34 の計数値－第 2 基準信号生成部 31 の計数値）」という式にて第 2 基準信号生成部 31 の計数値のリスタート値（リセット値）を求め、求めた計数値を臨時の基準値として第 2 基準信号生成部 31 にセットする。この例の場合、臨時の基準値は $1000\mu s - (300\mu s - 297\mu s) = 997\mu s$ となる。そして、第 2 基準信号生成部 31 は、図 4 の（7）の時点で計数値が臨時の基準値 $997\mu s$ に達したため、リスタートしている。ちなみに、オーバーヘッド計数部 34 の計数値－第 2 基準信号生成部 31 の計数値の値が同期補正值である。

[0081] このようにすることにより、第 1 実施形態は、第 2 サイクルに対し、次の第 3 サイクルの第 1 基準信号の出力タイミングと略同タイミングで第 2 基準信号生成部 31 をリスタートすることができる。したがって、第 1 実施形態は、第 1 基準信号と第 2 基準信号とを同期させることができる。なお、図 4 の場合、第 3 サイクル以降は、基準値が $1000\mu s$ に設定される。

[0082] 図 5 は、従プロセッサモジュール 11b のカウンタが、主プロセッサモジュール 11a のカウンタより $3\mu s$ 進んでいる場合を示している。

[0083] 図 5 では、従プロセッサモジュール 11b の間隔計数部 33 が計数を行い、計数値が補正処理間隔値に達すると（図 5 の（1））、補正処理開始信号を生成する。かかる補正処理開始信号に応じて同期補正処理の準備が開始される。

[0084] 主プロセッサモジュール 11a の第 1 基準信号生成部 21 は、計数値が基準値に達したため、 $1000\mu s$ 毎に第 1 基準信号を出力している。従プロセッサモジュール 11b は、補正処理開始信号が生成された後、第 1 基準信号を割り込みとして受信し、ソフトウェアによる同期補正処理を起動させている（図 5 の（2））。これと共に従プロセッサモジュール 11b のオーバーヘッド計数部 34 は、当該ハードウェアによるカウンタの計数値をクリアしてリスタートしている（図 5 の（3））。続いて、同期補正処理の準備が整うと、図 5 の（4）時点で、計数値取得部 35 は、第 2 基準信号生成部 3

1 から計数値を取得する（図 5 の（5））と共に、オーバーヘッド計数部 34 から計数値を取得する（図 5 の（6））。

[0085] 同期判定部 36 は、計数値取得部 35 によって与えられた計数値を時間に換算する。ここでは、例えば、第 2 基準信号生成部 31 の計数値から $303 \mu s$ を得、オーバーヘッド計数部 34 の計数値から $300 \mu s$ を得たとする。同期判定部 36 は、両計数値を比較し、両計数値が異なる値であるため、第 1 基準信号と第 2 基準信号とが非同期であると判定する。

[0086] 同期判定部 36 によって非同期が判定されたため、同期補正部 37 は、第 2 基準信号生成部 31 の計数値とオーバーヘッド計数部 34 の計数値との差分が相殺されるように、第 2 基準信号生成部 31 に臨時の基準値を設定する。具体的には、同期補正部 37 は、図 4 の説明と同様に計算して、臨時の基準値を求め、第 2 基準信号生成部 31 にセットする。この例の場合、臨時の基準値は、 $1000 \mu s - (300 \mu s - 303 \mu s) = 1003 \mu s$ となる。そして、第 2 基準信号生成部 31 は、図 4 の（7）の時点で計数値が臨時の基準値 $1003 \mu s$ に達したため、リスタートしている。ちなみに、オーバーヘッド計数部 34 の計数値－第 2 基準信号生成部 31 の計数値の値が同期補正值である。

[0087] このようにすることにより、第 1 実施形態は、第 2 サイクルに対し、次の第 3 サイクルの第 1 基準信号の出力タイミングと略同タイミングで第 2 基準信号生成部 31 をリスタートすることができる。したがって、本実施形態の信号同期システムは第 1 基準信号と第 2 基準信号とを同期させることができる。なお、図 5 の第 3 サイクル以降は、基準値が $1000 \mu s$ に設定される。以上のように、第 1 実施形態では、主プロセッサモジュール 11a のカウンタ（タイマ）に対して従プロセッサモジュール 11b のカウンタ（タイマ）が遅れた場合も進んだ場合も適切にカウンタ同期を実現することができる。

[0088] （信号同期方法のシーケンス例）

図 6 は、信号同期方法の概略的なシーケンス例を示す図である。図 6 の例

では、説明の便宜上、主プロセッサモジュール 1 1 a と従プロセッサモジュール 1 1 b とを用いた同期について説明するが、本実施形態においてはこれに限定されるものではなく、1つの主プロセッサモジュールに対して複数の従プロセッサモジュールを同期させることができる。

[0089] 図 6 のカウンタ同期処理において、まず、主プロセッサモジュール 1 1 a の第 1 基準信号生成部 2 1 は、第 1 基準信号を生成し (S 0 1)、従プロセッサモジュール 1 1 b の第 2 基準信号生成部 3 1 は、第 2 基準信号を生成する (S 0 2)。なお、この処理は、ハードウェア的にサイクリックに動作されている。また、主プロセッサモジュール 1 1 a は、S 0 1 の処理で得られた第 1 基準信号を従プロセッサモジュール 1 1 b にも送信している。したがって、従プロセッサモジュール 1 1 b は、常に第 1 基準信号を受信できる状態にある。

[0090] また、従プロセッサモジュール 1 1 b の間隔計数部 3 3 は、補正処理間隔を計数し、計数値が補正処理間隔値に達すると、補正処理開始信号を生成して同期補正処理の準備を開始する (S 0 3)。

[0091] 間隔計数部 3 3 の計数値が補正処理間隔値に達した後、主プロセッサモジュール 1 1 a で送信された第 1 基準信号を、従プロセッサモジュール 1 1 b が受信すると (S 0 4)、ソフトウェアによる同期補正処理を起動させる (S 0 5) と共に、オーバーヘッド計数部 3 4 をリスタートする (S 0 6)。そして、計数値取得部 3 5 は、第 2 基準信号生成部 3 1 とオーバーヘッド計数部 3 4 との両計数値を取得し (S 0 7)、同期判定部 3 6 は、かかる両計数値に基づいて同期判定を行い (S 0 8)、非同期であると判定されれば、同期補正部 3 7 が同期補正を行う (S 0 9)。

[0092] こうして、処理負荷を抑制しつつ、所定の信号を高精度に同期させることができる。

[0093] (第 2 実施形態：ノード同期システム)

第 2 実施形態は、上述した第 1 実施形態における伝送バス 1 2 による遅延時間を含めて同期補正処理を実行することが特徴である。図 7 は、第 2 実施

形態におけるノード同期システムの概略構成の一例を示す図である。図 7 に示すノード同期システム 50 は、ノード 51 a～51 c 等の複数のノードの間で、カウンタ同期を行う一例である。

[0094] ノード同期システム 50 は、複数のノード 51 a～51 c（以下、必要に応じて「ノード 51」という）と、通信路（通信ネットワーク）52 と、I/O（入出力）モジュール 53（図 7 中、53 a～53 d で示す）と、外部機器 54（図 7 中、54 a～54 d で示す）と、プログラミング装置 55 とを有する。すなわち、ノード同期システム 50 は、マスタノード 51 a と、スレーブノード 51 b, 51 c とが通信ネットワークとしての通信路 52 を介して接続されている。

[0095] ここで、便宜上、ノード 51 a をマスタノードとし、ノード 51 b, 51 c をスレーブノードとして、それぞれのノード固有の構成について説明するが、これに限定されるものではなく、各ノードがマスタノードにもスレーブノードにもなりえるように両方の構成を兼ね備えている。なお、第 2 実施形態では、通信路 52 による伝送遅延時間が生じているものとする。

[0096] ここで、第 2 実施形態（図 7）と第 1 実施形態（図 1）との違いについて説明しておく。マスタノード 51 a は、第 1 実施形態での主プロセッサモジュール 11 a に相当し、スレーブノード 51 b, 51 c は、第 1 実施形態での従プロセッサモジュール 11 b, 11 c に相当する。また、プログラミング装置 55 は、第 1 実施形態でのプログラミング装置 15 と実質的に等しく、更に、I/O モジュール 53 a～53 d は、第 1 実施形態での I/O モジュール 13 a～13 d と実質的に等しい。また、外部機器 54 a～54 d は、第 1 実施形態での外部機器 14 a～14 d と実質的に等しい。よって、以下の説明では第 1 実施形態と同じ構成のものについてはその説明を割愛する。

[0097] マスタノード 51 a は、第 1 基準信号生成部 61（第 1 の実施形態の第 1 基準信号生成部 21 に対応）と、第 1 演算部 62（第 1 実施形態の第 1 演算部 22 に対応）と、記憶部 63（第 1 実施形態の記憶部 23 に対応）と、間隔計数部 64（第 1 の実施形態の間隔計数部 33 に対応）と、伝送遅延時間

通知部 6 5 と、同期化フレーム通知部 6 6 とを有する。

[0098] マスタノード 5 1 a の第 1 実施形態での主プロセッサモジュール 1 1 a との主な相違点は、第 1 実施形態では従プロセッサモジュール 1 1 b に設けられていた間隔計数部 3 3 が間隔計数部 6 4 として加わったこと、及び、新たに、伝送遅延時間通知部 6 5 と、同期化フレーム通知部 6 6 とが加わったことである。よって、以下の説明においては、第 2 実施形態の主要部分を説明することとし、第 1 実施形態と同様の動きについては割愛する。

[0099] 以下、第 2 実施形態での一例を説明する。第 2 実施形態において、間隔計数部 6 4 は、計数を行い、同期処理を行う補正処理間隔に相当する補正処理間隔値が予め設定され、補正処理間隔値に計数値が達すると、その旨を示す補正処理開始信号を生成する。なお、補正処理間隔値は第 1 の実施形態と実質的に等しいので、ここではその説明を省略する。

[0100] なお、ここでは、マスタノード 5 1 a 側で補正処理間隔を計っているが、スレーブノード 5 1 b 側で補正処理間隔を計ってもよい。その場合、スレーブノード 5 1 b において補正処理間隔値に計数値が達すると、マスタノード 5 1 a に補正処理開始信号を送信し、同期補正処理を開始することとなる。

[0101] 補正処理開始信号の受信後、マスタノード 5 1 a の伝送遅延時間通知部 6 5 は、伝送遅延時間を算出するために伝送遅延時間リクエストフレームをスレーブノード 5 1 b, 5 1 c に送信する。この伝送遅延時間リクエストフレームは、後述の同期化フレームとフォーマットが実質的に等しく、同期化フレーム内の所定部分（例えば、コマンド部）のデータが異なるフレームである。かかる伝送遅延時間リクエストフレームは、第 1 基準信号生成部 6 1 によって生成された第 1 基準信号に同期して送信される。

[0102] 続いて、伝送遅延時間通知部 6 5 は、伝送遅延時間リクエストフレームに応答したスレーブノードからの受信完了フレームを受信する。そして、伝送遅延時間通知部 6 5 は、応答フレーム受信時の時刻と伝送遅延時間リクエストフレームを送信したときの時刻との差分から、マスタノード 5 1 a とスレーブノード 5 1 b, 5 1 c 間の往復伝送遅延時間を計算する。そして、伝送

遅延時間通知部 6 5 は、計算した往復伝送遅延時間を含む伝送遅延時間通知フレームを次の第 1 基準信号に同期してスレーブノード 5 1 b, 5 1 c に送信することで、スレーブノード 5 1 b, 5 1 c に通信路 5 2 による遅延時間を通知する。

[0103] 往復伝送遅延時間を通知した後、マスタノード 5 1 a は、第 1 基準信号に基づき（第 1 基準信号に同期して）、予め用意された同期化フレームを、通信路 5 2 を介してスレーブノード 5 1 b, 5 1 c に送信する。なお、この処理は、同期化フレーム通知部 6 6 が実行する。後に詳述するが、同期化フレームは、スレーブノード 5 1 b, 5 1 c の第 2 基準信号生成部 7 1 の計数値をマスタノード 5 1 a の第 1 基準信号生成部 6 1 の計数値に合わせるための同期基準信号である。

[0104] 次に、スレーブノード 5 1 b, 5 1 c について説明する。スレーブノード 5 1 b, 5 1 c は、第 2 基準信号生成部 7 1（第 1 の実施形態の第 2 基準信号生成部 3 1 に対応）と、第 2 演算部 7 2（第 1 の実施形態の第 2 演算部 3 2 に対応）と、オーバーヘッド計数部 7 4（第 1 の実施形態のオーバーヘッド計数部 3 4 に対応）と、計数値取得部 7 5（第 1 の実施形態の計数値取得部 3 5 に対応）と、同期判定部 7 6（第 1 の実施形態の同期判定部 3 6 に対応）と、同期補正部 7 7（第 1 の実施形態の同期補正部 3 7 に対応）と、記憶部 7 8（第 1 の実施形態の記憶部 3 8 に対応）と、受信完了通知部 7 9 と、フレーム受信部 8 0 とを有する。なお、CPU 4 3 には、第 2 基準信号生成部 7 1 が内蔵されている。スレーブノード 5 1 b, 5 1 c は、同一の構成であるため、以下の説明では、スレーブノード 5 1 b を用いて説明し、スレーブノード 5 1 c の説明は省略する。

[0105] 第 1 実施形態のプロセッサモジュール 1 1 b との主な相違点は、同期判定部 7 6 が第 1 実施形態の同期判定部 3 6 と相違すること、受信完了通知部 7 9 とフレーム受信部 8 0 とが加わったことである。ただし、他の構成要素については、第 1 の実施形態と実質的に等しいので、ここでは、その説明を割愛する。以下、通信路 5 2 の伝送遅延時間を含めたスレーブノード 5 1 b の

同期補正処理について説明する。

- [0106] 受信完了通知部 79 は、上述した伝送遅延時間リクエストフレームをマスタノード 51a から受信し、その伝送遅延時間リクエストフレームに応じて、受信完了フレームをマスタノード 51a に送信する。
- [0107] フレーム受信部 80 は、マスタノード 51a によって送信された上述した伝送遅延時間通知フレームを受信し、そのフレームに含まれる往復伝送遅延時間（値）を上述したメモリ 45 等に退避する。このようにして、スレーブノード 51b はマスタノード 51a とスレーブノード 51b 間との往復伝送遅延時間をマスタノード 51a から得る。
- [0108] マスタノード 51a から往復伝送遅延時間を得たスレーブノード 51b は、同期化フレームを受信し、第 2 演算部 72 に割り込みを発生させる。割り込みを受けた第 2 演算部 72 は、後述の同期補正処理を起動する。なお、本実施形態においては、往復伝送遅延時間を得ずに同期化フレームを受信した場合でも、往復伝送遅延時間をゼロ（0）として同期補正処理を起動してよいことは勿論である。また、同期化フレームを受信してから第 2 演算部 72 に割り込みが上がるスピードを勘案すると、不図示であるが、同期化フレームの受信手段としては、FPGA 44 等のハードウェアロジックを使うことが好ましい。
- [0109] また、オーバーヘッド計数部 74 は、上述した同期化フレームの受信を起点として、同期補正処理が実行されるまでのオーバーヘッド値を計測する。具体的には、オーバーヘッド計数部 74 には、同期化フレームを受信してリスタートするハードウェア的なカウンタ（タイマ）として機能する。
- [0110] 計数値取得部 75 は、同期化フレームの受信に応じ、実際に同期補正処理が実行される開始時点での、第 2 基準信号生成部 71 の計数値及びオーバーヘッド計数部 74 の計数値を取得する。
- [0111] 同期判定部 76 は、上述した往復伝送遅延時間を 2 で除算して通信路 52 の片道の伝送遅延時間を求め、更にこの片道の伝送遅延時間と上述したオーバーヘッド計数部 74 の計数値を時間換算した値とを加えた総合遅延時間を

求める。そして、同期判定部 7 6 は、求めた総合遅延時間と、計数値取得部 7 5 によって取得された第 2 基準信号生成部 7 1 の計数値を時間換算した値とを比較する。この比較の結果、双方が等しいとき、同期判定部 7 6 は、第 1 基準信号と第 2 基準信号とが同期していると判定し、双方が相違するとき、第 1 基準信号と第 2 基準信号とが非同期であると判定する。ここで同期とは、第 1 基準信号生成部 6 1 の計数値と第 2 基準信号生成部 7 1 の計数値が等しいことを意味する。

[0112] なお、同期判定部 7 6 は、第 1 実施形態の同期判定部 3 6 と同様に、各カウンタの計数値を時間に換算して比較することで、同期／非同期を判定することも勿論可能である。

[0113] 第 2 実施形態では、補正処理間隔毎に、同期判定部 7 6 によって第 1 基準信号と第 2 基準信号とが同期であると判定されると、同期補正部 7 7 は、基準値を第 2 基準信号生成部 7 1 に設定する。また、第 1 基準信号と第 2 基準信号とが非同期であると判定されると、第 2 基準信号生成部 7 1 の計数値と、総合遅延時間値との差分を相殺する値を求める。具体的に、同期補正部 7 7 は、計数値取得部 7 5 によって取得された、第 2 基準信号生成部 7 1 の計数値から総合遅延時間値を差し引いて同期補正值を求める。続いて、同期補正部 7 7 は、求めた同期補正值を基準値から差し引き、差し引いた値を第 2 基準信号生成部 7 1 に新たな基準値として設定する。この新たな基準値とは、同期判定部 7 6 が同期を判定したときに第 2 基準信号生成部 7 1 に設定される基準値（デフォルトの基準値）に対し、第 2 基準信号生成部 7 1 のタイマ値を補正するために一時的に設定される（臨時の基準値）。

[0114] なお、本実施形態は、デフォルトの基準値が第 2 基準信号生成部 7 1 に設定され、同期が保たれていれば、以後デフォルトの基準値を書き換えしなくてよいことは勿論である。

[0115] このようにして本実施形態は、同期基準信号（同期化フレーム）が通信路 5 2 を介して通知される際の伝送遅延時間の影響をも考慮した同期補正処理を行うことができる。すなわち、第 2 実施形態では、ノード間の伝送遅延時

間とスレーブノード51b, 51cのオーバーヘッドとを含めた計数値の補正を行うことができ、高精度なノード間の同期を実現できる。

[0116] (第2実施形態における同期補正処理例)

図8～図10は、第2実施形態における同期補正処理例を説明するためのタイムチャート図であり、マスタノード51aとスレーブノード51b間での計数値の同期例である。なお、第2実施形態における基準値(処理周期)は、第1実施形態と同様1000 μ sとし、この基準値はプログラミング装置55により適宜変更することができる。

[0117] 図8では、マスタノード51aの第1基準信号生成部61が計数を行っている。その計数値が図8の(1)時点で基準値に達すると、第1基準信号を出力する。そして、第1演算部62は、当該第1基準信号に応じて所定の処理を実行する。

[0118] また、スレーブノード51bの第2基準信号生成部71が計数を行っている。その計数値が図8の(2)時点で基準値に達すると、第2基準信号を出力する。そして、第2演算部72は、当該第2基準信号に応じて所定の処理を実行する。このように、マスタノード51a及びスレーブノード51bでは、それぞれ、独立した第1基準信号及び第2基準信号に応じて所定の処理が遂行される。

[0119] また、マスタノード51aでは、間隔計数部64が計数を行い、計数値が補正処理間隔値に達すると(図8の(3))、補正処理開始信号を生成する。かかる補正処理開始信号に応じてマスタノード51aにおける同期補正処理が開始される。

[0120] 同期補正処理が開始すると、マスタノード51aの伝送遅延時間通知部65は、伝送遅延時間を算出するために伝送遅延時間リクエストフレームを送信する(図8の(4))。スレーブノード51bの受信完了通知部79は、伝送遅延時間リクエストフレームをマスタノード51aから受信すると、その伝送遅延時間リクエストフレームに応じて、受信完了フレームをマスタノード51aに送信する(図8の(5))。

- [0121] 続いて、マスタノード51aの伝送遅延時間通知部65は、受信完了フレームに応じて、マスタノード51aとスレーブノード51b間の往復伝送遅延時間を計算し、計算した往復伝送遅延時間（ $400\mu\text{s}$ ）を含む伝送遅延時間通知フレームを送信する（図8の（6））。スレーブノード51bのフレーム受信部80は、伝送遅延時間通知フレームを受信すると、そのフレームに含まれる往復伝送遅延時間（値）をメモリ45等に退避する（図8の（7））。
- [0122] 同期補正処理が開始後、マスタノード51aの同期化フレーム通知部66は、同期化フレームを割り込み信号としてスレーブノード51bに送信する（図8の（8））。そして、スレーブノード51bは、同期化フレームを通信路52の片道の伝送遅延時間（ $200\mu\text{s}$ ）を経て図8の（9）の時点で受信し、スレーブノード51bにおけるソフトウェアによる同期補正処理を起動している。また、同期化フレームの受信に伴い、オーバーヘッド計数部74のハードウェアによるカウンタがクリアされリスタートしている（図8の（10））。
- [0123] 続いて、同期補正処理の準備が整うと、図8の（11）時点で、計数値取得部75は、第2基準信号生成部71から計数値を取得する（図8の（12））と共に、オーバーヘッド計数部74から計数値を取得する（図8の（13））。
- [0124] 続いて、計数値取得部75は、第2基準信号生成部71の計数値を参照して時間に換算し $400\mu\text{s}$ を取得している。これに引き続き、同期判定部76は、往復伝送遅延時間（ $400\mu\text{s}$ ）から片道の伝送遅延時間 $200\mu\text{s}$ を求め、求めた伝送遅延時間とオーバーヘッド計数部74の計数値を時間換算した $200\mu\text{s}$ とを加算し総合遅延時間 $400\mu\text{s}$ を求めている。そして、同期判定部76は、総合遅延時間 $400\mu\text{s}$ と計数値取得部75が取得した、第2基準信号生成部71の計数値を時間換算した $400\mu\text{s}$ とを比較し、双方が等しいので第1基準信号と第2基準信号とが同期していると判定している。

- [0125] 同期判定部 7 6 によって第 1 基準信号と第 2 基準信号とが同期していると判定されたため、同期補正部 7 7 は、通常通り、基準値 $1000\mu s$ を第 2 基準信号生成部 7 1 に設定している（設定時点で第 2 基準信号生成部 7 1 はリスタートしていない）。そして、第 2 基準信号生成部 7 1 は、図 8 の（14）の時点で計数値が基準値 $1000\mu s$ に達したため、リスタートしている。
- [0126] 図 9 は、スレーブノード 5 1 b のカウンタが、マスタノード 5 1 a のカウンタより $3\mu s$ 遅れている場合を示している。
- [0127] 図 9 において、マスタノード 5 1 a の間隔計数部 6 4 の計数値が補正処理間隔値に達し、同期補正処理が開始されてから、スレーブノード 5 1 b のフレーム受信部 8 0 が伝送遅延時間通知フレームに含まれる往復伝送遅延時間（値）をメモリ 4 5 等に退避するまでの処理は、図 8 の処理と実質的に等しいので、ここでは、その説明を省略する。
- [0128] 同期補正処理が開始後、図 9 の（1）時点で、マスタノード 5 1 a の同期化フレーム通知部 6 6 は、同期化フレームを割り込み信号としてスレーブノード 5 1 b に送信する。そして、スレーブノード 5 1 b は、同期化フレームを通信路 5 2 の片道の伝送遅延時間（ $200\mu s$ ）を経て図 9（2）の時点で受信し、スレーブノード 5 1 b におけるソフトウェアによる同期補正処理を起動している。また、同期化フレームの受信に伴い、オーバーヘッド計数部 7 4 のカウンタがクリアされリスタートしている（図 9 の（3））。
- [0129] 続いて、同期補正処理の準備が整うと、図 9 の（4）時点で、計数値取得部 7 5 は、第 2 基準信号生成部 7 1 から計数値を取得する（図 9 の（5））と共に、オーバーヘッド計数部 7 4 から計数値を取得する（図 9 の（6））。
- [0130] 続いて、計数値取得部 7 5 は、第 2 基準信号生成部 7 1 の計数値を参照して時間に換算し $397\mu s$ を取得している。これに引き続き、同期判定部 7 6 は、往復伝送遅延時間（ $400\mu s$ ）から片道の伝送遅延時間 $200\mu s$ を求め、求めた伝送遅延時間とオーバーヘッド計数部 7 4 の計数値を時間換

算した $200\ \mu\text{s}$ とを加算し総合遅延時間 $400\ \mu\text{s}$ を求めている。そして、同期判定部 76 は、総合遅延時間 $400\ \mu\text{s}$ と計数値取得部 75 が取得した、第 2 基準信号生成部 71 の計数値を時間換算した $397\ \mu\text{s}$ とを比較し、双方が相違するので第 1 基準信号と第 2 基準信号とが非同期であると判定する。

[0131] 同期判定部 76 によって第 1 基準信号と第 2 基準信号とが非同期であると判定されたため、同期補正部 77 は、第 2 基準信号生成部 71 に臨時の基準値を設定している。具体的には、同期補正部 77 は、「基準値（処理周期）－（総合遅延時間－第 2 基準信号生成部 71 の計数値）」という式にて第 2 基準信号生成部 71 のリスタート値（リセット値）を求め、求めた計数値を臨時の基準値として第 2 基準信号生成部 71 にセットする。この例の場合、臨時の基準値は $1000\ \mu\text{s} - (400\ \mu\text{s} - 397\ \mu\text{s}) = 997\ \mu\text{s}$ となる。そして、第 2 基準信号生成部 71 は、図 9 の（7）の時点で計数値が臨時の基準値 $997\ \mu\text{s}$ に達したため、リスタートしている。ちなみに、総合遅延時間－第 2 基準信号生成部 71 の計数値の値が同期補正值である。

[0132] 図 10 は、スレーブノード 51b のカウンタが、マスタノード 51a のカウンタより $3\ \mu\text{s}$ 進んでいる場合を示している。

[0133] 図 10 において、マスタノード 51a の間隔計数部 64 の計数値が補正処理間隔値に達し、同期補正処理が開始されてから、スレーブノード 51b のフレーム受信部 80 が伝送遅延時間通知フレームに含まれる往復伝送遅延時間（値）をメモリ 45 等に退避するまでの処理は、図 8 及び図 9 の処理と実質的に等しいので、ここでは、その説明を省略する。

[0134] 同期補正処理が開始後、図 10 の（1）時点で、マスタノード 51a の同期化フレーム通知部 66 は、同期化フレームを割り込み信号としてスレーブノード 51b に送信する。そして、スレーブノード 51b は、同期化フレームを通信路 52 の片道の伝送遅延時間（ $200\ \mu\text{s}$ ）を経て図 10（2）の時点で受信し、スレーブノード 51b におけるソフトウェアによる同期補正処理を起動している。また、同期化フレームの受信に伴い、オーバーヘッド

計数部 74 のカウンタがクリアされリスタートしている（図 10 の（3））。

[0135] 続いて、同期補正処理の準備が整うと、図 10 の（4）時点で、計数値取得部 75 は、第 2 基準信号生成部 71 から計数値を取得する（図 10 の（5））と共に、オーバーヘッド計数部 74 から計数値を取得する（図 10 の（6））。

[0136] 続いて、計数値取得部 75 は、第 2 基準信号生成部 71 の計数値を参照して時間に換算し $403 \mu s$ を取得している。これに引き続き、同期判定部 76 は、往復伝送遅延時間（ $400 \mu s$ ）から片道の伝送遅延時間 $200 \mu s$ を求め、求めた片道の伝送遅延時間とオーバーヘッド計数部 74 の計数値を時間換算した $200 \mu s$ とを加算し総合遅延時間 $400 \mu s$ を求めている。そして、同期判定部 76 は、総合遅延時間 $400 \mu s$ と計数値取得部 75 が取得した、第 2 基準信号生成部 71 の計数値を時間換算した $403 \mu s$ とを比較し、双方が相違するので第 1 基準信号と第 2 基準信号とが非同期であると判定する。

[0137] 同期判定部 76 によって第 1 基準信号と第 2 基準信号とが非同期であると判定されたため、同期補正部 77 は、第 2 基準信号生成部 71 に臨時の基準値を設定している。この例の場合、臨時の基準値は $1000 \mu s - (400 \mu s - 403 \mu s) = 1003 \mu s$ となる。そして、第 2 基準信号生成部 71 は、図 10 の（7）の時点で計数値が臨時の基準値 $1003 \mu s$ に達したため、リスタートしている。

[0138] なお、図 9 及び図 10 の例の場合、第 3 サイクルで、マスタ側のカウンタとスレーブ側のカウンタとが同期することになるため、以後、同期補正部 77 は、元の基準値 $1000 \mu s$ を第 2 基準信号生成部 71 に設定している（設定時点で第 2 基準信号生成部 71 は、リスタートしていない）。そして、第 2 基準信号生成部 71 は、計数値が基準値 $1000 \mu s$ に達したときにリスタートする。すなわち、第 2 実施形態は、第 3 サイクルに対し、次の第 4 サイクルのマスタ側のカウンタのリスタートと略同タイミングでスレーブ側

のカウンタをリスタートすることができるため、マスタ側のカウンタの値とスレーブ側のカウンタの値とを略等しい値に合わせることができる。

[0139] なお、同期補正処理には、第1実施形態と同様に計数値取得部75、同期判定部76、同期補正部77のプログラムの処理が含まれている。

[0140] また、スレーブノード51bの第2基準信号生成部71は、CPU43に内蔵されていることを前提に説明したが、これに限定されるものではない。すなわち、第2基準信号生成部71は、CPU43と別体であっても実現可能である。ただ、第2基準信号生成部71がCPU43に内蔵されていることにより、CPU43の外部で生成された所定の信号で第2基準信号生成部71をハード的にリセットすることができない。言い換えれば、第2基準信号生成部71はプログラムが介在してその動作が制御されるカウンタである。このため、本実施形態は第2基準信号生成部71のリセット処理（リスタート処理）をプログラムで実行する必要がある、そのオーバーヘッドが同期誤差に繋がる。よって、本実施形態ではオーバーヘッドを計測するという構成が必要になる（第1実施形態でも同様）。

[0141] また、第2実施形態において、同期補正処理は同期化フレーム受信によって起動される割り込み処理である。

[0142] また、上記説明においてスレーブノード51bは、例えば、往復伝送遅延時間をマスタノード51aから得て保持し、保持した往復伝送遅延時間を同期補正処理の際に活用する。これとは別に、マスタノード51aが往復伝送遅延時間を同期化フレームに含めてスレーブノード51bに送信し、これを受信したスレーブノード51bが同期化フレームに含まれる往復伝送時間を活用する方法もある。このようにすることで、マスタノード51aは状況に応じた往復伝送遅延時間をスレーブノード51bに適宜通知することができるため、スレーブノード51bでは状況に応じた往復伝送遅延時間をタイマーに活用できる。

[0143] また、伝送遅延時間通知部65について、往復伝送遅延時間をスレーブノード51bに通知するよう説明したが、これに限定されるものではない。例

例えば伝送遅延時間通知部 65 は、算出した往復伝送遅延時間を半分にして片道の伝送遅延時間を求め、求めた片道の伝送遅延時間をスレーブノード 51b に通知するようにしてもよい。この場合、スレーブノード 51b の同期判定部 76 は、与えられた片道の伝送遅延時間をそのまま使って総合遅延時間を求めるようにすればよい。

[0144] 以上の説明のように第 2 実施形態では、通信路 52 による信号の伝送遅延時間を含めて第 1 基準信号と第 2 基準信号とを同期させることができる。

[0145] (同期補正処理における伝送遅延時間の通知手順について)

次に、上述した同期補正処理における伝送遅延時間の通知手順について説明する。図 11 は、第 2 実施形態における伝送遅延時間の通知手順の一例を説明するための図である。なお、図 11 の例では、上述したマスタノード 51a と、スレーブノード 51b, 51c とを有し、各ノード 51 は、通信路 52 を介して信号の送受信が可能な状態で接続されているものとする。また、以下の説明では、マスタノード 51a が各ノード 51 間の通信路 52 による信号の伝送遅延時間を取得する例を示す。

[0146] また、図 11 に示す四角はフレームを示し、各ノード 51 に対する線上の四角は送信フレームを示し、線下の四角は受信フレームを示している。また、図 11 に示すフレームは、伝送遅延時間リクエストフレーム 81 (図 11 における「REQ*」(*は、例えば各スレーブノードの識別子(例えば b, c)を示す(以下同様))と、受信完了フレーム 82 (図 11 における「REC*」)と、伝送遅延時間通知フレーム 83 (図 11 における「SET*」)と、伝送遅延時間通知フレーム 83 に対する応答フレーム 84 (図 11 における「ANS*」)とを有する。

[0147] 図 11 の例において、マスタノード 51a は、スレーブノード 51b に対する伝送遅延時間リクエストフレーム 81b (REQb) をマスタノード同期基準にしたがって通信路 52 上にブロードキャスト送信する。このとき、伝送遅延時間リクエストフレーム 81b には、スレーブノード 51b に対する伝送遅延時間リクエストであることを示す情報(対象ノード情報)が含ま

れている。

- [0148] ブロードキャスト送信された伝送遅延時間リクエストフレーム 8 1 b は、通信路 5 2 を介して所定の伝送遅延時間後に各スレーブノード 5 1 b, 5 1 c で受信される。なお、図 1 1 の例では、スレーブノード 5 1 b は、マスタノード同期基準から遅延時間 D 1 で伝送遅延時間リクエストフレーム 8 1 b を受信し、スレーブノード 5 1 c は、マスタノード同期基準から遅延時間 D 2 で伝送遅延時間リクエストフレーム 8 1 b を受信する。
- [0149] ここで、各スレーブノード 5 1 b, 5 1 c は、伝送遅延時間リクエストフレーム 8 1 b に含まれている上述した対象ノード情報を確認する。上述したように、伝送遅延時間リクエストフレーム 8 1 b は、スレーブノード 5 1 b に対するリクエストであるため、スレーブノード 5 1 b のみがマスタノード 5 1 a に対して受信完了フレーム 8 2 b (REC b) をブロードキャスト送信する。このとき、受信完了フレーム 8 2 b には、マスタノード 5 1 a に対する受信完了フレームであることを示す情報 (対象ノード情報) が含まれている。
- [0150] 送信された受信完了フレーム 8 2 b は、通信路 5 2 を介してマスタノード 5 1 a 及びスレーブノード 5 1 c で受信される。次に、マスタノード 5 1 a 及びスレーブノード 5 1 c は、受信完了フレーム 8 2 b に含まれている上述した対象ノード情報を確認する。上述したように、受信完了フレーム 8 2 b は、マスタノード 5 1 a に対するフレームである。そのため、マスタノード 5 1 a は、マスタノード同期基準にしたがって送信した伝送遅延時間リクエストフレーム 8 1 b の送信から、その受信完了フレーム 8 2 b を受信するまでの時間情報に基づいて、スレーブノード 5 1 b に対する伝送遅延時間を設定する。なお、ここで、設定される伝送遅延時間は、通信路 5 2 を介してマスタノード 5 1 a とスレーブノード 5 1 b 間を所定の信号が往復する往復伝送遅延時間でもよく、片道分の伝送遅延時間でもよい。
- [0151] また、マスタノード 5 1 a は、設定した伝送遅延時間をスレーブノード 5 1 b に通知するための伝送遅延時間通知フレーム 8 3 b (SET b) を作成

し、作成した伝送遅延時間通知フレーム 8 3 b をマスタノード同期基準にしたがってブロードキャスト送信する。なお、伝送遅延時間通知フレーム 8 3 b には、上述した対象ノード情報が含まれている。

[0152] ブロードキャスト送信された伝送遅延時間通知フレーム 8 3 b は、上述した伝送遅延時間リクエストフレーム 8 1 b と同様に通信路 5 2 を介して所定の伝送遅延時間後に各スレーブノード 5 1 b, 5 1 c で受信される。

[0153] このとき、スレーブノード 5 1 b は、受信した伝送遅延時間通知フレーム 8 3 b の対象ノード情報から自ノードに対する情報であると判断し、フレーム内に含まれる伝送遅延時間と、上述したオーバーヘッド時間等を含めた第 2 実施形態における同期補正処理を行う。また、スレーブノード 5 1 b は、伝送遅延時間通知フレーム 8 3 b に対する応答フレーム 8 4 b (ANS b) を作成し、作成した応答フレーム 8 4 b をブロードキャスト送信する。このとき、応答フレーム 8 4 b には、マスタノード 5 1 a に対するフレームであることを示す情報 (対象ノード情報) 及び同期補正処理が完了したことを示す情報等が含まれている。

[0154] 送信された応答フレーム 8 4 b は、上述した受信完了フレーム 8 2 b と同様に、通信路 5 2 を介してマスタノード 5 1 a 及びスレーブノード 5 1 c で受信される。次に、マスタノード 5 1 a 及びスレーブノード 5 1 c は、応答フレーム 8 4 b に含まれている上述した対象ノード情報を確認する。上述したように、応答フレーム 8 4 b は、マスタノード 5 1 a に対するフレームである。そのため、マスタノード 5 1 a は、スレーブノード 5 1 b からの応答フレーム 8 4 b により、同期補正処理が完了したことを把握することができる。なお、スレーブノード 5 1 c は、伝送遅延時間リクエストフレーム 8 1 b (REQ b) と、受信完了フレーム 8 2 b (REC b) と、伝送遅延時間通知フレーム 8 3 b (SET b) と、応答フレーム 8 4 b (ANS b) とを受信しているが、何れも自ノードに対するフレームではないため、受信したフレームは破棄される。

[0155] 上述した内容までが、スレーブノード 5 1 b への伝送遅延時間通知手順で

ある。したがって、マスタノード51aは、同様にスレーブノード51cに対して伝送遅延時間の通知を行う。

[0156] 具体的には、図11の例において、マスタノード51aは、スレーブノード51cに対する伝送遅延時間リクエストフレーム81c (REQc) をマスタノード同期基準にしたがって通信路52上にブロードキャスト送信する。ブロードキャスト送信された伝送遅延時間リクエストフレーム81cは、上述したように通信路52を介して所定の伝送遅延時間(D1, D2)で各スレーブノード51b, 51cにて受信される。

[0157] 伝送遅延時間リクエストフレーム81cは、スレーブノード51cに対するリクエストであるため、スレーブノード51cのみがマスタノード51aに対して受信完了フレーム82c (RECc) をブロードキャスト送信する。送信された受信完了フレーム82cは、通信路52を介してマスタノード51a及びスレーブノード51cで受信される。受信完了フレーム82cは、マスタノード51aに対するフレームである。そのため、マスタノード51aは、マスタノード同期基準にしたがって送信した伝送遅延時間リクエストフレーム81cの送信から、その受信完了フレーム82cを受信するまでの時間情報に基づいて、スレーブノード51cに対する伝送遅延時間を設定する。なお、ここで、設定される伝送遅延時間は、通信路52を介してマスタノード51aとスレーブノード51c間を所定の信号が往復する往復伝送遅延時間でもよく、片道分の伝送遅延時間でもよい。

[0158] また、マスタノード51aは、設定した伝送遅延時間をスレーブノード51cに通知するための伝送遅延時間通知フレーム83c (SETc) を作成し、作成した伝送遅延時間通知フレーム83cをマスタノード同期基準にしたがってブロードキャスト送信する。ブロードキャスト送信された伝送遅延時間通知フレーム83cは、上述した伝送遅延時間リクエストフレーム81cと同様に通信路52を介して所定の伝送遅延時間(D1, D2)で各スレーブノード51b, 51cにて受信される。

[0159] このとき、スレーブノード51cは、上述したように、受信した伝送遅延

時間通知フレーム 83 c の対象ノード情報から自ノードに対する情報であると判断し、フレーム内に含まれる伝送遅延時間と、上述したオーバーヘッド時間等とを含めた第 2 実施形態における同期補正処理を行う。また、スレーブノード 51 c は、伝送遅延時間通知フレーム 83 c に対する応答フレーム 84 c (ANS c) を作成し、作成した応答フレーム 84 c をブロードキャスト送信する。このとき、応答フレーム 84 c には、マスタノード 51 a に対するフレームであることを示す情報 (対象ノード情報) 及び同期補正処理が完了したことを示す情報等が含まれている。

[0160] 送信された応答フレーム 84 c は、上述した受信完了フレーム 82 c と同様に、通信路 52 を介してマスタノード 51 a 及びスレーブノード 51 c で受信される。次に、マスタノード 51 a 及びスレーブノード 51 b は、応答フレーム 84 c に含まれている上述した対象ノード情報を確認する。上述したように、応答フレーム 84 c は、マスタノード 51 a に対するフレームである。そのため、マスタノード 51 a は、スレーブノード 51 c からの応答フレーム 84 c により、同期補正処理が完了したことを把握することができる。なお、スレーブノード 51 b は、伝送遅延時間リクエストフレーム 81 c (REQ c) と、受信完了フレーム 82 c (REC c) と、伝送遅延時間通知フレーム 83 c (SET c) と、応答フレーム 84 c (ANS c) とを受信しているが、何れも自ノードに対するフレームではないため、受信したフレームは破棄される。

[0161] 第 2 実施形態では、上述した処理を通信路 52 の各スレーブノード 51 b, 51 c に対して順次実施することで、伝送遅延時間を通知することができる。

[0162] なお、伝送遅延時間の通知手順については、上述した手順に限定されるものでない。例えば、伝送遅延時間リクエストフレーム 81 をブロードキャスト送信し、これを受信したスレーブノード 51 b, 51 c が応答フレーム 84 の送信によって、通信路 52 上やマスタノード 51 a 上で輻輳しないように、例えば上述した各ノード内部にセンドカウンタを設け、そのセンドカウ

ンタを使って異なるタイミングで応答フレーム 84 を送信するように制御してもよい。

[0163] 上述した第2実施形態では、例えばイーサネット（登録商標）のようなスター型トポロジを持つシステムにおいて、時分割多重伝送方式を用いたコンモンメモリネットワークに対し、各ノードのカウンタを同期化し、装置全体で制御のタイミングを合わせる同期制御ができる。また、第2実施形態において、同期させるカウンタは、マイコン内部のカウンタを用いたり、FPGA等のハードウェアにてカウンタを用いて構成することができる。したがって、第2実施形態では、例えば送受信されるフレームの受信タイミングでマスタノード 51a と同期しているカウンタと、マイコンでの処理時間を計測するカウンタとを、例えばFPGA等のハードウェアで構成し、その計数値をマイコンで演算することで、処理誤差を補正することができる。

[0164] ここで、上述の例では、ノード同期システム 50 の一例として、マスタスレーブ間のノード同期について説明したが、本実施形態においては、これに限定されるものではなく、例えば保護リレー等におけるサンプリング同期技術にも応用することができる。

[0165] （ネットワーク伝送システム：概略構成例）

ここで、上述した第2実施形態では、例えば各ノード間を、IEEE 802.3u（100BASE-TX）やIEEE 802.3ab（1000BASE-T）等のようなHUB（ハブ）等の中継装置を介して接続される場合がある。図12は、第2実施形態におけるマスタノード 51a 及びスレーブノード 51b, 51c を用いたノード同期システム 50 を含むネットワーク伝送システムの概略構成の一例を示す図である。図12に示すネットワーク伝送システム 90 は、一例として、上述した複数のノード 51（図12の例では、ノード 51a ~ 51c）と、1又は複数の中継装置としてのHUB 91（図12の例では、HUB 91a ~ 91e）とを有する。なお、ノードや中継装置の数や種類、接続方法についてはこれに限定されるものではない。

[0166] 図12の例では、図7のマスタノード、すなわちノード51aをノードA（マスタ局）とし、図7のスレーブノード、すなわちノード51b、ノード51cをノードB、ノードC（スレーブ局）とする。また、図12に示すように、ネットワーク伝送システム90の通信路は、例えばマスタノード51aとスレーブノード51bとの間に中継装置を有するスター型である。なお、中継装置は、一例としてHUBを用いているが、本実施形態においてはこれに限定されるものではなく、例えばルータ、リピータ、光コンバータ等を用いることもできる。

[0167] また、マスタノード51a及びスレーブノード51b、51cは、例えばプログラマブルコントローラ（制御装置、もしくはPLC（Programmable Logic Controller）ともいう）であり、ネットワーク伝送システム90の通信路はこれらプログラマブルコントローラ同士のデータを交換するデータ交換バスである。このデータ交換バスに接続される機器としては、例えば上述のプログラマブルコントローラに加え、PC、サーバ、I/Oモジュール、ドライブ装置（例えば、インバータ、サーボ等）等がある。

[0168] 図12に示すネットワーク伝送システム90は、ノード51a及びノード51cが同一のHUB91aに接続されており、ノード51bは、5段のHUB（中継装置）を経由してノード51a及びノード51cと接続されている。

[0169] ここで、一般的なイーサネットのHUBでは、ストア&フォワードといわれるインタフェース方式が採用されている。この場合、送られてきたフレームは、全てをHUB内の受信バッファに蓄え、HUB内部処理（例えば、異常判定や宛先判定等）を行ってから送信される。

[0170] （ノード同期方法のシーケンス例）

図13は、ノード同期方法の概略的なシーケンス例を示す図である。図13の例では、説明の便宜上、マスタノード51aとスレーブノード51bとを用いた同期について説明するが、本実施形態においてはこれに限定される

ものではなく、１つのマスタノードに対して複数のスレーブノードを同期させることができる。

[0171] 図１３のノード同期処理において、まず、マスタノード５１ａの第１基準信号生成部６１は、第１基準信号を生成し（Ｓ１１）、スレーブノード５１ｂの第２基準信号生成部７１は、第２基準信号を生成する（Ｓ１２）。また、この処理は、ハードウェア的にサイクリックに動作されている。

[0172] また、マスタノード５１ａの間隔計数部６４は、補正処理間隔を計数し、計数値が補正処理間隔値に達すると、補正処理開始信号を生成して同期補正処理を開始する（Ｓ１３）。

[0173] 間隔計数部６４の計数値が補正処理間隔値に達すると、マスタノード５１ａにおける同期補正処理が開始され（Ｓ１３）、マスタノード５１ａの伝送遅延時間通知部６５は、伝送遅延時間を算出するために伝送遅延時間リクエストフレームを送信する（Ｓ１４）。なお、伝送遅延時間リクエストフレームは、同期化フレームに含まれる所定部分のデータを変えただけのものであり、同期化フレームと言い換えることができるが、ここでは便宜上、「伝送遅延時間リクエストフレーム」として説明している。

[0174] スレーブノード５１ｂの受信完了通知部７９は、伝送遅延時間リクエストフレームを受信すると、受信完了通知を生成し、マスタノード５１ａに通知する（Ｓ１５）。

[0175] マスタノード５１ａの伝送遅延時間通知部６５は、受信完了通知を受信すると、例えば往復伝送遅延時間を算出し（Ｓ１６）、算出した往復伝送遅延時間等を含む伝送遅延時間通知フレームを生成し（Ｓ１７）、生成した伝送遅延時間通知フレームを、通信路５２を介してスレーブノード５１ｂに送信する（Ｓ１８）。

[0176] スレーブノード５１ｂのフレーム受信部８０は、伝送遅延時間通知フレームを受信すると、そのフレームに含まれる往復伝送遅延時間（値）をメモリ４５等に退避する（Ｓ１９）。そして、マスタノード５１ａの同期化フレーム通知部６６は、第１基準信号に同期させて、同期化フレームを割り込み信

号としてスレーブノード51bに送信する(S20)。スレーブノード51bが同期化フレームを受信すると(S21)、ソフトウェアによる同期補正処理を起動させる(S22)と共に、オーバーヘッド計数部74をリスタートする(S23)。そして、計数値取得部75は、第2基準信号生成部71とオーバーヘッド計数部74との両計数値を取得し(S24)、同期判定部76は、かかる両計数値に基づいて同期判定を行い(S25)、非同期であると判定されれば、総合遅延時間を算出する(S26)。総合遅延時間とは、例えば伝送遅延時間とオーバーヘッド値とを加算した値であるが、これに限定されるものではない。また、スレーブノード51bの同期補正部77は、算出された総合遅延時間を用いて同期補正を行う(S27)。なお、図13に示す処理では、スレーブノード51bは、同期補正が完了したことを示す応答フレームをマスタノード51aに送信してもよい。また、マスタノード51aは、通信路52に接続されたスレーブノード51b以外のスレーブノードに対しても上述した手順でノード同期処理を行う。

[0177] ここで、本実施形態では、コンピュータを、上述したノード51が有する各手段として機能させるためのプログラム(ノード同期プログラム)を生成し、生成したプログラムを、コンピュータ等にインストールすることにより、上述した各ノード同期処理を実現することができる。

[0178] 上述したように、本実施形態によれば、処理負荷を抑制しつつ、所定の信号を高精度に同期させることができる。これにより、例えば、各ノード51のデータ交換周期の安定化を実現することができる。また、本実施形態によれば、例えばイーサネットのようなスター型トポロジを持つシステムにおいて、時分割多重伝送方式を用いた共有メモリネットワークに対し、各ノード51のタイマを同期化し、伝送の効率化とデータ交換の効率化、データ交換周期の安定化等を実現することができる。

[0179] なお、本実施形態は、例えば鉄鋼プラント等のような大規模設備等における一連の動作を複数の操作を用いて行う場合の同期手法に適用することができ、更にギガビットイーサネット全般における各装置間の同期方式としても

広く適用することができる。

[0180] 以上、添付図面を参照しながら本発明の好適な実施形態について説明したが、本発明はかかる実施形態に限定されないことは言うまでもない。当業者であれば、特許請求の範囲に記載された範疇において、各種の変更例または修正例に想到し得ることは明らかであり、それらについても当然に本発明の技術的範囲に属するものと了解される。

[0181] なお、本明細書の信号同期方法、及び、ノード同期方法の各工程は、必ずしもシーケンス図として記載された順序に沿って時系列に処理する必要はなく、並列的あるいはサブルーチンによる処理を含んでもよい。

産業上の利用可能性

[0182] 本発明は、所定の信号を同期させるための信号同期システム、ノード同期システム、信号同期方法、及び、ノード同期方法に利用することができる。

符号の説明

- [0183]
- 1 0 信号同期システム
 - 1 1 プロセッサモジュール
 - 1 2 伝送バス
 - 1 3, 5 3 I/O（入出力）モジュール
 - 1 4, 5 4 外部機器
 - 1 5, 5 5 プログラミング装置
 - 2 1, 6 1 第1基準信号生成部
 - 2 2, 6 2 第1演算部
 - 2 3, 3 8, 6 3, 7 8 記憶部
 - 3 1, 7 1 第2基準信号生成部
 - 3 2, 7 2 第2演算部
 - 3 4, 7 4 オーバーヘッド計数部
 - 3 5, 7 5 計数値取得部
 - 3 6, 7 6 同期判定部
 - 3 7, 7 7 同期補正部

- 4 1 入力部
- 4 2 出力部
- 4 3 C P U
- 4 4 F P G A
- 4 5 メモリ
- 4 6 外部インタフェース
- 5 0 ノード同期システム
- 5 1 ノード
- 5 2 通信路
- 6 5 伝送遅延時間通知部
- 6 6 同期化フレーム通知部
- 7 9 受信完了通知部
- 8 0 フレーム受信部
- 8 1 伝送遅延時間リクエストフレーム
- 8 2 受信完了フレーム
- 8 3 伝送遅延時間通知フレーム
- 8 4 応答フレーム
- 9 0 ネットワーク伝送システム
- 9 1 H U B (中継装置)

請求の範囲

- [請求項1] 第1基準信号に従って動作する主モジュールと、第2基準信号に従って動作する従モジュールとを含み、該第1基準信号に該第2基準信号を同期させる信号同期システムであって、
- 前記主モジュールは、
- 計数を行い、予め設定された基準値に計数値が達することで前記第1基準信号を生成する第1基準信号生成部を備え、
- 前記従モジュールは、
- 計数を行い、前記基準値に計数値が達することで前記第2基準信号を生成する第2基準信号生成部と、
- 同期補正処理を行う間隔を計数する間隔計数部と、
- 前記間隔計数部において前記同期補正処理を行う補正処理間隔値に計数値が達した後、前記第1基準信号を受信してリスタートし、計数を行うオーバーヘッド計数部と、
- 前記間隔計数部において前記補正処理間隔値に計数値が達した後、前記第1基準信号の受信に応じて前記第2基準信号生成部の計数値及び前記オーバーヘッド計数部の計数値を取得する計数値取得部と、
- 前記第2基準信号生成部の計数値と前記オーバーヘッド計数部の計数値との差分を相殺する値を、前記第2基準信号生成部に一時的に基準値として設定する同期補正部と、
- を備えることを特徴とする信号同期システム。
- [請求項2] 前記従モジュールは、該従モジュールにおける演算を実行するプロセッサを含み、
- 前記第2基準信号生成部は、前記プロセッサのみがアクセスできるカウンタであることを特徴とする請求項1に記載の信号同期システム。
- [請求項3] 前記従モジュールに含まれるプロセッサは、前記計数値取得部、前記同期補正部として機能することを特徴とする請求項2に記載の信号

同期システム。

[請求項4]

前記従モジュールは、

前記計数値取得部によって取得された、前記第2基準信号生成部の計数値と前記オーバーヘッド計数部の計数値とが異なるとき前記第1基準信号と前記第2基準信号とが非同期であると判定する同期判定部をさらに備え、

前記同期補正部は、前記同期判定部に非同期であると判定された場合にのみ、前記差分を相殺する値を、前記第2基準信号生成部に一時的に基準値として設定することを特徴とする請求項1から3のいずれか1項に記載の信号同期システム。

[請求項5]

前記同期判定部は、前記計数値取得部によって取得された前記第2基準信号生成部の計数値と前記オーバーヘッド計数部の計数値とを時間換算し、双方の時間が異なるとき非同期であると判定することを特徴とする請求項4に記載の信号同期システム。

[請求項6]

前記第1基準信号生成部は、前記第1基準信号を周期的に生成し、
前記第2基準信号生成部は、前記第2基準信号を周期的に生成することを特徴とする請求項1から5のいずれか1項に記載の信号同期システム。

[請求項7]

前記基準値は、外部接続される設定装置から設定できることを特徴とする請求項1から6のいずれか1項に記載の信号同期システム。

[請求項8]

第1基準信号に従って動作するマスタノードと、第2基準信号に従って動作するスレーブノードとを含み、該第1基準信号に該第2基準信号を同期させるノード同期システムであって、

前記マスタノードは、

計数を行い、予め設定された基準値に計数値が達することで前記第1基準信号を生成する第1基準信号生成部と、

同期補正処理を行う間隔を計数する間隔計数部と、

前記間隔計数部において前記同期補正処理を行う補正処理間隔値に

計数値が達した後、前記マスタノードと前記スレーブノードとを接続する通信路における伝送遅延時間を算出して前記スレーブノードに通知する伝送遅延時間通知部と、

前記通信路を介して前記第1基準信号に同期した同期化フレームを前記スレーブノードに送信する同期化フレーム通知部と、
を備え、

前記スレーブノードは、

計数を行い、前記基準値に計数値が達することで前記第2基準信号を生成する第2基準信号生成部と、

前記同期化フレームを受信してリスタートし、計数を行うオーバーヘッド計数部と、

前記同期化フレームの受信に応じて前記第2基準信号生成部の計数値及び前記オーバーヘッド計数部の計数値を取得する計数値取得部と、

前記第2基準信号生成部の計数値と、前記オーバーヘッド計数部の計数値と前記伝送遅延時間を示す値との和である総合遅延時間値との差分を相殺する値を、前記第2基準信号生成部に一時的に基準値として設定する同期補正部と、

を備えることを特徴とするノード同期システム。

[請求項9] 前記伝送遅延時間通知部は、伝送遅延時間リクエストフレームを前記スレーブノードに送信し、前記伝送遅延時間リクエストフレームに対する前記スレーブノードからの受信完了フレームを受信し、該受信時の時刻と前記伝送遅延時間リクエストフレームを送信したときの時刻との差分から、前記伝送遅延時間を算出することを特徴とする請求項8に記載のノード同期システム。

[請求項10] 前記通信路は、前記マスタノードと前記スレーブノードとの間に中継装置を有するスター型であることを特徴とする請求項8または9に記載のノード同期システム。

- [請求項11] 前記スレーブノードは、該スレーブノードにおける演算を実行するプロセッサを含み、
- 前記第2基準信号生成部は、前記プロセッサのみがアクセスできるカウンタであることを特徴とする請求項8から10のいずれか1項に記載のノード同期システム。
- [請求項12] 前記スレーブノードに含まれるプロセッサは、前記計数値取得部、前記同期補正部として機能することを特徴とする請求項11に記載のノード同期システム。
- [請求項13] 前記スレーブノードは、
- 前記計数値取得部によって取得された、前記第2基準信号生成部の計数値と前記総合遅延時間とが異なるとき前記第1基準信号と前記第2基準信号とが非同期であると判定する同期判定部をさらに備え、
- 前記同期補正部は、前記同期判定部に非同期であると判定された場合にのみ、前記差分を相殺する値を、前記第2基準信号生成部に一時的に基準値として設定することを特徴とする請求項8から12のいずれか1項に記載のノード同期システム。
- [請求項14] 前記同期判定部は、前記計数値取得部によって取得された前記第2基準信号生成部の計数値と前記オーバーヘッド計数部の計数値とを時間換算し、双方の時間が異なるとき非同期であると判定することを特徴とする請求項13に記載のノード同期システム。
- [請求項15] 前記第1基準信号生成部は、前記第1基準信号を周期的に生成し、
- 前記第2基準信号生成部は、前記第2基準信号を周期的に生成することを特徴とする請求項8から14のいずれか1項に記載のノード同期システム。
- [請求項16] 前記基準値は、外部接続される設定装置から設定できることを特徴とする請求項8から15のいずれか1項に記載のノード同期システム。
- [請求項17] 第1基準信号に従って動作する主モジュールと、第2基準信号に従

って動作する従モジュールとによって、該第1基準信号に該第2基準信号を同期させる信号同期方法であって、

前記主モジュールは、

計数を行い、予め設定された基準値に計数値が達することで前記第1基準信号を生成し、

前記従モジュールは、

計数を行い、前記基準値に計数値が達することで前記第2基準信号を生成し、

同期補正処理を行う間隔を計数し、

前記同期補正処理を行う補正処理間隔値に計数値が達した後、前記第1基準信号を受信してリスタートし、計数を行い、

前記同期補正処理を行う間隔を示す計数値が前記補正処理間隔値に達した後、前記第2基準信号を生成するための計数値及び前記第1基準信号を受信してリスタートした計数値を取得し、

前記第2基準信号を生成するための計数値と前記第1基準信号を受信してリスタートした計数値との差分を相殺する値を、前記第2基準信号を生成するための計数に一時的に基準値として設定することを特徴とする信号同期方法。

[請求項18]

第1基準信号に従って動作するマスタノードと、第2基準信号に従って動作するスレーブノードとによって、該第1基準信号に該第2基準信号を同期させるノード同期方法であって、

前記マスタノードは、

計数を行い、予め設定された基準値に計数値が達することで前記第1基準信号を生成し、

同期補正処理を行う間隔を計数し、

前記同期補正処理を行う間隔の計数値が補正処理間隔値に達した後、前記マスタノードと前記スレーブノードとを接続する通信路における伝送遅延時間を算出して前記スレーブノードに通知し、

前記通信路を介して前記第 1 基準信号に同期した同期化フレームをスレーブノードに送信し、

前記スレーブノードは、

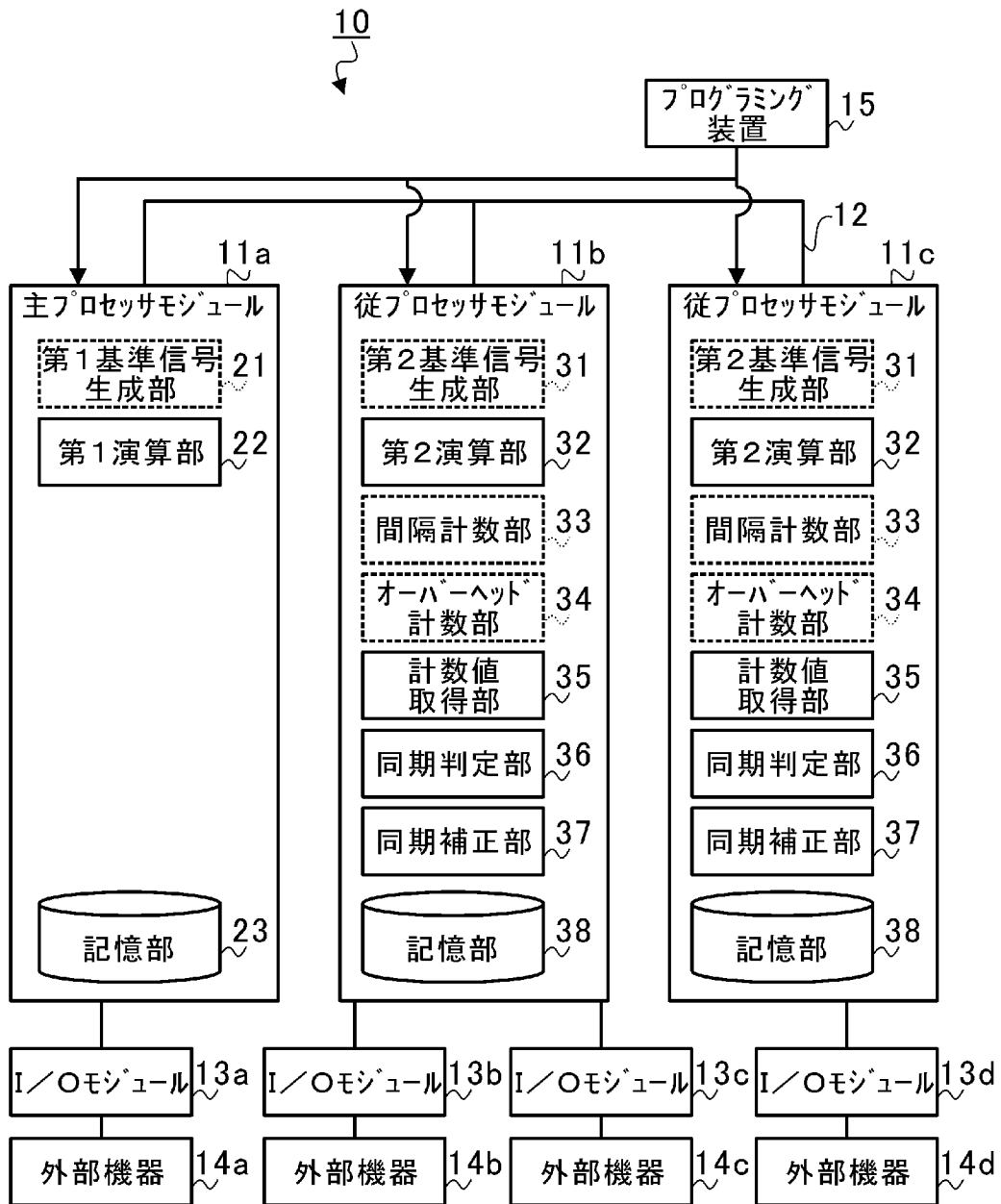
計数を行い、前記基準値に計数値が達することで前記第 2 基準信号を生成し、

前記同期化フレームを受信してリスタートし、計数を行い、

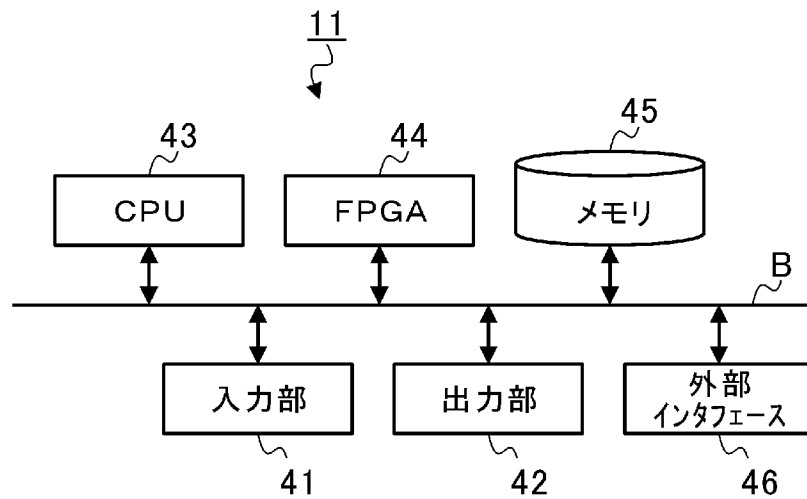
前記同期化フレームの受信に応じて前記第 2 基準信号を生成するための計数値及び前記同期化フレームを受信してリスタートした計数値を取得し、

前記第 2 基準信号を生成するための計数値と、前記同期化フレームを受信してリスタートした計数値と前記伝送遅延時間を示す値との和である総合遅延時間値との差分を相殺する値を、前記第 2 基準信号を生成するための計数に一時的に基準値として設定することを特徴とするノード同期方法。

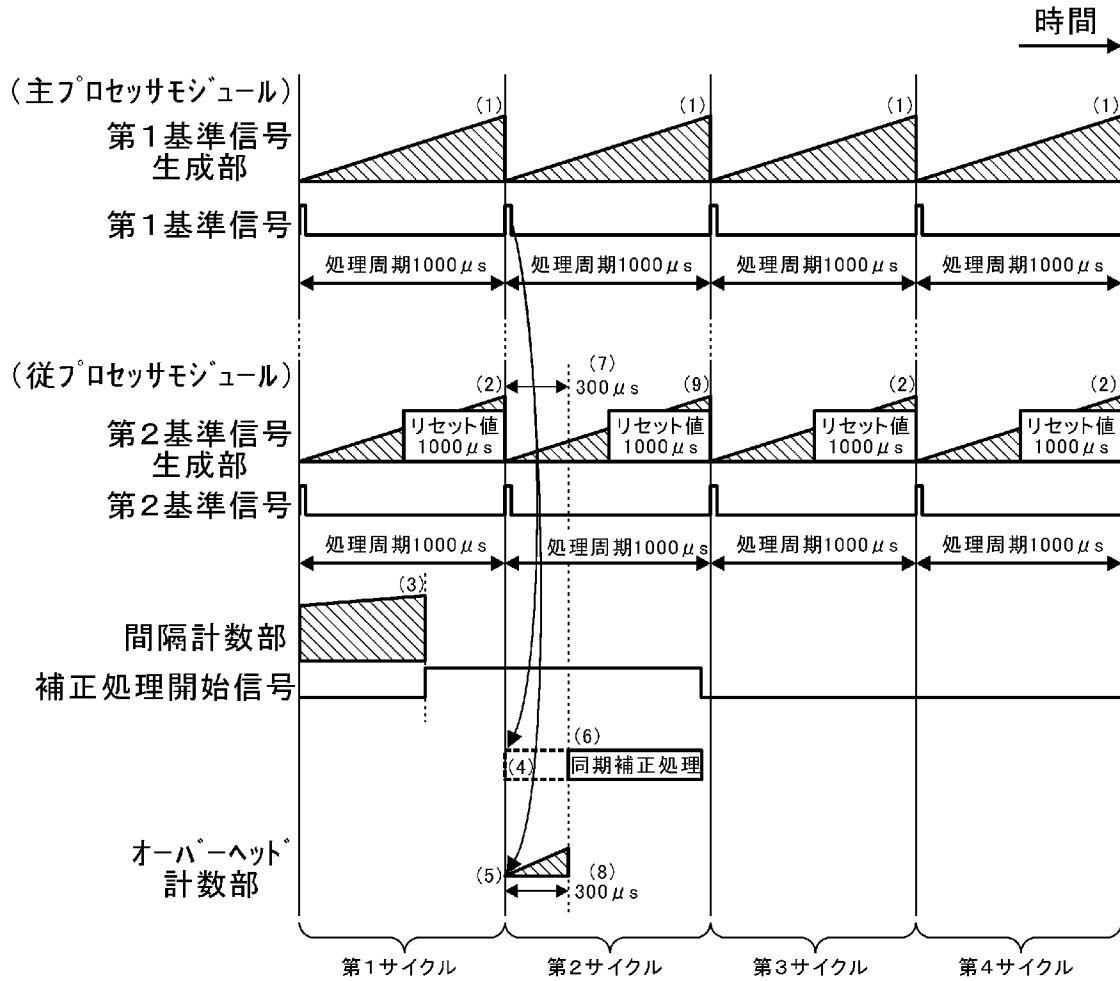
[図1]



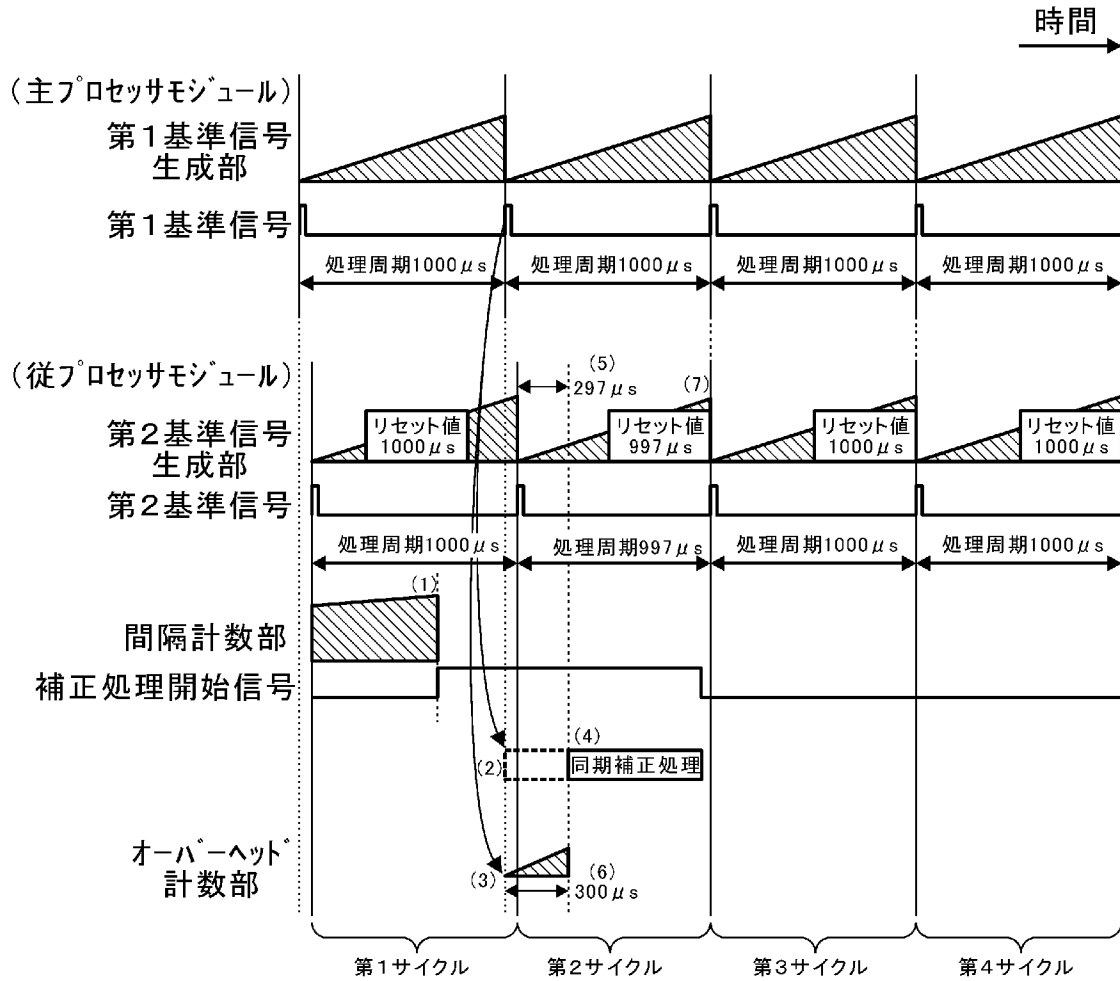
[図2]



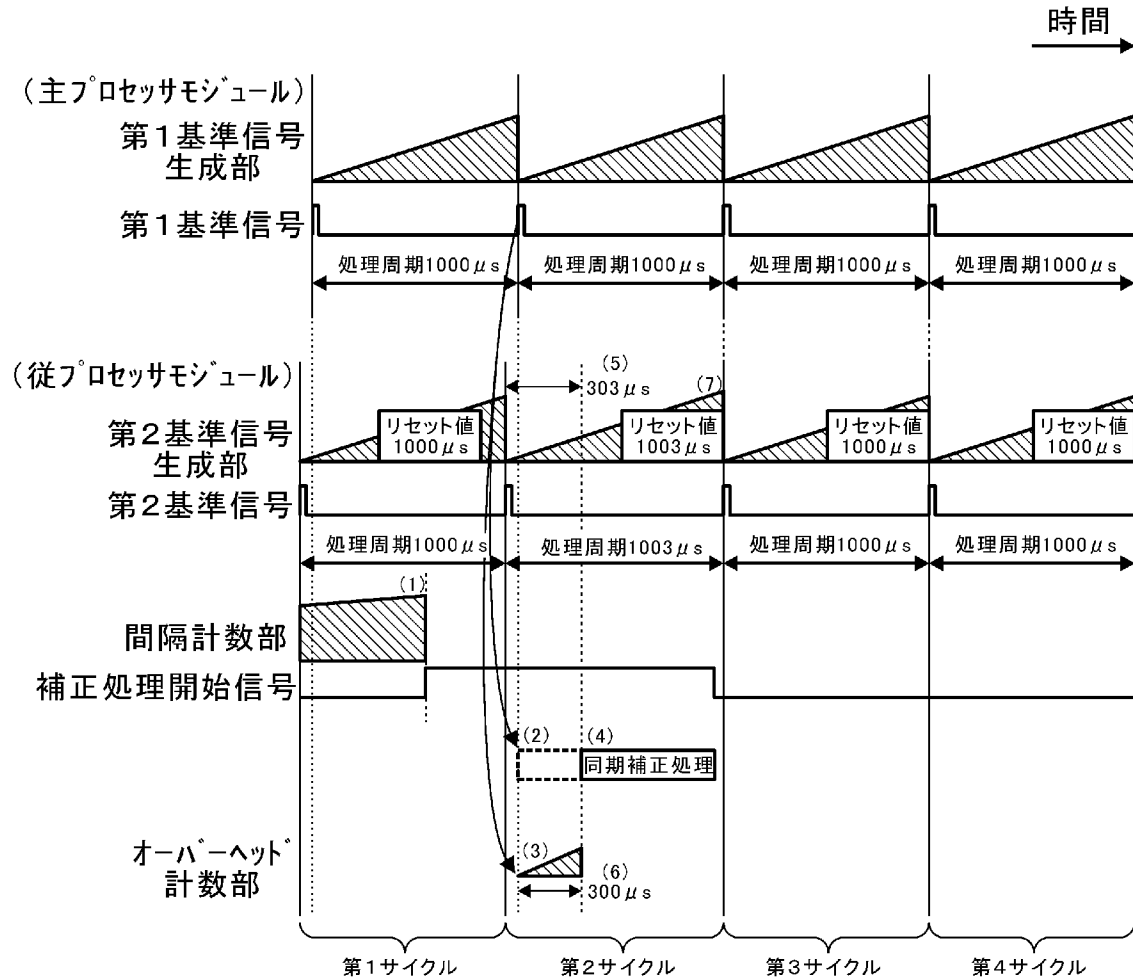
[図3]



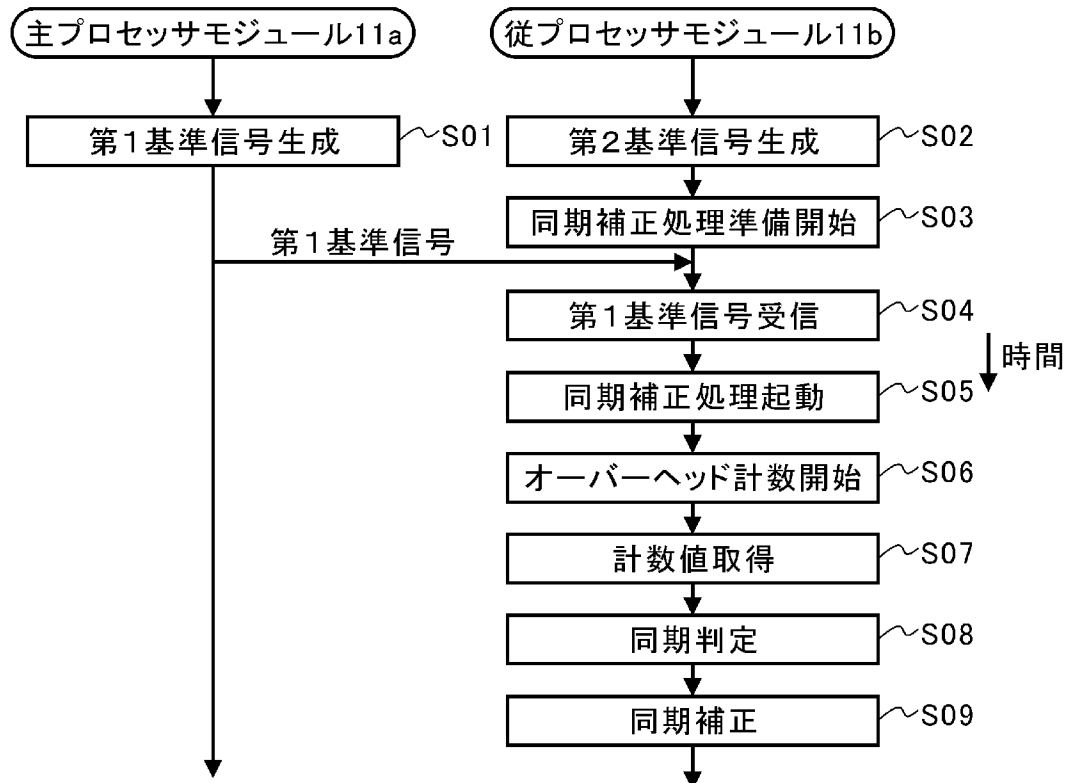
[図4]



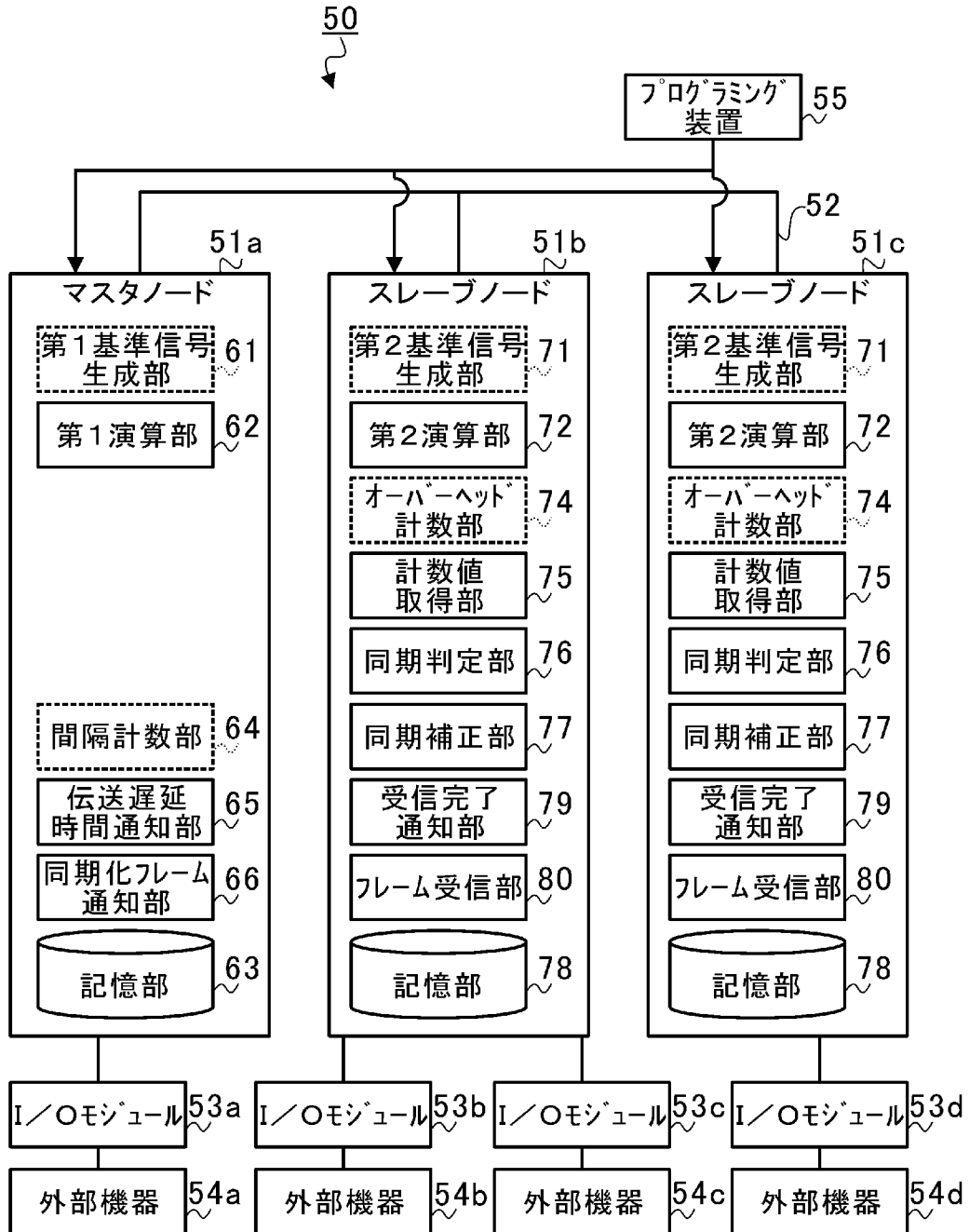
[図5]



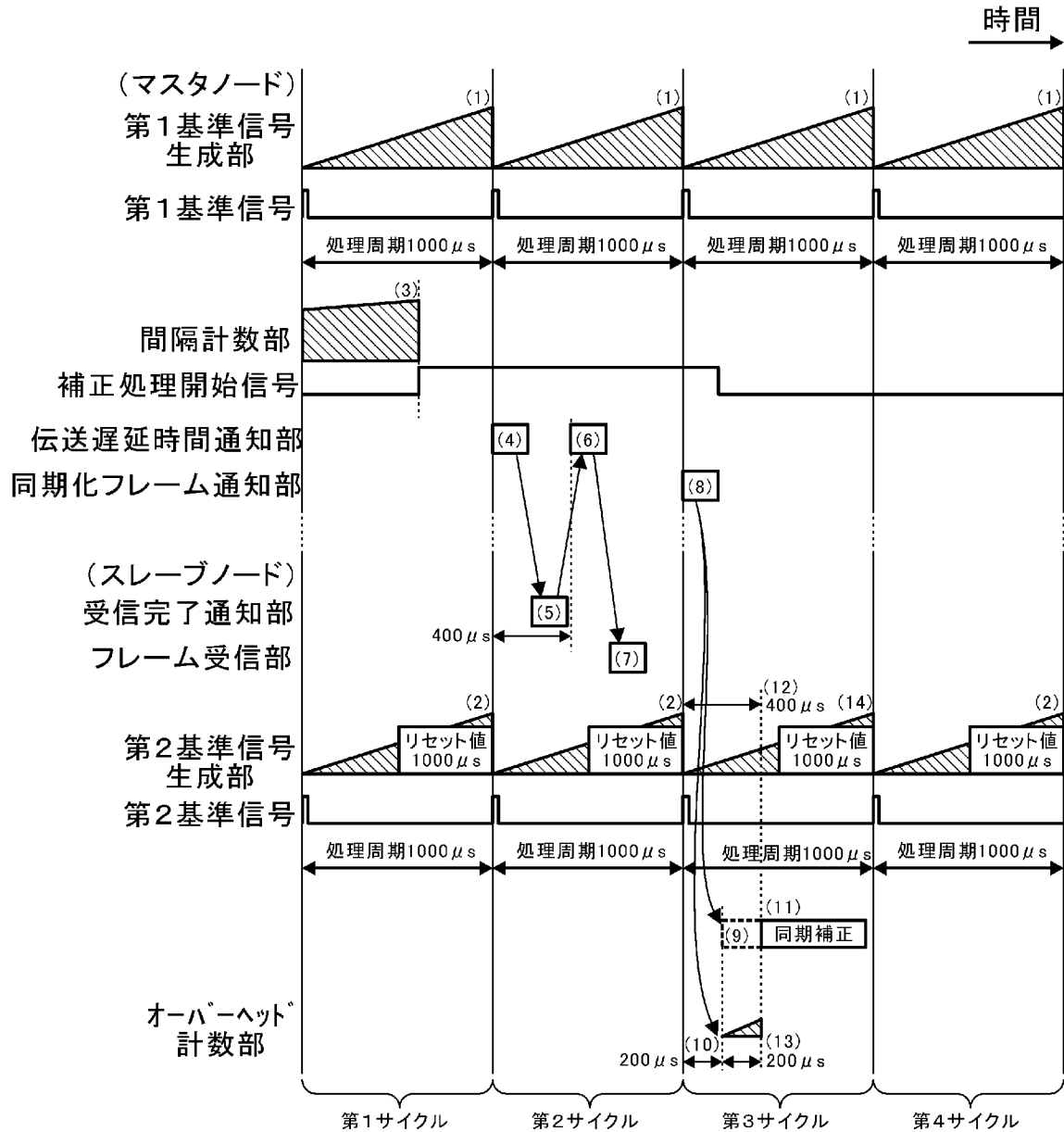
[図6]



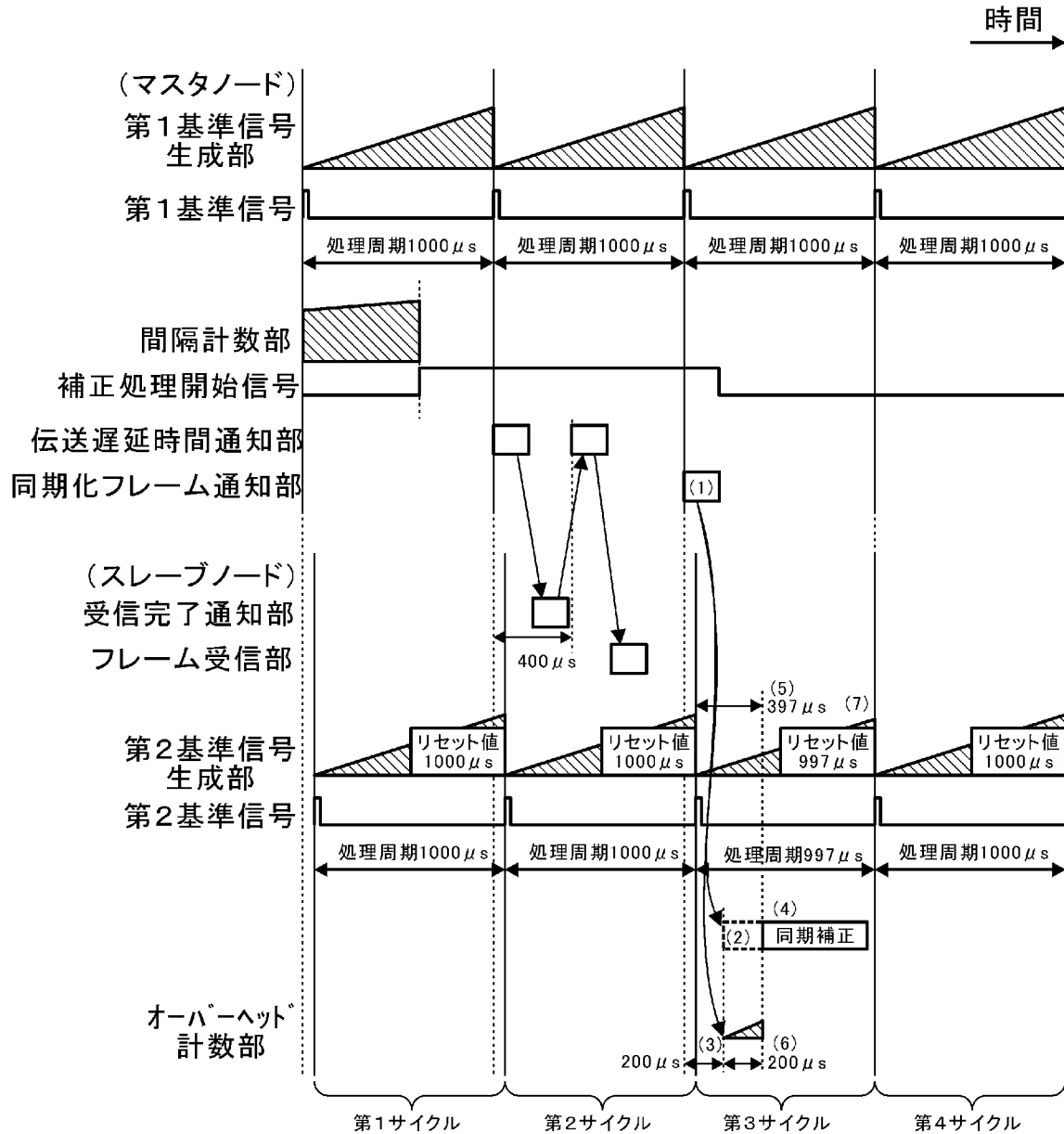
[図7]



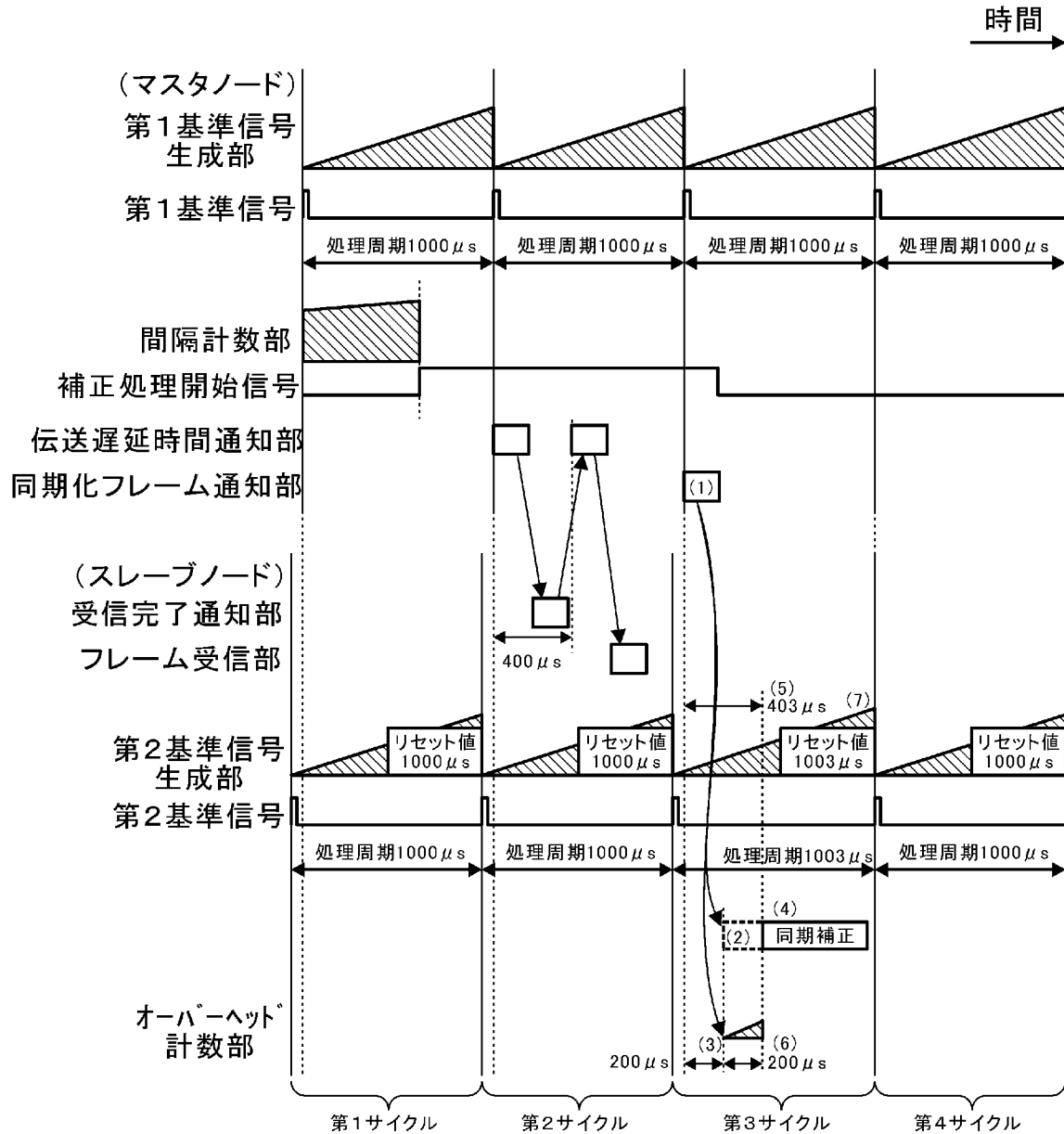
[図8]



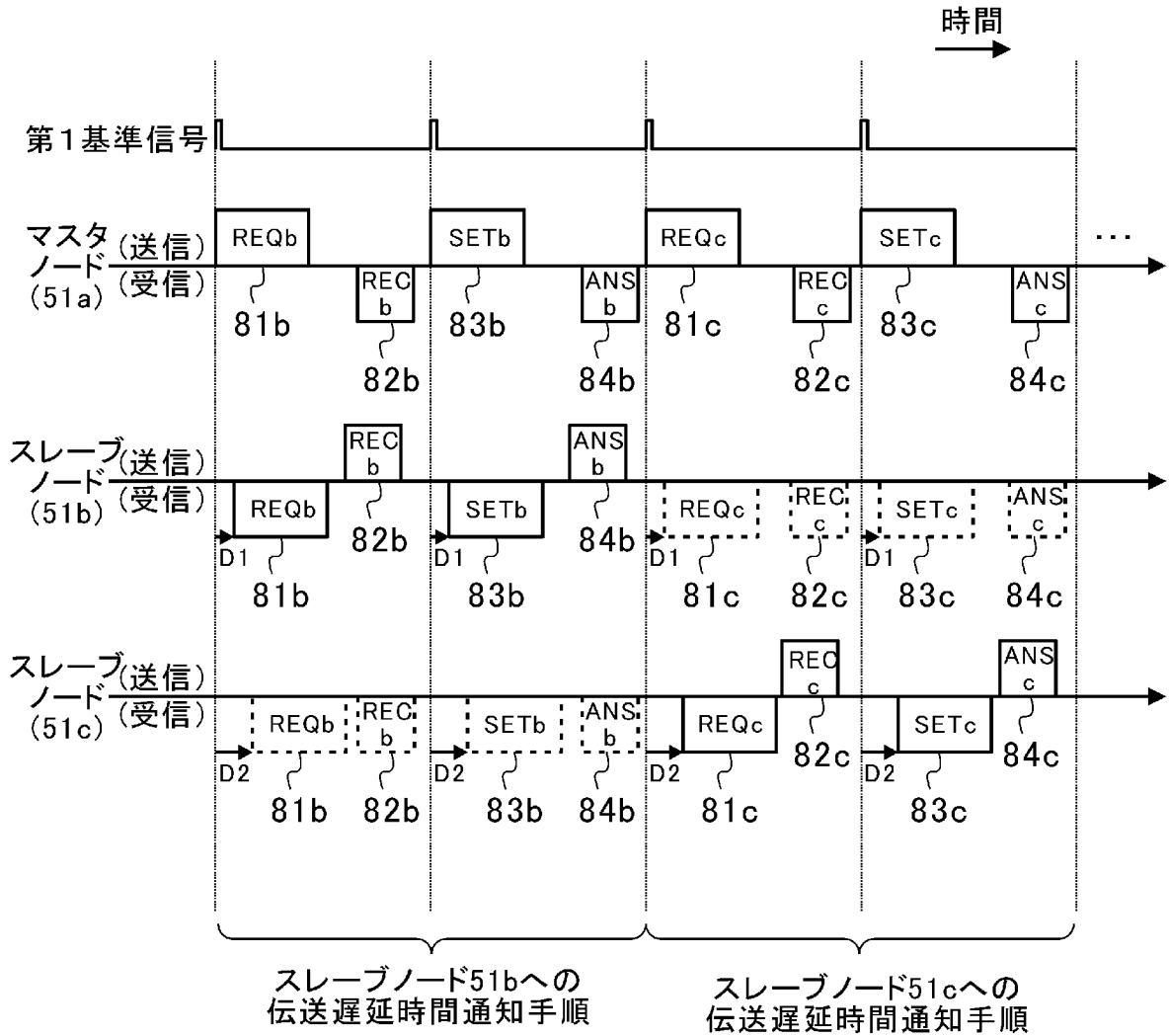
[図9]



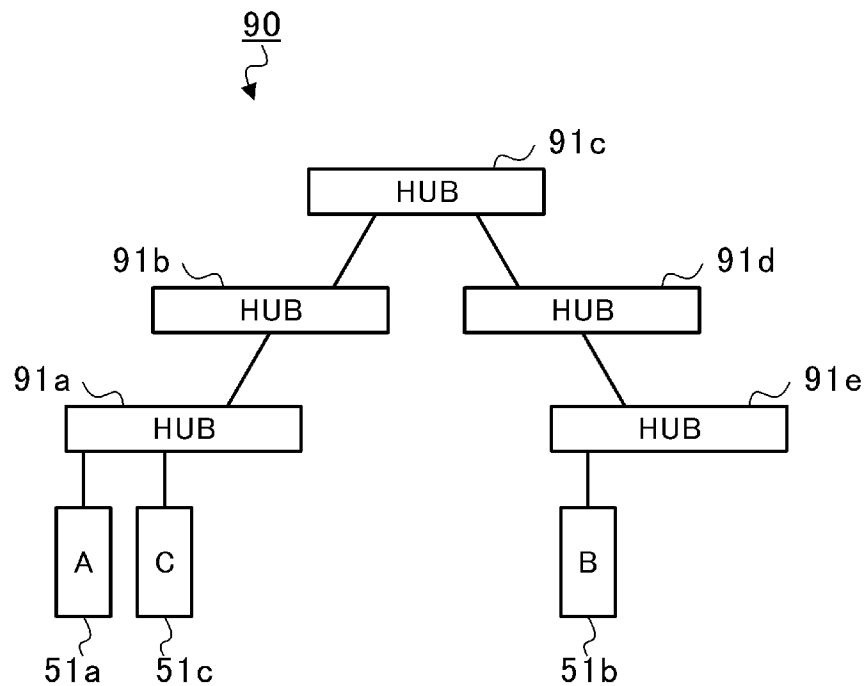
[図10]



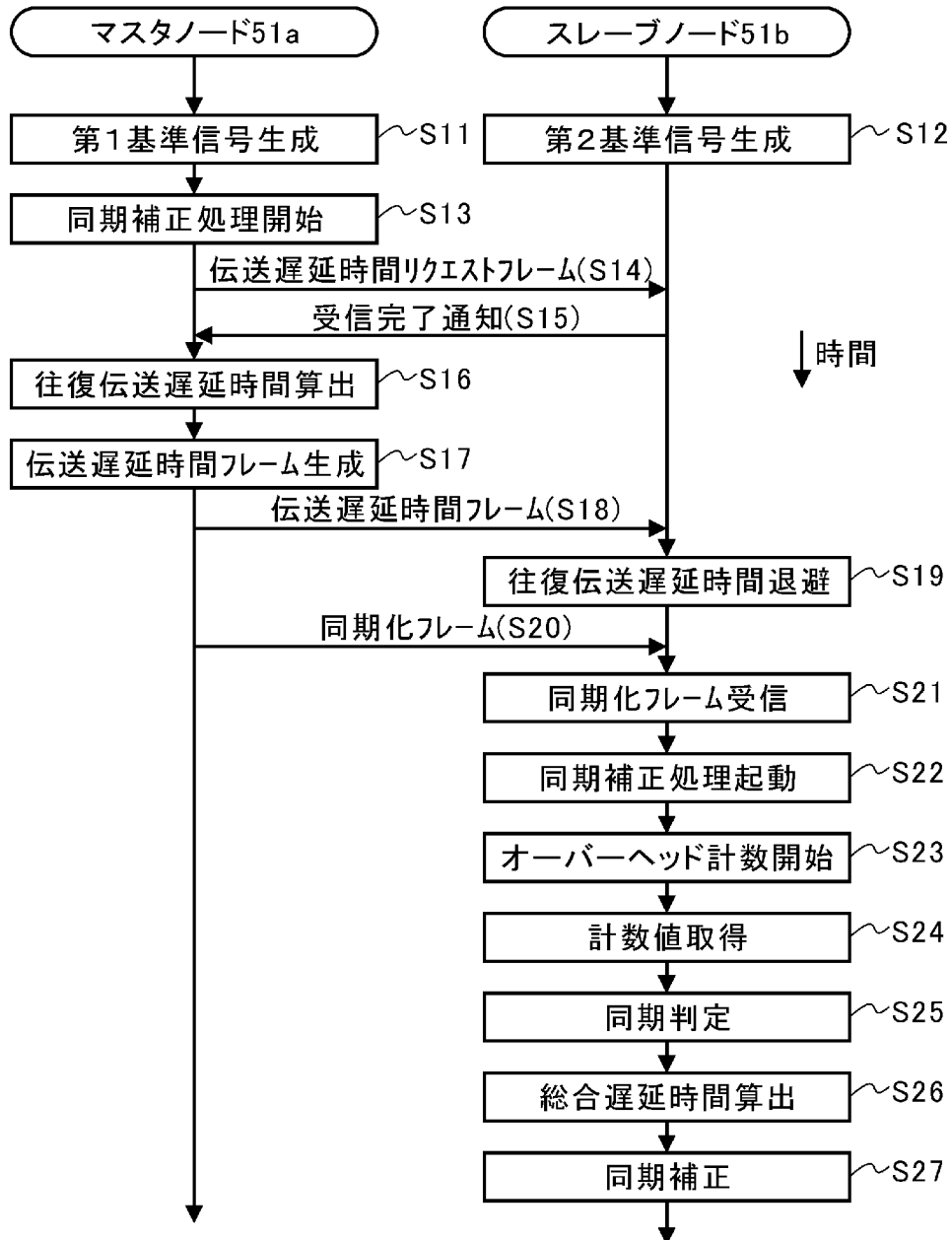
[図11]



[図12]



[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/082334

A. CLASSIFICATION OF SUBJECT MATTER

H04L7/00 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04L7/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-253033 A (Nippon Telegraph and Telephone Corp.), 15 September 2005 (15.09.2005), entire text (Family: none)	1-18
A	JP 2005-159754 A (Fuji Electric FA Components & Systems Co., Ltd.), 16 June 2005 (16.06.2005), entire text (Family: none)	1-18

☐

Further documents are listed in the continuation of Box C.

☐

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
07 February, 2013 (07.02.13)

Date of mailing of the international search report
19 February, 2013 (19.02.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H04L7/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H04L7/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2005-253033 A（日本電信電話株式会社）2005.09.15, 全文 （ファミリーなし）	1-18
A	JP 2005-159754 A（富士電機機器制御株式会社）2005.06.16, 全文 （ファミリーなし）	1-18

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 7 . 0 2 . 2 0 1 3

国際調査報告の発送日

1 9 . 0 2 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

阿部 弘

5 K

9 3 8 2

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 6