【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第６部門第４区分
【発行日】平成18年8月10日(2006.8.10)

【公開番号】特開2000-40203(P2000-40203A)
【公開日】平成12年2月8日(2000.2.8)
【出願番号】特願平11-179964
【国際特許分類】
*Ｇ１１Ｂ　5/02　(2006.01)*
*Ｇ１１Ｂ　5/39　(2006.01)*
*Ｈ０３Ｆ　1/26　(2006.01)*
【ＦＩ】
Ｇ１１Ｂ　5/02　U
Ｇ１１Ｂ　5/39
Ｈ０３Ｆ　1/26

【手続補正書】
【提出日】平成18年6月26日(2006.6.26)
【手続補正１】
【補正対象書類名】明細書
【補正対象項目名】特許請求の範囲
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
磁気読取り／書込みシステム（１）のヘッド読取り増幅器回路（５０）であって、
第１の端子と第２の端子を有し、磁気記憶媒体（２）の表面の磁束の変化を検出し、磁束の変化に応答して抵抗が変化する磁気抵抗器（５３）と、
前記磁気抵抗器（５３）のバイアス電流を生成するためのバイアス電流源（９３）であって、前記磁気抵抗器（５３）にバイアス電流を流すために該磁気抵抗器（５３）の前記第１の端子に結合された出力端子を有するバイアス電流源（９３）と、
前記ヘッド読取り増幅器回路（５０）の第１（６７）および第２（６８）の出力端子に結合され、前記ヘッド読取り増幅器回路（５０）の出力端子に生成された差動出力電圧を受け取り、前記差動出力電圧をゼロにし、出力が前記磁気抵抗器（５３）の前記第１の端子に結合された差動帰還回路（６４、７７、７８）と、
前記磁気抵抗器（５３）の最小バイアス電流を設定する同相モード帰還回路（８５、８７、８９）であって、該同相モード帰還回路（８５、８７、８９）は、電流源トランジスタ（８１）を介して前記磁気抵抗器（５３）の前記第２の端子に結合され、第１のカスコード回路（５５、６２）と第２のカスコード回路（５７、６３）を含み、前記第１及び第２のカスコード回路のそれぞれは、直列に接続された複数のトランジスタを含み、前記第１のカスコード回路（５５、６２）は、前記ヘッド読取り増幅器回路（５０）の前記第１の出力端子に結合された第１の端子と、前記磁気抵抗器（５３）の前記第１の端子に結合された第２の端子を有し、前記第２のカスコード回路（５７、６３）は、前記ヘッド読取り増幅器回路（５０）の前記第２の出力端子に結合された第１の端子と、前記磁気抵抗器（５３）の前記第２の端子に結合された第２の端子を有することからなる、同相モード帰還回路（８５、８７、８９）と、
前記電流源トランジスタ（８１）とインダクタ（８３）を含む電流ドレインであって、前記電流源トランジスタ（８１）が第１の端子を有し、前記同相モード帰還回路（８５、８７、８９）が前記電流源トランジスタ（８１）の前記第１の端子に結合され、前記電流源トランジスタ（８１）が、前記磁気抵抗器（５３）の前記第２の端子に結合された第２

の端子を有し、前記電流源トランジスタ（８１）が、前記インダクタ（８３）の第１の端子に結合された第３の端子を有し、前記インダクタ（８３）が、グランドに結合された第２の端子を有し、前記インダクタ（８３）のインピーダンスが前記電流源トランジスタ（８１）によって生成されたノイズを減少させることからなる、電流ドレイン
を備える、ヘッド読取り増幅器回路（５０）。

【請求項２】

前記差動帰還回路（６４、７７、７８）が、前記差動出力電圧を増幅する利得段（６４）と、増幅した差動出力電圧を電流信号に変換する電圧電流変換器段（７７）と、前記電流信号を積分するコンデンサ（７８）とを含み、該コンデンサ（７８）が、前記第１のカスコード回路（５５、６２）をターンオンするために該第１のカスコード回路（５５、６２）に結合される、請求項１のヘッド読取り増幅器回路（５０）。

【請求項３】

前記同相モード帰還回路（８５、８７、９１）が、同相モード増幅器（９１）を含み、該同相モード増幅器が、検出抵抗器（８５、８７）を介して前記ヘッド読取り増幅器回路の出力端子間に結合された第１の端子と、同相モード基準電圧（８９）に結合された第２の端子とを有し、前記同相モード増幅器（９１）が、前記電流源トランジスタ（８１）の前記第１の端子に結合された出力端子を有し、前記電流源トランジスタ（８１）の前記第１の端子が、該電流源トランジスタ（８１）のゲートである、請求項２のヘッド読取り増幅器回路（５０）。

【請求項４】

互いに逆極性の第１の極性または第２の極性の電流により、磁気抵抗器（１０２）にバイアスをかけることができる二重極性ヘッド読取り増幅器回路（１００）であって、

第１の端子と第２の端子を有し、磁気記憶媒体（２）の表面の磁束の変化を検出し、磁束の変化に応答して抵抗が変化する前記磁気抵抗器（１０２）と、

前記磁気抵抗器（１０２）の第１のバイアス電流を生成するための第１のバイアス電流源（１１４）であって、前記第１の極性を有し、スイッチングロジック（１０５、１０６）を介して前記磁気抵抗器（１０２）の前記第１の端子に結合された出力端子を有し、前記スイッチングロジック（１０５、１０６）が第１の状態のときに、前記磁気抵抗器（１０２）に前記第１のバイアス電流を流すための第１のバイアス電流源（１１４）と、

前記磁気抵抗器（１０２）の第２のバイアス電流を生成するための第２のバイアス電流源（１１６）であって、前記第２の極性を有し、前記スイッチングロジック（１０５、１０６）を介して前記磁気抵抗器（１０２）の前記第２の端子に結合された出力端子を有し、前記スイッチングロジック（１０５、１０６）が第２の状態のときに、前記磁気抵抗器（１０２）に前記第２のバイアス電流を流すための第２のバイアス電流源（１１６）と、

第１および第２の電流源トランジスタ（１２１、１２２）とインダクタ（１５０）とを含む電流ドレイン（１２１、１２２、１５０）と、

前記ヘッド読取り増幅器回路（１００）の第１の出力端子（１２８）に結合された第１の端子と、前記磁気抵抗器（１０２）の前記第１の端子（１０１）に結合された第２の端子と、前記スイッチングロジック（１０５、１０６）に結合された第３の端子とを有する第１のトランジスタ回路（１０８、１２４）と、

前記ヘッド読取り増幅器回路（１００）の第２の出力端子（１３１）に結合された第１の端子と、前記磁気抵抗器（１０２）の前記第２の端子（１０３）に結合された第２の端子と、前記スイッチングロジック（１０５、１０６）に結合された第３の端子とを有する第２のトランジスタ回路（１０９、１２５）
を備え、

前記スイッチングロジック（１０５、１０６）が前記第１の状態のときに、前記第１のトランジスタ回路（１０８、１２４）の前記第３の端子が、固定基準電圧源に結合され、及び、それによってバイアスされ、前記第２のトランジスタ回路（１０９、１２５）の前記第３の端子が、差動誤差増幅器（１１２）の出力に結合され、及びそれによってバイアスされ、前記スイッチングロジック（１０５、１０６）が前記第２の状態のときに、前記

第２のトランジスタ回路（１０９、１２５）の前記第３の端子が、前記固定基準電圧源（１１３）に結合され、及び、それによってバイアスされ、前記第１のトランジスタ回路（１０８、１２４）の前記第３の端子が、前記差動誤差増幅器（１１２）の出力に結合され、及び、それによってバイアスされることからなる、二重極性ヘッド読取り増幅器回路（１００）。

【請求項５】

請求項４の二重極性ヘッド読取り増幅器回路（１００）であって、

前記ヘッド読取り増幅器回路（１００）の第１および第２の出力端子に結合され、前記ヘッド読取り増幅器回路（１００）の出力端子において生成された差動出力電圧を受け取り、この差動出力電圧をゼロにする差動帰還回路（１１２、１１５、１１８、１１９）をさらに備え、

前記差動誤差増幅器（１１２）が、前記差動帰還回路（１１２、１１５、１１８、１１９）に含まれ、該差動帰還回路（１１２、１１５、１１８、１１９）の出力が、前記差動誤差増幅器（１１２）の出力に生成され、前記差動帰還回路（１１２、１１５、１１８、１１９）が、前記差動誤差増幅器（１１２）を介して前記スイッチングロジック（１０５、１０６）に結合されることからなる、請求項４の二重極性ヘッド読取り増幅器回路（１００）。

【請求項６】

請求項５の二重極性ヘッド読取り増幅器回路（１００）であって

前記ヘッド読取り増幅器回路（１００）の出力端子（１２８、１３１）に結合され、前記第１のバイアス電流の最小値を設定し、第１の電流源トランジスタ（１２１）を介して前記磁気抵抗器（１０２）の前記第１の端子（１０１）に結合された第１の同相モード帰還回路（１３２、１３５）と、

前記ヘッド読取り増幅器回路（１００）の出力端子（１２８、１３１）に結合され、前記第２のバイアス電流の最小値を設定し、第２の電流源トランジスタ（１２２）を介して前記磁気抵抗器（１０２）の前記第２の端子に結合された第２の同相モード帰還回路（１３２、１３６）と、

前記第１および第２の電流源トランジスタ（１２１、１２２）とインダクタ（１５０）とを含む電流ドレイン（１２１、１２２、１５０）

とをさらに備え、

前記第１の電流源トランジスタ（１２１）が、第１の端子を有し、前記第１の同相モード帰還回路（１３２、１３５）が、前記スイッチングロジック（１０５、１０６）を介して前記第１の電流源トランジスタ（１２１）の前記第１の端子に結合され、前記第１の電流源トランジスタ（１２１）が、前記磁気抵抗器（１０２）の前記第１の端子に結合された第２の端子を有し、前記第１の電流源トランジスタ（１２１）が、前記インダクタ（１５０）の第１の端子に結合された第３の端子を有し、前記第２の電流源トランジスタ（１２２）が、第１の端子を有し、前記第２の同相モード帰還回路（１３２、１３６）が、前記スイッチングロジック（１０５、１０６）を介して前記第２の電流源トランジスタ（１２２）の前記第１の端子に結合され、前記第２の電流源トランジスタ（１２２）が、前記磁気抵抗器（１０２）の前記第２の端子に結合された第２の端子を有し、前記第２の電流源トランジスタ（１２２）が、前記インダクタ（１５０）の第１の端子に結合された第３の端子を有し、前記インダクタ（１５０）がグランドに結合された第２の端子を有し、前記インダクタ（１５０）のインピーダンスが、前記第１および第２の電流源トランジスタ（１２１、１２２）によって生成されるノイズを減少させることからなる、請求項５の二重極性ヘッド読取り増幅器回路。

【請求項７】

前記第１のバイアス電流源（１１４）が、第１の電流ディジタル・アナログ変換器であり、この第１の電流アナログ・ディジタル変換器を調整することにより前記第１のバイアス電流の値を調整することができる、請求項６の二重極性ヘッド読取り増幅器回路（１００）。

【請求項８】
前記第２のバイアス電流源（１１６）が、第２の電流ディジタル・アナログ変換器であり、この第２の電流ディジタル・アナログ変換器を調整することにより前記第２のバイアス電流の値を調整することができる、請求項７の二重極性ヘッド読取り増幅器回路（１００）。
【請求項９】
請求項８の二重極性ヘッド読取り増幅器回路（１００）であって、
前記第１のトランジスタ回路（１０８、１２４）が、第１のカスコード回路（１０８、１２４）に対応し、前記第２のトランジスタ回路（１０９、１２５）が、第２のカスコード回路（１０９、１２５）に対応し、該第１および第２のカスコード回路がそれぞれ、直列に接続された複数のトランジスタを含み、前記第１のカスコード回路（１０８、１２４）が、前記ヘッド読取り増幅器回路（１００）の前記第１の出力端子（１２８）に結合された第１の端子を有し、前記第１のカスコード回路（１０８、１２４）が、前記磁気抵抗器（１０２）の前記第１の端子に結合された第２の端子を有し、前記第２のカスコード回路（１０９、１２５）が、前記ヘッド読取り増幅器回路（１００）の前記第２の出力端子に結合された第１の端子を有し、前記第２のカスコード回路（１０９、１２５）が、前記磁気抵抗器（１０２）の前記第２の端子に結合された第２の端子を有し、前記第１のカスコード回路（１０８、１２４）が、一対のコンデンサを介して前記第２のカスコード回路（１０９、１２５）に交さ結合され、前記差動帰還回路（１１２、１１５、１１８、１１９）が、前記差動出力電圧を増幅する利得段と、増幅された前記差動出力電圧を電流信号に変換する電圧電流変換器段とを備え、
前記一対のコンデンサが前記電流信号を積分するためのものであり、前記第１の同相モード帰還回路（１３２、１３５）が、第１の同相モード増幅器を含み、該第１の同相モード増幅器が、検出抵抗器を介して前記ヘッド読取り増幅器回路（１００）の出力端子間に結合された第１の端子と、同相モード基準電圧に結合された第２の端子を有し、前記第１の同相モード増幅器が、前記スイッチングロジック（１０５、１０６）を介して前記第１の電流源トランジスタの前記第１の端子に結合された出力端子を有し、前記第１の電流源トランジスタの前記第１の端子が、該第１の電流源トランジスタのゲートであり、前記スイッチングロジックが前記第１の状態のときに、該スイッチングロジックが、前記第１の同相モード増幅器の出力を前記第１の電流源トランジスタのゲートに結合し、それにより該第１の電流源トランジスタをターンオンする、請求項８の二重極性ヘッド読取り増幅器回路（１００）。