

發明專利說明書

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※ 申請案號：92107133 ※IPC 分類：H01L 21/0217

※ 申請日期：92.7.28

壹、發明名稱

(中文) 用於形成半導體元件的方法及系統

(英文) METHOD AND SYSTEM FOR FORMING A SEMICONDUCTOR DEVICE

貳、發明人 (共 2 人)

發明人 1 (如發明人超過一人，請填說明書發明人續頁)

姓名：(中文) 卡爾 P. 陶西格

(英文) CARL PHILIP TAUSSIG

住居所地址：(中文) 美國加州紅木市戴拉斯普爾蓋斯大道 2295 號

(英文) 2295 ALAMEDA DE LAS PULGAS REDWOOD CITY, CA 94061,

USA

國籍：(中文) 美國 (英文) USA

參、申請人 (共 1 人)

申請人 1 (如申請人超過一人，請填說明書申請人續頁)

姓名或名稱：(中文) 美商·惠普研發公司

(英文) HEWLETT-PACKARD DEVELOPMENT COMPANY, L.P.

住居所或營業所地址：(中文) 美國德州休士頓市 S. H. 249 20555 號

(英文) 20555 S.H. 249, HOUSTON, TEXAS 77070, USA

國籍：(中文) 美國 (英文) USA

代表人：(中文) 蓋伊 J. 凱利

(英文) Guy J. Kelley

☒ 續發明人或申請人續頁 (發明人或申請人欄位不敷使用時，請在此處使用續頁)

I292588

發明人 2

姓名：(中文) 梅彬

(英文) PING MEI

住居所地址：(中文) 美國加州巴洛雅圖市威爾基道 4276 號#D

(英文) 4276 WILKIE WAY, #D, PALO ALTO, CA 94306, USA

國籍：(中文)

美 國

(英文)

USA

捌、聲明事項

☐ 本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間，其日期為：_____

☐ 本案已向下列國家（地區）申請專利，申請日期及案號資料如下：

【格式請依：申請國家（地區）；申請日期；申請案號 順序註記】

1. _____

2. _____

3. _____

☒ 主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1. 美國； 2002, 06, 28； 10/184, 567

2. _____

3. _____

4. _____

5. _____

6. _____

7. _____

8. _____

9. _____

10. _____

☐ 主張專利法第二十五條之一第一項優先權：

【格式請依：申請日；申請案號 順序註記】

1. _____

2. _____

3. _____

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

1. _____

2. _____

3. _____

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

1. _____

2. _____

3. _____

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明

(發明說明應敘明：發明所屬之技術領域、先前技術、內容、實施方式及圖式簡單說明)

【發明所屬之技術領域】

發明領域

本發明概有關於半導體元件的領域，尤係關於一種製造
5 半導體元件的方法和系統。

【先前技術】

發明背景

現今有一種強烈的趨勢係朝向縮小既有的構件及製造
更小的構件。此等製法一般稱為微製造。針對微製造已具
10 有可觀衝擊之一領域係在微電子領域。尤其是，微電子構
件的縮小尺寸已普遍地使該等構件更為便宜，具有更高效
能，較低功率消耗，且一指定尺寸可包含更多的構件。雖
微製造已被廣泛地應用於電子產業，但其亦已被應用於其
它的領域，例如生物科技、光學器材、機械系統、感測裝
15 置、及反應器等。

一種使用於微製造製程的方法稱為印刻法(imprint
lithography)。該印刻法典型係用來以高解析度在一基材上
將薄膜圖案化。該被圖案化的薄膜係可為介電質、半導體
、金屬或有機物，並可被圖案化成個別或多數的薄膜層。
20 該印刻法乃特別適合在”成捲進出”(roll-to-roll)的環境下來
圖案化所製元件，因為印刻法並不像習知的光蝕刻法那般
對平坦性十分敏感。此外，印刻法具有較高的產能並可處
理較寬的基材。

通常，一電子元件的製造需要數個圖案化步驟，其時

玖、發明說明

常必須以一定程度的精確性或甚至超過最小的構件尺寸來互相對準。在習知的光蝕刻法中，光學對準記號會被用來確保各接續圖案化步驟之間的對準排列。雖亦可能利用光學對準技術於一成捲進出的製程中，但由於某些原因此並非十分實用。第一，其會增加額外的複雜性，因為基本上印刻法製程並非以光來操作。其次，在一成捲進出的環境中基材會缺乏平面性，故將難以達到光學對準的精確度，因為有場深度限制以及其它光學像差的因素。最後，使用於成捲進出製程中的撓性基材，可能會由於溫度、濕度或機械應力的改變，而造成尺寸的變化。一圖案化層相對於下一層的此等收縮或膨脹，將會使一大面積的對準操作不可能來進行。

因此，乃需要一種能夠克服上述問題的方法和系統以供製造該等元件。此方法應要簡單、低成本並能容易應用於現有的技術。本發明乃可滿足此等需求。

【發明內容】

發明概要

本發明包括一種用來製造半導體元件的方法和系統。本發明係使用一壓印工具來造成三維的阻抗結構，而使薄膜圖案化階層可在一單獨的成型步驟移轉至該阻抗物，並在嗣後的處理步驟中接續地顯現。因此，在各接續的圖案化步驟之間的對準，將可由所製成之壓印工具的精確度來決定，而無關於製造過程中可能發生的收縮或膨脹。

本發明的第一態樣係為一種用來製造半導體元件的方

玖、發明說明

法。該方法包含提供一基材，在該基材上沈積一第一材料層，並在該基材上形成一三維(3D)阻抗結構，該3D阻抗結構在整個結構中包含許多不同的垂向高度。

本發明的第二態樣係為一種用來製造半導體元件的系統，包含一裝置可在一撓性基材上沈積一第一材料層，一裝置可在該撓性材料上沈積一阻抗層，一裝置可移轉一3D圖案於該阻抗層而在該撓性基材上形成一3D阻抗層，及一裝置可利用該3D阻抗層在該撓性基材上形成一交叉點陣列。

本發明的其它態樣和優點將可由以下舉例示出本發明之原理的詳細說明，及參閱所附圖式，而得更清楚瞭解。

圖式簡單說明

第1圖為本發明之方法的上位流程圖。

第2(a)-2(c)圖示出利用一壓印工具來形成一3D阻抗結構。

第3圖為一交叉點陣列的構造示意圖。

第4(a)-4(g)圖示出利用投影作用來形成一交叉點陣列的第一實施例。

第5圖為本發明之方法第一實施例的流程圖。

第6(a)-6(i)圖為利用二聚合物來形成一交叉點陣列的第二實施例。

第7圖為本發明之方法第二實施例的流程圖。

第8圖示出一實驗的結果，其中一基材係被塗設一光聚合物薄層，再以一PDMS紫外線透光模來成型。

第9圖為一廓形之示意圖，其中一第一結構係比一第

玖、發明說明

二結構更窄。

第10(a)-10(l)圖示出利用毛細作用力來形成一交叉點陣列的第三實施例。

第11圖本實施例之方法第三實施例的流程圖。

5 【實施方式】

發明之詳細說明

本發明係關於用來形成半導體元件的方法和系統。以下說明乃被提供俾使專業人士能夠實施及使用本發明，並作一專利申請案及其要件的內容。於此所述之較佳實施例
10 和概括原理與構造等之各種修正變化將為專業人士所容易得知。故，本發明並不限於所示實施例，而應依歸於所述原理和構造的最大範圍。

如供例示的圖式所示，本發明係為一種用來製造半導體元件的方法和系統。本發明係利用一壓印工具來造成三
15 維阻抗結構，而使多數的紋路圖案能在一單獨的成型步驟中被移轉至該阻抗物，並在嗣後的處理步驟中接續地顯現。

雖本發明係被描述用來製造半導體元件，但專業人士將可容易得知本發明亦可被用來製造其它種類的元件(例如機械、光學、生物等)，而仍保留在本發明的精神和範
20 圍內。

為能更佳地瞭解本發明，請參閱第1圖。第1圖為本發明之方法的上位流程圖。首先，一基材會經由步驟110來被提供。最好是，該基材係為一撓性基材而可供使用於一成捲進出製程。其次，一材料層會經由步驟120來沈積在

玖、發明說明

該基材上。該材料最好為一有機或無機材料。最後，一三維(3D)阻抗結構會經由步驟130來被形成於第一層材料上，其中該3D阻抗結構在整體結構上具有許多不同的垂向高度。最好是，該3D阻抗結構係利用一壓印工具來形成。由於該3D阻抗結構包含多數不同的垂向高度遍佈整個結構，故該結構乃可在後續的蝕刻步驟中用來將校準圖案移轉至一底下料層。

如上所述，本發明乃包括利用一壓印工具來在一撓性基材上造成一3D阻抗結構。為使能更清楚地瞭解此概念，請參閱第2(a)-2(c)圖。第2(a)-2(c)圖係示出利用一壓印工具來形成一3D阻抗結構的截面圖。第2(a)圖示出一壓印工具210及一未成型的阻抗材料214層。該壓印工具210含有該3D圖案212，其將會被移轉至該阻抗層214。該阻抗層214可包含各種商用的聚合物。例如，一Norland optical adhesives(NOA)聚合物系列的產品將可被使用。

該壓印工具210嗣會被操作來與該阻抗層214接觸，而使該阻抗層214形成該壓印工具210的3D圖案212。第2(b)圖即示出該壓印工具210接觸該阻抗層214之後的截面圖。該變形的阻抗層214嗣會被使用紫外線定形法或任何其它的適當手段來固化。第2(c)圖乃示出被成形後之阻抗層214'的截面圖。

又，由第2(c)圖中可以看出，該成型的阻抗層214'或阻抗結構係包含不同的垂向高度216、218、220、222等最好是，該等垂向高度係大不相同，即至少一高度會與另一

玖、發明說明

高度明顯地不同。因此，該等不同的垂向高度可供該結構214'能在後續的蝕刻步驟中被用來將校準圖案移轉至底下膜層。此等結構在形成交叉點記憶陣列時會特別有用。

(交叉點陣列)

- 5 最好是，該交叉點記憶陣列包含兩層正交之間隔平行排列的導體組，並有一半導體層介設其間。該二組導體會形成重疊的橫排和直行電極，且使該各橫排電極在一正確位置來與該各直行電極交叉。

- 為使能更詳細地瞭解一交叉點陣列，現請參閱第3圖
- 10 。第3圖為一交叉點陣列構造300的示意圖。在每一交叉點處，於該橫排電極310和直行電極320之間，會透過一形如串聯之二極體和熔線的半導體層330而來連接。該等形成陣列的二極體皆被設定成，若有一共同電壓施加於全部的橫排電極和直行電極之間，則所有的二極體將會被以相同
- 15 的方向來偏壓。該熔線元件乃可被視為一個別元件，其會在一臨界電流通過時來形成一開放電路。或其亦可被併入該二極體的功能運作中。

- 一專業人士將能很容易瞭解，上述之交叉點陣列亦可被用來製造各種的半導體元件，包括但不限於例如電晶體
- 20 、電阻器、電容器等，而仍保留在本發明的精神和範圍內。

 三種不同的方法現將被說明，以供利用上述的3D阻抗結構來形成一交叉點陣列。第一種方法係利用”投影”作用配合3D結構來形成一交叉點陣列；第二種方法係利用二具有相對蝕刻選擇性的聚合物來形成該交叉點陣列；第三種

玖、發明說明

方法係利用毛細作用力來產生該3D結構並形成該交叉點陣列。雖此三種方法會被揭述，惟專業人士將可容易瞭解該3D圖阻抗結構亦可配合各種不同的方法來利用，而仍保留在本發明的精神及範圍內。

5 (投影作用)

利用該3D阻抗結構來形成一交叉點陣列的第一種方法係採用該投影作用。該投影作用係為一種現象，其在適當條件下，當一薄膜被沈積在一含有溝槽的表面上，且該等溝槽具有陡峭的側壁時，則所沈積的材料將會優先集結在
10 垂直於沈積方向的表面上，而不會覆蓋該等側壁。以一角度來沈積，而”投影”其一側壁，有時亦能加強此效果。

為使能更佳地瞭解該投影作用如何地應用於此方法中，現請配合以下說明來參閱第4(a)-4(g)圖。第4(a)-4(g)圖係示出一利用該投影作用來形成一交叉點陣列的方法。第
15 4(a)圖為一構造400的側視圖，其包含一撓性基材410，一第一材料層(“第一薄膜疊層”)415，及一成形的3D阻抗結構420。

當該阻抗結構被製成後，其製程將會以一非等向性蝕刻來開始除去該阻抗結構的最薄層，而曝現出一部份的第一薄膜疊層。第4(b)圖乃示出該第一薄膜疊層的曝露部份
20 415'。嗣，使用相同或不同的蝕刻化學劑，該第一薄膜疊層的曝露部份將會被蝕掉，而使許多的凹槽被形成於該基材中。第4(c)圖示出在該等凹槽425被蝕刻於基材410中之後的構造。在此過程中，令該等凹槽425的側壁保持陡峭

玖、發明說明

，並使凹槽深度比第一薄膜層的厚度更大甚多乃是很重要的。較理想是，為了加強該”投影”作用，若在基材內的凹槽能稍微地倒切該第一薄膜層乃是更佳的。

嗣，該阻抗結構的次一最薄層將會被蝕刻，而曝現出
5 該第一薄膜疊層的第二部份。此第一薄膜疊層之曝露的第二部份嗣會被蝕穿。但，在此步驟中，當該薄膜疊層在由其底下的基材上被除去時，蝕刻即會停止。第4(d)圖乃示出在此步驟之後曝露的基材410’。

在下一步驟中，該阻抗結構之又次一最薄部份將會被
10 蝕掉，而曝露出第一薄膜疊層的第三部份。但，在此步驟中，該第一薄膜疊層的曝露部份將不會被蝕刻。在此步驟完成時，所有殘留的初始阻抗材料會形成一系列隔離的島塊。第4(e)圖乃示出該等阻抗材料的隔離島塊430，及第一薄膜疊層的曝露部份415”等。

15 接著，一第二材料層(第二薄膜疊層)會被沈積在整個結構物上。該第二薄膜疊層最好包含一半導體材料及一導電材料。此等沈積的條件將會使第一薄膜疊層之厚度所形成的階狀部被均勻地覆蓋。但是，對應於凹槽側壁之較大的階狀部則不會被覆蓋。第4(f)圖係示出在沈積之後的第二材料層
20 435。

最後，該阻抗結構的殘留部份將會被除去，而形成一交叉點陣列。第4(g)圖即示出包含有交叉點陣列440的結構。雖在此步驟終了時，該等交叉點陣列已被製成，但一附加的步驟係可包括一光清理程序，俾除去該側壁上的任何

玖、發明說明

殘留薄膜，其乃可能在最後製成的元件上造成分路者。

為能更瞭解上述的方法，現請參閱第5圖。第5圖為本發明之上述方法的流程圖。首先，該阻抗結構被製成後，其第一最薄層會被非等向性地蝕刻，而在步驟510來曝露該第一薄膜疊層的第一部份。嗣，該第一薄膜疊層曝露的第一部份將會被蝕刻，而在步驟520使許多的凹槽被形成於該基材中。最好是，該等凹槽的深度會比第一薄膜疊層的厚度更大許多，並稍微倒切該第一薄膜疊層，俾可加強該投影效果。嗣，該阻抗材料的第二最薄層會被蝕掉，而在步驟530來曝露第一薄膜疊層的第二部份。

該第一薄膜疊層曝露的第二部份嗣會在步驟540被蝕刻。然後一第二薄膜疊層會在步驟550被沈積。最好是，該第二薄膜疊層包含一半導體材料及一導電材料。且，此等沈積的條件會使由第一薄膜疊層之厚度所造成的小階狀部能被覆蓋，而對應於該等凹槽側壁的較大階狀部將不會被覆蓋。最後，該阻抗材料的剩餘部份會在步驟560被除去。

(具有相對蝕刻選擇性的雙罩聚合物)

第二種利用3D阻抗結構來形成交叉點陣列的方法係使用兩種具有不同性質的聚合物，而在一定條件下使其一成分能以比另一成分更大許多的速率來被蝕刻；例如有聚合物A和B，對聚合物A的蝕刻不會影響聚合物B，且對聚合物B的蝕刻亦不會影響聚合物A。該等條件亦可包括使用不同的蝕刻劑，不同的流率，不同的局部壓力，不同的電

玖、發明說明

漿功率等等。此外，最好該二者的蝕刻法皆為非常向性乾蝕刻。

雖上述方法被揭述係配合聚合物材料來進行，惟一專業人士將可容易得知任何可被成型、鑄造嗣再固化的材料，皆可被用來取代該作為阻抗物的聚合物材料，而仍保留在本發明的精神和範圍內。例如，自轉旋塗玻璃(SOG)亦可被用來作為本發明上述實施例中的第二聚合物。

為能供更瞭解本方法，現請配合以下說明來參閱第6(a)~6(i)圖。第6(a)~6(i)圖係示出利用二聚合物來形成一交叉點陣列的製法。第6(a)圖示出一構造600包含一撓性基材610，一第一材料層(第一薄膜疊層)615，及一形成的3D阻抗結構620，其中有多數不同的垂向高度遍佈該整個結構620上。當該阻抗結構被製成後，其最薄層將會被以一非等向性蝕刻來除去，而曝露出一部份的第一薄膜疊層。第6(b)圖即示出該第一薄膜疊層的曝露部份615'。

嗣，使用相同或不同的蝕刻劑，該第一薄膜疊層的曝露部份615'將會被蝕刻。最理想是，該蝕刻程序能以相同或大於蝕掉該阻抗結構的速率來除去該第一薄膜疊層。嗣，該阻抗結構的次一最薄層將會被蝕刻，而曝露出該第一薄膜疊層的第二部份，該第二曝露部份係鄰接於上一步驟所蝕刻的區域。第6(c)圖乃示出該第一薄膜疊層的第二曝露部份615''。

嗣，一第二材料層(第二薄膜疊層)將會被沈積。該第二薄膜疊層最好包含一半導體材料及一導電材料。所有該

玖、發明說明

基材、第一薄膜疊層、及阻抗材料等之曝露表面將會在此步驟中被覆蓋。第6(d)圖即示出所沈積的第二薄膜疊層625。

一第二聚合物嗣會被覆設在該第二薄膜疊層625上。此覆層乃可藉一滾轉塗層法(roll coating)例如印製塗層來佈設，或亦可用真空或蒸汽沈積來完成。此覆層係用來平面化該結構，並造成一平坦表面來覆蓋所有先前步驟製成的廓形。第6(e)圖乃示出覆蓋該第二薄膜疊層625的第二聚合物層630。

然後，該第二聚合物層630會被蝕回，直到所有被沈積在原來之阻抗材料水平表面上的第二薄膜疊層625顯現為止。第6(f)圖係示出在蝕刻第二聚合物層630之後曝現的第二薄膜疊層625'。應請注意該第二薄膜疊層並不需要形成此製程的蝕刻擋止層，因為其亦將會被除掉。

然後，該第二薄膜疊層會由該阻抗結構的頂面被蝕去。令在此所進行之蝕刻不能以比蝕刻第二薄膜疊層更大的速率來蝕掉該第二聚合物乃是很重要的。第6(g)圖係示出在該第二薄膜疊層被蝕掉後之該阻材料的曝露部份620'。然後，該阻抗結構之次一最薄部份又會被蝕掉，而曝露出第一薄膜疊層的另一部份。此第一薄膜疊層的另一部份會被以相同或不同的蝕刻方法來除去。最好是，用來除掉該阻抗材料和第一薄膜疊層的蝕刻程序之設定，不會除去被該第二聚合物所覆蓋的第二薄膜疊層。此亦可藉以該第二聚合物層或第二薄膜疊層的頂層來擋阻除掉第一薄膜疊層和該阻抗材料的蝕刻處理而來達成第6(h)圖乃示出該第二

玖、發明說明

聚合物層630的剩餘部份。

最後，該阻抗結構和第二聚合物層的剩餘部份會被除去，而形成一交叉點陣列。同樣地，一附加步驟包含一光清理程序，乃可除去該側壁上的任何殘留薄膜，其係可能在最終元件成品中造成分路者。第6(i)圖即示出包含交叉點陣列640的結構。

為能供更瞭解上述方法，現請參閱第7圖。第7圖為本發明之上述方法的流程圖。首先，當該阻抗結構被製成時，該阻抗結構的第一最薄層會被非等向性地蝕刻，而在步驟705曝露出第一薄膜疊層的第一部份。嗣，該曝露的第一部份會被蝕刻，而在步驟710曝露該基材的一部份。然後該阻抗結構之一第二最薄層會被蝕刻，而在步驟715來曝露第一薄膜疊層的第二部份。

嗣，在步驟720中第二薄膜疊層會被沈積。最好是，該第二薄膜疊層係包含一半導體材料及一導電材料。一第二阻抗層會在步驟725被覆設在第二薄膜疊層上。最好是，該第二阻抗層能以一滾轉塗覆法來佈設。嗣，該第二阻抗層會被蝕刻，而在步驟730曝露第二薄膜疊層的第一部份。該第二薄膜疊層的此第一部份會在步驟735被蝕刻。嗣該阻抗材料的第三最薄層會被蝕刻，而在步驟740曝露第一薄膜疊層的第三部份。此曝露部份會在步驟745被蝕刻。最後，該阻抗結構及第二阻抗層的剩餘部份會在步驟750被除去。

(毛細作用力)

玖、發明說明

第三種利用3D阻抗結構來形成交叉點陣列的方法係採用毛細現象的作用力。毛細作用力將會使阻抗材料能相對於較寬的通道而更迅速容易地被吸入窄小的通道中。為供更佳地瞭解此概念，現請參閱第8圖。

- 5 第8圖示出一實驗結果，其中有一基材會被塗設一薄層的光聚合物，然後再以一聚二甲基矽氧烷(PDMS)之紫外線(UV)透光模來成型。在此例中，該壓印模含有較窄(10 μ m)及較寬(100 μ m)的構造，而深度為5.6 μ m。一可用UV固化的薄層(0.9 μ m)聚合物會被塗佈於一基材上。
- 10 該壓印模與該液態聚合物接觸時，毛細作用力會將大部份的聚合物吸入窄孔道810，而較小的聚合物會被吸入較寬區820中。其亦被觀察到，有較多的聚合物會被吸入該較寬區820的邊角區830。

- 為能更清楚地瞭解，請參閱第9圖。第9圖示出一廓形
- 15 其中一第一結構910係比一第二結構920更窄。因為該第一結構910比第二結構920更窄，故毛細作用會使一不斷沈積的聚合物材料比吸入第二結構920更迅速地吸入第一結構910中。因此，由於該第一結構910將會含有一層比第二結構920更厚的聚合物材料，故下層材料將可在後續步驟中
- 20 被容易地圖案化。

為能更佳地瞭解本方法，現請配合以下說明來參閱第10(a)~10(l)圖。第10(a)~10(l)圖示出利用毛細管力來製成一交叉點陣列的方法。第10(a)圖示出第9圖的X-X'截面圖，該構造包含一撓性基材1010，一第一材料層(第一薄膜

玖、發明說明

疊層)1015，及一形成的3D阻抗結構1020其中有許多不同的垂向高度遍佈該整個結構1020。第10(b)圖示出該結構的Y-Y'截面圖。在此二圖中亦示出結構910，其係對應於第9圖之廓形的第一結構910。

5 當該阻抗結構被製成後，其最薄層會被以非等向性蝕刻來除去，而曝露該第一薄膜疊層的一部份。第10(c)圖示出該結構的X-X'截面圖，而該等一薄膜疊層的一部份1015'已被曝露。第10(d)圖示出該結構在上述蝕刻程序之後的Y-Y'截面圖。

10 嗣，一第二材料層(第二薄膜層疊)會被沈積。該第二薄膜層疊最好包含一半導體材料及一導電材料。第10(e)及10(f)圖分別示出該結構在第二薄膜疊層1030沈積之後的X-X'及Y-Y'截面圖。

 一第二聚合物嗣會被覆設於整個結構上。在佈設該第
15 二聚合物時可考慮兩種技術。利用第一種技術，該第二聚合物係具有較低黏度而可快速地溼化該阻抗材料。所塗敷的第二聚合物之量並非充分地完全填滿該結構之廓形中的空隙，但因有毛細管作用力，故該第二聚合物將會更容易地被吸入較窄的孔道中。因此，該等區域將會比側壁之間
20 具有較大空間的區域被充填至一更大的深度。

 而第二種技術係使用氣相沈積或真空沈積法來將該第二聚合物均勻地覆設在該結構上。同樣地，由於毛細管力，其較窄的間隙會比較大的間隙更快被填滿。又，該第二聚合物可具有與該阻抗結構相同或不同的化學成分，因為

玖、發明說明

此製程純靠幾何形狀的作用而非蝕刻選擇性。第10(g)及10(h)圖分別示出在第二聚合物1040沈積之後該結構的X-X'及Y-Y'截面圖。

雖上述方法依所揭述係配合聚合物材料來應用，惟專業人士將可容易瞭解許多阻抗劑化合物亦可被使用，而仍保留在本發明的精神和範圍內。

當該第二聚合物被覆設之後，一非等向性蝕刻會被進行來除掉曝露的第二膜疊，而露出第一阻抗物的一部份。第10(i)及10(j)圖分別示出該結構在非等向性蝕刻之後的X-X'及Y-Y'截面圖。第10(j)圖示出該曝露的阻抗物1020'。嗣，該阻抗物和第二聚合物會被除去。第二膜疊覆蓋第一膜疊的區域即成為交叉點陣列。第10(k)及10(l)圖分別示出所形成之交叉點陣列1050的X-X'及Y-Y'截面圖。

為供更佳地瞭解上述方法，現請參閱第11圖。第11圖為本發明之上述方法的流程圖。首先，當該阻抗結構被製成時，其第一最薄層會被非等向性地蝕刻，而在步驟1100曝露該第一薄膜疊層的第一部份。最好是，該阻抗結構至少包含一結構比另一結構更寬。嗣在步驟1110有一第二薄膜疊層會被沈積。最好是，該第二薄膜疊層包含一半導體材料及一導電材料。

嗣在步驟1120有一第二聚合物層會被沈積。然後在步驟1130進行一非等向性蝕刻來將第二薄膜疊層除去而曝露該阻抗物的一部份。最後，該阻抗物和第二聚合物的剩餘部份會在步驟1140被除去。

玖、發明說明

一種可供形成半導體元件的方法和系統乃被說明如上。該方法和系統係利用一壓印工具來造成3D阻抗結構，而使薄膜圖案能在一單獨的成型步驟中來移轉至該阻抗物，並在嗣後的處理步驟中接續地顯現。

- 5 雖本發明係依據所示實施例來描述，惟專業人士將可容易得知該等實施例能有許多變化修正，而仍包含於本發明的精神和範圍內。因此，諸多變化修正乃可被專業人士所完成而不超出以下申請專利範圍的精神和範疇。

【圖式簡單說明】

- 10 第1圖為本發明之方法的上位流程圖。
- 第2(a)-2(c)圖示出利用一壓印工具來形成一3D阻抗結構。
- 第3圖為一交叉點陣列的構造示意圖。
- 第4(a)-4(g)圖示出利用投影作用來形成一交叉點陣列
- 15 的第一實施例。
- 第5圖為本發明之方法第一實施例的流程圖。
- 第6(a)-6(i)圖為利用二聚合物來形成一交叉點陣列的第二實施例。
- 第7圖為本發明之方法第二實施例的流程圖。
- 20 第8圖示出一實驗的結果，其中一基材係被塗設一光聚合物薄層，再以一PDMS紫外線透光模來成型。
- 第9圖為一廓形之示意圖，其中一第一結構係比一第二結構更窄。
- 第10(a)-10(l)圖示出利用毛細作用力來形成一交叉點

玖、發明說明

陣列的第三實施例。

第11圖本實施例之方法第三實施例的流程圖。

【圖式之主要元件代表符號表】

210…壓印工具	425…凹槽
212…3D圖案	430…島塊
214…阻抗材料	435,625,1030…第二材料層
216,218,220,222…垂向高度	440,640,1050…交叉點陣列
300…交叉點陣列構造	630,1040…第二聚合物層
310…橫排電極	810…窄孔道
320…直行電極	820…較寬區
330…半導體層	830…邊角區
410,610,1010…撓性基材	910…第一結構
415,615,1015…第一材料層	920…第二結構
420,620,1020…3D阻抗結構	

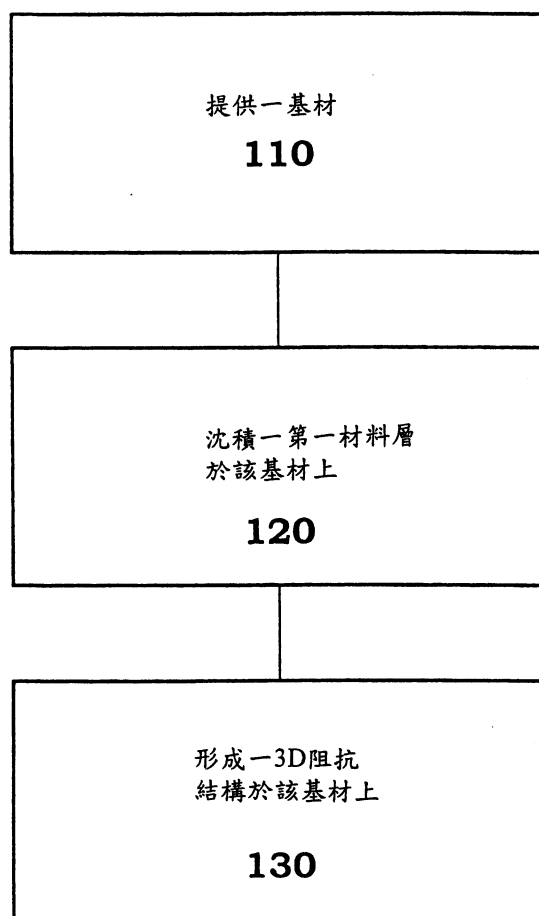
肆、中文發明摘要

本發明包括一種用來形成半導體元件的方法和系統。本發明係利用一壓印工具來產生三維阻抗結構，而使薄膜圖案化階層能在一單獨的成型步驟中被移轉至該阻抗物上，並在嗣後的處理步驟中依序地顯現。因此，在各接續的圖案化步驟之間的對準，將可由所製成的壓印工具之精確度來決定，而無關於製程中可能會發生的膨脹或收縮。本發明之第一態樣係為一種用來製成半導體元件的方法。該方法包含提供一基材[410]，沈積一第一材料層[415]於該基材[410]上，及形成一三維(3D)阻抗結構[420]於該基材[410]上，而該3D阻抗結構[420]包含多數不同的垂向高度遍佈該結構[420]。本發明的第二態樣為一用來製造半導體元件的系統，乃包含可在一撓性基材[410]上沈積一第一材料層[415]的裝置，可在該撓性基材[410]上沈積一阻抗層的裝置，可移轉一3D圖案於該阻抗層而在該撓性基材[410]上形成一3D阻抗層[420]的裝置，及可利用該3D阻抗層[420]來在該撓性基材[410]上形成一交叉點陣列[440]的裝置。

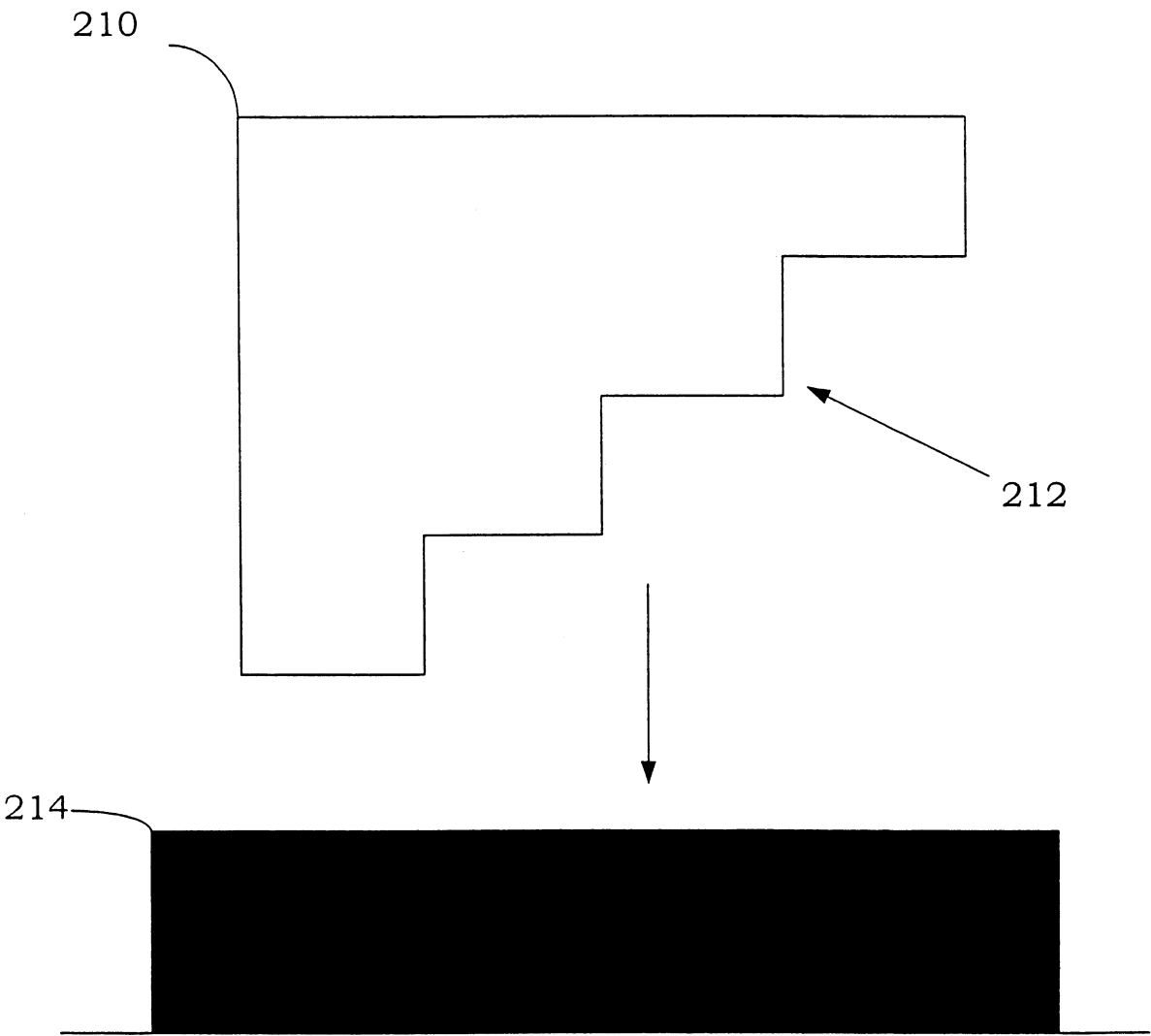
伍、英文發明摘要

The invention includes a method and system for forming a semiconductor device. The invention involves the utilization of a stamping tool to generate three-dimensional resist structures whereby thin film patterning steps can be transferred to the resist in a single molding step and subsequently revealed in later processing steps. Accordingly, the alignments between successive patterning steps can be determined by the accuracy with which the stamping tool has been fabricated, regardless of the dilations or contractions that can take place during the fabrication process. A first aspect of the invention includes a method for forming a semiconductor device. The method comprises providing a substrate [410], depositing a first layer of material [415] over the substrate [410] and forming a 3-dimensional (3D) resist structure [420] over the substrate [410] wherein the 3D resist structure [420] comprises a plurality of different vertical heights throughout the structure [420]. A second aspect of the invention includes a system for forming a semiconductor device comprising means for depositing a first layer of material [415] over a flexible substrate [410], means for depositing a layer of resist over the flexible substrate [410], means for transferring a 3D pattern to the layer of resist to form a 3D layer of resist [420] over the flexible substrate [410] and means for utilizing the 3D layer of resist [420] to form a cross-point array [440] over the flexible substrate [410].

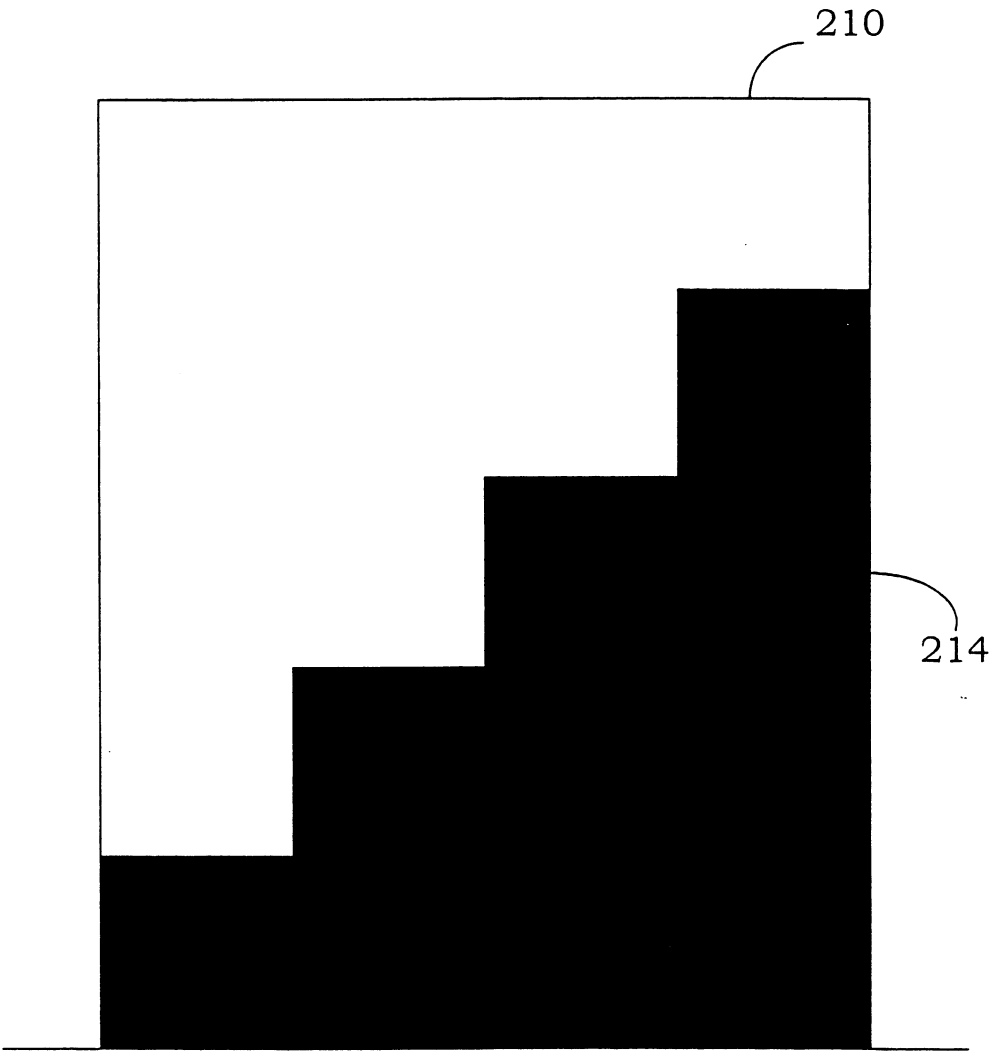
9-107133



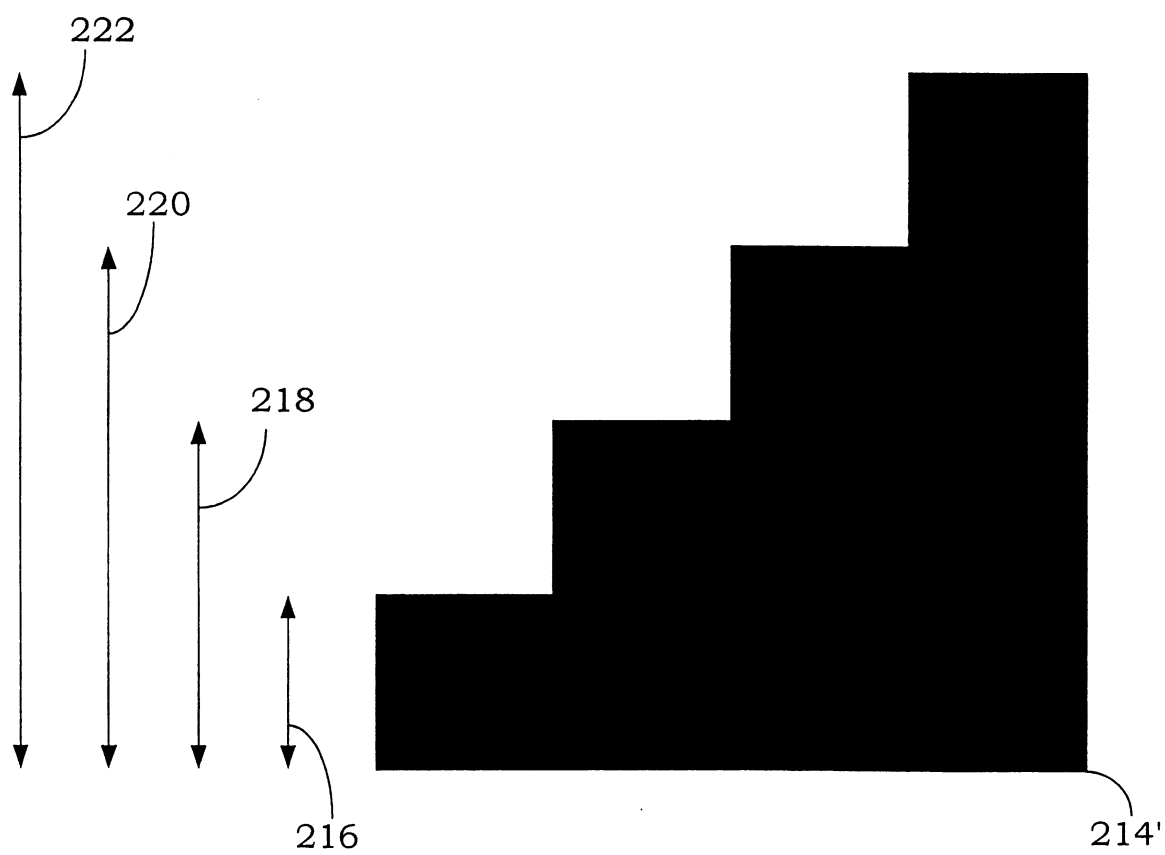
第 1 圖



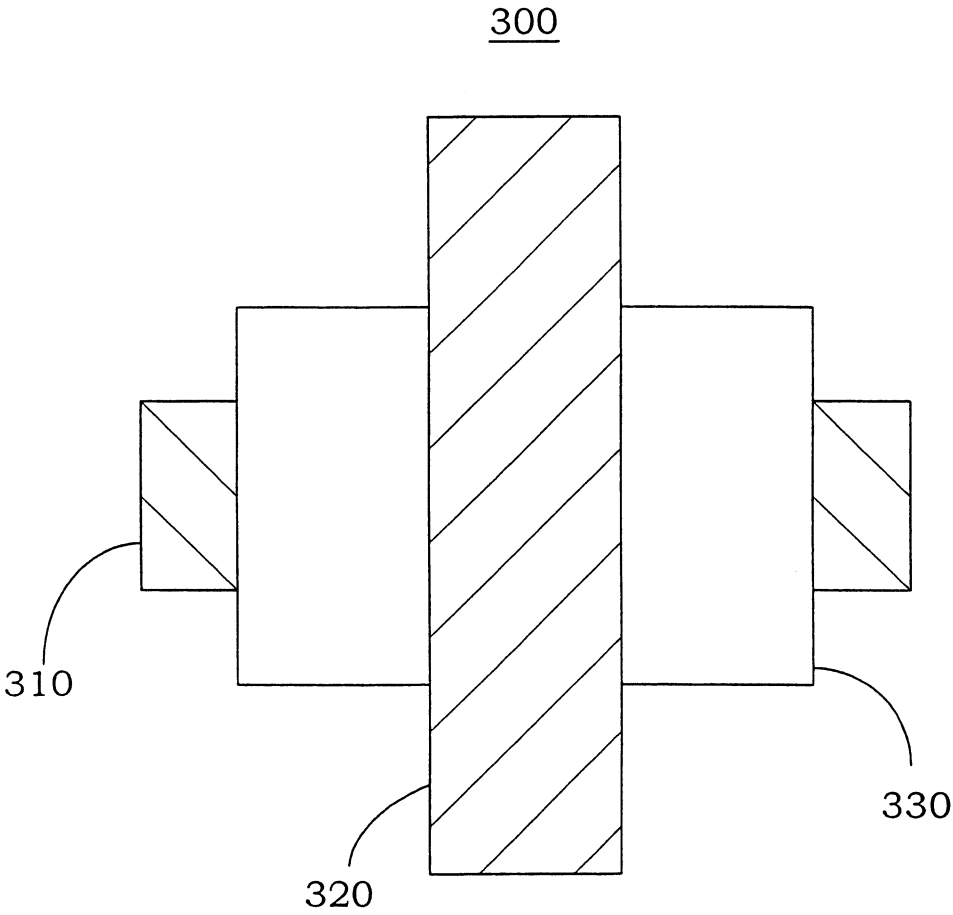
第 2(a) 圖



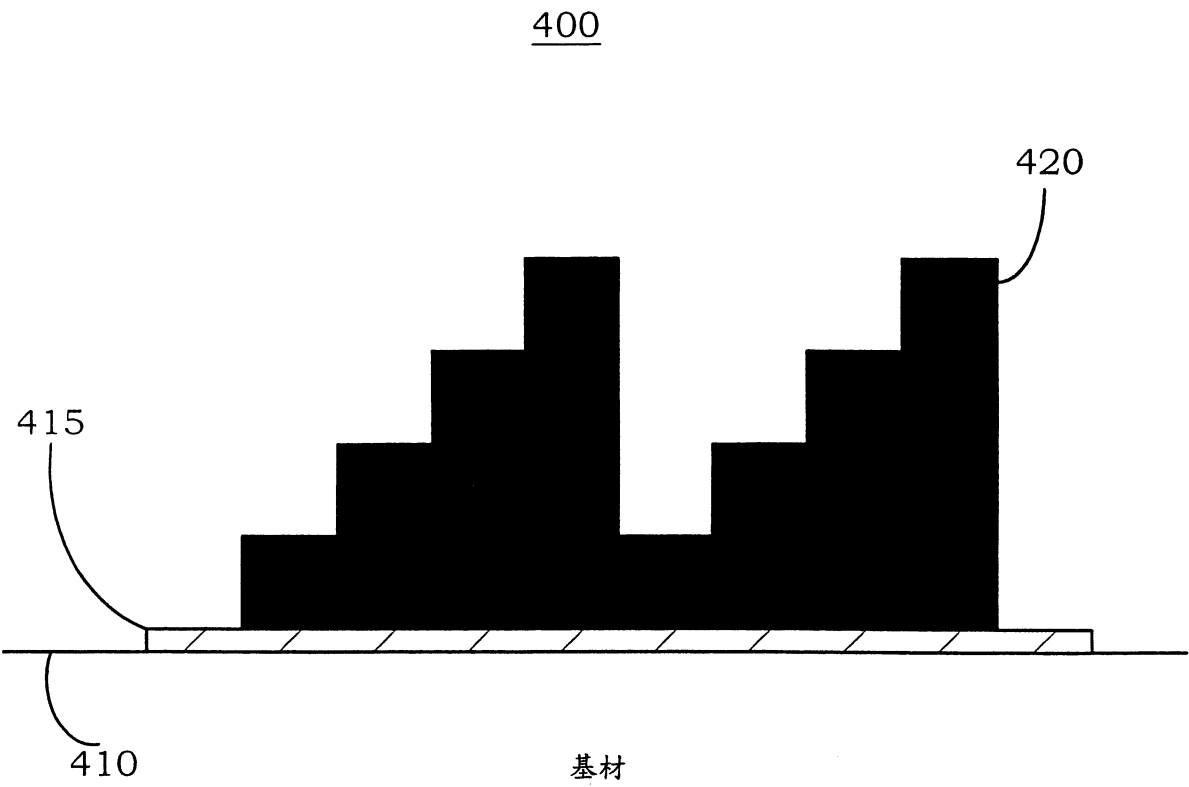
第 2(b)圖



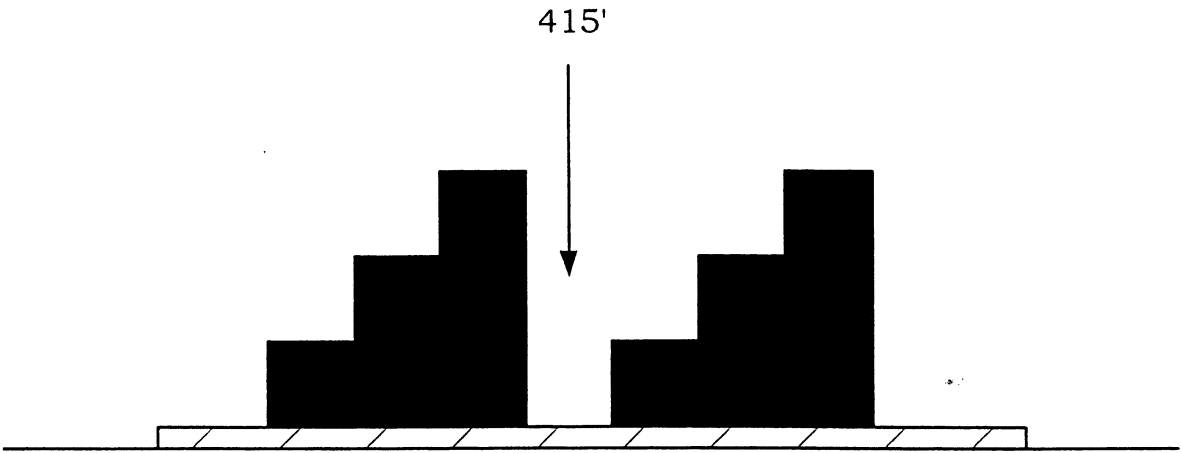
第 2(c) 圖



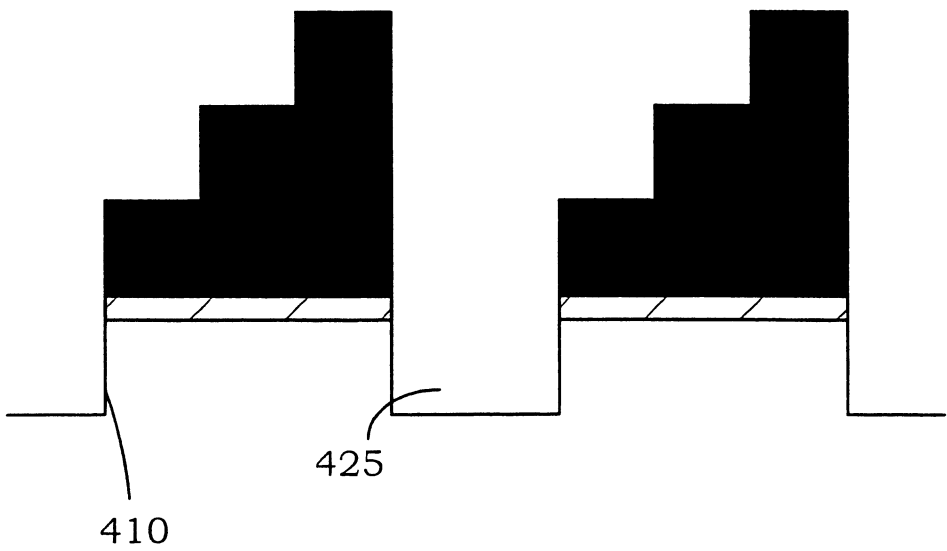
第 3 圖



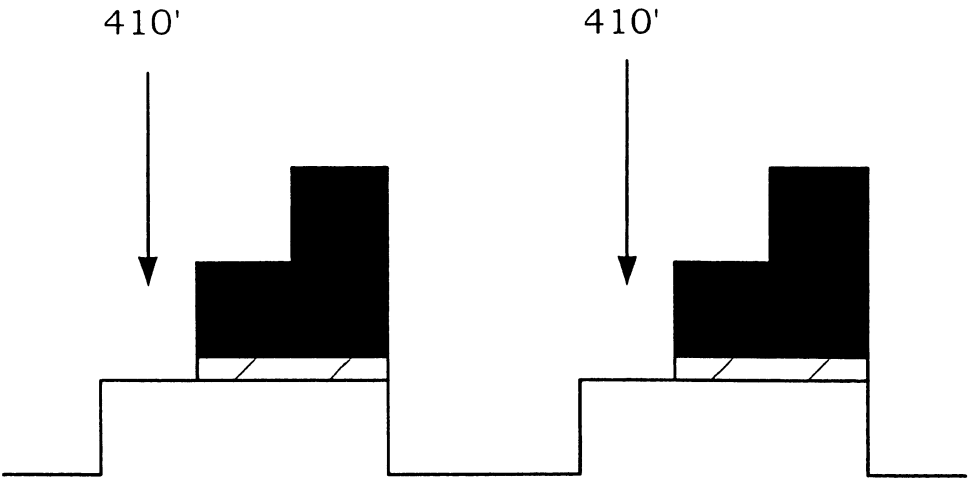
第 4(a) 圖



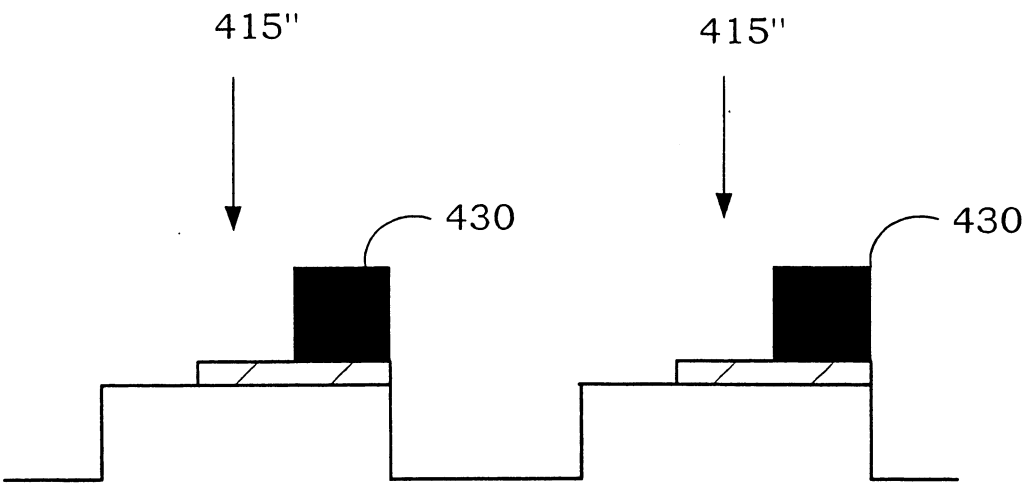
第 4(b) 圖



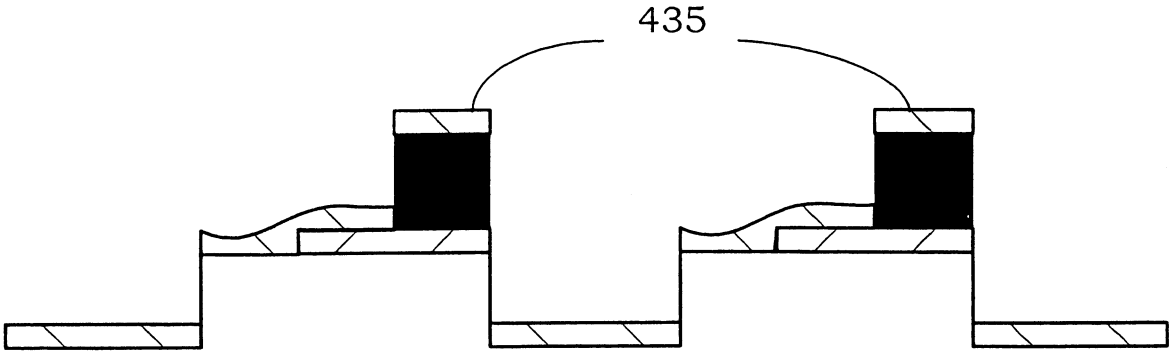
第 4(c)圖



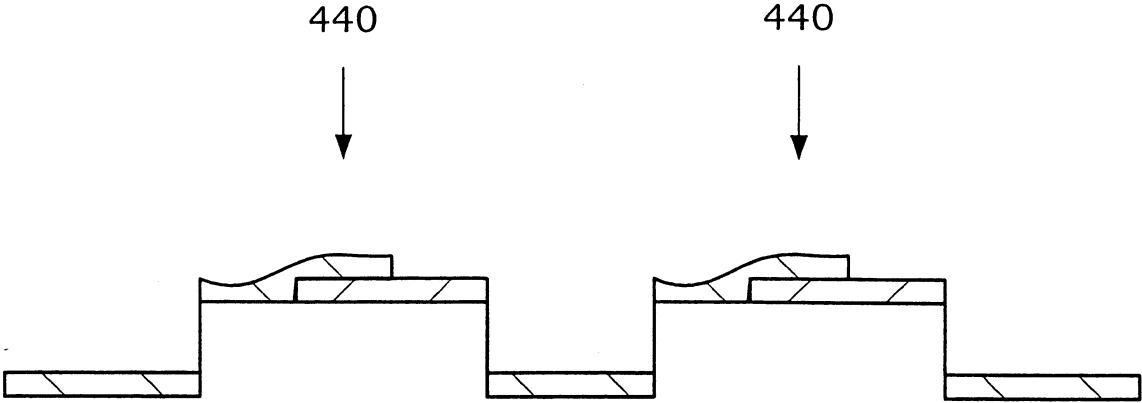
第 4(d)圖



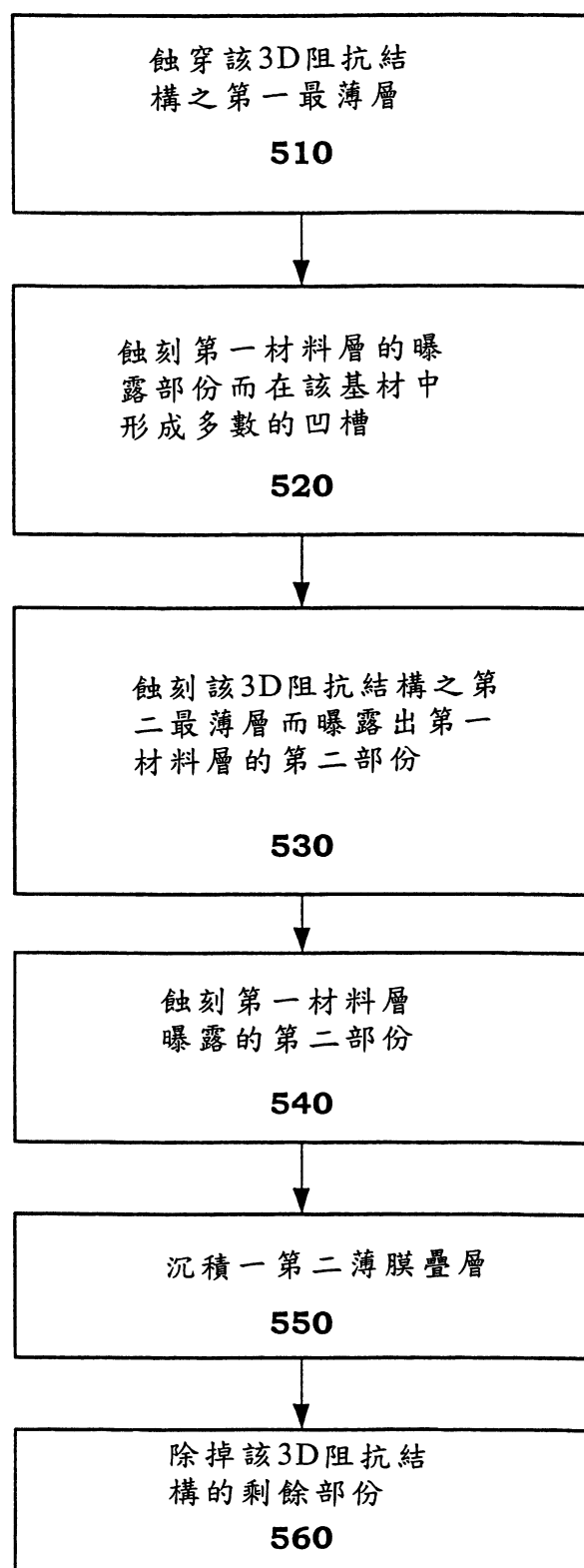
第 4(e) 圖



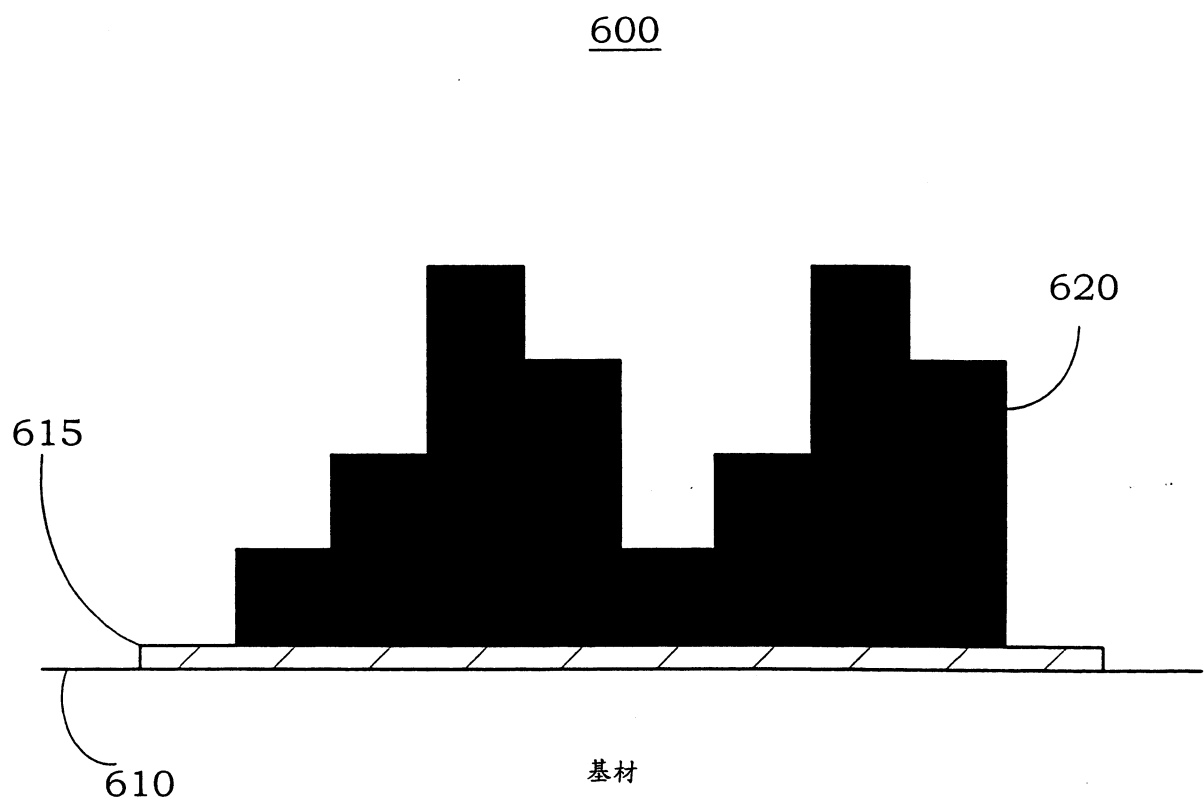
第 4(f) 圖



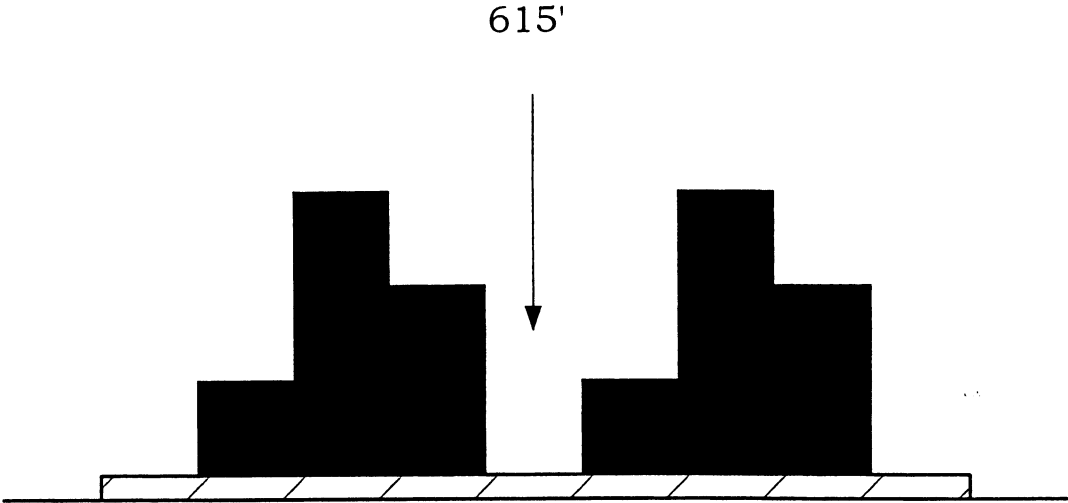
第 4(g)圖



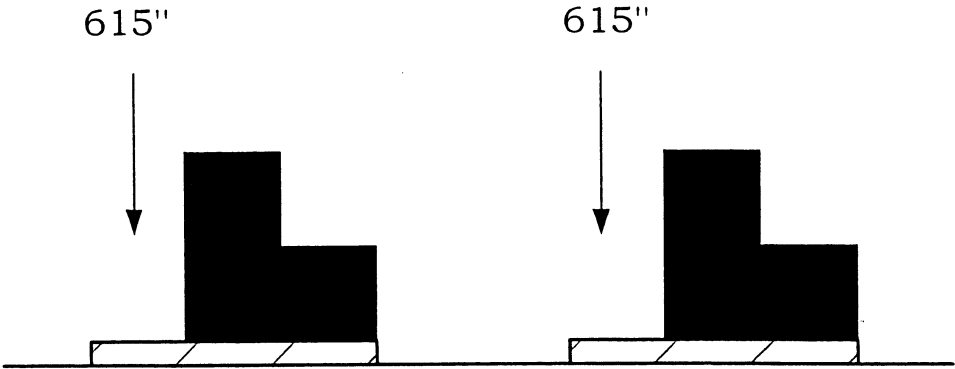
第 5 圖



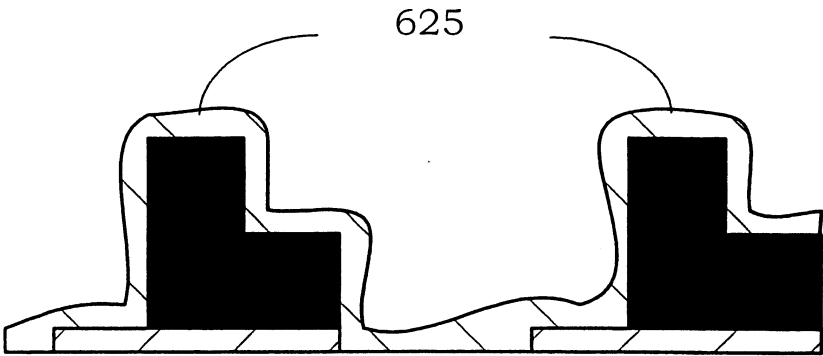
第 6(a)圖



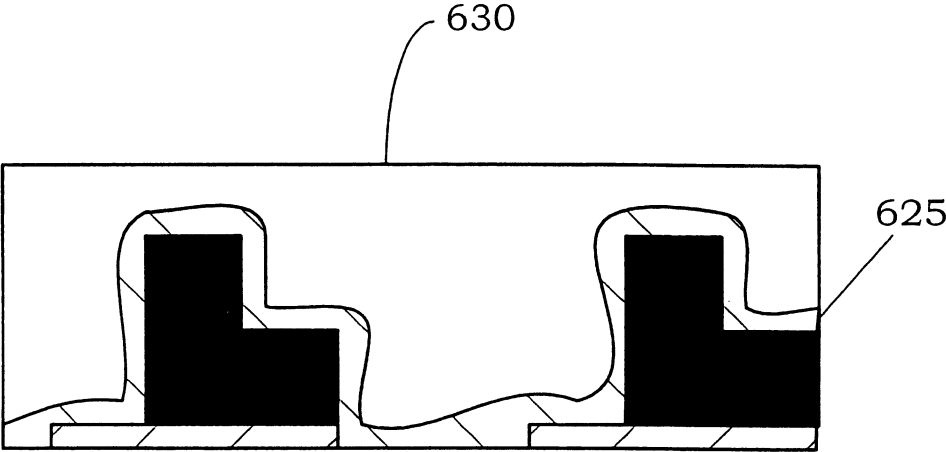
第 6(b) 圖



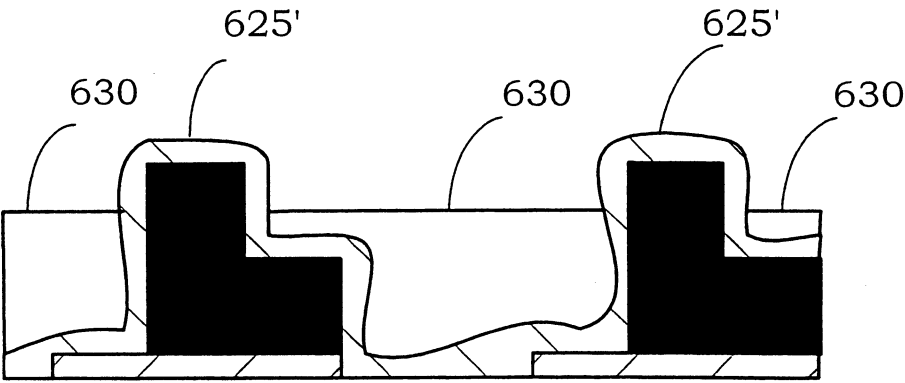
第6(c) 圖



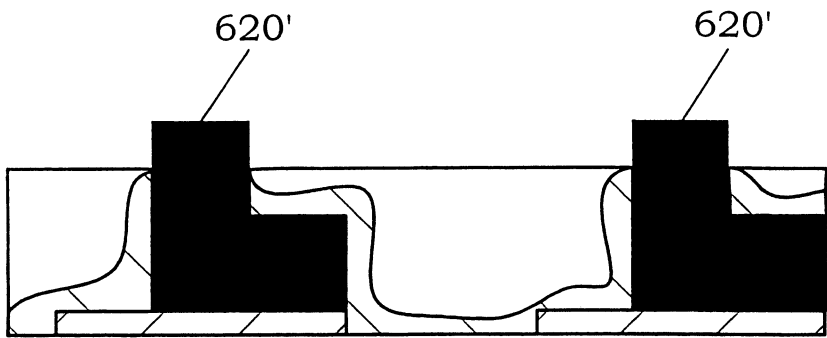
第 6(d) 圖



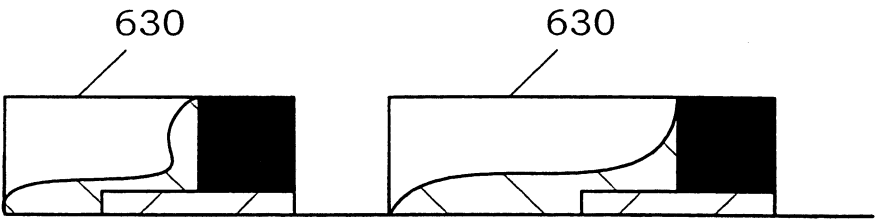
第 6(e) 圖



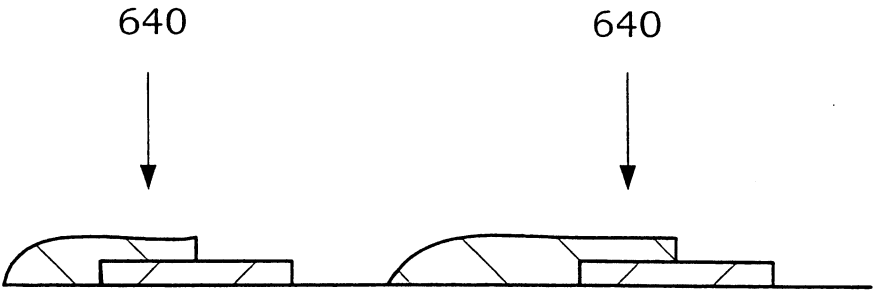
第 6(f) 圖



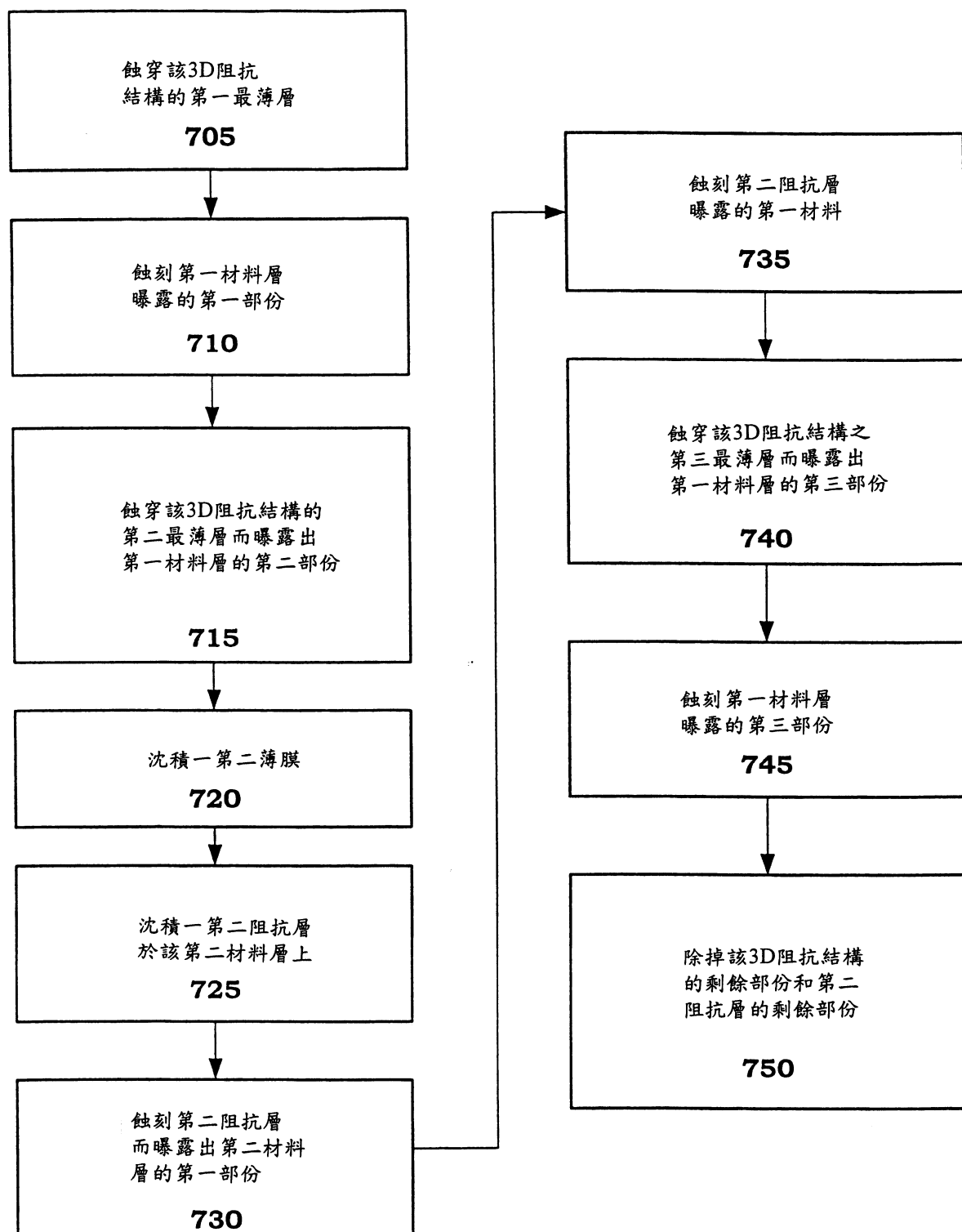
第 6(g) 圖



第 6(h)圖

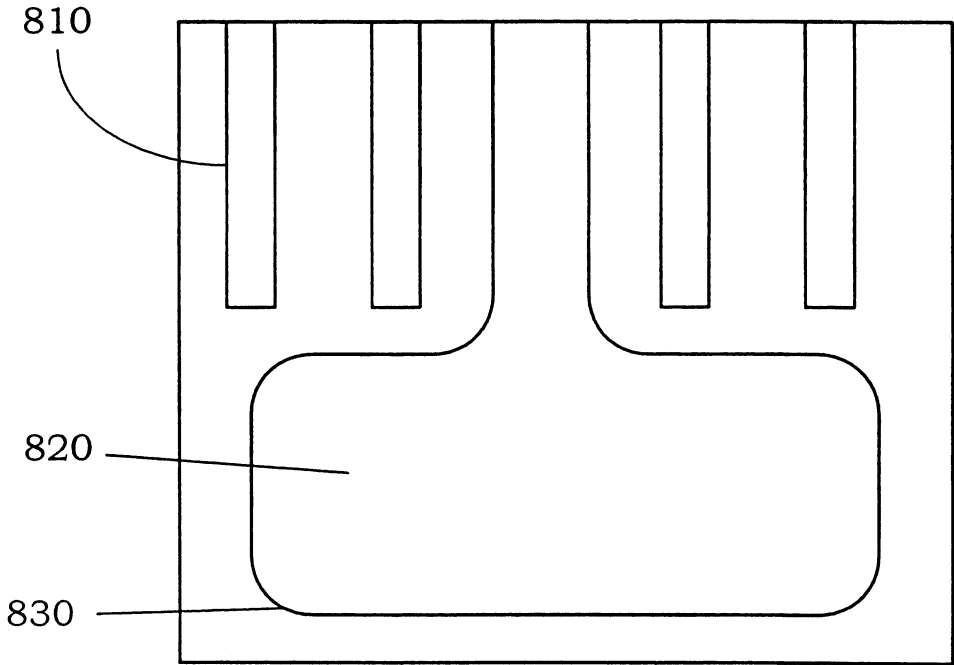


第 6(i) 圖

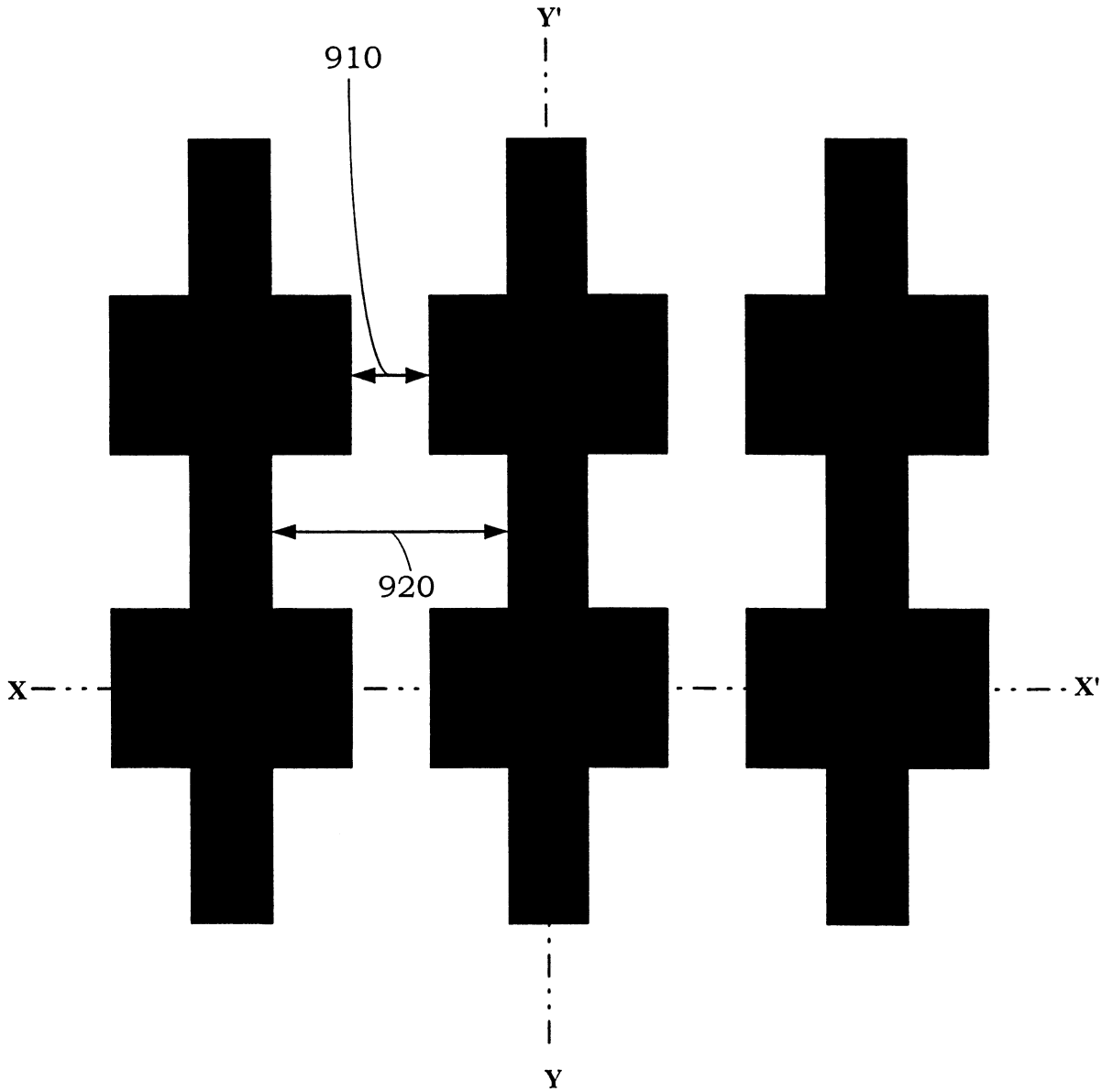


第 7 圖

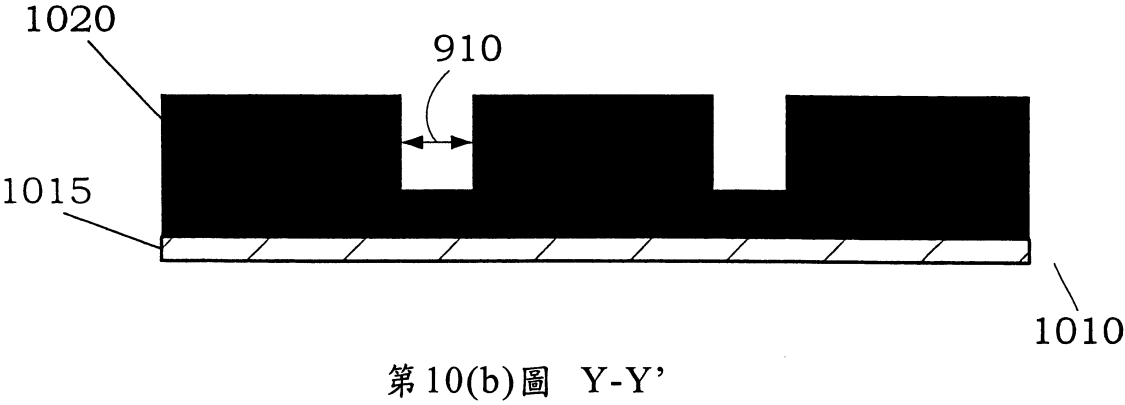
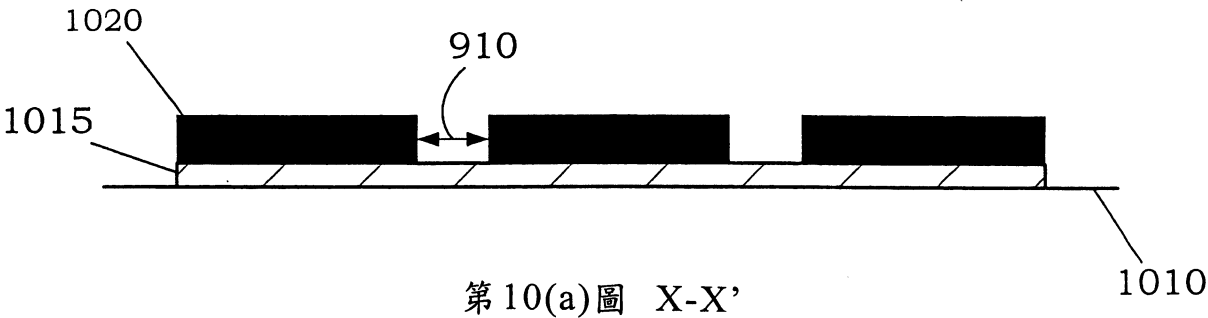
毛細作用之例

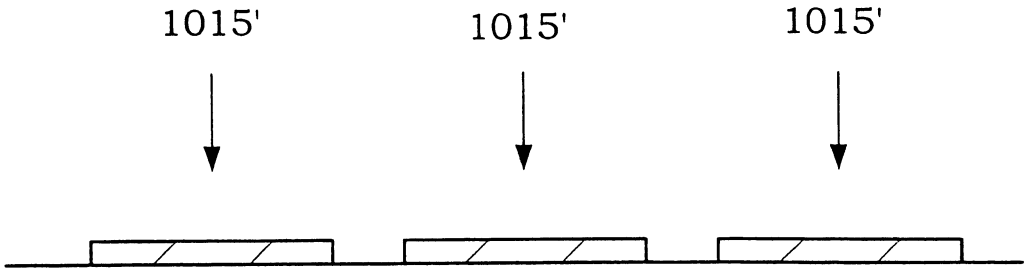


第 8 圖

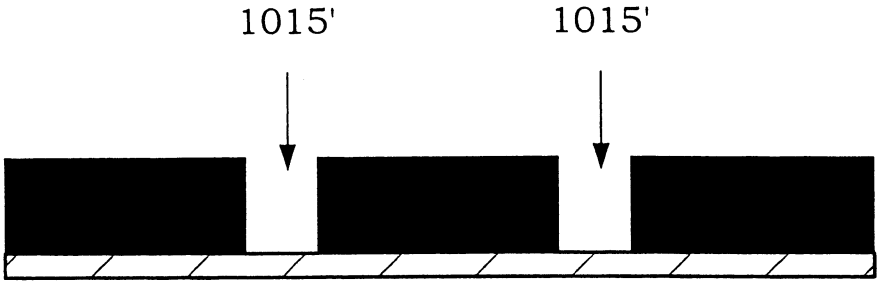


第 9 圖

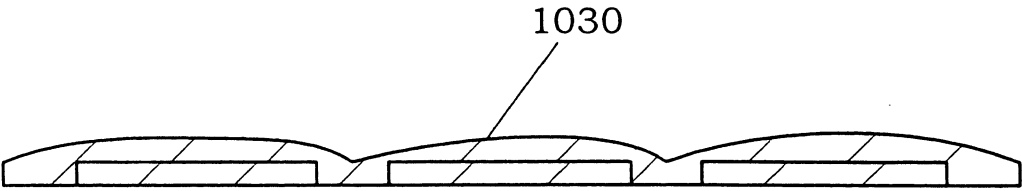




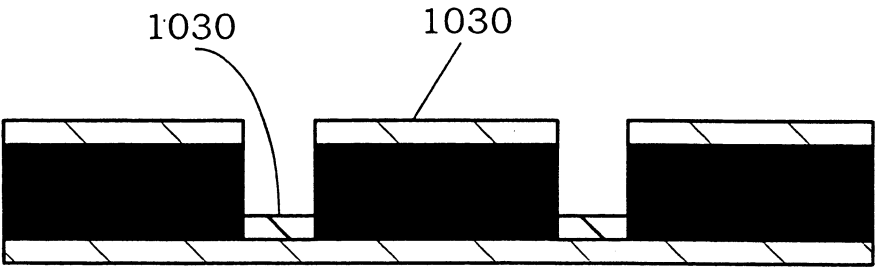
第10(c)圖 X-X'



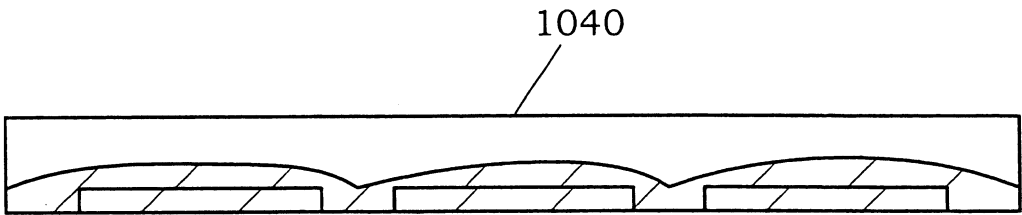
第10(d)圖 Y-Y'



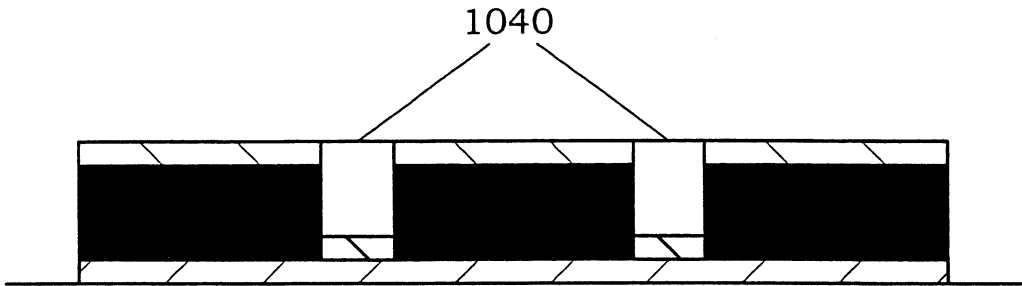
第10(e)圖 X-X'



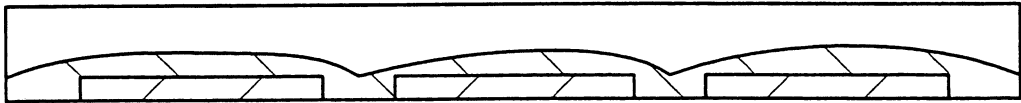
第10(f)圖 Y-Y'



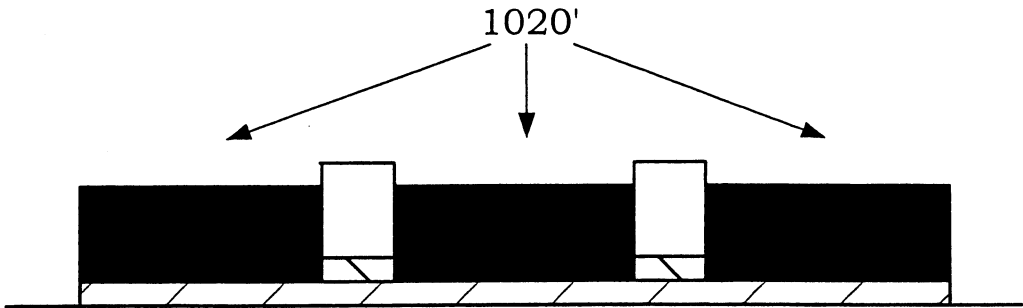
第10(g)圖 X-X'



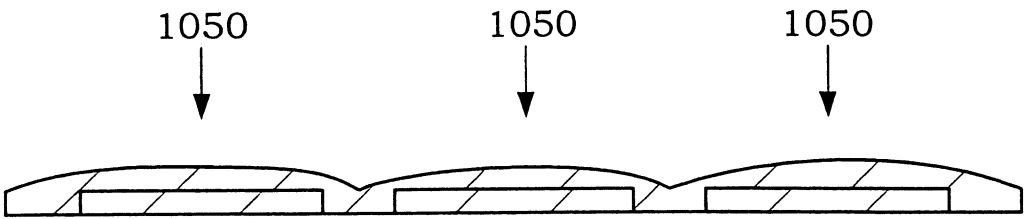
第10(h)圖 Y-Y'



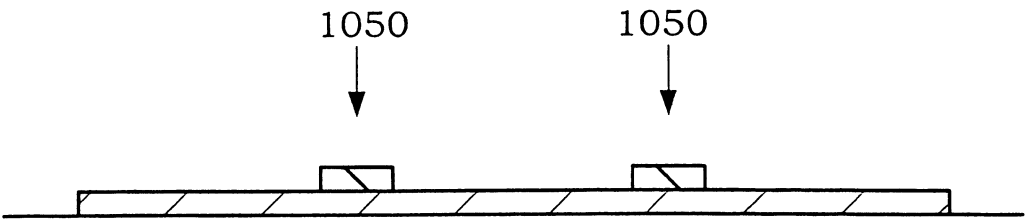
第 10(i)圖 X-X'



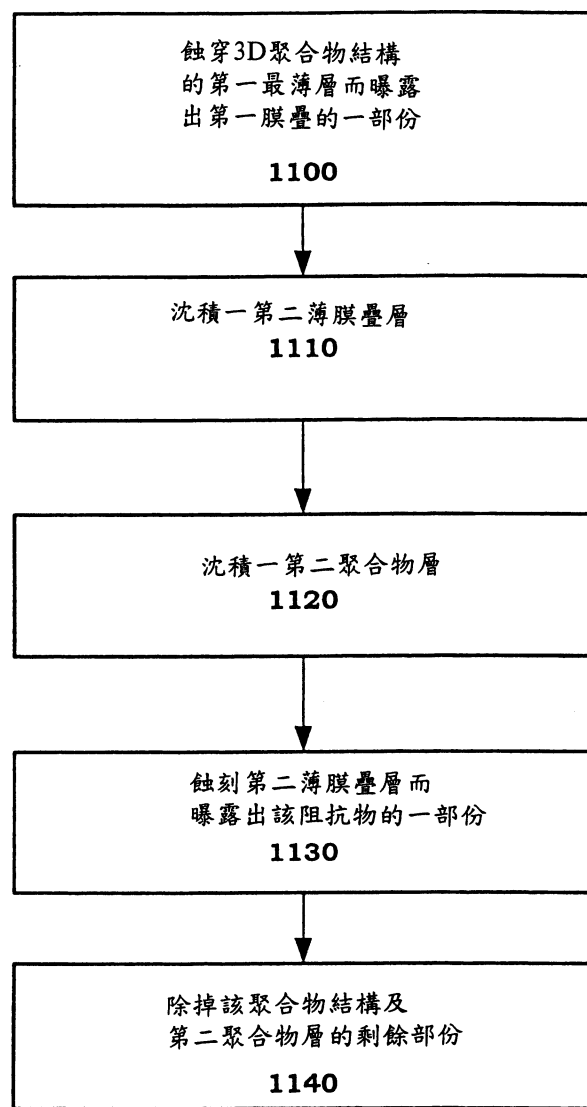
第 10(j)圖 Y-Y'



第 10(k)圖 X-X'



第 10(l)圖 Y-Y'



第 11 圖

陸、(一)、本案指定代表圖爲：第 1 圖

(二)、本代表圖之元件代表符號簡單說明：

110,120,130...各流程步驟

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

96年 2月 16日修(更)正本

拾、申請專利範圍

1. 一種形成半導體元件的方法，包含：

沈積一第一材料層於一基材之上方；

沈積一阻抗層於該第一材料層之上方；及

- 5 利用一壓印工具形成一三維(3D)圖案於該阻抗層之內，而於該基材之上方形成一3D阻抗結構，其中該3D阻抗結構含有多數不同的垂向高度遍佈該整個結構。

2. 如申請專利範圍第1項之方法，其中該等不同的垂向高度包含至少一高度係與另一高度大不相同。
- 10

3. 如申請專利範圍第2項之方法，其中該基材係為一撓性基材。

4. 如申請專利範圍第1項之方法，其中形成一3D阻抗結構的步驟更包含：
- 15

固化該阻抗物層而形成該3D阻抗結構。

5. 如申請專利範圍第4項之方法，其中該方法更包含：

在該基材上造成一交叉點陣列。

6. 如申請專利範圍第5項之方法，其中在該基材上造成一交叉點陣列的步驟更包含：
- 20

非等向性地蝕穿該3D阻抗結構之一第一最薄層，而曝露出第一材料層的第一部份；

蝕刻該第一材料層曝露的第一部份，而使許多凹槽被形成於該基材中，其中該各凹槽的深度係大於第

拾、申請專利範圍

一材料層的厚度；

蝕穿該3D阻抗結構之一第二最薄層，而曝露出第一材料層的第二部份；

蝕刻第一材料層之曝露的第二部份；

5 蝕穿該3D阻抗結構之一第三最薄層，而曝露出第一材料層的第三部份；

沈積一第二材料層於該第一材料層的曝露部份及該3D阻抗結構的剩餘部份上，而該第二材料層包含一半導體材料和一導電材料；及

10 除掉該3D阻抗結構的剩餘部份。

7. 如申請專利範圍第5項之方法，其中在該基材上造成一交叉點陣列的步驟更包含：

，非等向性地蝕穿該3D阻抗結構之一第一最薄層，而曝露出第一材料層的第一部份；

15 蝕刻該第一材料層曝露的第一部份，而曝露出一部份的基材；

蝕穿該3D阻抗結構之一第二最薄層，而曝露出第一材料層的第二部份；

20 沈積一第二材料層於第一材料層的曝露部份和該3D阻抗結構的剩餘部份上，而該第二材料層包含一半導體材料和一導電材料；

滾轉塗覆一第二阻抗層於該第二材料層上，且該第二阻抗層具有與該3D阻抗結構不同的蝕刻速率；

蝕刻該第二阻抗層而曝露出第二材料層的第一部

拾、申請專利範圍

份；

蝕刻第二材料層的第一部份；

蝕刻該3D阻抗結構之第三最薄層，而曝露出第一材料層的第三部份；

5 蝕刻該第一材料層的第三部份；及

除掉該3D阻抗結構的剩餘部份和第二阻抗層的剩餘部份。

8. 如申請專利範圍第5項之方法，其中該3D阻抗材料包含至少一通道係比另一通道更窄，而造成一交叉點陣列的步驟更包含：

10

沈積一第二材料層於第一材料層的曝露部份和該3D阻抗結構的剩餘部份上，而該第二材料層包含一半導體材料和一導電材料；

15

沈積一第二阻抗層於該第二材料層上，且該第二阻抗層係較容易被吸入該至少一通道中；

非等向性地蝕刻該第二材料層，而曝露出該3D阻抗結構的一部份；及

除掉該3D阻抗結構的剩餘部份及第二阻抗層的剩餘部份。

20 9. 一種形成半導體元件的方法，包含：

提供一撓性基材；

沈積一第一材料層於該撓性基材上；及

沈積一阻抗層於第一材料層上；

利用一壓印工具在該阻抗層中形成一3D圖案；

拾、申請專利範圍

固化該阻抗層而在該第一材料層上形成一3D阻抗結構，其中該3D阻抗結構包含多數不同的垂向高度，且至少有一高度係與另一高度大不相同；及

5 利用該3D阻抗結構在該撓性基材上造成一交叉點陣列。

10. 一種形成半導體元件的系統，包含：

一裝置可在一撓性基材上沈積一第一材料層；

一裝置可在該撓性基材上沈積一阻抗層；

10 一裝置可移轉一3D圖案於該阻抗層，而在第一材料層上形成一3D阻抗層，且該3D圖案包含多數不同的垂向高度其中至少有一高度係與另一高度大不相同；及

一裝置可利用該3D阻抗層來在該撓性基材上形成一交叉點陣列。