

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成24年11月29日 (2012.11.29)

【公表番号】特表2010-534374(P2010-534374A)

【公表日】平成22年11月4日 (2010.11.4)

【年通号数】公開・登録公報2010-044

【出願番号】特願2010-518222(P2010-518222)

【国際特許分類】

G 0 6 F 17/50 (2006.01)

【F I】

G 0 6 F 17/50 6 5 4 M

G 0 6 F 17/50 6 5 6 D

G 0 6 F 17/50 6 5 8 A

G 0 6 F 17/50 6 5 8 T

G 0 6 F 17/50 6 5 8 U

【手続補正書】

【提出日】平成24年10月11日 (2012.10.11)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

集積回路（I C）を設計する方法において、
前記 I C の一部分に対する配置判断を決定するステップと、
前記配置判断に基づいて不完全な配置情報を決定するステップと、
前記不完全な配置情報を使用して高レベル回路表現で設計の 1 又は複数の合成変換を決定するステップと、
を備え、前記不完全な配置情報は、前記 I C の前記一部分に対するリソースの位置を含むものである、方法。

【請求項 2】

高レベル回路記述は、チッププリミティブでの具現化をコンポーネントに対して選択していない少なくとも 1 つのコンポーネントを含む表現である、請求項 1 に記載の方法。

【請求項 3】

以前に合成された高レベル回路表現の一部分に対して合成変換を繰り返すステップを更に備えた、請求項 1 に記載の方法。

【請求項 4】

高レベル回路記述からの合成をまだ完了しなければならない間に配置の判断を決定するステップを更に備えた、請求項 1 に記載の方法。

【請求項 5】

前記合成変換は、
アダプター分解、
AND / OR ゲート分解、
ネットリストの平坦化、
電子的マルチプレクサ分解、
ロジック最適化、
ロジック分解、

アンドゥ/ドゥリソースシェアリング
ロジック複写、
ロジック因子分解、
シャノン展開、
ビットスブライシング、
mux / pmux コラプス及びタイミング駆動分解、及び
迂回除去、

の 1 つである、請求項 1 に記載の方法。

【請求項 6】

前記合成変換は、高レベル回路表現からコンパイルされた RTL コンポーネントをアッセンブルする、請求項 1 に記載の方法。

【請求項 7】

前記合成変換は、増分的である、請求項 1 に記載の方法。

【請求項 8】

前記合成変換は、回路設計の一部に対する少数のオブジェクトの部分的合成である、請求項 1 に記載の方法。

【請求項 9】

デジタル処理システムで実行されたときに、そのデジタル処理システムが、請求項 1 から 8 のいずれかに記載の集積回路 (IC) を設計する方法を遂行するようにさせる複数の実行可能なインストラクションを含むマシン読み取り可能な媒体。

【請求項 10】

集積回路 (IC) を設計するデータ処理システムであって、
前記 IC の一部分に対する配置判断を決定する手段と、
前記配置判断に基づいて不完全な配置情報を決定する手段と、
前記不完全な配置情報を使用して高レベル回路表現で設計の 1 又は複数の合成変換を決定する手段と、
を備え、前記不完全な配置情報は、前記 IC の前記一部分に対するリソースの位置を含むものである、データ処理システム。

【請求項 11】

高レベル回路記述は、チッププリミティブでの具現化をコンポーネントに対して選択していない少なくとも 1 つのコンポーネントを含む表現である、請求項 10 に記載のデータ処理システム。

【請求項 12】

以前に合成された高レベル回路表現の一部分に対して合成変換を繰り返す手段を更に備えた、請求項 10 に記載のデータ処理システム。

【請求項 13】

高レベル回路記述からの合成をまだ完了しなければならない間に配置の判断を決定する手段を更に備えた、請求項 10 に記載のデータ処理システム。

【請求項 14】

前記合成変換は、
アダーツリー分解、
AND / OR ゲート分解、
ネットリストの平坦化、
電子的マルチプレクサ分解、
ロジック最適化、
ロジック分解、
アンドゥ/ドゥリソースシェアリング
ロジック複写、
ロジック因子分解、
シャノン展開、

ビットスライシング、
mux / pmux コラプス及びタイミング駆動分解、及び
迂回除去、

の 1 つである、請求項 10 に記載のデータ処理システム。

【請求項 15】

前記合成変換は、高レベル回路表現からコンパイルされた RTL コンポーネントをアッセンブルする、請求項 10 に記載の方法。

【請求項 16】

前記合成変換は、増分的である、請求項 10 に記載のデータ処理システム。

【請求項 17】

前記合成変換は、回路設計の一部に対する少数のオブジェクトの部分的合成である、請求項 10 に記載のデータ処理システム。