

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-134338  
(P2017-134338A)

(43) 公開日 平成29年8月3日(2017.8.3)

(51) Int.Cl.			F I			テーマコード (参考)
<b>G09F</b>	<b>9/00</b>	<b>(2006.01)</b>	G09F	9/00	346D	2H092
<b>G09F</b>	<b>9/30</b>	<b>(2006.01)</b>	G09F	9/30	338	2H192
<b>G09G</b>	<b>3/36</b>	<b>(2006.01)</b>	G09G	3/36		5C006
<b>G09G</b>	<b>3/20</b>	<b>(2006.01)</b>	G09G	3/20	621M	5C080
<b>G02F</b>	<b>1/1368</b>	<b>(2006.01)</b>	G09G	3/20	623D	5C094

審査請求 未請求 請求項の数 11 O L (全 21 頁) 最終頁に続く

(21) 出願番号 特願2016-16115 (P2016-16115)  
(22) 出願日 平成28年1月29日 (2016.1.29)

(71) 出願人 502356528  
株式会社ジャパンディスプレイ  
東京都港区西新橋三丁目7番1号  
(74) 代理人 110001737  
特許業務法人スズエ国際特許事務所  
(72) 発明者 島 武弘  
東京都港区西新橋三丁目7番1号 株式会  
社ジャパンディスプレイ内  
Fターム(参考) 2H092 GA33 GA44 GA59 GA60 JA24  
JB42 PA01 PA06 PA08  
2H192 AA24 BC61 CB23 CB24 EA32  
EA43 FA02 FA32 FA39 FA81  
FB03 FB05 FB27 FB32 GA11  
GD02 GD61

最終頁に続く

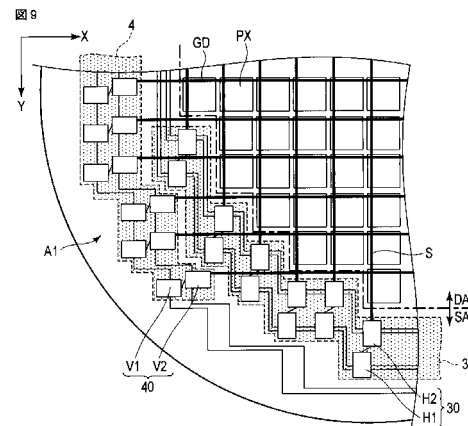
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】狭額縁化が可能な表示装置を提供する。

【解決手段】一実施形態に係る表示装置は、複数の画素が配置された表示領域を有する一対の基板、これら基板の間に配置された光学素子層、画素に配置された画素電極及びメモリ、メモリに記憶させるデジタル信号が供給される複数の信号線、メモリと信号線を接続するスイッチング素子、スイッチング素子を制御する走査信号が供給される複数の走査線、第1ドライバユニット、第2ドライバユニットを備える。第1ドライバユニットは、表示領域の周囲の周辺領域に配置され、複数の信号線の各々にデジタル信号を供給する。第2ドライバユニットは、周辺領域に配置され、複数の走査線の各々に走査信号を供給する。この表示装置において、第1ドライバユニットの少なくとも一部が表示領域と第2ドライバユニットの間に配置されている。

【選択図】 図9



**【特許請求の範囲】****【請求項 1】**

複数の画素が配置された表示領域を有する一对の基板と、  
前記一对の基板の間にある光学素子層と、  
前記画素に配置された画素電極と、  
前記画素に配置されたメモリと、  
前記メモリに記憶させるデジタル信号が供給される複数の信号線と、  
前記メモリと前記信号線とを接続するスイッチング素子と、  
前記スイッチング素子を制御する走査信号が供給される複数の走査線と、  
前記表示領域の周囲の周辺領域に配置され、前記複数の信号線の各々に前記デジタル信号を供給する第 1 ドライバユニットと、  
前記周辺領域に配置され、前記複数の走査線の各々に前記走査信号を供給する第 2 ドライバユニットと、  
を備え、  
前記第 1 ドライバユニットの少なくとも一部が、前記表示領域と前記第 2 ドライバユニットの間に配置されている、  
表示装置。

**【請求項 2】**

前記第 1 ドライバユニットは、複数の第 1 回路ユニットを備え、  
前記複数の第 1 回路ユニットの各々には対応する前記信号線が接続されており、  
前記複数の第 1 回路ユニットの少なくとも 1 つが、前記表示領域と前記第 2 ドライバユニットの間に配置されている、  
請求項 1 に記載の表示装置。

**【請求項 3】**

前記第 1 回路ユニットは、第 1 回路と、第 2 回路と、前記第 1 回路及び前記第 2 回路を接続する第 1 接続線と、を含み、  
平面視において、前記第 1 回路と前記第 2 回路の間に、前記第 1 接続線と交差して前記走査線が第 1 方向に延在している、  
請求項 2 に記載の表示装置。

**【請求項 4】**

前記第 1 回路は、シフトレジスタを含み、  
前記第 2 回路は、前記信号線に供給するデジタル信号を記憶する第 1 ラッチ回路を含む、  
請求項 3 に記載の表示装置。

**【請求項 5】**

前記複数の画素の前記メモリに記憶させる前記デジタル信号を示すデータが順次供給されるデータバスをさらに備え、  
平面視において、前記第 1 回路と前記第 2 回路の間に、前記第 1 接続線と交差して前記データバスがさらに延在している、  
請求項 3 又は 4 に記載の表示装置。

**【請求項 6】**

前記複数の走査線は、第 1 走査線と、第 2 走査線とを含み、  
前記第 1 回路ユニットは、第 1 回路と、第 2 回路と、第 3 回路と、前記第 1 回路及び前記第 2 回路を接続する第 1 接続線と、前記第 2 回路及び前記第 3 回路を接続する第 2 接続線と、を含み、  
平面視において、前記第 1 回路と前記第 2 回路の間に、前記第 1 接続線と交差して前記第 1 走査線が第 1 方向に延在し、  
平面視において、前記第 2 回路と前記第 3 回路の間に、前記第 2 接続線と交差して前記第 2 走査線が前記第 1 方向に延在している、  
請求項 2 に記載の表示装置。

## 【請求項 7】

前記第 1 回路は、シフトレジスタを含み、

前記第 2 回路は、前記信号線に供給するデジタル信号を記憶する第 1 ラッチ回路を含み

、  
前記第 3 回路は、前記第 1 ラッチ回路から出力される前記デジタル信号を記憶する第 2 ラッチ回路を含む、

請求項 6 に記載の表示装置。

## 【請求項 8】

前記第 3 回路は、バッファ回路と、前記第 2 ラッチ回路と前記バッファ回路を接続する第 3 接続線と、をさらに備え、

前記バッファ回路は、前記第 2 ラッチ回路が記憶する前記デジタル信号を前記信号線に供給する、

請求項 7 に記載の表示装置。

## 【請求項 9】

画像の表示信号が供給される第 1 配線と、

画像の非表示信号が供給される第 2 配線と、

前記表示信号及び前記非表示信号のうち、前記メモリに記憶された前記デジタル信号に対応する一方を前記画素電極に供給する選択制御回路と、

をさらに備え、

前記第 1 配線及び前記第 2 配線の少なくとも一方は、前記表示領域と前記第 1 ドライバユニットの間に延在している、

請求項 1 乃至 8 のうちいずれか 1 項に記載の表示装置。

## 【請求項 10】

前記第 1 ドライバユニットは、複数の第 1 回路ユニットを備え、

前記第 2 ドライバユニットは、複数の第 2 回路ユニットを備え、

前記周辺領域は、前記第 1 回路ユニットと前記第 2 回路ユニットが形成された第 1 領域と、前記第 2 回路ユニットが形成され前記第 1 回路ユニットが形成されていない第 2 領域と、を有し、

前記第 1 領域における、前記第 2 回路ユニットと前記表示領域との距離は、第 1 距離であり、

前記第 2 領域における、前記第 2 回路ユニットと前記表示領域との間の距離は、第 2 距離であり、

前記第 2 距離は、前記第 1 距離よりも小さい、

請求項 1 に記載の表示装置。

## 【請求項 11】

画像を表示しないダミー画素をさらに備え、

前記第 1 ドライバユニットは、複数の第 1 回路ユニットを備え、

1 つの前記第 1 回路ユニットは、前記複数の信号線に接続され、各信号線に接続される前記ダミー画素の数は異なっている、

請求項 1 乃至 10 のうちいずれか 1 項に記載の表示装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明の実施形態は、表示装置に関する。

## 【背景技術】

## 【0002】

表示領域において画素ごとにメモリが配置された液晶表示装置などの表示装置が知られている。この種の表示装置は、表示させる画像に応じたデジタル信号を各メモリに書き込むとともに、各画素の駆動電位を各メモリに記憶されたデジタル信号に対応する電位に設定することにより、表示領域に画像を表示する。このように、メモリに記憶されたデジタ

10

20

30

40

50

ル信号に基づいて画素を駆動する方式は、例えば、デジタルモード或いはデジタル駆動方式などと呼ばれる。

【0003】

表示装置においては、表示領域の周囲の周辺領域を極力小さくすること（狭額縁化）が望まれている。デジタルモードの表示装置においては、メモリを制御するための各種の配線や回路を周辺領域に配置する必要がある。そのため、狭額縁化を達成するためには、周辺領域における回路レイアウトを工夫する必要がある。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2009-122636号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本開示の一態様における目的は、狭額縁化が可能なデジタルモードの表示装置を提供することである。

【課題を解決するための手段】

【0006】

一実施形態に係る表示装置は、一对の基板と、光学素子層と、画素電極と、メモリと、複数の信号線と、スイッチング素子と、複数の走査線と、第1ドライバユニットと、第2ドライバユニットと、を備える。上記一对の基板は、複数の画素が配置された表示領域を有する。上記光学素子層は、上記一对の基板の間に配置されている。上記画素電極及び上記メモリは、上記画素に配置されている。上記信号線は、上記メモリに記憶させるデジタル信号が供給される。上記スイッチング素子は、上記メモリと上記信号線とを接続する。上記走査線は、上記スイッチング素子を制御する走査信号が供給される。上記第1ドライバユニットは、上記表示領域の周囲の周辺領域に配置され、上記複数の信号線の各々に上記デジタル信号を供給する。上記第2ドライバユニットは、上記周辺領域に配置され、上記複数の走査線の各々に上記走査信号を供給する。この表示装置において、上記第1ドライバユニットの少なくとも一部が、上記表示領域と上記第2ドライバユニットの間に配置されている。

【図面の簡単な説明】

【0007】

【図1】図1は、一実施形態に係る表示装置の全体構成の一例を示す図である。

【図2】図2は、上記表示装置の回路構成の一例を示す図である。

【図3】図3は、上記表示装置が備える副画素の等価回路の一例を示す図である。

【図4】図4は、上記表示装置の記憶期間における動作の一例を示すタイミングチャートである。

【図5】図5は、上記表示装置の表示期間における動作の一例を示すタイミングチャートである。

【図6】図6は、上記表示装置が備える第1回路ユニットの概略的な構成を示す図である。

【図7】図7は、上記表示装置が備える第2回路ユニットの概略的な構成を示す図である。

【図8】図8は、周辺領域に含まれる第1領域において、上記表示装置が備える第1及び第2ドライバユニットに適用し得る回路レイアウトの一例を示す図である。

【図9】図9は、第1領域において、上記第1及び第2ドライバユニットに適用し得る回路レイアウトの他の例を示す図である。

【図10】図10は、周辺領域に含まれる第2領域において、上記第2ドライバユニットに適用し得る回路レイアウトの一例を示す図である。

【図11】図11は、第1領域に適用し得る回路レイアウトの具体例を示す図である。

10

20

30

40

50

【図 1 2】図 1 2 は、図 1 1 の第 1 回路ユニットを拡大して示す図である。

【図 1 3】図 1 3 は、図 1 1 の第 2 回路ユニットを拡大して示す図である。

【発明を実施するための形態】

【0008】

一実施形態につき、図面を参照しながら説明する。

なお、開示はあくまで一例に過ぎず、当業者において、発明の主旨を保つての適宜変更について容易に想到し得るものについては、当然に本発明の範囲に含有される。また、図面は、説明をより明確にするため、実際の態様に比べて模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。各図において、連続して配置される同一又は類似の要素については符号を省略することがある。また、本明細書と

10

【0009】

本実施形態においては、表示装置の一例として、上述のデジタルモードの機能を備えた液晶表示装置を開示する。ただし、本実施形態は、他種の表示装置に対する、本実施形態にて開示される個々の技術的思想の適用を妨げるものではない。他種の表示装置としては、有機エレクトロルミネッセンス（有機 EL）表示装置などの自発光型の表示装置、或いは電気泳動素子等を有する電子ペーパー型の表示装置などが想定される。

【0010】

先ず、図 1 乃至図 5 を用いて、表示装置の基本的な構成及び動作について述べる。

20

図 1 は、表示装置 1 の概略構成の一例を示す平面図である。表示装置 1 は、第 1 基板 SUB 1 と、第 2 基板 SUB 2 とを備えている。第 1 基板 SUB 1 及び第 2 基板 SUB 2 は、互いに対向した状態で貼り合わされている。第 1 基板 SUB 1 と第 2 基板 SUB 2 の間には、液晶層（後述する液晶層 LC）が封入されている。この液晶層は、光学素子層の一例である。その他の光学素子層としては、上述のような有機 EL 素子、電気泳動素子、及び、MEMS（Micro Electro Mechanical Systems）シャッタ素子が挙げられる。

【0011】

表示装置 1 は、表示領域 DA と、表示領域 DA を囲う周辺領域 SA とを有している。表示領域 DA は、第 1 基板 SUB 1 と第 2 基板 SUB 2 とが重畳する領域のうち、画像が表示される領域に相当する。表示領域 DA には画素 PX が配置されている。具体的には、表示領域 DA には、多数の画素 PX が第 1 方向 X 及び第 2 方向 Y に沿ってマトリクス状に配列されている。第 1 方向 X 及び第 2 方向 Y は、例えば互いに直交する。周辺領域 SA は、第 1 基板 SUB 1 と第 2 基板 SUB 2 とが重畳する領域のうち、表示領域 DA の外側の領域に相当する。

30

【0012】

図 1 の例において、表示領域 DA は正円形状である。但し、表示領域 DA は、楕円形状、多角形状、或いは少なくとも一部に曲線状の輪郭を含む形状など、他の形状であっても良い。また、図 1 の例においては、第 1 基板 SUB 1、第 2 基板 SUB 2、及び周辺領域 SA も正円形である。但し、これら第 1 基板 SUB 1、第 2 基板 SUB 2、及び周辺領域 SA に関しても、表示領域 DA と同様に他の形状であっても良い。

40

【0013】

表示装置 1 は、制御装置 2 と、第 1 ドライバユニット 3 と、第 2 ドライバユニット 4 とをさらに備えている。制御装置 2 は、例えば第 1 基板 SUB 1 に実装された集積回路であり、外部から入力される画像データに基づき画像表示に必要な各種の信号を出力する信号供給源として機能する。なお、制御装置 2 は、第 1 基板 SUB 1 や第 2 基板 SUB 2 に実装されずに、フレキシブル配線基板などを介してこれら基板に接続されても良い。

【0014】

第 1 ドライバユニット 3 及び第 2 ドライバユニット 4 は、周辺領域 SA において、例えば第 1 基板 SUB 1 に形成されている。図 1 の例において、第 1 ドライバユニット 3 は、表示領域 DA の下方の縁部（制御装置 2 側の縁部）に沿う円弧形状を有している。また、

50

第2ドライバユニット4は、表示領域DAの左方の縁部に沿う円弧形状を有している。第1ドライバユニット3は、水平ドライバ、信号線駆動回路、或いはソースドライバなどと言い換えることもできる。第2ドライバユニット4は、垂直ドライバ、走査線駆動回路、或いはゲートドライバなどと言い換えることもできる。

【0015】

周辺領域SAは、例えば第2基板SUB2に形成された遮光層により遮光されている。このような遮光層を設けることで、周辺領域SAからの光漏れや、周辺領域SAに形成された回路及び配線による光の反射を防ぐことができる。

【0016】

第1ドライバユニット3は、複数の第1回路ユニット30を備えている。第2ドライバユニット4は、複数の第2回路ユニット40を備えている。 10

周辺領域SAは、第1領域A1と、第2領域A2とを有している。第1領域A1においては、第2ドライバユニット4と表示領域DAの間に第1ドライバユニット3の一部（少なくとも1つの第1回路ユニット30）が位置している。一方で、第2領域A2においては、第2ドライバユニット4と表示領域DAの間に第1ドライバユニット3が位置していない。他の観点から言えば、第1領域A1には第1回路ユニット30と第2回路ユニット40の双方が形成されており、第2領域A2には第2回路ユニット40が形成され、第1回路ユニット30が形成されていない。

【0017】

図2は、表示装置1の概略的な回路構成を示す図である。ここでは、図示の簡略化のために、表示領域DAを矩形とし、各ドライバユニット3, 4を直線状としている。本実施形態において、画素PXは、赤色(R)、緑色(G)、青色(B)の副画素SPを含む。以下、赤色、緑色、青色の副画素SPを、それぞれ副画素SPR, SPG, SPBと呼ぶ。なお、本開示においては、副画素SPを単に“画素”と呼ぶこともある。 20

【0018】

図2の例においては、1つの画素PXに含まれる副画素SPR, SPG, SPBが第1方向Xに並んでいる。但し、画素PXのレイアウトは図2の例に限定されない。例えば、画素PXは、白色(W)などの他の色の副画素SPをさらに含んでも良い。また、1つの画素PXに含まれる副画素SPのうち少なくとも一部が第2方向Yに並んでも良い。また、画素PXは、同一の色に対応する複数の副画素SPを含んでも良い。 30

【0019】

表示装置1は、複数の信号線Sと、複数の走査線GDとを備えている。各信号線S及び各走査線GDは、第1基板SUB1に形成されている。各信号線Sは、それぞれ対応する第1回路ユニット30に接続されている。各走査線GDは、それぞれ対応する第2回路ユニット40に接続されている。各信号線Sは、第2方向Yに沿って表示領域DAに延出し、第1方向Xに並んでいる。各走査線GDは、第1方向Xに沿って表示領域DAに延出し、第2方向Yに並んでいる。

【0020】

副画素SPの各々は、第1基板SUB1に形成されたメモリ10及び画素電極PEを備えている。メモリ10は、信号線Sを介して供給されるデジタル信号を記憶する。画素電極PEは、第2基板SUB2に形成された共通電極CEと対向している。共通電極CEは、第1基板SUB1に形成されても良い。画素電極PE及び共通電極CEは、例えばインジウム・ティン・オキサイド(ITO)などの透明導電材料で形成することができる。共通電極CEは、複数の副画素SPに亘って形成されており、共通電極線LCMを介して制御装置2が備える交流駆動回路20に接続されている。 40

【0021】

表示装置1は、各副画素SPに対向するカラーフィルタを備えている。これらのカラーフィルタは、対向する副画素SPの表示色に対応する色を有しており、例えば第2基板SUB2に形成されている。

【0022】

表示装置 1 は、例えば反射型の表示装置とすることができる。この場合においては、表示領域 D A に外光を反射する反射層を形成し、この反射層により反射された光を利用して画像を表示する。第 2 基板 S U B 2 の外面側にフロントライトを設け、このフロントライトからの光を利用して画像を表示しても良い。

【 0 0 2 3 】

また、表示装置 1 は、透過型の表示装置とすることができる。この場合においては、第 1 基板 S U B 1 の裏面側にバックライトを設け、このバックライトからの光を利用して画像を表示する。表示装置 1 は、反射型と透過型の双方の機能を有しても良い。

【 0 0 2 4 】

図 3 は、副画素 S P の等価回路の一例を示す図である。各副画素 S P の各々には、上記画素電極 P E と、上記メモリ 1 0 と、選択制御回路 1 1 と、記憶制御回路 1 2 とが配置されている。

10

【 0 0 2 5 】

選択制御回路 1 1 は、入力端が第 1 駆動線 D L 1 に接続されたスイッチング素子 Q 1 と、入力端が第 2 駆動線 D L 2 に接続されたスイッチング素子 Q 2 とを備えている。第 1 駆動線 D L 1 には、例えば制御装置 2 から画像の表示信号である第 1 駆動信号 x F R P が供給される。第 2 駆動線 D L 2 には、交流駆動回路 2 0 から画像の非表示信号である第 2 駆動信号 F R P が供給される。

【 0 0 2 6 】

さらに、選択制御回路 1 1 は、スイッチング素子 Q 1 , Q 2 の出力端と画素電極 P E とを接続する選択信号線 1 2 a を備えている。

20

【 0 0 2 7 】

図 3 においては、交流駆動回路 2 0 から延出した配線が第 2 駆動線 D L 2 及び共通電極線 L C M に分岐している。すなわち、この例では、各信号 F R P , V C O M が同電位である。

【 0 0 2 8 】

メモリ 1 0 は、スイッチング素子 Q 3 ~ Q 6 を備えている。スイッチング素子 Q 3 , Q 5 の入力端には、第 1 電源線 L P 1 が接続されている。第 1 電源線 L P 1 には、第 2 回路ユニット 4 0 から電源電圧 V R A M が供給される。スイッチング素子 Q 4 , Q 6 の入力端には、電圧 V S S が供給される第 2 電源線 L P 2 が接続されている。スイッチング素子 Q 3 , Q 4 は出力端がスイッチング素子 Q 2 の制御端に接続された第 1 インバータを構成し、スイッチング素子 Q 5 , Q 6 は出力端がスイッチング素子 Q 1 の制御端に接続された第 2 インバータを構成する。これらインバータは逆方向に並列接続されており、スイッチング素子 Q 1 , Q 2 のいずれか一方を選択的にオンする。

30

【 0 0 2 9 】

第 1 回路ユニット 3 0 は、信号線 S にデジタル信号 S I G を供給する。記憶制御回路 1 2 は、信号線 S に供給されるデジタル信号 S I G をメモリ 1 0 に記憶させる回路であって、スイッチング素子 Q 7 を備えている。スイッチング素子 Q 7 の入力端は信号線 S に接続され、出力端はスイッチング素子 Q 3 , Q 4 の制御端に接続されている。スイッチング素子 Q 7 の制御端には、走査線 G D が接続されている。走査線 G D には、第 2 回路ユニット 4 0 から走査信号 G A T E D が供給される。

40

【 0 0 3 0 】

スイッチング素子 Q 1 ~ Q 7 は、例えばいずれも薄膜トランジスタであって、第 1 基板 S U B 1 に形成されている。第 1 駆動線 D L 1、第 2 駆動線 D L 2、第 1 電源線 L P 1、第 2 電源線 L P 2、走査線 G D も第 1 基板 S U B 1 に形成されており、第 1 方向 X に並ぶ複数の副画素 S P に接続されている。

【 0 0 3 1 】

以上のような構成の表示装置 1 は、デジタルモードで各副画素 S P を駆動することができる。デジタルモードは、メモリ 1 0 が記憶するデジタル信号に基づき副画素 S P の輝度を単純にオンオフのモノクロで制御する方式である。以下の説明では、表示装置 1 がノー

50

マリブラックモードであって、メモリ10がHレベル（高電位レベル）に設定されているときに副画素SPがオン（白表示）され、メモリ10がLレベル（低電位レベル）に設定されているときに副画素SPがオフ（黒表示）される場合を想定する。

【0032】

デジタルモードにおいては、信号線Sに供給されたデジタル信号SIGをメモリ10に記憶させる記憶期間と、第1駆動信号xFRP及び第2駆動信号FRPのうちメモリ10に記憶されたデジタル信号（Hレベル又はLレベル）に対応する一方を選択的に画素電極PEに供給する表示期間とが繰り返される。

【0033】

以下の説明においては、表示領域DAにおいて第1方向Xに並ぶ一群の副画素SPを、水平ラインと呼ぶ。記憶期間においては、走査線GDに走査パルスが順次供給されるとともに、走査パルスが供給された走査線GDに対応する水平ラインのデジタル信号SIGが各信号線Sに順次供給される。これにより、水平ラインごとに、画像データに応じたデジタル信号SIGがメモリ10に順次書き込まれていく。

【0034】

図4は、表示装置1の記憶期間における動作の一例を示すタイミングチャートである。このタイミングチャートにおいては、図3に示した1つの副画素SPに着目して、デジタル信号SIG、画素電極PEの画素電位PIX、共通信号VCOM、走査信号GATED、電源電圧VRAM、メモリ10に記憶されるメモリ電位RAMの変化を示している。

【0035】

以下の説明においては、一水平ラインに対してデジタル信号SIGを書き込むための期間を、水平期間THと定義する。水平期間THにおいて、信号線Sのデジタル信号SIGは、メモリ10に書き込むべき電位に設定される。ここでは、Hレベルである電圧VDDが白表示に対応し、Lレベルである電圧VSSが黒表示に対応するものとする。第1電源線LP1の電源電圧VRAMは、VDD2からVDD1に立ち下げられる。その後、走査線GDの走査信号GATEDがVSS2からVDD2に立ち上げられると、スイッチング素子Q7がオンし、メモリ10が信号線Sに接続される。このとき、図中に矢印で示したように、信号線Sに供給されたデジタル信号SIGのレベルがメモリ10に書き込まれる。図4においては、Hレベルがメモリ10に書き込まれる場合を例示している。

【0036】

その後、走査信号GATEDをVSS2に立ち下げることによってスイッチング素子Q7がオフされ、電源電圧VRAMがスイッチング素子Q1、Q2をオンにする電圧であるVDD2に立ち上げられる。この際、メモリ10の電圧もVDD1からVDD2に立ち上げられる。これにより、メモリ10は第1電源線LP1とスイッチング素子Q1を接続し、電源電圧VRAMによりスイッチング素子Q1をオンにする。一方で、メモリ10は第2電源線LP2とスイッチング素子Q2を接続し、電圧VSSによりスイッチング素子Q2をオフにする。スイッチング素子Q1がオンになったことで、選択信号線12aに第1駆動線DL1の第1駆動信号xFRPが供給される。

【0037】

仮に、メモリ10に供給される電位が黒表示に相当するLレベルであれば、メモリ10は第2電源線LP2とスイッチング素子Q1を接続し、電圧VSSによりスイッチング素子Q1をオフにする。一方で、メモリ10は第1電源線LP1とスイッチング素子Q2を接続し、電源電圧VRAMによりスイッチング素子Q2をオンにする。スイッチング素子Q2がオンになったことで、選択信号線12aに第2駆動線DL2の第2駆動信号FRPが供給される。つまり、メモリ10は、記憶した電圧によって、スイッチング素子Q1、Q2のいずれかを排他的にオンにし、第1駆動線DL1及び第2駆動線DL2のいずれか一方を選択信号線12aの接続先として選択する。

【0038】

図5は、表示装置1の表示期間における動作の一例を示すタイミングチャートである。このタイミングチャートにおいては、図4の場合と同じく1つの副画素SPに着目してい

10

20

30

40

50

る。なお、図4及び図5の例では、画素電極PE及び共通電極CEの間の電位の極性を、表示領域DAに配置された全ての副画素SPでフレーム期間TFごとに周期的に反転させるフレーム反転制御を用いたケースを示している。1フレームを構成する各水平ラインのメモリ10の書き換えは、例えば1つのフレーム期間TFの間に行われる。すなわち、図4に示した一連の水平期間THは、1つのフレーム期間TFに含まれるもので、信号VCOMが一定である。一方で、図5に示すように、表示期間は複数のフレーム期間TFで構成されており、フレーム期間TFごとに各信号VCOM, FRPの電位がVSSとVDDの間で変化している。第1駆動信号xFRPは第2駆動信号FRPと逆相の交流信号であり、フレーム期間TFごとに電圧VDD, VSSの間で変化する。

#### 【0039】

表示期間においては、メモリ10によりスイッチング素子Q1がオンされている場合には第1駆動線DL1が画素電極PEに接続され、メモリ10によりスイッチング素子Q2がオンされている場合には第2駆動線DL2が画素電極PEに接続される。図5においては、第1駆動線DL1が画素電極PEに接続されたことにより、画素電位PIXが第1駆動信号xFRPに設定される場合を例示している。この場合には、画素電極PEと共通電極CEとの間に電位差が生じ、副画素SPが白表示となる。一方で、第2駆動線DL2が画素電極PEに接続された場合には、画素電極PEと共通電極CEとの間に電位差が生じず、副画素SPが黒表示となる。

以上の動作により、各副画素SPが白表示又は黒表示となり、表示領域DAに画像が表示される。

#### 【0040】

続いて、図6及び図7を用いて、第1回路ユニット30及び第2回路ユニット40について説明する。

図6は、第1回路ユニット30の概略的な構成を示す図である。この図に示す第1回路ユニット30は、赤色に対応する2つの副画素SPR1, SPR2、緑色に対応する2つの副画素SPG1, SPG2、青色に対応する2つの副画素SPB1, SPB2の各々にデジタル信号SIGを供給するものである。例えば、副画素SPR1, SPG1, SPB1は1つの画素PXに含まれ、副画素SPR2, SPG2, SPB2はこの画素PXと第1方向Xに隣り合う他の画素PXに含まれる。

#### 【0041】

第1回路ユニット30は、第1シフトレジスタ31と、第1ラッチ回路32と、第2ラッチ回路33と、第1バッファ回路34とを備えている。第1ラッチ回路32は、メモリ素子MA1~MA6を備えている。第2ラッチ回路33は、メモリ素子MB1~MB6を備えている。第1バッファ回路34は、バッファ素子BA1~BA6を備えている。

#### 【0042】

第1シフトレジスタ31と第1ラッチ回路32は、2本の第1接続線CL1によって接続されている。メモリ素子MA1~MA6は、それぞれ第2接続線CL2を介してメモリ素子MB1~MB6に接続されている。メモリ素子MB1~MB6は、それぞれ第3接続線CL3を介してバッファ素子BA1~BA6に接続されている。各バッファ素子BA1~BA6には、それぞれ副画素SPR1, SPG1, SPB1, SPR2, SPG2, SPB2に延びる信号線Sが接続されている。

#### 【0043】

第1シフトレジスタ31、第1ラッチ回路32、第2ラッチ回路33、及び第1バッファ回路34は、電圧VDD1, VSSを駆動電源として動作する。第1シフトレジスタ31は、リセット信号xRSTが入力すると、出力OUT, xOUTをオフ電位にクリアする。第1シフトレジスタ31は、クロックHCKが入力すると、前段の第1回路ユニット30の第1シフトレジスタ31(以下、前段レジスタと呼ぶ)の出力データDIを取り込み、この出力データDIをラッチする。このとき、前段レジスタの出力データDIがHレベルであれば、第1シフトレジスタ31の出力OUTはHレベルとなり、出力xOUTはLレベルとなる。逆に、前段レジスタの出力データがLレベルであれば、第1シフトレジ

10

20

30

40

50

スタ 3 1 の出力 O U T は L レベルとなり、出力 x O U T は H レベルとなる。

【 0 0 4 4 】

第 1 シフトレジスタ 3 1 の出力 O U T は、次段の第 1 回路ユニット 3 0 の第 1 シフトレジスタ 3 1 に出力される。さらに、第 1 シフトレジスタ 3 1 の出力 O U T と x O U T は、ラッチパルスとして、メモリ素子 M A 1 ~ M A 6 に供給される。

【 0 0 4 5 】

図 6 の例においては、第 1 シフトレジスタ 3 1 と第 1 ラッチ回路 3 2 の間にデータバス D B L が延在している。データバス D B L は、第 1 ラッチ回路 3 2 と第 2 ラッチ回路 3 3 の間に延びても良い。データバス D B L は、映像データ R 1 , G 1 , B 1 , R 2 , G 2 , B 2 が供給される 6 本の配線を含む。映像データ R 1 , G 1 , B 1 , R 2 , G 2 , B 2 は、それぞれ副画素 S P R 1 , S P G 1 , S P B 1 , S P R 2 , S P G 2 , S P B 2 に供給するデジタル信号 S I G を表すデータである。

10

【 0 0 4 6 】

第 1 シフトレジスタ 3 1 に H レベルの出力データ D I が入力したとき、例えばデータバス D B L に供給された映像データ R 1 , G 1 , B 1 , R 2 , G 2 , B 2 がメモリ素子 M A 1 ~ M A 6 にラッチされる。

【 0 0 4 7 】

メモリ素子 M B 1 ~ M B 6 には、タイミングパルス D s , x D s が入力される。タイミングパルス D s , x D s により、メモリ素子 M B 1 ~ M B 6 は、メモリ素子 M A 1 ~ M A 6 にラッチされた映像データを同時にラッチする。このようにして第 1 ラッチ回路 3 2 から第 2 ラッチ回路 3 3 に映像データが転送されるタイミングは、例えば全ての第 1 回路ユニット 3 0 で同じである。これにより、第 1 方向 X に並ぶ各副画素 S P ( 水平ライン ) の映像データが各第 1 回路ユニット 3 0 の第 2 ラッチ回路 3 3 に揃う。

20

【 0 0 4 8 】

バッファ素子 B A 1 ~ B A 6 は、それぞれメモリ素子 M B 1 ~ M B 6 がラッチした映像データに対応するデジタル信号 S I G を信号線 S に出力する。これにより、各第 1 回路ユニット 3 0 の第 2 ラッチ回路 3 3 でラッチされた映像データに応じたデジタル信号 S I G が各信号線 S に一斉に供給され、各副画素 S P のメモリ 1 0 へのデータ書き込みが行われる。このようにデジタル信号 S I G が供給されている間に、第 1 ラッチ回路 3 2 では次の水平ラインの映像データ R 1 , G 1 , B 1 , R 2 , G 2 , B 2 がラッチされる。

30

【 0 0 4 9 】

以上の構成によると、1 つの第 1 回路ユニット 3 0 により 2 つの画素 P X の映像データを処理することができる。そのため、第 1 ドライバユニット 3 の駆動周波数を低減することができる。また、第 2 ラッチ回路 3 3 の映像データが信号線 S に供給されている間に第 1 ラッチ回路 3 2 にて次の水平ラインの映像データをラッチできるので、処理効率を高めることができる。

【 0 0 5 0 】

なお、第 1 回路ユニット 3 0 は、ラッチ回路を 1 つのみ含む構成であっても良い。また、第 1 回路ユニット 3 0 は、1 つの画素 P X に含まれる副画素 S P に対してのみデジタル信号 S I G を供給する構成であっても良いし、3 つ以上の画素 P X に含まれる副画素 S P に対してデジタル信号 S I G を供給する構成であっても良い。

40

【 0 0 5 1 】

図 7 は、第 2 回路ユニット 4 0 の概略的な構成を示す図である。第 2 回路ユニット 4 0 は、第 2 シフトレジスタ 4 1 と、2 つの第 2 バッファ回路 4 2 A , 4 2 B と、電源回路 4 3 とを備えている。第 2 シフトレジスタ 4 1 と、第 2 バッファ回路 4 2 A , 4 2 B 及び電源回路 4 3 とは、第 4 接続線 C L 4 で接続されている。

【 0 0 5 2 】

第 2 シフトレジスタ 4 1 及び第 2 バッファ回路 4 2 A , 4 2 B は、電圧 V D D 2 , V S S を駆動電源として動作する。電源回路 4 3 は、電圧 V D D 1 , V D D 2 を駆動電源として動作する。第 2 シフトレジスタ 4 1 は、リセット信号 x R S T が入力すると出力 O U T

50

、 $xOUT$ を例えばオフ電位にクリアする。第2シフトレジスタ41は、クロック $VCK$ が入力すると、前段の第2回路ユニット40の第2シフトレジスタ41（以下、前段レジスタと呼ぶ）の出力データ $DI$ を取り込み、この出力データ $DI$ をラッチする。例えば、前段レジスタの出力データ $DI$ がHレベルであれば、第2シフトレジスタ41の出力 $OUT$ はHレベルとなり、出力 $xOUT$ はLレベルとなる。一方、前段レジスタの出力データ $DI$ がLレベルであれば、第2シフトレジスタ41の出力 $OUT$ はLレベルとなり、出力 $xOUT$ はHレベルとなる。

#### 【0053】

第2シフトレジスタ41の出力 $OUT$ 、 $xOUT$ は、第2バッファ回路42A、42Bに供給されるとともに、次段の第2回路ユニット40の第2シフトレジスタ41に出力される。また、出力 $OUT$ 、 $xOUT$ は、電源回路43に供給される。電源回路43は、出力 $OUT$ 、 $xOUT$ の状態に応じて、上述の電源電圧 $VRAM$ をHレベル又はLレベルに設定する。

10

#### 【0054】

第2バッファ回路42Aには、イネーブル信号 $xENB1$ が供給される。第2バッファ回路42Bには、イネーブル信号 $xENB2$ が供給される。第2バッファ回路42Aは、例えば出力 $OUT$ がHレベルで出力 $xOUT$ がLレベルであり、かつイネーブル信号 $xENB1$ が入力されたことに応じて、第2バッファ回路42Aに接続された走査線 $GD$ にHレベルの走査信号 $GATED$ を供給する。第2バッファ回路42Bは、例えば出力 $OUT$ がHレベルで出力 $xOUT$ がLレベルであり、かつイネーブル信号 $xENB2$ が供給されたことに応じて、第2バッファ回路42Bに接続された走査線 $GD$ にHレベルの走査信号 $GATED$ を供給する。Hレベルの走査信号 $GATED$ が供給された走査線 $GD$ に接続された副画素 $SP$ においては、スイッチング素子 $Q7$ がオンされる。したがって、これら副画素 $SP$ では、信号線 $S$ に供給されたデジタル信号 $SIG$ をメモリ10に書き込むことができる。

20

#### 【0055】

以上のような構成の第2回路ユニット40では、1段の第2シフトレジスタ41が駆動用のデータをラッチした場合、2本の走査線 $GD$ をイネーブル信号 $xENB1$ 、 $xENB2$ により順番に駆動することができる。つまり、それぞれの走査線 $GD$ ごとに第2シフトレジスタ41を用意する必要がなく、第2シフトレジスタ41の駆動周波数を緩和することができる。

30

#### 【0056】

一般的な表示装置においては、表示領域 $DA$ が第1方向 $X$ に沿う辺部と、第2方向 $Y$ に沿う辺部とを有する矩形形状である。この場合、第1ドライバユニット3を第1方向 $X$ に沿って直線状に配置し、第2ドライバユニット4を第2方向 $Y$ に沿って直線状に配置することが通常である。各ドライバユニット3、4が表示領域 $DA$ に沿っているので、全長に亘って各ドライバユニット3、4と表示領域 $DA$ とを近接させることができる。

#### 【0057】

これに対し、図1のように表示領域 $DA$ が円形である場合において、各ドライバユニット3、4を直線状に配置すると、表示領域 $DA$ と各ドライバユニット3、4との間に無駄なスペースが生じる。そこで、本実施形態では、図1に示すように各ドライバユニット3、4を表示領域 $DA$ に沿う円弧状としている。さらに、第1領域 $A1$ のように、第1ドライバユニット3の少なくとも一部を第2ドライバユニット4と表示領域 $DA$ の間に配置することで、周辺領域 $SA$ における無駄なスペースの発生を防ぎ、狭額縁化を図っている。

40

#### 【0058】

但し、第1領域 $A1$ においては、第2ドライバユニット4から表示領域 $DA$ に延出する走査線 $GD$ などの配線を、第1ドライバユニット3の領域に通す必要がある。また、各ドライバユニット3、4を円弧状にすると、これらドライバユニット内の配線を適宜に曲げる必要がある。これらに鑑み、各ドライバユニット3、4の回路レイアウトを効率化する必要がある。

50

## 【 0 0 5 9 】

図 8 は、各ドライバユニット 3 , 4 に適用し得る回路レイアウトの一例を示す図である。この図においては、第 1 領域 A 1 の近傍における周辺領域 S A 及び表示領域 D A の概略的な構成を示している。

## 【 0 0 6 0 】

第 1 ドライバユニット 3 は、表示領域 D A に沿って円弧状に並ぶ複数の第 1 回路ユニット 3 0 を備えている。図 8 においては、1 つの第 1 回路ユニット 3 0 に 1 本の信号線 S が接続されているが、より多くの信号線 S (例えば図 6 のように 6 本の信号線 S ) が接続されても良い。

## 【 0 0 6 1 】

第 2 ドライバユニット 4 は、第 1 ドライバユニット 3 及び表示領域 D A に沿って円弧状に並ぶ複数の第 2 回路ユニット 4 0 を備えている。図 8 においては、1 つの第 2 回路ユニット 4 0 に 1 本の走査線 G D が接続されているが、より多くの走査線 G D (例えば図 7 のように 2 本の走査線 G D ) が接続されても良い。

## 【 0 0 6 2 】

第 1 回路ユニット 3 0 は、2 つの回路に分けられている。以下の説明においては、これら 2 つの回路のうち的一方を水平回路 H 1 と呼び、他方を水平回路 H 2 と呼ぶ。例えば、図 6 に示した第 1 シフトレジスタ 3 1、第 1 ラッチ回路 3 2、第 2 ラッチ回路 3 3、及び第 1 バッファ回路 3 4 のうちの少なくとも 1 つを水平回路 H 1 が含み、水平回路 H 2 が残りを含む。また、例えば水平回路 H 1 がメモリ素子 M A 1 ~ M A 3 を含み、水平回路 H 2 がメモリ素子 M A 4 ~ M A 6 を含むなど、より細分化された単位の回路素子で水平回路 H 1 , H 2 が定義されても良い。その他、第 1 回路ユニット 3 0 の分け方は任意であり、第 1 回路ユニット 3 0 の構成に応じて種々の態様を適用できる。さらに、第 1 回路ユニット 3 0 は、3 つ以上の水平回路に分けられても良い。

## 【 0 0 6 3 】

図 8 の例においては、水平回路 H 1 , H 2 が第 2 方向 Y に直線状に並んでいる。さらに、水平回路 H 1 , H 2 の間に、第 1 方向 X に延びる走査線 G D が延在している。水平回路 H 1 , H 2 は、走査線 G D とは異なる層に設けられた接続線によって、互いに電氣的に接続されている。

## 【 0 0 6 4 】

第 1 回路ユニット 3 0 を複数の水平回路に分けない場合には、第 1 回路ユニット 3 0 を回避するように走査線 G D を屈曲させる必要がある。そのため、走査線 G D を引き回すためのスペースが第 1 回路ユニット 3 0 の周囲に必要となる。これに対し、図 8 の例では、第 1 回路ユニット 3 0 を屈曲させずに走査線 G D を表示領域 D A に向けて延ばすことができる。したがって、走査線 G D のためのスペースを最小限に止めることができるので、周辺領域 S A のレイアウトを効率化できる。

## 【 0 0 6 5 】

図 9 は、各ドライバユニット 3 , 4 に適用し得る回路レイアウトの他の例を示す図である。この図の例においては、さらに、第 2 回路ユニット 4 0 が 2 つの回路に分けられている。以下の説明においては、これら 2 つの回路のうち的一方を垂直回路 V 1 と呼び、他方を垂直回路 V 2 と呼ぶ。垂直回路 V 1 , V 2 は、1 又は複数の接続線によって互いに電氣的に接続されている。

## 【 0 0 6 6 】

例えば、図 7 に示した第 2 シフトレジスタ 4 1、第 2 バッファ回路 4 2 A , 4 2 B、及び電源回路 4 3 のうちの少なくとも 1 つを垂直回路 V 1 が含み、垂直回路 V 2 が残りを含む。その他、第 2 回路ユニット 4 0 の分け方は任意であり、第 2 回路ユニット 4 0 の構成に応じて種々の態様を適用できる。第 2 回路ユニット 4 0 は、3 つ以上の垂直回路に分けられても良い。

## 【 0 0 6 7 】

図 9 の例において、水平回路 H 1 , H 2 は、図 8 の場合と同じく第 2 方向 Y に並んでい

10

20

30

40

50

る。但し、水平回路H1, H2は、第1方向Xにおいて、互いにずれて配置されている。具体的には、水平回路H2が水平回路H1よりも図中の左方向(表示領域DAから離れる方向)にずれている。ここで、2つの回路が「第1方向Xにおいて互いにずれる」とは、例えば、一方の回路の第1方向Xにおける中心と、他方の回路の第1方向Xにおける中心とを結ぶ線分が、第2方向Yと平行でないことを意味する。

#### 【0068】

このように水平回路H1, H2をずらすことで、周辺領域SAのレイアウトをさらに効率化できる。例えば、図8の例においては第1回路ユニット30の周囲に領域50のようなスペースが生じ得るが、図9の例ではこの領域を有効に活用して第1回路ユニット30をレイアウトできる。

10

#### 【0069】

垂直回路V1, V2は、第1方向Xに並んでいる。さらに、垂直回路V1, V2は、第2方向Yにおいて、互いにずれて配置されている。具体的には、垂直回路V1が垂直回路V2よりも図中の下方向にずれている。ここで、2つの回路が「第2方向Yにおいて互いにずれる」とは、例えば、一方の回路の第2方向Yにおける中心と、他方の回路の第2方向Yにおける中心とを結ぶ線分が、第1方向Xと平行でないことを意味する。

#### 【0070】

続いて、第2領域A2における回路レイアウトについて説明する。図10は、第2領域A2において、第2ドライバユニット4に適用し得る回路レイアウトの一例を示す図である。この第2ドライバユニット4は、図8の第2ドライバユニット4に対応する。すなわち、第2回路ユニット40が複数の垂直回路に分かれていない。但し、第2回路ユニット40は、図9と同様に複数の垂直回路に分かれていても良い。例えば、図9のように第1領域A1においては第2回路ユニット40を垂直回路V1, V2に分けた場合であっても、第2領域A2においては第2回路ユニット40を分けないようにしても良い。

20

#### 【0071】

第2領域A2では、第2ドライバユニット4と表示領域DAの間に第1ドライバユニット3が存在しない。そのため、図1及び図10より、第2ドライバユニット4を表示領域DAに近づけることができる。例えば、第1領域A1における第2回路ユニット40と表示領域DAの間の距離を第1距離とし、第2領域A2における第2回路ユニット40と表示領域DAの間の距離を第2距離とする。この場合、第2距離は、前記第1距離よりも小さくすることができる。

30

#### 【0072】

ここで、第1領域A1に適用し得る回路レイアウトの具体例につき、図11を用いて説明する。この図においては、第1領域A1(周辺領域SA)に加え、表示領域DAに配列された副画素SPの一部も示している。

#### 【0073】

図11においては、4つの第1回路ユニット30と、3つの第2回路ユニット40とを示している。第1回路ユニット30と表示領域DAの間には、第1駆動信号XFRPが供給される第1配線WL1と、第2駆動信号FRPが供給される第2配線WL2とが延在している。第1配線WL1には、例えば図3に示した第1駆動線DL1が接続される。第2配線WL2には、例えば図3に示した第2駆動線DL2が接続される。図11の例では、第1回路ユニット30と表示領域DAの間に、電圧VSSが供給される第3配線WL3と、電圧VDD1が供給される第4配線WL4とがさらに延在している。これら配線WL3, WL4の電圧VSS, VDD1も副画素SPに供給され、メモリ10の駆動に用いられる。配線WL1~WL4は、表示領域DAに沿って屈曲している。図11においては、配線WL1~WL4は階段状に屈曲しており、1つの段に対応する第1回路ユニット30の数が同数ではない。具体的には、図11の中央に位置する配線WL1~WL4の段に、対応する第1回路ユニット30の数は2つである(HU1とHU2)。一方で、その段に隣り合う段に対応する第1回路ユニット30の数は、1つである。各段に対応する第1回路ユニット30の数を異ならせることで、スペースの効率化を実現している。

40

50

## 【 0 0 7 4 】

周辺領域 S A には、共通信号 V C O M が供給されたガードリング 6 0 が、例えば周辺領域 S A の外周縁に沿って環状に配置されている。ガードリング 6 0 は、外部から供給される静電気などが周辺領域 S A の各回路に影響することを防ぐ役割を担う。各回路ユニット 3 0 , 4 0 は、ガードリング 6 0 と表示領域 D A の間に配置されている。

## 【 0 0 7 5 】

第 1 配線 W L 1 と表示領域 D A の間には、表示領域 D A の輪郭に沿って、ダミー画素 D S P が配置されている。ダミー画素 D S P は、例えば平面視において副画素 S P と同じ形状であり、副画素 S P と同じピッチで配列されている。例えば、ダミー画素 D S P は、画素電極 P E やゲート回路 1 1 を備えているが、少なくともメモリ 1 0 を備えていない。ダミー画素 D S P の画素電極 P E には常に非表示信号である第 2 駆動信号 F R P が供給される。すなわち、ダミー画素 D S P は、常に黒表示であって、画像を表示しない画素である。

10

## 【 0 0 7 6 】

1 つの第 1 回路ユニット 3 0 によって駆動される画素列（信号線）は複数存在し、図 1 1 において 6 つである。この 6 本の信号線 S において、各信号線 S に接続されたダミー画素 D S P の数は異なっている。また隣り合う第 1 回路ユニット 3 0 を比較した場合、各信号線 S に接続される平均のダミー画素 D S P の数は異なっている。具体的には、図 1 1 において、第 1 回路ユニット 3 0 に相当する H U 1 に、対応する信号線 S に接続された、第 1 領域 A 1 の平均ダミー画素 D S P の数は 1 . 6 個（ 8 / 5 ）である。一方で、第 1 回路ユニット 3 0 に相当する H U 2 に、対応する信号線 S に接続された、第 1 領域 A 1 の平均ダミー画素 D S P の数は 0 . 6 個（ 3 / 5 ）である。表示領域 D A の縁全体においては、ダミー画素 D S P は、不規則に配置され、第 1 配線 W 1 と表示領域 D A の間のスペースを埋めている。

20

## 【 0 0 7 7 】

図 1 2 は、図 1 1 の第 1 回路ユニット 3 0 を拡大して示す図である。また、図 1 3 は、図 1 1 の第 2 回路ユニット 4 0 を拡大して示す図である。図 1 2 に示す第 1 回路ユニット 3 0 は、水平回路 H 1（第 1 回路）と、水平回路 H 2（第 2 回路）と、水平回路 H 3（第 3 回路）とを備えている。水平回路 H 1 は、第 1 シフトレジスタ 3 1 を含む。水平回路 H 2 は、第 1 ラッチ回路 3 2 を含む。水平回路 H 3 は、第 2 ラッチ回路 3 3 と第 1 バッファ回路 3 4 を含む。水平回路 H 1 , H 2 は上述の第 1 接続線 C L 1 で接続され、水平回路 H 2 , H 3 は上述の第 2 接続線 C L 2 で接続されている。また、水平回路 H 3 において、第 2 ラッチ回路 3 3 と第 1 バッファ回路 3 4 は、上述の第 3 接続線 C L 3 で接続されている。

30

## 【 0 0 7 8 】

水平回路 H 1 には、電圧 V S S , V D D 1、クロック H C K、及びリセット信号 x R S T を第 1 シフトレジスタ 3 1 に供給する配線が接続されている。水平回路 H 2 には、電圧 V S S , V D D 1 を第 1 ラッチ回路 3 2 に供給する配線が接続されている。水平回路 H 3 には、電圧 V S S , V D D 1 及びタイミングパルス D s , x D s を第 2 ラッチ回路 3 3 及び第 1 バッファ回路 3 4 に供給する配線が接続されている。図 1 1 及び図 1 2 においては、簡略化のために、水平回路 H 1 ~ H 3 に接続される複数の配線を適宜 1 本の線分で表している。

40

## 【 0 0 7 9 】

図 1 3 に示す第 2 回路ユニット 4 0 は、垂直回路 V 1（第 4 回路）と、垂直回路 V 2（第 5 回路）とを備えている。垂直回路 V 1 は、第 2 シフトレジスタ 4 1 を含む。垂直回路 V 2 は、第 2 バッファ回路 4 2 A , 4 2 B と電源回路 4 3 を含む。垂直回路 V 1 , V 2 は、上述の第 4 接続線 C L 4 で接続されている。第 2 バッファ回路 4 2 A , 4 2 B には、それぞれ走査線 G D が接続され、電源回路 4 3 には、電源電圧 V R A M を供給する第 1 電源線 L P 1 が接続されている。

## 【 0 0 8 0 】

50

垂直回路V1には、電圧VSS、VDD2、クロックVCK、及びリセット信号XRS Tを第2シフトレジスタ41に供給する配線が接続されている。垂直回路V2には、電圧VSS、VDD1、VDD2及びイネーブル信号ENB1、ENB2を第2バッファ回路42A、42B及び電源回路43に供給する配線が接続されている。図11及び図13においては、簡略化のために、垂直回路V1、V2に接続される複数の配線を適宜1本の線分で表している。

【0081】

図12に示すように、水平回路H1、H2の間には、第2回路ユニット40に接続された2本の走査線GD(第1走査線)及び第1電源線LP1が第1方向Xに延在している。水平回路H2、H3の間には、他の第2回路ユニット40に接続された2本の走査線GD(第2走査線)及び第1電源線LP1が第1方向Xに延在している。水平回路H3と第4配線WL4の間には、さらに他の第2回路ユニット40に接続された2本の走査線GD及び第1電源線LP1が第1方向Xに延在している。さらに、水平回路H1、H2の間には、データバスDBLが第1方向Xに延在している。

10

【0082】

水平回路H1、H2の間に延在する走査線GD、第1電源線LP1、及びデータバスDBLは、平面視において、第1接続線CL1と交差している。水平回路H2、H3の間に延在する走査線GD及び第1電源線LP1は、平面視において、第2接続線CL2と交差している。

20

【0083】

図12の例において、信号線Sと第1バッファ回路34は、第1バッファ回路34に接続された引き出し線Saを介して接続されている。水平回路H3と第4配線WL4の間に延在する走査線GD及び第1電源線LP1は、平面視において、引き出し線Saと交差している。さらに、各配線WL1~WL4も、平面視において、引き出し線Saと交差している。

【0084】

水平回路H1~H3は、第2方向Yに並んでいる。さらに、水平回路H1~H3は、第1方向Xにおいて、互いにずれている。具体的には、水平回路H2は水平回路H3より図中の左方向に位置し、水平回路H1は水平回路H2よりさらに左方向に位置している。このように水平回路H1~H3をずらすことにより生じる領域で、各配線が第1方向Xから第2方向Yに屈曲している。

30

【0085】

図12の例において、信号線Sと、水平回路H3(第1バッファ回路34)の位置は、第1方向Xにおいてずれている。引き出し線Saは、第1方向X及び第2方向Yの双方と交わる方向に傾いて延びている。このように、信号線Sと、水平回路H3の位置とをずらすことで、周辺領域SAにおける回路レイアウトの自由度が一層高まる。すなわち、第1回路ユニット30は、必ずしも接続先の信号線Sの延長線上に配置する必要がない。また、図12の例においては、第2接続線CL2も第1方向X及び第2方向Yの双方と交わる方向に傾いて延びている。引き出し線Saや第2接続線CL2のように配線を傾ければ、これら配線を第1方向X及び第2方向Yに沿って屈曲させる場合に比べ、これら配線の長さを短くすることができる。これにより、周辺領域SAのスペースを一層有効に活用することができる。

40

【0086】

図13の例において、垂直回路V1、V2は、第1方向Xに並ぶとともに、第2方向Yにおいて互いにずれている。このように垂直回路V1、V2をずらすことにより生じる領域で、各配線が第1方向Xから第2方向Yに屈曲している。

【0087】

なお、図11乃至図13に示した各配線は、例えば第1基板SUB1の第1層及び第2層に、金属材料やITOなどの導電材料で形成されている。第1層と第2層の間には、絶縁層が配置されている。図11乃至図13において交差している2本の配線は、一方が第

50

1層に形成され、他方が第2層に形成されている。したがって、これら配線は電氣的に接続されていない。

【0088】

例えば、走査線GD及び第1電源線LP1は、第1層に形成されている。また、信号線S、各配線WL1~WL4、及びデータバスDBLなどの他の配線は、第2層に形成されている。例えば第1接続線CL1は、第1層に形成された走査線GD及び第1電源線LP1と、第2層に形成されたデータバスDBLとを回避する必要がある。このような場合、第1接続線CL1のうち、走査線GD及び第1電源線LP1と交差する部分は第2層に形成し、データバスDBLと交差する部分は第1層に形成し、これら2つの部分を絶縁層に設けたコンタクトホールにて接続すれば良い。

10

なお、第1層及び第2層の2層だけでなく、より多くの層を第1基板SUB1に設け、これらの層に分散して各配線を形成しても良い。

【0089】

引き出し線Saは、水平回路H3と第4配線WL4の間に延在する走査線GD及び第1電源線LP1と交差する第1部分Sa1と、各配線WL1~WL4と交差する第2部分Sa2とを有している。第1部分Sa1は、水平回路H3から、走査線GD及び第4配線WL4の間のコンタクト位置まで延びている。第2部分Sa2は、上記コンタクト位置から信号線Sまで延びている。第1部分Sa1は、第1層に形成された走査線GD及び第1電源線LP1を回避すべく、第2層に形成されている。第2部分Sa2は、第2層に形成された各配線WL1~WL4を回避すべく、第1層に形成されている。第1部分Sa1及び第2部分Sa2は、上記コンタクト位置にて接続されている。

20

【0090】

図12から分かるように、仮に引き出し線Saが第2方向Yと平行に延びてその先にある信号線Sと接続される構成を採用した場合、引き出し線Saは、走査線GD及び第1電源線LP1と各配線WL1~WL4とが交差する領域を通ることになる。走査線GD及び第1電源線LP1と各配線WL1~WL4とは、互いに電氣的な接触を回避すべく、異なる層に形成されている。したがって、この領域にさらに引き出し線Saを通すためには、引き出し線Saを形成するための新たな層が必要となる。これに対し、図12のように引き出し線Saを傾斜させて、走査線GD及び第1電源線LP1と各配線WL1~WL4とが交差する領域を回避すれば、新たな層を設ける必要がない。

30

【0091】

以上説明した本実施形態のように、第1ドライバユニット3の少なくとも一部を第2ドライバユニット4と表示領域DAの間に配置することで、周辺領域SAにおける無駄なスペースの発生を防ぎ、狭額縁化を図ることができる。

【0092】

さらに、第1回路ユニット30を複数の水平回路に分け、各水平回路の間に走査線GDやデータバスDBLなどを通すことで、周辺領域SAの回路レイアウトを効率化することができる。

【0093】

また、各水平回路をずらして配置することで、周辺領域SAの回路レイアウトを一層効率化することができる。第2回路ユニット40を複数の垂直回路に分け、これら垂直回路をずらして配置することでも、同様の効果を得ることができる。

40

これらの他にも、本実施形態からは、既述の種々の効果を得ることができる。

【0094】

本発明の一実施形態を説明したが、この実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。この新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。この実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【0095】

50

例えば、上記実施形態では、デジタルモードの表示装置を開示した。しかしながら、上記実施形態における周辺領域 SA の回路レイアウトは、信号線 S を介して画素電極 PE にアナログの映像信号を供給し、多諧調の表示画像を得るアナログモードの表示装置にも適用できる。さらに、上記実施形態における周辺領域 SA の回路レイアウトは、デジタルモード及びアナログモードの双方の機能を備えた表示装置に適用することもできる。

【 0 0 9 6 】

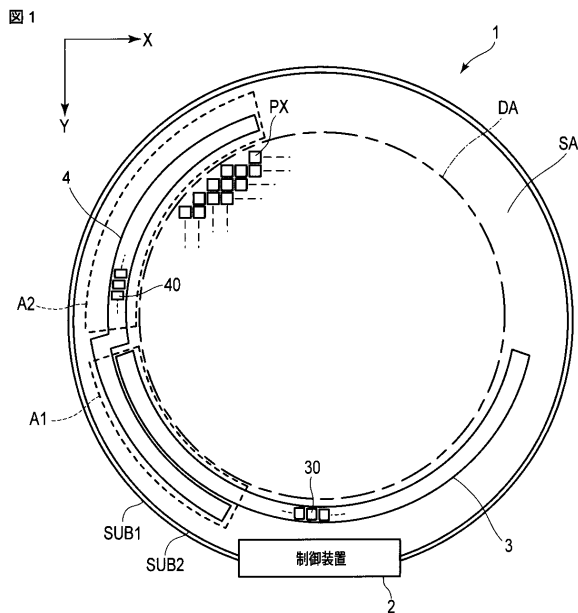
また、図 6 及び図 7 に開示した各回路ユニット 3 0 , 4 0 の構成や、図 1 1 乃至図 1 3 に開示した周辺領域 SA の回路レイアウトは一例にすぎない。これらの図に示した回路素子や配線は適宜に減らすこともできるし、新たな回路素子や配線を加えることもできる。

【 符号の説明 】

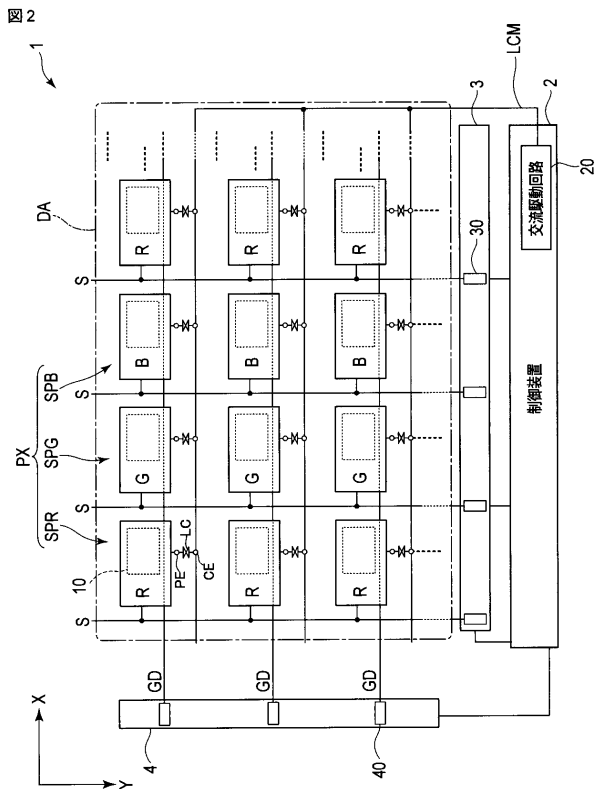
【 0 0 9 7 】

1 ... 表示装置、 3 ... 第 1 ドライバユニット、 4 ... 第 2 ドライバユニット、 1 0 ... メモリ、 3 0 ... 第 1 回路ユニット、 4 0 ... 第 2 回路ユニット、 DA ... 表示領域、 SA ... 周辺領域、 PX ... 画素、 A 1 ... 第 1 領域、 A 2 ... 第 2 領域、 S ... 信号線、 GD ... 走査線、 H 1 ~ H 3 ... 水平回路、 V 1 , V 2 ... 垂直回路、 DSP ... ダミー画素、 Sa ... 引き出し線。

【 図 1 】

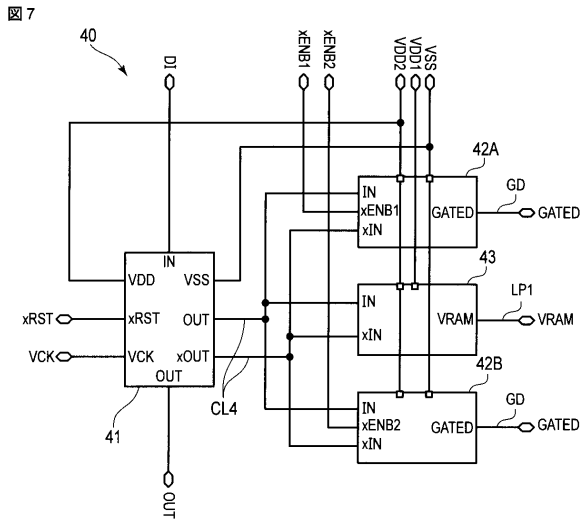


【 図 2 】

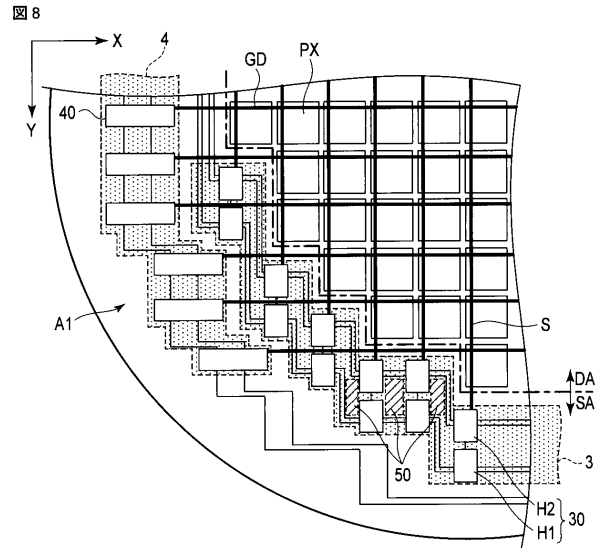




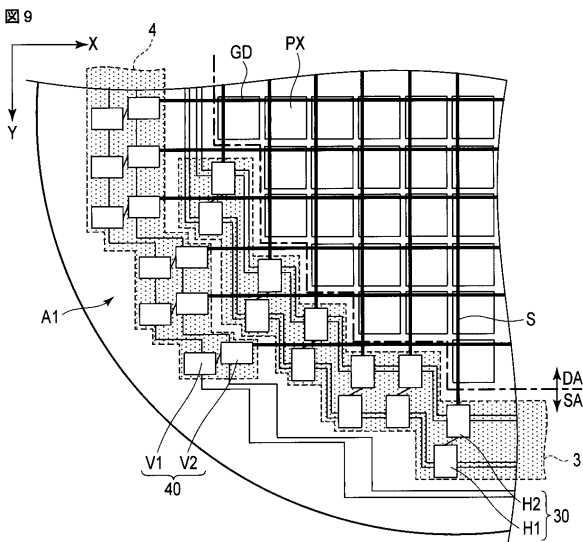
【 図 7 】



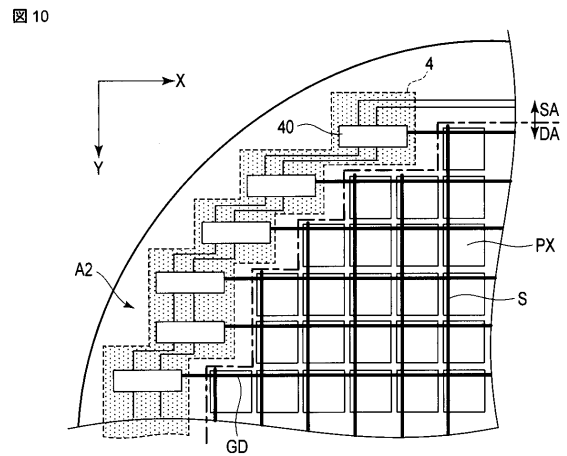
【 図 8 】



【 図 9 】

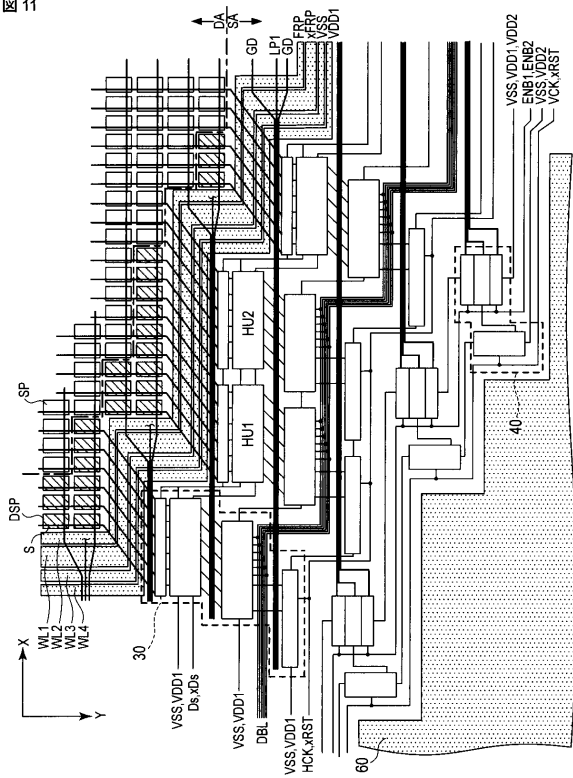


【 図 10 】



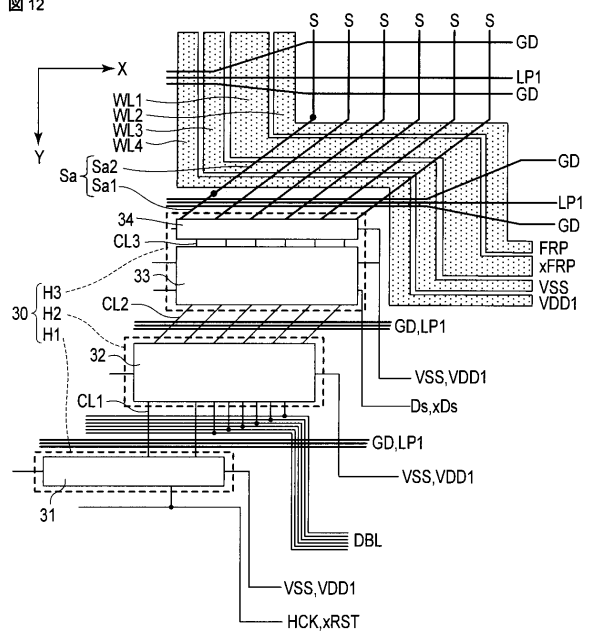
【 図 1 1 】

図 11



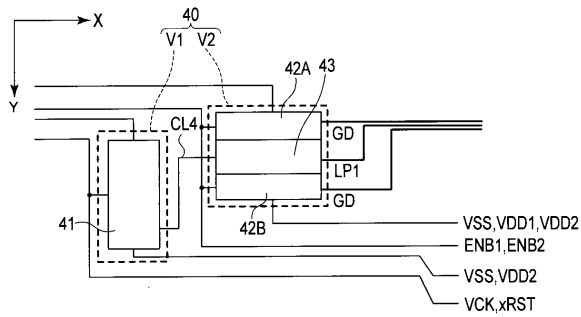
【 図 1 2 】

図 12



【 図 1 3 】

図 13



## フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
<b>G 0 2 F 1/1343 (2006.01)</b>	G 0 9 G 3/20	5 G 4 3 5
	G 0 9 G 3/20	6 2 2 P
	G 0 9 G 3/20	6 8 0 G
	G 0 9 G 3/20	6 8 0 H
	G 0 9 G 3/20	6 2 1 A
	G 0 9 G 3/20	6 2 4 B
	G 0 2 F 1/1368	
	G 0 2 F 1/1343	

Fターム(参考) 5C006 AA16 AA22 AC28 AF42 AF51 BB16 BC06 BC12 BF03 BF04  
 BF27 BF31 EA01 FA15 FA31 FA41 FA48  
 5C080 AA06 AA10 AA13 AA17 BB05 CC03 DD09 DD12 DD22 EE29  
 FF11 GG15 GG17 JJ02 JJ03 JJ04 JJ06  
 5C094 AA15 BA03 BA27 BA64 BA75 CA19 DA09 DB10 EA01 EA04  
 FA01  
 5G435 AA18 BB05 BB11 CC09 EE37