

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年8月27日(27.08.2020)



(10) 国際公開番号

WO 2020/170860 A1

(51) 国際特許分類:

H01L 27/04 (2006.01) *H01L 23/532* (2006.01)
H01L 21/3205 (2006.01) *H01L 27/06* (2006.01)
H01L 21/336 (2006.01) *H01L 27/146* (2006.01)
H01L 21/768 (2006.01) *H01L 29/78* (2006.01)
H01L 21/822 (2006.01) *H04N 5/369* (2011.01)
H01L 21/8234 (2006.01) *H04N 5/378* (2011.01)
H01L 23/522 (2006.01)

(21) 国際出願番号: PCT/JP2020/004856

(22) 国際出願日: 2020年2月7日(07.02.2020)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2019-027081 2019年2月19日(19.02.2019) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CO., LTD.)

LUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

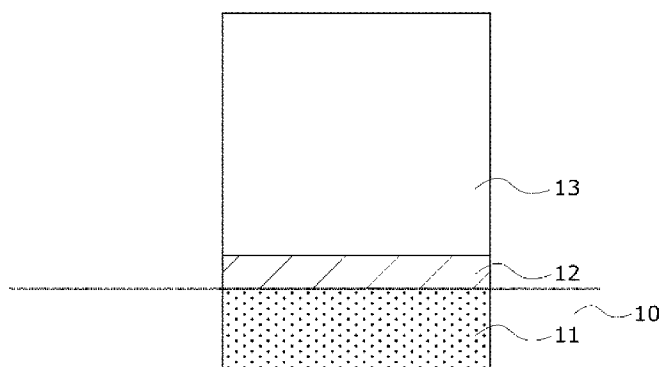
(72) 発明者: 富田 知大 (TOMITA Chihiro); 〒8691102 熊本県菊池郡菊陽町大字原水4000番地1 ソニーセミコンダクタマニュファクチャリング株式会社内 Kumamoto (JP). 岡本 晋太郎(OKAMOTO Shintaro); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 平井 友洋(HIRAI Tomohiro); 〒8691102 熊本県菊池郡菊陽町大字原水4000番地1 ソニーセミコンダクタマニュファクチャリング株式会社内 Kumamoto (JP).

(74) 代理人: 西川 孝, 外 (NISHIKAWA Takashi et al.); 〒1700013 東京都豊島区東池袋3丁目9番10号 池袋F Nビル4階 Tokyo (JP).

(54) Title: SEMICONDUCTOR DEVICE, SOLID-STATE IMAGING DEVICE, AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置、固体撮像装置、及び半導体装置の製造方法

FIG.1



(57) Abstract: The present disclosure relates to a semiconductor device, a solid-state imaging device, and a method for manufacturing a semiconductor device with which it is possible to improve gate capacitance-type voltage dependence. Provided is the semiconductor device, which has a laminated structure in which are laminated a compound layer formed on the surface of a semiconductor layer and formed from a reaction between the semiconductor layer and a metal, an insulation film layer that contacts the compound layer, and an electrode layer formed on the insulation film layer. The present invention can be applied to an AD converter included in a solid-state imaging device, for example.



WO 2020/170860 A1

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

(57) 要約: 本開示は、ゲート容量型の電圧依存性を改善することができるようにする半導体装置、固体撮像装置、及び半導体装置の製造方法に関する。半導体層の表面に形成され、半導体層と金属とが反応して形成された化合物層と、化合物層と接する絶縁膜層と、絶縁膜層の上に形成される電極層とが積層された積層構造を有する半導体装置が提供される。本技術は、例えば、固体撮像装置に含まれるAD変換部に適用することができる。

明 細 書

発明の名称：

半導体装置、固体撮像装置、及び半導体装置の製造方法

技術分野

[0001] 本開示は、半導体装置、固体撮像装置、及び半導体装置の製造方法に関し、特に、ゲート容量型の電圧依存性を改善することができるようにした半導体装置、固体撮像装置、及び半導体装置の製造方法に関する。

背景技術

[0002] 例えば、容量素子として、MOM(Metal-Oxide-Metal)型やMIM(Metal-Insulator-Metal)型、ゲート容量型などの素子が知られている。

[0003] 特許文献1には、シリコン層の表面に、シリコン層と金属とが反応して形成されたシリサイド層を含む構造が開示されている。また、特許文献2には、ショットキーソース・ドレイン構造について開示されている。

先行技術文献

特許文献

[0004] 特許文献1：特開2012-60088号公報

特許文献2：特開2008-4693号公報

発明の概要

発明が解決しようとする課題

[0005] ところで、ゲート容量型の素子は、他の容量素子と比べて電圧依存性が劣るため、電圧依存性を改善することが求められている。

[0006] 本開示はこのような状況に鑑みてなされたものであり、ゲート容量型の電圧依存性を改善することができるようにするものである。

課題を解決するための手段

[0007] 本開示の一側面の半導体装置は、半導体層の表面に形成され、前記半導体層と金属とが反応して形成された化合物層と、前記化合物層と接する絶縁膜

層と、前記絶縁膜層の上に形成される電極層とが積層された積層構造を有する半導体装置である。

[0008] 本開示の一側面の半導体装置においては、半導体層の表面に形成され、前記半導体層と金属とが反応して形成された化合物層と、前記化合物層と接する絶縁膜層と、前記絶縁膜層の上に形成される電極層とが積層された積層構造が含まれる。

[0009] 本開示の一側面の固体撮像装置は、光電変換部を有する画素が2次元状に配列された画素部と、複数の前記画素からのアナログ信号をデジタル信号に変換するAD変換部とを備え、半導体層に、複数の前記画素と、前記AD変換部とが形成され、前記半導体層の表面に形成され、前記半導体層と金属とが反応して形成された化合物層と、前記化合物層と接する絶縁膜層と、前記絶縁膜層の上に形成される電極層とが積層された積層構造を有する固体撮像装置が提供される。

[0010] 本開示の一側面の固体撮像装置においては、光電変換部を有する画素が2次元状に配列された画素部と、複数の前記画素からのアナログ信号をデジタル信号に変換するAD変換部とを備え、半導体層に、複数の前記画素と、前記AD変換部とが形成される。また、半導体層の表面に形成され、前記半導体層と金属とが反応して形成された化合物層と、前記化合物層と接する絶縁膜層と、前記絶縁膜層の上に形成される電極層とが積層された積層構造が含まれる。

[0011] 本開示の一側面の半導体装置の製造方法は、絶縁膜層の上に電極層を形成し、半導体層の表面に前記絶縁膜層と接するように、前記半導体層と金属とが反応して形成される化合物層を形成する半導体装置の製造方法である。

[0012] 本開示の一側面の半導体装置の製造方法においては、絶縁膜層の上に電極層が形成され、半導体層の表面に前記絶縁膜層と接するように、前記半導体層と金属とが反応して形成される化合物層が形成される。

[0013] なお、本開示の一側面の半導体装置、及び固体撮像装置は、独立した装置であってもよいし、1つの装置を構成している内部ブロックであってもよい

。

図面の簡単な説明

[0014] [図1]本開示に係る技術を適用した半導体装置の要部構成の第1の例を示す断面図である。

[図2]本開示に係る技術を適用した半導体装置の要部構成の第2の例を示す断面図である。

[図3]エレクトロマイグレーション（EM）の前後の状態を模式的に表した断面図である。

[図4]エレクトロマイグレーション（EM）によるブローを行う回路の例を示す回路図である。

[図5]エレクトロマイグレーション（EM）によるブロー後の回路の例を示す回路図である。

[図6]シリサイドの拡散の第1の例を示す断面図である。

[図7]シリサイドの拡散の第1の例を示す上面図である。

[図8]シリサイドの拡散の第2の例を示す断面図である。

[図9]本開示に係る技術を適用した半導体装置の要部構成の第3の例を示す断面図である。

[図10]本開示に係る技術を適用した半導体装置の要部構成の第4の例を示す断面図である。

[図11]フィン構造の例を3次元で表した図である。

[図12]本開示に係る技術を適用した固体撮像装置の構成の例を示すブロック図である。

[図13]画素部に配置される画素の構成の例を示す回路図である。

[図14]AD変換部の比較器の構成の例を示す回路図である。

[図15]画素部に配置される画素の他の構成の例を示す回路図である。

[図16]画素部に配置される画素の他の構成の例を示す断面図である。

[図17]本開示に係る技術を適用した固体撮像装置を搭載した電子機器の構成の例を示すブロック図である。

[図18]内視鏡手術システムの概略的な構成の一例を示す図である。

[図19]カメラヘッド及びCCUの機能構成の一例を示すブロック図である。

[図20]車両制御システムの概略的な構成の一例を示すブロック図である。

[図21]車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0015] 以下、図面を参照しながら本開示に係る技術（本技術）の実施の形態について説明する。なお、説明は以下の順序で行うものとする。

- [0016] 1. 本技術の実施の形態
2. 固体撮像装置への適用例
 3. 電子機器への適用例
 4. 内視鏡手術システムへの応用例
 5. 移動体への応用例

[0017] <1. 本技術の実施の形態>

[0018] （半導体装置の構成）

図1は、本開示に係る技術を適用した半導体装置の要部構成の第1の例を示す図である。

[0019] 図1において、本技術を適用した半導体装置は、化合物層11と、絶縁膜層12と、電極層13とが積層された積層構造を有する。

[0020] 化合物層11は、シリコン（Si）等の半導体層10の表面に形成され、半導体層10と金属とが反応して形成された層である。例えば、化合物層11は、金属とシリコン（Si）からなる金属シリサイドを用いたシリサイド層から構成される。このシリサイド層は、例えば、チタン（Ti）、コバルト（Co）、及びニッケル（Ni）のうち、少なくとも1種類以上の金属を含む。

[0021] 絶縁膜層12は、例えば、シリコン酸化膜（SiO₂）、ハフニウム酸化膜（HfO₂）等を含む絶縁膜から構成される。電極層13は、例えば、多結晶シリコン（Poly-Si：ポリシリコン）、タングステン（W）、タンタル（Ta）、ハフニウム（Hf）、又はシリサイド等を含む電極から構成される。

[0022] このように、本技術を適用した半導体装置では、化合物層11と、絶縁膜

層 1 2 と、電極層 1 3 とを積層した構造、すなわち、金属（電極）、絶縁膜（酸化膜）、金属シリサイド（シリサイド）の 3 層構造を有し、半導体基板側（半導体層 1 0 の表面）がシリサイド化されることで、あたかも、MOM(Metal-Oxide-Metal)型のような構造を有している。そのため、ゲート容量型の構造を用いる場合において、電圧依存性を改善することができる。

[0023] すなわち、容量素子のうち電圧依存性の少ない構造として、MOM型が知られているが、本技術を適用した半導体装置では、電極、酸化膜、シリサイドの 3 層構造を有し、半導体基板側がシリサイド化されているため、ゲート電圧に対する容量変化がほぼ無視できるような特性を持つ容量が実現され、ゲート容量型の構造を用いる場合でも、電圧依存性を改善することが可能となる。

[0024] 換言すれば、図 1 に示した 3 層構造では、一般的なMOM型の構造と比べて、レイアウトの省面積化が可能になるだけでなく、容量の特性が改善される（十分に容量が大きくなる）ため、ゲート容量型とMOM型の両方式のメリットを享受することができる。

[0025] 図 2 は、本開示に係る技術を適用した半導体装置の要部構成の第 2 の例を示す図である。

[0026] 図 2 において、半導体装置では、プレーナ構造が形成され、その構造の一部として、シリサイド 1 1 1 と、絶縁膜 1 1 2 と、ゲート電極 1 1 3 とが積層された積層構造を有する。

[0027] シリサイド 1 1 1 は、シリコン（Si）等の半導体層 1 1 0 の表面に形成され、半導体層 1 1 0 と金属とが反応して形成された化合物層である。つまり、シリサイド 1 1 1 は、金属とシリコン（Si）からなる金属シリサイドを用いたシリサイド層である。シリサイド 1 1 1 は、例えば、チタン（Ti）、コバルト（Co）、及びニッケル（Ni）のうち、少なくとも 1 種類以上の金属を含む。

[0028] 図 2 において、シリサイド 1 1 1 は、ドットパターン（粗いドットと細かいドットの領域を含む）で表された領域に対応しているが、左右非対称に形

成されている。なお、詳細は後述するが、シリサイド 1 1 1 のうち、左右の四角の領域（粗いドットの領域）は、製造プロセスで形成されるシリサイドを表し、絶縁膜 1 1 2 と接した三角形の領域（細かいドットの領域）は、拡散したシリサイドを表している。

[0029] 絶縁膜 1 1 2 は、例えば、シリコン酸化膜 (SiO_2)、ハフニウム酸化膜 (HfO_2) 等を含む絶縁膜から構成される。ゲート電極 1 1 3 は、例えば、多結晶シリコン (Poly-Si)、タングステン (W)、タンタル (Ta)、ハフニウム (Hf)、又はシリサイド等を含む電極から構成される。

[0030] サイドウォール 1 1 4 は、例えば、シリコン窒化膜 (SiN) 等によって、ゲートの側壁として構成される。サイドウォール 1 1 4 において、ゲート電極 1 1 3 と接する部分には、例えばシリコン酸化膜 (SiO_2) 等の絶縁膜 1 1 5 が形成される。なお、サイドウォール 1 1 4 としては、絶縁膜 1 1 5 を形成しない構造を用いてもよい。

[0031] ここで、図 2 に示した半導体装置は、CMOS (Complementary Metal Oxide Semiconductor) プロセスをベースにして、シリサイド 1 1 1 を使用したプレーナ構造を有しているが、半導体層 1 1 0 の表面に形成されるシリサイド 1 1 1 は、半導体層 1 1 0 上にシリサイド 1 1 1 を含む電界効果トランジスタ (FET: Field Effect Transistor) を形成した後に、その評価等のタイミングで、エレクトロマイグレーション (EM: Electromigration) を用いて形成されるものである。

[0032] そこで、次に、図 3 ないし図 5 を参照しながら、エレクトロマイグレーション (EM) を用いてシリサイド 1 1 1 を拡散させることで、半導体層 1 1 0 の表面に、絶縁膜 1 1 2 と接するシリサイド 1 1 1 を形成する方法について説明する。

[0033] 図 3 の A は、半導体層 1 1 0 上に形成された電界効果トランジスタ 1 5 1 の断面の構造を示している。この電界効果トランジスタ 1 5 1 では、ゲート電極 1 1 3 に対する左右のソースとドレインの部分に、シリサイド 1 1 1 がそれぞれ形成されている。

[0034] このとき、ソースとドレインの部分に形成されたシリサイド111に電圧を印加することで、エレクトロマイグレーション（EM）によって、例えばドレイン側からソース側の方向（又はソース側からドレイン側の方向）にシリサイド111が拡散することになる。

[0035] 図3のBは、エレクトロマイグレーション（EM）によって、ソースとドレインの部分に形成されたシリサイド111を拡散させた後の断面の構造を示している。

[0036] 図3のBにおいて、拡散されたシリサイド111は、半導体層110の表面に、絶縁膜112と接する左右非対称な領域（粗いドットと細かいドットを含むドットパターンの領域）として形成されており、この拡散によって、シリサイド111と絶縁膜112とゲート電極113とを積層した積層構造（3層構造）が形成されることになる。

[0037] 図4は、エレクトロマイグレーション（EM）によるブローを行う回路の例を示している。図4に示したブロー回路では、Eフューズ（E-Fuse）と同様に、ブローされる電界効果トランジスタ151-1ないし151-3が並列に接続されている。

[0038] このブロー回路は、電界効果トランジスタ151-1ないし151-3の製造プロセスではなく、その評価のタイミングで駆動され、エレクトロマイグレーション（EM）により本技術を適用した容量素子（キャパシタ）を形成するものである。また、電界効果トランジスタ151-1ないし151-3は、図3のAに示した構造を有し、ソースとドレインの部分に、シリサイド111がそれぞれ形成されている。

[0039] 電界効果トランジスタ151-1において、ドレインは、電源線Vddを介して電源電圧161に接続され、ソースは、電源線Vssに接続される。また、電界効果トランジスタ151-1のドレインと、電源線Vddとの間には、電界効果トランジスタ162-1が接続される。

[0040] 電界効果トランジスタ162-1は、そのゲートに印加される電圧Vctrlに応じてオン状態になることで、電源電圧161からのブロー電流Ibが、電界

効果トランジスタ 151-1 のドレイン側からソース側に流れるようにする。
。

[0041] この例では、ブロー回路を駆動することで、電界効果トランジスタ 151-1 では、ドレインに正電荷がかかるため、チャネルのシリサイドは、ソース側から供給され、エレクトロマイグレーション (EM) によって、ソース側からドレイン側の方向にシリサイド 111 が拡散されることになる。

[0042] また、電界効果トランジスタ 151-2, 151-3 においては、電界効果トランジスタ 151-1 と同様に、電界効果トランジスタ 162-2, 162-3 のそれぞれがオン状態となって、電源電圧 161 からのブロー電流 I_b が流れることで、エレクトロマイグレーション (EM) によって、ソース側からドレイン側の方向にシリサイド 111 がそれぞれ拡散されることになる。

[0043] ここで、エレクトロマイグレーション (EM) は、加速された電子により金属イオンが運動量を持ち、半導体基板中を移動することで生じるものである。つまり、図 4 に示したブロー回路では、シリサイドの拡散として、マイナス側からプラス側への拡散 (electron wind) が行われる場合を示すため、チャネルのシリサイドは、ソース側から供給され、当該シリサイドを形成した後は、ゲートとソースの端子により容量素子 (キャパシタ) として動作させることが可能となる。

[0044] 図 5 は、エレクトロマイグレーション (EM) によるブロー後の回路の例を示している。

[0045] 図 5 においては、電界効果トランジスタ 162-1 ないし 162-3 のそれぞれが、そのゲートに印加される電圧 V_{ctrl} に応じてオフ状態になることで、図 4 に示した電界効果トランジスタ 151-1 ないし 151-3 のそれぞれと、電源電圧 161 とが切り離された状態となっている。

[0046] これにより、電界効果トランジスタ 151-1 に対応する部分では、シリサイド 111 と絶縁膜 112 とゲート電極 113 とを積層した 3 層構造が形成され、ゲート端子 (電圧: V_{gate}) とソース端子 (電圧: V_{ss}) によって、容量素子 152-1 として動作させることができる。

- [0047] ここで、この3層構造では、ゲート電極113の絶縁膜112の直下に、シリサイド111が形成されているため、半導体基板のキャリア濃度を、ゲート電圧に関わらず高く保持することができ、電圧依存性を緩和することができる。
- [0048] また、電界効果トランジスタ151-2, 151-3に対応する部分においても同様に、シリサイド111と絶縁膜112とゲート電極113とを積層した3層構造がそれぞれ形成され、ゲート端子（電圧：V_{gate}）とソース端子（電圧：V_{ss}）によって、容量素子152-2, 152-3として動作させることが可能とされる。
- [0049] なお、図4及び図5の回路図では、製造プロセスで、半導体装置に電界効果トランジスタ151-1ないし151-3が形成された場合を例示したが、2以下又は4以上の電界効果トランジスタ151が形成された場合にも同様に構成することができる。
- [0050] また、電界効果トランジスタ151では、サイドウォール114に、ゲート電極113に接して絶縁膜115を形成することで、ゲートとソース、及びゲートとドレインが、エレクトロマイグレーション（EM）の前後でショートするのを防止することができる。
- [0051] 次に、図6ないし図8を参照しながら、エレクトロマイグレーション（EM）によるシリサイド111の拡散の例を説明する。
- [0052] 図6は、エレクトロマイグレーション（EM）によるシリサイド111の拡散が適切な場合の断面の構造を示している。また、図7には、図6に示した断面図に対応した上面図を示している。
- [0053] 図6においては、ゲート電極113のゲート長をL₁、サイドウォール114の幅をWとし、エレクトロマイグレーション（EM）によるシリサイド111の拡散長（以下、EM拡散長ともいう）をL₂としたときに、下記の式（1）の関係を有している。
- [0054]
$$L_2 > L_1 + W \times 2 \quad \cdots (1)$$
- [0055] ここで、EM拡散長L₂は、一般に電圧と温度により決定されるが、電圧と

しては、例えば、上述したブロー回路（図4）において、上述した式（1）の条件を満たすような電圧（比較的高めの電圧）をかければよい。また、温度としては、例えばより高い温度とすることで、シリサイド111をより拡散させることが可能となり、拡散長 L_2 を大きくすることができる。

[0056] なお、本技術では、少なくとも電圧によって、式（1）の条件を満たすように、EM拡散長 L_2 を決定することができる。ただし、ゲート長 L_1 は、拡散長 L_2 と比べて短くなる。

[0057] 図6では、電圧（+）側から電圧（-）側、すなわち、ソース側からドレイン側に電圧をかけたときに、電圧（-）側から電圧（+）側に引き抜かれるように、シリサイド111が移動する様子を表している。つまり、この例では、電圧（-）側の領域のシリサイド111が、電圧（-）側から電圧（+）側の方向に拡散して（先細りで伸びて）、電圧（+）側の領域のシリサイド111にまで到達している。

[0058] このとき、シリサイド111の領域（粗いドットと細かいドットを含むドットパターンの領域）には、濃度が異なる領域を含んでいる。

[0059] 例えば、図6では、電圧（+）側と電圧（-）側に電圧をかけたとき、電圧（-）側からシリサイド111が引き抜かれているため、電圧（-）側の領域のシリサイド111の濃度は、電圧（+）側の領域のシリサイド111の濃度と比べて薄くなる。つまり、電圧（-）側の領域のシリサイド111と、電圧（+）側の領域のシリサイド111とでは、濃度が異なっている。

[0060] また、シリサイド111の材料としては、例えば、チタン（Ti）、コバルト（Co）、及びニッケル（Ni）等の金属を用いることができるのは先に述べた通りであるが、これらの金属の中では、ニッケル（Ni）が最も拡散しやすい金属であり、例えば、それを考慮して式（1）の条件を満たすような電圧をかければよい。

[0061] このように、図6では、電圧等により決定されるEM拡散長 L_2 が、式（1）の関係を有し、電圧（-）側から電圧（+）側までシリサイド111の拡散が到達しているため、ゲートとドレインの端子により容量素子として動作

が可能とされる。

[0062] なお、図6においては、電圧（+）側をソース側とし、電圧（-）側をドレイン側として説明したが、ソースとドレインのどちら側から電圧をかけても、構造的には同じであるため、ソースとドレインを逆にして構成してもよい。

[0063] また、図8は、エレクトロマイグレーション（EM）によるシリサイド111の拡散が短い場合の断面の構造を示している。

[0064] 図8においては、図6と同様に、ゲート長、側壁幅、EM拡散長のそれぞれを、 L_1 、 W 、 L_2 としたときに、下記の式（2）の関係を有している。

[0065] $L_2 < L_1 + W \times 2 \quad \dots (2)$

[0066] すなわち、図8では、電圧等により決定されるEM拡散長 L_2 が、式（2）の関係を有し、電圧（-）側の領域から電圧（+）側の領域に、シリサイド111の拡散が達していない。ここで、式（2）の関係を満たす場合には、上述した式（1）の関係を満たす場合と比べて、特性やバラツキ等の面では劣るものの、半導体層110の表面にシリサイド111を形成していない場合（本技術を適用した3層構造を有していない場合）と比べれば、その特性等を向上させることができる。

[0067] 以上のように、通常のCMOSプロセスのフローにより電界効果トランジスタ151を製造した後に、所望のゲート容量のドレイン・ソース間に電圧を印加することで、エレクトロマイグレーション（EM）によって（選択的に）シリサイド111を拡散させて、シリサイド111と絶縁膜112とゲート電極113とを積層した積層構造（3層構造）を形成している。

[0068] これにより、この3層構造を含む容量素子が形成されるが、絶縁膜112の直下に、シリサイド111が形成された構造となっているため、半導体基板のキャリア濃度をゲート端子の電圧（ V_{gate} ）に関わらず、高く保持でき、ゲート容量型の電圧依存性を改善することができる。

[0069] （半導体装置の他の構成）

上述した説明では、CMOSプロセスをベースにしてシリサイド111を使用

したプレーナ構造を例示したが、本技術は、プレーナ構造に限らず、他の構造にも適応することができる。そこで、次に、図9ないし図11を参照しながら、本技術を、プレーナ構造以外の他の構造に適用した場合について説明する。

[0070] 図9には、半導体層110に溝部を形成してその中にゲート電極113を埋め込んだトレンチゲート型の構造（トレンチゲート構造）を示している。

[0071] このトレンチゲート構造においては、上述したプレーナ構造と同様に、チャネル部分を、ソース・ドレイン間に電圧を印加することで、エレクトロマイグレーション（EM）によってシリサイド111を拡散させて、チャネルをシリサイド化させている。これにより、トレンチゲート構造の場合においても、シリサイド111と絶縁膜112とゲート電極113とが積層された積層構造（3層構造）が形成される。

[0072] また、図9においては、ゲート電極113のゲート長を L_1 、サイドウォール114の幅を W 、トレンチの深さを D とし、EM拡散長を L_2 としたときに、例えば、下記の式（3）の関係が成立する。

[0073]
$$L_2 > L_1 + D \times 2 + W \times 2 \quad \dots (3)$$

[0074] すなわち、図9では、電圧等により決定されるEM拡散長 L_2 が、例えば、式（3）の関係を有し、ソースとドレインの間でシリサイド111の拡散が到達している場合に、容量素子として動作させることが可能とされる。

[0075] 図10及び図11には、チャネルを多方向からゲートで囲った3次元立体構造（フィン構造）を示している。

[0076] このフィン構造においては、上述したプレーナ構造と同様に、チャネル部分を、ソース・ドレイン間に電圧を印加することで、エレクトロマイグレーション（EM）によってシリサイド111を拡散させて、チャネルをシリサイド化させている。これにより、フィン構造の場合においても、シリサイド111と絶縁膜112とゲート電極113とが積層された積層構造（3層構造）が形成される。

[0077] また、図10においては、ゲート電極113のゲート長を L_1 、サイドウ

オール 1 1 4 の幅を W とし、EM 拡散長を L_2 としたときに、例えば、下記の式 (4) の関係が成立する。

[0078] $L_2 > L_1 + W \times 2 \quad \dots (4)$

[0079] すなわち、図 10 では、電圧等により決定される EM 拡散長 L_2 が、式 (4) の関係を有し、ソースとドレインの間でシリサイド 1 1 1 の拡散が到達している場合に、容量素子として動作させることが可能とされる。

[0080] 以上のように、本技術を適用した半導体装置では、シリサイドをチャネル領域に形成して、電極、酸化膜、シリサイドの 3 層構造からなる容量素子（ゲート容量素子）を有している。この容量素子では、半導体基板側がシリサイド化されているため、ゲート電圧に対する容量変化がほぼ無視できるような特性を持った容量が実現され、ゲート容量型の構造を用いる場合でも、電圧依存性を改善することが可能となる。

[0081] なお、上述した特許文献 1, 2 には、シリコン層の表面にシリコン層と金属とが反応して形成されたシリサイド層を含む構造や、ショットキーソース・ドレイン構造については開示されているが、本技術を適用した 3 層構造（電極、酸化膜、シリサイド）に関する開示はなされていない。

[0082] < 2. 固体撮像装置への適用例 >

[0083] ところで、CMOS イメージセンサを含む固体撮像装置では、AD 変換回路（ADC : Analog to Digital Converter）として、シングルスロープ積分型の ADC が使用されることが多い。シングルスロープ積分型の ADC を用いることで、レイアウトの省面積化を図ることができるなどのメリットがある。

[0084] この AD 変換回路で使用される容量素子は、CMOS プロセスとの親和性から配線層を使った MOM 型や、ゲート容量型を使用することが一般的であるが、MOM 型は、面積ペナルティが大きくなるという問題がある一方で、ゲート容量型では、省面積化は可能であるが、電圧依存性に劣り、非直線性ひずみが生じるという問題がある。

[0085] ゲート容量型の電圧依存性は、基板不純物濃度を 20 乗以上に増加させることである程度は改善するが、1 % 程度の劣化が残る。また、形成プロセス上

、高濃度のN型不純物を導入した後に、酸化やポリシリコンゲート等の高温プロセスを処理するため、外方拡散によるバラツキも問題となる。

[0086] ここでは、半導体基板側に半導体よりも電導度の高い金属（例えばシリサイド等）を使用できれば、解決することができるが、現状では、シリサイドプロセス後に酸化膜を成膜することができないため、このような手法は実現には至っていない。

[0087] そこで、本技術では、上述したように、チャネル部分を、ソース・ドレイン間に電圧を印加することで、エレクトロマイグレーション（EM）によってシリサイドを拡散させて、チャネルをシリサイド化させることで、電極、酸化膜、シリサイドの3層構造を有する容量素子（ゲート容量素子）を形成している。

[0088] この容量素子では、ゲート電極の酸化膜の直下に、シリサイドが形成されているため、半導体基板のキャリア濃度を、ゲート電圧に関わらず、高く保持することが可能となるため、電圧依存性を緩和することができる。

[0089] そして、この電圧依存性に優れる容量素子を、例えばAD変換回路で利用される容量素子として用いることで、ADCにおける非直線性ひずみを低減することが可能となり、CMOSイメージセンサ等の固体撮像装置では、被写体を撮像して得られる撮像画像の画質を向上させることができる。以下、このような3層構造を有する容量素子を含む固体撮像装置の構成を説明する。

[0090] （固体撮像装置の構成）

図12は、本開示に係る技術を適用した固体撮像装置の構成の例を示している。

[0091] 図12において、固体撮像装置200は、画素部210、垂直走査回路220、水平転送走査回路230、タイミング制御回路240、AD変換回路250、DAC・バイアス回路260、アンプ回路270、信号処理回路280を有する。

[0092] 画素部210は、フォトダイオード（PD：Photodiode）と画素トランジスタを含む画素が2次元状（行列状）に配置されて構成される。なお、画素部

210に配置される画素の詳細な構成は、図13を参照して後述する。

[0093] 固体撮像装置200においては、画素部210（に配置された画素）の信号を順次読み出すための制御回路として、内部クロックを生成するタイミング制御回路240、行アドレスや行走査を制御する垂直走査回路220、列アドレスや列走査を制御する水平転送走査回路230が設けられる。

[0094] タイミング制御回路240は、画素部210、垂直走査回路220、水平転送走査回路230、AD変換回路250、DAC・バイアス回路260、及び信号処理回路280に必要なタイミング信号を生成し、供給する。

[0095] 画素部210では、例えばラインシャッタを使用した光子蓄積、排出により、画像イメージを画素行ごとに光電変換し、その結果得られるアナログ信号を、垂直信号線VSLを介してAD変換回路250に出力する。

[0096] AD変換回路250では、ADCブロック（各カラム部）でそれぞれ、画素部210からのアナログ信号を、DAC・バイアス回路260に含まれるDAC(Digital to Analog Converter)261からのランプ信号（RAMP）を用いた積分型のADC、及び相関二重サンプリング（CDS: Correlated Double Sampling）を行い、（数ビットの）デジタル信号を出力する。

[0097] ここで、AD変換回路250では、DAC261により生成されるランプ信号と、行線ごとに画素から垂直信号線VSLを介して得られるアナログ信号（電位VSL）とを比較する比較器251と、比較時間をカウントするカウンタ252と、カウント結果を保持するラッチ253とからなるADCが複数列配列されている。なお、ランプ信号は、DAC261により生成される参照電圧を階段状に変化させたランプ波形（RAMP）である参照電圧 V_{slop} とされる。

[0098] AD変換回路250は、 n ビットのデジタル変換機能を有し、垂直信号線VSLごとに配置され、列並列ADCブロックが構成される。各ラッチ253の出力は、例えば、 $2n$ ビット幅の水平転送線LTFRに接続される。また、この水平転送線LTFRに対応した $2n$ 個のアンプ回路270、及び信号処理回路280が配置される。なお、AD変換回路250に含まれる比較器251の詳細な構成は、図14を参照して後述する。

[0099] AD変換回路250においては、垂直信号線VSLに読み出されたアナログ信号（電位VSL）は、列ごと（カラムごと）に配置された比較器251で参照電圧Vslop（ある傾きを持った線形に変化するスロープ波形であるランプ信号）と比較される。このとき、比較器251と同様に列ごとに配置されたカウンタ252が動作しており、ランプ波形のあるランプ信号（電位Vslop）とカウンタ値が一对一の対応をとりながら変化することで、垂直信号線VSLのアナログ信号（電位VSL）をデジタル信号に変換する。

[0100] ここで、参照電圧Vslop（ランプ信号）の変化は電圧の変化を時間の変化に変換するものであり、その時間のある周期（クロック）で数えることでデジタル値に変換するものである。そして、アナログ信号（電位VSL）とランプ信号（参照電圧Vslop）とが交わったとき、比較器251の出力が反転し、カウンタ252の入力クロックを停止し、又は入力を停止していたクロックをカウンタ252に入力し、AD変換を完了させる。

[0101] 以上のAD変換期間の終了後、水平転送走査回路230によって、ラッチ253に保持された信号が、水平転送線LTFRに転送され、アンプ回路270を経て信号処理回路280に入力される。信号処理回路280では、そこに入力される信号に対し、所定の信号処理（例えば、縦線欠陥や点欠陥の補正等）が行われ、当該信号処理で得られる画像信号が後段に出力される。

[0102] （画素の構成）

図13は、図12の画素部210に2次元状に配置される画素211の詳細な構成の例を示している。

[0103] 図13において、画素211は、光電変換素子としてフォトダイオード212を有し、このフォトダイオード212に対し、転送トランジスタ213、増幅トランジスタ214、選択トランジスタ215、及びリセットトランジスタ216の4つの画素トランジスタを有する。

[0104] フォトダイオード212は、入射光をその光量に応じた電荷に光電変換する。転送トランジスタ213は、フォトダイオード212とフローティングディフュージョンFDとの間に接続され、そのゲートに転送制御信号（TG）が

与えられると、フォトダイオード212で光電変換された電荷を、フローティングディフュージョンFDに転送する。

[0105] フローティングディフュージョンFDには、増幅トランジスタ214のゲートが接続される。増幅トランジスタ214は、選択トランジスタ215を介して垂直信号線VSLに接続され、画素部210の外部の定電流源217とソースフォロアを構成している。

[0106] そして、選択トランジスタ215のゲートに、選択制御信号（SEL）が与えられ、選択トランジスタ215がオン状態になると、増幅トランジスタ214は、フローティングディフュージョンFDの電位を増幅してその電位に応じた電圧を、垂直信号線VSLに出力する。画素211から出力された信号電圧（アナログ信号）は、垂直信号線VSLを介してAD変換回路250に入力される。

[0107] なお、リセットトランジスタ216は、電源線VddとフローティングディフュージョンFDとの間に接続され、そのゲートにリセット制御信号（RST）が与えられると、フローティングディフュージョンFDの電位を電源線Vddの電位にリセットする。

[0108] （比較器の構成）

図14は、図12のAD変換回路250に含まれる比較器251の詳細な構成の例を示している。

[0109] 図14において、比較器251では、初段で低速信号比較動作を行って動作帯域を狭くする機能を有する第1アンプ251Aと、第1アンプ251Aの出力をゲインアップする機能を有する第2アンプ251Bが縦続接続されている。

[0110] そして、比較器251は、行動作開始時に各カラムに動作点を決めるためのAZスイッチに印加する第1アンプ251Aのための第1のAZ（初期化）信号PSELを、水平方向（比較器の配列方向、列方向）の間欠動作基本単位分だけ並列に独立して制御することで、非動作比較器のAZスイッチのみ非動作行開始時にオフに固定するように構成されている。

[0111] 第1アンプ251Aは、PMOSトランジスタ291Aないし291Eと、NMOS

Sトランジスタ292Aないし292Dと、AZレベルのサンプリング容量であるキャパシタ293A, 293Bを有する。

[0112] このような構成を有する第1アンプ251Aにおいて、PMOSトランジスタ291A, 291Bによりカレントミラー回路が構成され、NMOSトランジスタ292A, 292BによりNMOSトランジスタ292Cを電流源とする差動の比較部が構成される。

[0113] また、PMOSトランジスタ291C, 291DがAZスイッチとして機能し、キャパシタ293A, 293BがAZレベルのサンプリング容量として機能する。ここで、キャパシタ293A, 293Bとして、本技術を適用したキャパシタ、すなわち、電極、酸化膜、シリサイドの3層構造を有する容量素子を用いることができる。

[0114] 第2アンプ251Bは、PMOSトランジスタ294Aと、NMOSトランジスタ295A, 295Bと、AZレベルのサンプリング容量であるキャパシタ296Aを有する。

[0115] このような構成を有する第2アンプ251Bにおいて、PMOSトランジスタ294Aにより入力及び電流源回路が構成される。

[0116] また、NMOSトランジスタ295BがAZスイッチとして機能し、キャパシタ296AがAZレベルのサンプリング容量として機能する。ここで、キャパシタ296Aとして、本技術を適用したキャパシタ、すなわち、電極、酸化膜、シリサイドの3層構造を有する容量素子を用いることができる。

[0117] このように、固体撮像装置200では、AD変換回路250（の比較器251）に設けられるキャパシタ293A, 293B, 296Aとして、本技術を適用した3層構造（電極、酸化膜、シリサイド）の容量素子（ゲート容量型の電圧依存性を改善した容量素子）を用いることで、ADCにおける非直線性ひずみを低減することができ、結果として撮像画像の画質を向上させることができる。

[0118] （画素の他の構成）

図15は、図12の画素部210に2次元状に配置される画素の他の構成

として、画素311の詳細な構成の例を示している。

[0119] 図15において、画素311は、フォトダイオード312を有し、このフォトダイオード312に対し、第1転送トランジスタ313、第2転送ゲート部314、第3転送ゲート部315、リセットトランジスタ316、第1電荷蓄積部317、第2電荷蓄積部318、増幅トランジスタ319、選択トランジスタ320、及び電荷排出トランジスタ321を有する。

[0120] ここで、画素311では、画素部210における全画素に対して同一のタイミングで露光開始と露光終了とを行うグローバルシャッタを実現するために、光電変換素子としてのフォトダイオード312とは別に、電荷を蓄積する領域として、第1電荷蓄積部317と第2電荷蓄積部318を設けている。例えば、第1電荷蓄積部317として埋め込み型のMOSキャパシタを用い、第2電荷蓄積部318として第1電荷蓄積部317よりも単位面積当たりの容量値が大きいMOSキャパシタを用いることができる。

[0121] フォトダイオード312は、入射光をその光量に応じた電荷に光電変換する。第1転送トランジスタ313は、フォトダイオード312と第1電荷蓄積部317との間に接続され、そのゲートに転送制御信号(TG)が与えられると、フォトダイオード312で光電変換された電荷を、第1電荷蓄積部317に転送する。第1電荷蓄積部317は、第1転送トランジスタ313から転送される電荷を一時的に蓄積する。

[0122] 第2転送ゲート部314は、第1電荷蓄積部317とフローティングディフュージョンFDに接続され、そのゲートに転送制御信号(FG)が与えられると、第1電荷蓄積部317に蓄積された電荷を、フローティングディフュージョンFDに転送する。第3転送ゲート部315は、第1電荷蓄積部317と第2電荷蓄積部318との間に接続され、そのゲートに転送制御信号(CG)が与えられると、第1電荷蓄積部317と第2電荷蓄積部318のポテンシャルを結合する。

[0123] リセットトランジスタ316は、電源線VdrとフローティングディフュージョンFDとの間に接続され、そのゲートにリセット制御信号(RST)が与えられ

ると、フローティングディフュージョンFDの電位を電源線Vdrの電位にリセットする。

[0124] 増幅トランジスタ319は、そのゲートがフローティングディフュージョンFDに接続される。増幅トランジスタ319は、選択トランジスタ320を介して垂直信号線VSLに接続され、画素部210（図12）の外部の定電流源322とソースフォロアを構成している。

[0125] そして、選択トランジスタ320のゲートに、選択制御信号（SEL）が与えられ、選択トランジスタ320がオン状態になると、増幅トランジスタ319は、フローティングディフュージョンFDの電位を増幅してその電位に応じた電圧を、垂直信号線VSLを介してAD変換回路250（図12）に出力する。

[0126] なお、電荷排出トランジスタ321は、フォトダイオード312と電源線Vdd（電荷排出部）との間に接続され、そのゲートに電荷排出制御信号（PG）が与えられると、フォトダイオード312に蓄積された電荷を選択的に排出する。

[0127] また、図16は、画素311の構成を示す概略図であり、図15に対応する部分には同一の符号を付している。なお、図16には、画素レイアウトを示す平面パターンと、当該平面パターンにおけるA-A'矢視断面図、及びB-B'矢視断面図をそれぞれ示している。

[0128] 以上のように構成される画素311においては、第2電荷蓄積部318を構成するキャパシタとして、本技術を適用したキャパシタ、すなわち、電極、酸化膜、シリサイドの3層構造を有する容量素子（ゲート容量型の電圧依存性を改善した容量素子）を用いることができる。

[0129] なお、固体撮像装置200において、画素部210と、AD変換回路250等を含む周辺回路部とは、同一の基板に形成してもよいし、異なる基板に形成してもよい。すなわち、固体撮像装置200（例えば裏面照射型のCMOSイメージセンサ等）では、複数の半導体層を積層した構造を用いて、例えば、第1の半導体層に画素部210が形成され、第2の半導体層にAD変換回路250等を含む周辺回路部が形成される構造を用いることができる。

[0130] ＜３．電子機器への適用例＞

[0131] 上述した固体撮像装置２００（図１２）は、例えば、デジタルスチルカメラやデジタルビデオカメラ等の撮像装置、撮像機能を備えた携帯電話機やスマートフォン、又は撮像機能を備えた他の機器といった各種の電子機器に適用することができる。

[0132] （電子機器の構成）

図１７は、本開示に係る技術を適用した固体撮像装置を搭載した電子機器の構成の例を示すブロック図である。

[0133] 図１７において、電子機器１０００は、光学系１００１、シャッタ装置１００２、固体撮像装置１００３、制御回路１００４、信号処理回路１００５、モニタ１００６、及びメモリ１００７を含んで構成され、静止画像又は動画像を撮像可能である。

[0134] 光学系１００１は、１又は複数枚のレンズを有して構成され、被写体からの光（入射光）を固体撮像装置１００３に導き、固体撮像装置１００３の受光面に結像させる。

[0135] シャッタ装置１００２は、光学系１００１と固体撮像装置１００３との間に配置され、制御回路１００４からの制御に従い、固体撮像装置１００３への光照射期間及び遮蔽期間を制御する。

[0136] 固体撮像装置１００３は、例えば、上述した固体撮像装置２００（図１２）を含むパッケージとして構成される。固体撮像装置１００３は、制御回路１００４からの制御に従い、光学系１００１及びシャッタ装置１００２を介して受光面に結像される光に応じた電荷を蓄積して所定のタイミングで読み出し、AD変換や所定の信号処理を行うことで、画像信号を生成し、信号処理回路１００５に供給する。

[0137] 制御回路１００４は、シャッタ装置１００２のシャッタ動作、及び固体撮像装置１００３の転送動作を制御する駆動信号を生成して、シャッタ装置１００２及び固体撮像装置１００３を駆動する。

[0138] 信号処理回路１００５は、例えばカメラISP(Image Signal Processor)等と

して構成される。信号処理回路１００５は、固体撮像装置１００３から出力される画像信号を用いて、例えば、デモザイクや色空間変換、解像度変換、コーデック等の各種の信号処理を行う。信号処理回路１００５は、当該信号処理で得られる（撮像画像の）画像データを、モニタ１００６又はメモリ１００７に供給する。

[0139] モニタ１００６は、例えば、液晶ディスプレイや、OLED(Organic Light Emitting Diode)ディスプレイ等の表示装置から構成される。モニタ１００６は、信号処理回路１００５から供給される画像データに対応する画像を表示する。

[0140] メモリ１００７は、例えば半導体メモリ等の記憶装置から構成される。メモリ１００７は、信号処理回路１００５から供給される画像データを記憶する。

[0141] 以上のように構成される電子機器１０００においては、固体撮像装置１００３として、固体撮像装置２００（図１２）を含むことで、例えば、AD変換回路２５０（の比較器２５１）や、グローバルシャッタに対応した画素部２１０（の画素３１１）に設けられるキャパシタとして、本技術を適用した３層構造（電極、酸化膜、シリサイド）の容量素子（ゲート容量型の電圧依存性を改善した容量素子）が用いられる。そのため、ADCにおける非直線性ひずみを低減することができ、結果として撮像画像の画質を向上させることができる。

[0142] ＜４．内視鏡手術システムへの応用例＞

[0143] 本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、内視鏡手術システムに適用されてもよい。

[0144] 図１８は、本開示に係る技術（本技術）が適用され得る内視鏡手術システムの概略的な構成の一例を示す図である。

[0145] 図１８では、術者（医師）１１１３１が、内視鏡手術システム１１０００を用いて、患者ベッド１１１３３上の患者１１１３２に手術を行っている様子が図示されている。図示するように、内視鏡手術システム１１０００は、

内視鏡 1 1 1 0 0 と、気腹チューブ 1 1 1 1 1 やエネルギー処置具 1 1 1 1 2 等の、その他の術具 1 1 1 1 0 と、内視鏡 1 1 1 0 0 を支持する支持アーム装置 1 1 1 2 0 と、内視鏡下手術のための各種の装置が搭載されたカート 1 1 2 0 0 と、から構成される。

[0146] 内視鏡 1 1 1 0 0 は、先端から所定の長さの領域が患者 1 1 1 3 2 の体腔内に挿入される鏡筒 1 1 1 0 1 と、鏡筒 1 1 1 0 1 の基端に接続されるカメラヘッド 1 1 1 0 2 と、から構成される。図示する例では、硬性の鏡筒 1 1 1 0 1 を有するいわゆる硬性鏡として構成される内視鏡 1 1 1 0 0 を図示しているが、内視鏡 1 1 1 0 0 は、軟性の鏡筒を有するいわゆる軟性鏡として構成されてもよい。

[0147] 鏡筒 1 1 1 0 1 の先端には、対物レンズが嵌め込まれた開口部が設けられている。内視鏡 1 1 1 0 0 には光源装置 1 1 2 0 3 が接続されており、当該光源装置 1 1 2 0 3 によって生成された光が、鏡筒 1 1 1 0 1 の内部に延設されるライトガイドによって当該鏡筒の先端まで導光され、対物レンズを介して患者 1 1 1 3 2 の体腔内の観察対象に向かって照射される。なお、内視鏡 1 1 1 0 0 は、直視鏡であってもよいし、斜視鏡又は側視鏡であってもよい。

[0148] カメラヘッド 1 1 1 0 2 の内部には光学系及び撮像素子が設けられており、観察対象からの反射光（観察光）は当該光学系によって当該撮像素子に集光される。当該撮像素子によって観察光が光電変換され、観察光に対応する電気信号、すなわち観察像に対応する画像信号が生成される。当該画像信号は、RAWデータとしてカメラコントロールユニット（CCU : Camera Control Unit） 1 1 2 0 1 に送信される。

[0149] CCU 1 1 2 0 1 は、CPU（Central Processing Unit）やGPU（Graphics Processing Unit）等によって構成され、内視鏡 1 1 1 0 0 及び表示装置 1 1 2 0 2 の動作を統括的に制御する。さらに、CCU 1 1 2 0 1 は、カメラヘッド 1 1 1 0 2 から画像信号を受け取り、その画像信号に対して、例えば現像処理（デモザイク処理）等の、当該画像信号に基づく画像を表示す

るための各種の画像処理を施す。

- [0150] 表示装置 11202 は、CCU 11201 からの制御により、当該 CCU 11201 によって画像処理が施された画像信号に基づく画像を表示する。
- [0151] 光源装置 11203 は、例えば LED (Light Emitting Diode) 等の光源から構成され、術部等を撮影する際の照射光を内視鏡 11100 に供給する。
- [0152] 入力装置 11204 は、内視鏡手術システム 11000 に対する入力インタフェースである。ユーザは、入力装置 11204 を介して、内視鏡手術システム 11000 に対して各種の情報の入力や指示入力を行うことができる。例えば、ユーザは、内視鏡 11100 による撮像条件（照射光の種類、倍率及び焦点距離等）を変更する旨の指示等を入力する。
- [0153] 処置具制御装置 11205 は、組織の焼灼、切開又は血管の封止等のためのエネルギー処置具 11112 の駆動を制御する。気腹装置 11206 は、内視鏡 11100 による視野の確保及び術者の作業空間の確保の目的で、患者 11132 の体腔を膨らめるために、気腹チューブ 11111 を介して当該体腔内にガスを送り込む。レコーダ 11207 は、手術に関する各種の情報を記録可能な装置である。プリンタ 11208 は、手術に関する各種の情報を、テキスト、画像又はグラフ等各種の形式で印刷可能な装置である。
- [0154] なお、内視鏡 11100 に術部を撮影する際の照射光を供給する光源装置 11203 は、例えば LED、レーザ光源又はこれらの組み合わせによって構成される白色光源から構成することができる。RGB レーザ光源の組み合わせにより白色光源が構成される場合には、各色（各波長）の出力強度及び出力タイミングを高精度に制御することができるため、光源装置 11203 において撮像画像のホワイトバランスの調整を行うことができる。また、この場合には、RGB レーザ光源それぞれからのレーザ光を時分割で観察対象に照射し、その照射タイミングに同期してカメラヘッド 11102 の撮像素子の駆動を制御することにより、RGB それぞれに対応した画像を時分割で撮像することも可能である。当該方法によれば、当該撮像素子にカラーフィ

ルタを設けなくても、カラー画像を得ることができる。

[0155] また、光源装置 11203 は、出力する光の強度を所定の時間ごとに変更するようにその駆動が制御されてもよい。その光の強度の変更のタイミングに同期してカメラヘッド 11102 の撮像素子の駆動を制御して時分割で画像を取得し、その画像を合成することにより、いわゆる黒つぶれ及び白とびのない高ダイナミックレンジの画像を生成することができる。

[0156] また、光源装置 11203 は、特殊光観察に対応した所定の波長帯域の光を供給可能に構成されてもよい。特殊光観察では、例えば、体組織における光の吸収の波長依存性を利用して、通常の観察時における照射光（すなわち、白色光）に比べて狭帯域の光を照射することにより、粘膜表層の血管等の所定の組織を高コントラストで撮影する、いわゆる狭帯域光観察（Narrow Band Imaging）が行われる。あるいは、特殊光観察では、励起光を照射することにより発生する蛍光により画像を得る蛍光観察が行われてもよい。蛍光観察では、体組織に励起光を照射し当該体組織からの蛍光を観察すること（自家蛍光観察）、又はインドシアニンググリーン（ICG）等の試薬を体組織に局注するとともに当該体組織にその試薬の蛍光波長に対応した励起光を照射し蛍光像を得ること等を行うことができる。光源装置 11203 は、このような特殊光観察に対応した狭帯域光及び／又は励起光を供給可能に構成され得る。

[0157] 図 19 は、図 18 に示すカメラヘッド 11102 及び CCU 11201 の機能構成の一例を示すブロック図である。

[0158] カメラヘッド 11102 は、レンズユニット 11401 と、撮像部 11402 と、駆動部 11403 と、通信部 11404 と、カメラヘッド制御部 11405 と、を有する。CCU 11201 は、通信部 11411 と、画像処理部 11412 と、制御部 11413 と、を有する。カメラヘッド 11102 と CCU 11201 とは、伝送ケーブル 11400 によって互いに通信可能に接続されている。

[0159] レンズユニット 11401 は、鏡筒 11101 との接続部に設けられる光

学系である。鏡筒 1 1 1 0 1 の先端から取り込まれた観察光は、カメラヘッド 1 1 1 0 2 まで導光され、当該レンズユニット 1 1 4 0 1 に入射する。レンズユニット 1 1 4 0 1 は、ズームレンズ及びフォーカスレンズを含む複数のレンズが組み合わされて構成される。

[0160] 撮像部 1 1 4 0 2 は、撮像素子で構成される。撮像部 1 1 4 0 2 を構成する撮像素子は、1 つ（いわゆる単板式）であってもよいし、複数（いわゆる多板式）であってもよい。撮像部 1 1 4 0 2 が多板式で構成される場合には、例えば各撮像素子によって RGB それぞれに対応する画像信号が生成され、それらが合成されることによりカラー画像が得られてもよい。あるいは、撮像部 1 1 4 0 2 は、3 D（Dimensional）表示に対応する右目用及び左目用の画像信号をそれぞれ取得するための 1 対の撮像素子を有するように構成されてもよい。3 D 表示が行われることにより、術者 1 1 1 3 1 は術部における生体組織の奥行きをより正確に把握することが可能になる。なお、撮像部 1 1 4 0 2 が多板式で構成される場合には、各撮像素子に対応して、レンズユニット 1 1 4 0 1 も複数系統設けられ得る。

[0161] また、撮像部 1 1 4 0 2 は、必ずしもカメラヘッド 1 1 1 0 2 に設けられなくてもよい。例えば、撮像部 1 1 4 0 2 は、鏡筒 1 1 1 0 1 の内部に、対物レンズの直後に設けられてもよい。

[0162] 駆動部 1 1 4 0 3 は、アクチュエータによって構成され、カメラヘッド制御部 1 1 4 0 5 からの制御により、レンズユニット 1 1 4 0 1 のズームレンズ及びフォーカスレンズを光軸に沿って所定の距離だけ移動させる。これにより、撮像部 1 1 4 0 2 による撮像画像の倍率及び焦点が適宜調整され得る。

[0163] 通信部 1 1 4 0 4 は、CCU 1 1 2 0 1 との間で各種の情報を送受信するための通信装置によって構成される。通信部 1 1 4 0 4 は、撮像部 1 1 4 0 2 から得た画像信号を RAW データとして伝送ケーブル 1 1 4 0 0 を介して CCU 1 1 2 0 1 に送信する。

[0164] また、通信部 1 1 4 0 4 は、CCU 1 1 2 0 1 から、カメラヘッド 1 1 1

02の駆動を制御するための制御信号を受信し、カメラヘッド制御部11405に供給する。当該制御信号には、例えば、撮像画像のフレームレートを指定する旨の情報、撮像時の露出値を指定する旨の情報、並びに／又は撮像画像の倍率及び焦点を指定する旨の情報等、撮像条件に関する情報が含まれる。

[0165] なお、上記のフレームレートや露出値、倍率、焦点等の撮像条件は、ユーザによって適宜指定されてもよいし、取得された画像信号に基づいてCCU11201の制御部11413によって自動的に設定されてもよい。後者の場合には、いわゆるAE（Auto Exposure）機能、AF（Auto Focus）機能及びAWB（Auto White Balance）機能が内視鏡11100に搭載されていることになる。

[0166] カメラヘッド制御部11405は、通信部11404を介して受信したCCU11201からの制御信号に基づいて、カメラヘッド11102の駆動を制御する。

[0167] 通信部11411は、カメラヘッド11102との間で各種の情報を送受信するための通信装置によって構成される。通信部11411は、カメラヘッド11102から、伝送ケーブル11400を介して送信される画像信号を受信する。

[0168] また、通信部11411は、カメラヘッド11102に対して、カメラヘッド11102の駆動を制御するための制御信号を送信する。画像信号や制御信号は、電気通信や光通信等によって送信することができる。

[0169] 画像処理部11412は、カメラヘッド11102から送信されたRAWデータである画像信号に対して各種の画像処理を施す。

[0170] 制御部11413は、内視鏡11100による術部等の撮像、及び、術部等の撮像により得られる撮像画像の表示に関する各種の制御を行う。例えば、制御部11413は、カメラヘッド11102の駆動を制御するための制御信号を生成する。

[0171] また、制御部11413は、画像処理部11412によって画像処理が施

された画像信号に基づいて、術部等が映った撮像画像を表示装置 1 1 2 0 2 に表示させる。この際、制御部 1 1 4 1 3 は、各種の画像認識技術を用いて撮像画像内における各種の物体を認識してもよい。例えば、制御部 1 1 4 1 3 は、撮像画像に含まれる物体のエッジの形状や色等を検出することにより、鉗子等の術具、特定の生体部位、出血、エネルギー処置具 1 1 1 1 2 の使用時のミスト等を認識することができる。制御部 1 1 4 1 3 は、表示装置 1 1 2 0 2 に撮像画像を表示させる際に、その認識結果を用いて、各種の手術支援情報を当該術部の画像に重畳表示させてもよい。手術支援情報が重畳表示され、術者 1 1 1 3 1 に提示されることにより、術者 1 1 1 3 1 の負担を軽減することや、術者 1 1 1 3 1 が確実に手術を進めることが可能になる。

[0172] カメラヘッド 1 1 1 0 2 及び C C U 1 1 2 0 1 を接続する伝送ケーブル 1 1 4 0 0 は、電気信号の通信に対応した電気信号ケーブル、光通信に対応した光ファイバ、又はこれらの複合ケーブルである。

[0173] ここで、図示する例では、伝送ケーブル 1 1 4 0 0 を用いて有線で通信が行われていたが、カメラヘッド 1 1 1 0 2 と C C U 1 1 2 0 1 との間の通信は無線で行われてもよい。

[0174] 以上、本開示に係る技術が適用され得る内視鏡手術システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、内視鏡 1 1 1 0 0 や、カメラヘッド 1 1 1 0 2 （の撮像部 1 1 4 0 2 ）に適用され得る。具体的には、図 1 2 の固体撮像装置 2 0 0 は、例えば、撮像部 1 1 4 0 2 に適用することができる。撮像部 1 1 4 0 2 に本開示に係る技術を適用することにより、例えば、ADCにおける非直線性ひずみを低減して、より鮮明な術部画像を得ることができるため、より確実に術者が術部を確認することが可能となる。

[0175] なお、ここでは、一例として内視鏡手術システムについて説明したが、本開示に係る技術は、その他、例えば、顕微鏡手術システム等に適用されてもよい。

[0176] < 5. 移動体への応用例 >

[0177] 本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0178] 図20は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0179] 車両制御システム12000は、通信ネットワーク12001を介して接続された複数の電子制御ユニットを備える。図20に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、及び統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、音声画像出力部12052、及び車載ネットワークI/F（Interface）12053が図示されている。

[0180] 駆動系制御ユニット12010は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット12010は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0181] ボディ系制御ユニット12020は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット12020は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウィンカー又はフォグラмп等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット12020には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット

１２０２０は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0182] 車外情報検出ユニット１２０３０は、車両制御システム１２０００を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット１２０３０には、撮像部１２０３１が接続される。車外情報検出ユニット１２０３０は、撮像部１２０３１に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット１２０３０は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0183] 撮像部１２０３１は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部１２０３１は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部１２０３１が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0184] 車内情報検出ユニット１２０４０は、車内の情報を検出する。車内情報検出ユニット１２０４０には、例えば、運転者の状態を検出する運転者状態検出部１２０４１が接続される。運転者状態検出部１２０４１は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット１２０４０は、運転者状態検出部１２０４１から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0185] マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット１２０１０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むＡＤＡＳ（Advanced Driver Assistance System）

の機能実現を目的とした協調制御を行うことができる。

[0186] また、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 又は車内情報検出ユニット 12040 で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0187] また、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 で取得される車外の情報に基づいて、ボディ系制御ユニット 12020 に対して制御指令を出力することができる。例えば、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0188] 音声画像出力部 12052 は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図 20 の例では、出力装置として、オーディオスピーカ 12061、表示部 12062 及びインストルメントパネル 12063 が例示されている。表示部 12062 は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0189] 図 21 は、撮像部 12031 の設置位置の例を示す図である。

[0190] 図 21 では、撮像部 12031 として、撮像部 12101、12102、12103、12104、12105 を有する。

[0191] 撮像部 12101、12102、12103、12104、12105 は、例えば、車両 12100 のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部 12101 及び車室内のフロントガラスの上部に備えられる撮像部 12105 は、主として車両 12100 の前方の画像を取得する。サイドミラーに備えられる撮像部 12102、12103 は、

主として車両 12100 の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部 12104 は、主として車両 12100 の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部 12105 は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0192] なお、図 21 には、撮像部 12101 ないし 12104 の撮影範囲の一例が示されている。撮像範囲 12111 は、フロントノーズに設けられた撮像部 12101 の撮像範囲を示し、撮像範囲 12112, 12113 は、それぞれサイドミラーに設けられた撮像部 12102, 12103 の撮像範囲を示し、撮像範囲 12114 は、リアバンパ又はバックドアに設けられた撮像部 12104 の撮像範囲を示す。例えば、撮像部 12101 ないし 12104 で撮像された画像データが重ね合わせられることにより、車両 12100 を上方から見た俯瞰画像が得られる。

[0193] 撮像部 12101 ないし 12104 の少なくとも 1 つは、距離情報を取得する機能を有していてもよい。例えば、撮像部 12101 ないし 12104 の少なくとも 1 つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0194] 例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 から得られた距離情報を基に、撮像範囲 12111 ないし 12114 内における各立体物までの距離と、この距離の時間的変化（車両 12100 に対する相対速度）を求めることにより、特に車両 12100 の進行路上にある最も近い立体物で、車両 12100 と略同じ方向に所定の速度（例えば、0 km/h 以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ 12051 は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0195] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を元に、立体物に関する立体物データを、2輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ12051は、車両12100の周辺の障害物を、車両12100のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ12051は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ12061や表示部12062を介してドライバに警報を出力することや、駆動系制御ユニット12010を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0196] 撮像部12101ないし12104の少なくとも1つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ12051は、撮像部12101ないし12104の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部12101ないし12104の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ12051が、撮像部12101ないし12104の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部12052は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部12062を制御する。また、音声画像出力部12052は、歩行者を示すアイコン等を所望の位置に表示するように表示部12062を制御してもよい。

[0197] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部12031（の撮像部12101等）に適用され得る。具体的には、図12の固体撮像装置200は、例えば、撮像部12031に適用することができる。撮像

部 1 2 0 3 1 に本開示に係る技術を適用することにより、例えば、ADCにおける直線ひずみを低減して、より鮮明な撮像画像を得ることができるため、例えば、より正確に、人、車、障害物、標識又は路面上の文字等の物体を認識することが可能となる。

[0198] なお、本技術の実施の形態は、上述した実施の形態に限定されるものではなく、本開示に係る技術の要旨を逸脱しない範囲において種々の変更が可能である。

[0199] また、本開示に係る技術は、以下のような構成をとることができる。

[0200] (1)

半導体層の表面に形成され、前記半導体層と金属とが反応して形成された化合物層と、

前記化合物層と接する絶縁膜層と、

前記絶縁膜層の上に形成される電極層と

が積層された積層構造を有する

半導体装置。

(2)

前記絶縁膜層は、シリコン酸化膜 (SiO_2) を含み、

前記化合物層は、金属シリサイドを用いたシリサイド層を含む

前記 (1) に記載の半導体装置。

(3)

前記シリサイド層は、チタン (Ti)、コバルト (Co)、及びニッケル (Ni) のうち、少なくとも 1 種類以上の金属を含む

前記 (2) に記載の半導体装置。

(4)

前記シリサイド層は、濃度が異なる領域を含む

前記 (3) に記載の半導体装置。

(5)

前記電極層は、ゲート電極として構成され、

前記シリサイド層は、前記ゲート電極に対する左右の領域で濃度が異なる
前記（４）に記載の半導体装置。

（６）

前記電極層は、ゲート電極として構成され、
前記積層構造は、電界効果トランジスタに対応した構造の一部として構成
される

前記（１）ないし（５）のいずれかに記載の半導体装置。

（７）

前記構造は、プレーナ構造、トレンチゲート構造、又はフィン構造を含む
前記（６）に記載の半導体装置。

（８）

光電変換部を有する画素が２次元状に配列された画素部と、
複数の前記画素からのアナログ信号をデジタル信号に変換するAD変換部と
を備え、
半導体層に、複数の前記画素と、前記AD変換部とが形成され、
前記半導体層の表面に形成され、前記半導体層と金属とが反応して形成
された化合物層と、
前記化合物層と接する絶縁膜層と、
前記絶縁膜層の上に形成される電極層と
が積層された積層構造を有する
固体撮像装置。

（９）

前記積層構造は、前記AD変換部の一部として構成される
前記（８）に記載の固体撮像装置。

（１０）

前記半導体層は、少なくとも第１の半導体層と第２の半導体層を含み、
前記第１の半導体層に、複数の前記画素が形成され、
前記第２の半導体層に、前記AD変換部が形成される

前記（８）又は（９）に記載の固体撮像装置。

（１１）

絶縁膜層の上に電極層を形成し、

半導体層の表面に前記絶縁膜層と接するように、前記半導体層と金属とが反応して形成される化合物層を形成する

半導体装置の製造方法。

（１２）

前記電極層をゲート電極とし、前記半導体層にシリサイドを含む電界効果トランジスタを形成し、

エレクトロマイグレーションにより前記シリサイドを拡散させて前記化合物層を形成する

前記（１１）に記載の半導体装置の製造方法。

（１３）

前記絶縁膜層は、シリコン酸化膜（ SiO_2 ）を含み、

前記シリサイドは、チタン（Ti）、コバルト（Co）、及びニッケル（Ni）のうち、少なくとも１種類以上の金属を含む

前記（１２）に記載の半導体装置の製造方法。

（１４）

前記シリサイドは、濃度が異なる領域を含む

前記（１２）又は（１３）に記載の半導体装置の製造方法。

（１５）

前記シリサイドは、前記ゲート電極に対する左右の領域で濃度が異なる

前記（１４）に記載の半導体装置の製造方法。

符号の説明

[0201] １０ 半導体層， １１ 化合物層， １２ 絶縁膜層， １３ 電極層，
 １１０ 半導体層， １１１ シリサイド， １１２ 絶縁膜， １１
 ３ 電極， １１４ サイドウォール， １１５ 絶縁膜， １５１， １５
 １－１ ないし １５１－３ 電界効果トランジスタ， １５２， １５２－１ な

いし 152-3 容量素子, 200 固体撮像装置, 210 画素部,
211 画素, 250 AD変換回路, 251 比較器, 293A,
293B, 296A キャパシタ, 311 画素, 318 第2電荷蓄
積部, 1000 電子機器, 1003 固体撮像装置, 11402
撮像部, 12031 撮像部

請求の範囲

- [請求項1] 半導体層の表面に形成され、前記半導体層と金属とが反応して形成された化合物層と、
前記化合物層と接する絶縁膜層と、
前記絶縁膜層の上に形成される電極層と
が積層された積層構造を有する
半導体装置。
- [請求項2] 前記絶縁膜層は、シリコン酸化膜 (SiO_2) を含み、
前記化合物層は、金属シリサイドを用いたシリサイド層を含む
請求項 1 に記載の半導体装置。
- [請求項3] 前記シリサイド層は、チタン (Ti)、コバルト (Co)、及びニッケル (Ni) のうち、少なくとも 1 種類以上の金属を含む
請求項 2 に記載の半導体装置。
- [請求項4] 前記シリサイド層は、濃度が異なる領域を含む
請求項 3 に記載の半導体装置。
- [請求項5] 前記電極層は、ゲート電極として構成され、
前記シリサイド層は、前記ゲート電極に対する左右の領域で濃度が異なる
請求項 4 に記載の半導体装置。
- [請求項6] 前記電極層は、ゲート電極として構成され、
前記積層構造は、電界効果トランジスタに対応した構造の一部として構成される
請求項 1 に記載の半導体装置。
- [請求項7] 前記構造は、プレーナ構造、トレンチゲート構造、又はフィン構造を含む
請求項 6 に記載の半導体装置。
- [請求項8] 光電変換部を有する画素が 2 次元状に配列された画素部と、
複数の前記画素からのアナログ信号をデジタル信号に変換する AD 変

換部と

を備え、

半導体層に、複数の前記画素と、前記AD変換部とが形成され、

前記半導体層の表面に形成され、前記半導体層と金属とが反応して形成された化合物層と、

前記化合物層と接する絶縁膜層と、

前記絶縁膜層の上に形成される電極層と

が積層された積層構造を有する

固体撮像装置。

[請求項9] 前記積層構造は、前記AD変換部の一部として構成される請求項8に記載の固体撮像装置。

[請求項10] 前記半導体層は、少なくとも第1の半導体層と第2の半導体層を含み、

前記第1の半導体層に、複数の前記画素が形成され、

前記第2の半導体層に、前記AD変換部が形成される

請求項9に記載の固体撮像装置。

[請求項11] 絶縁膜層の上に電極層を形成し、

半導体層の表面に前記絶縁膜層と接するように、前記半導体層と金属とが反応して形成される化合物層を形成する

半導体装置の製造方法。

[請求項12] 前記電極層をゲート電極とし、前記半導体層にシリサイドを含む電界効果トランジスタを形成し、

エレクトロマイグレーションにより前記シリサイドを拡散させて前記化合物層を形成する

請求項11に記載の半導体装置の製造方法。

[請求項13] 前記絶縁膜層は、シリコン酸化膜 (SiO_2) を含み、

前記シリサイドは、チタン (Ti)、コバルト (Co)、及びニッケル (Ni) のうち、少なくとも1種類以上の金属を含む

請求項 1 2 に記載の半導体装置の製造方法。

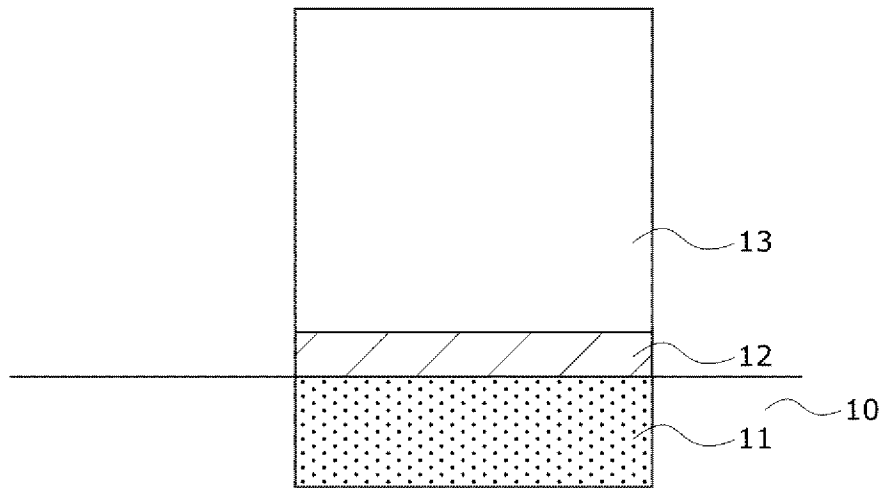
[請求項14] 前記シリサイドは、濃度が異なる領域を含む

請求項 1 3 に記載の半導体装置の製造方法。

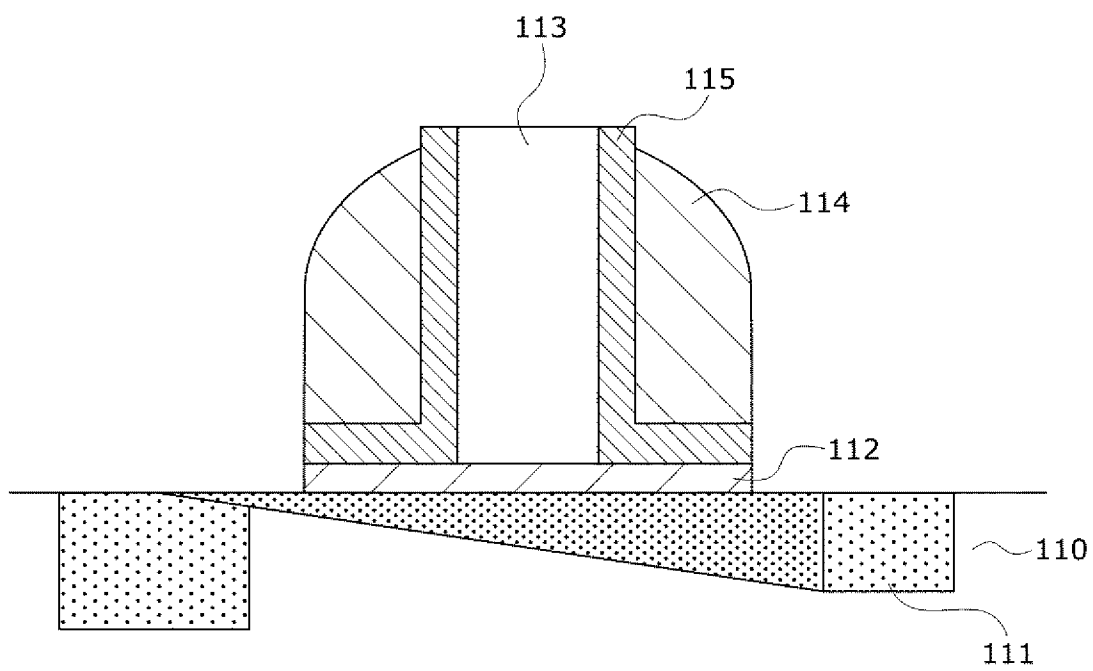
[請求項15] 前記シリサイドは、前記ゲート電極に対する左右の領域で濃度が異なる

請求項 1 4 に記載の半導体装置の製造方法。

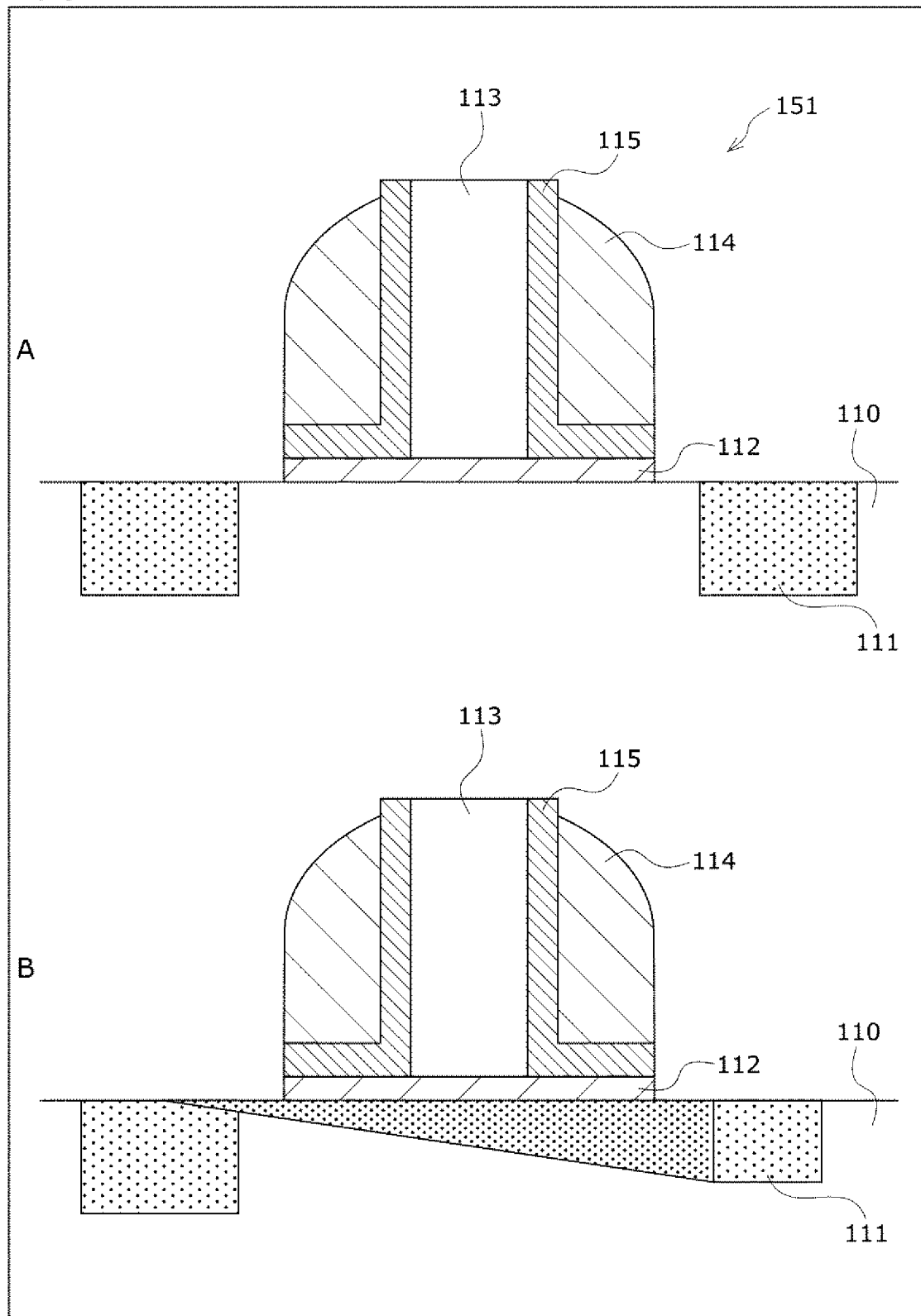
[図1]
FIG.1



[図2]
FIG.2

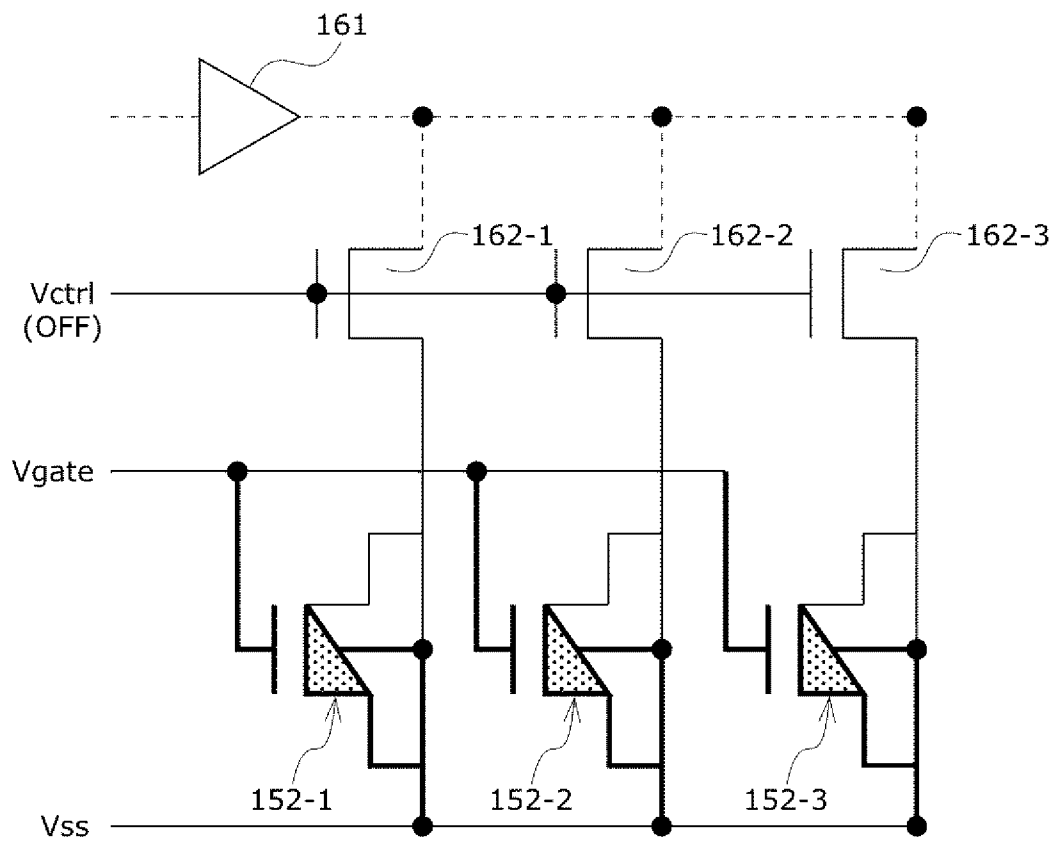


[図3]
FIG.3

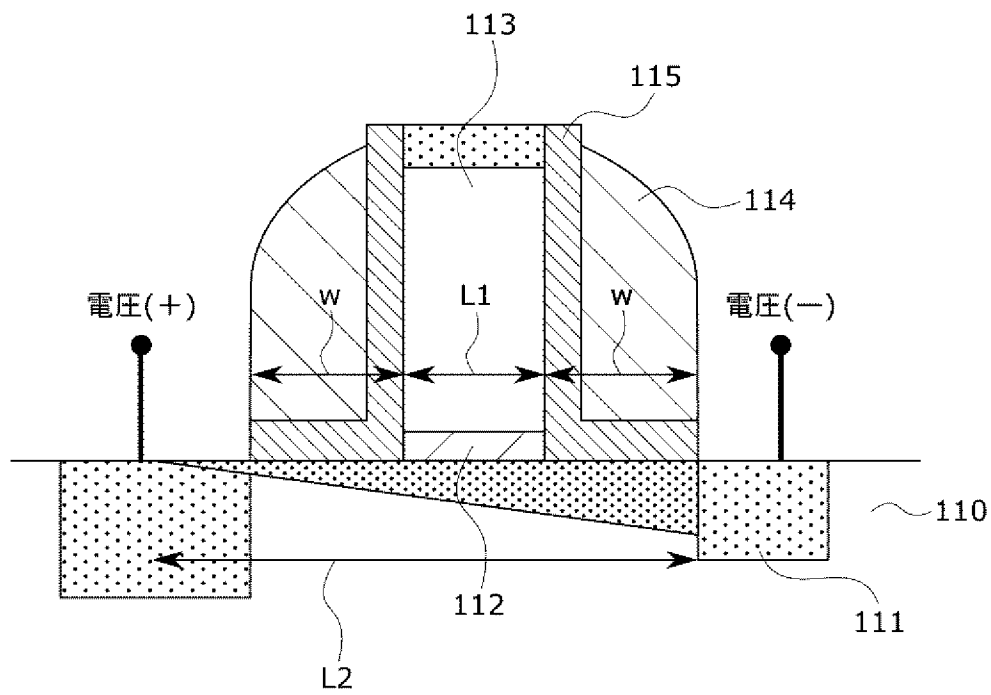


The diagram illustrates a 3T1C1D1P1 circuit structure. It features a PMOS network (162-1, 162-2, 162-3) connected to Vdd through an inverter (161). The PMOS network is controlled by Vctrl (ON) and Vgate. The NMOS network (151-1, 151-2, 151-3) is connected to Vss. Current Ib is indicated flowing through the PMOS transistors.

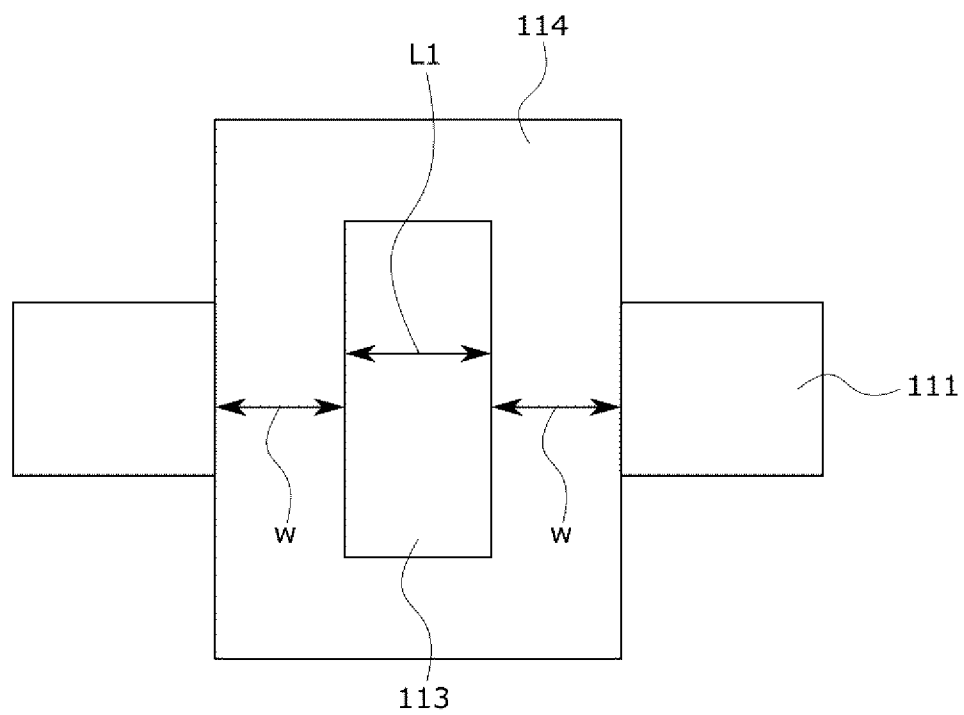
[図5]
FIG.5



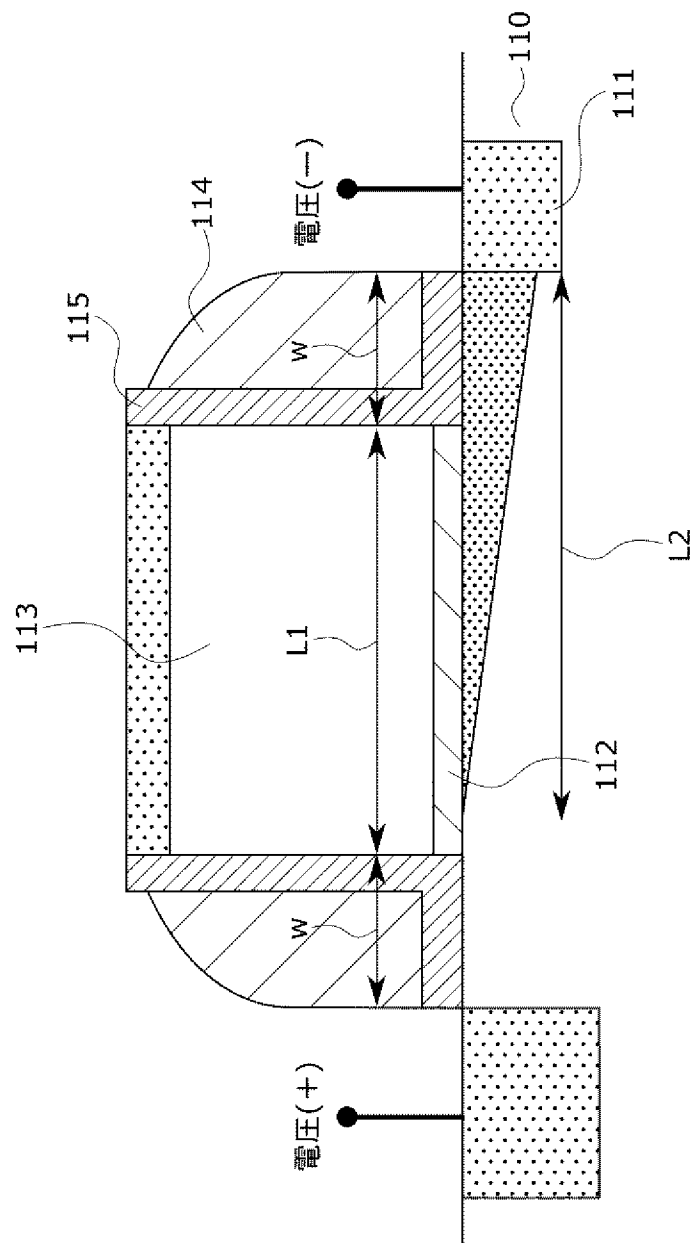
[図6]
FIG.6



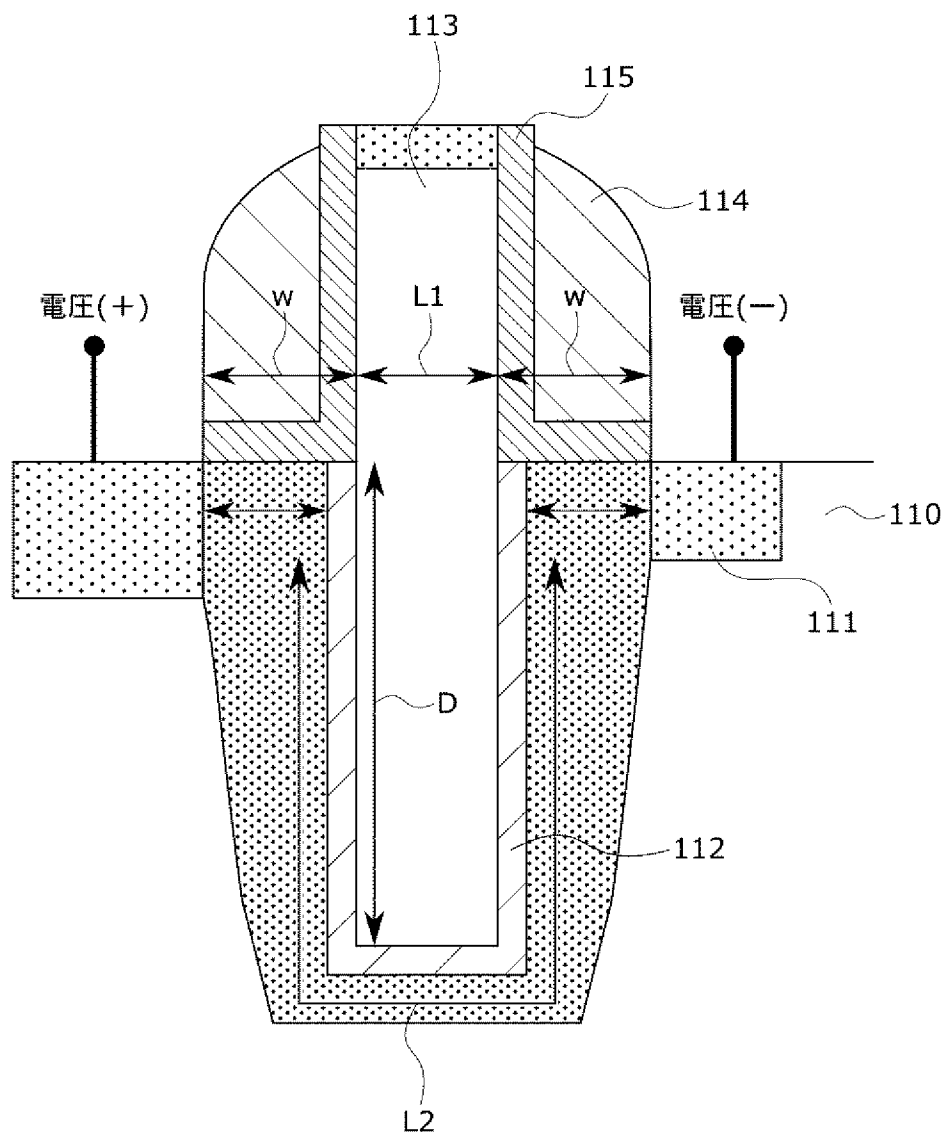
[図7]
FIG.7



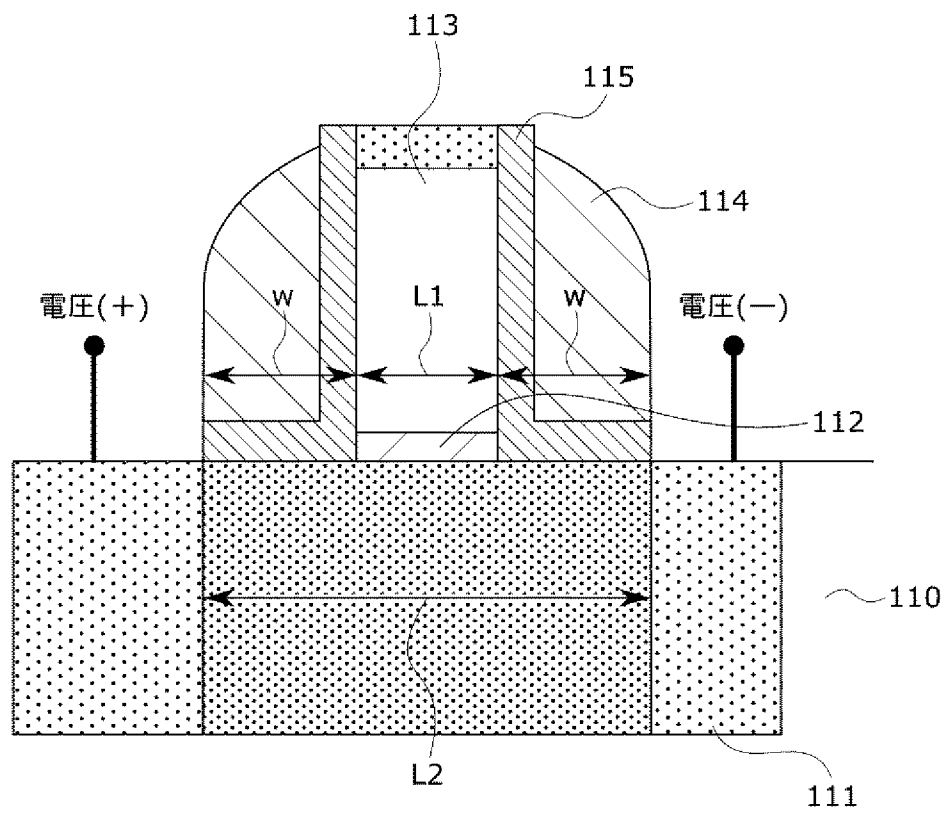
[図8]
FIG.8



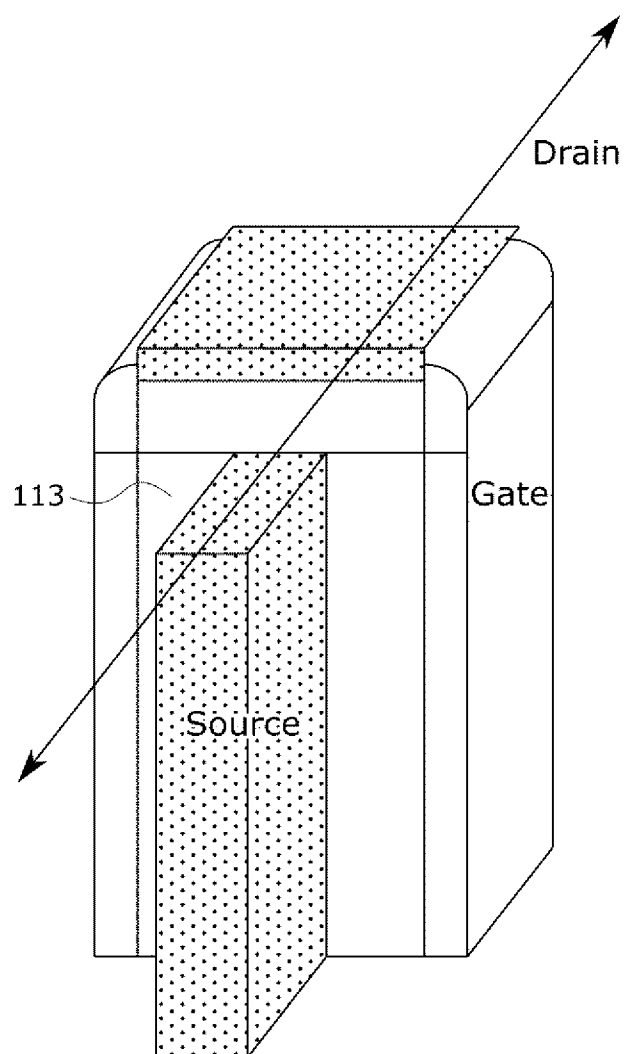
[図9]
FIG.9



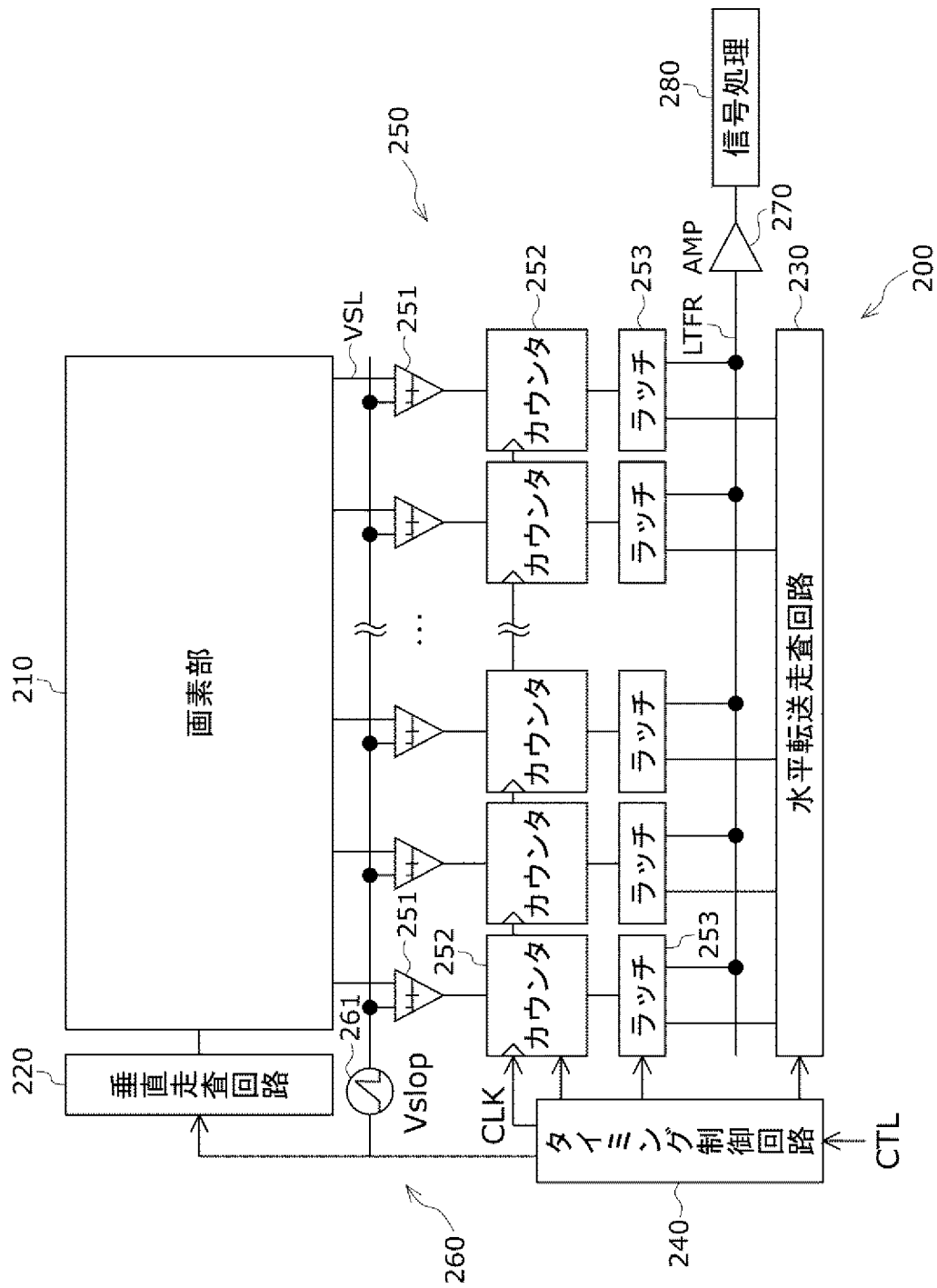
[図10]
FIG.10



[図11]
FIG.11



[図12]
FIG.12



[図13]
FIG.13

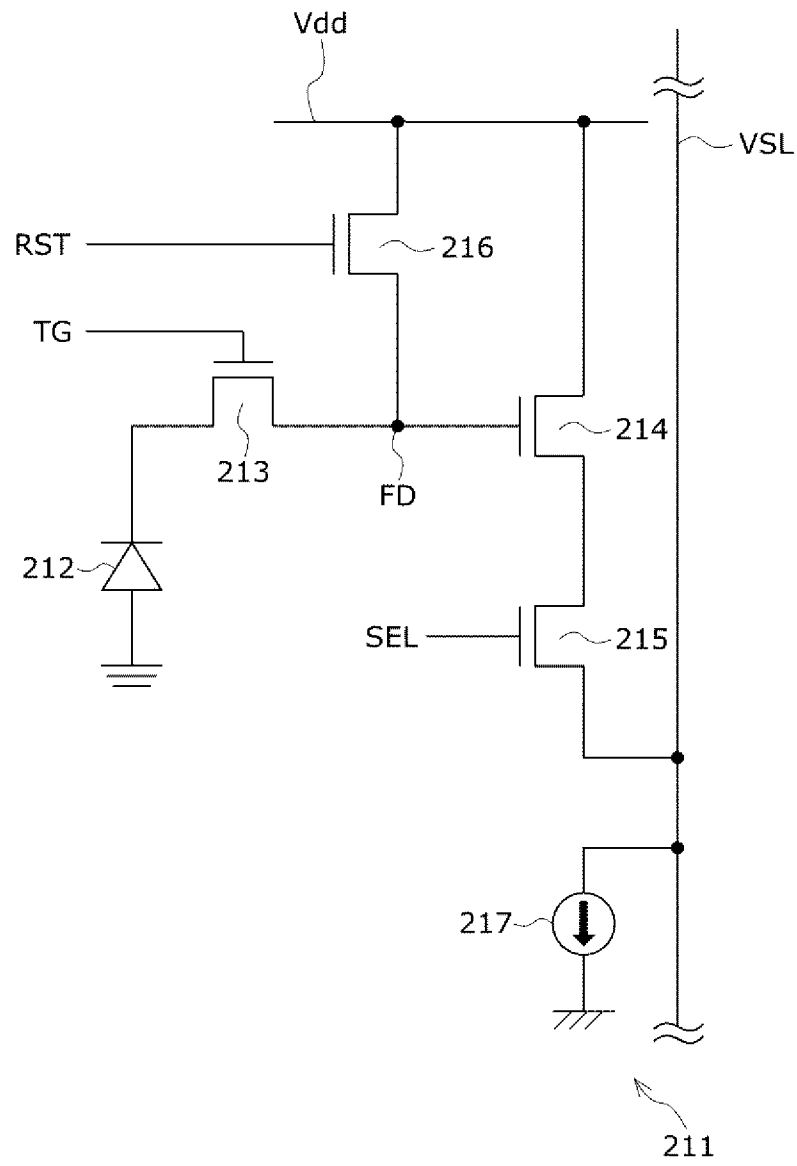
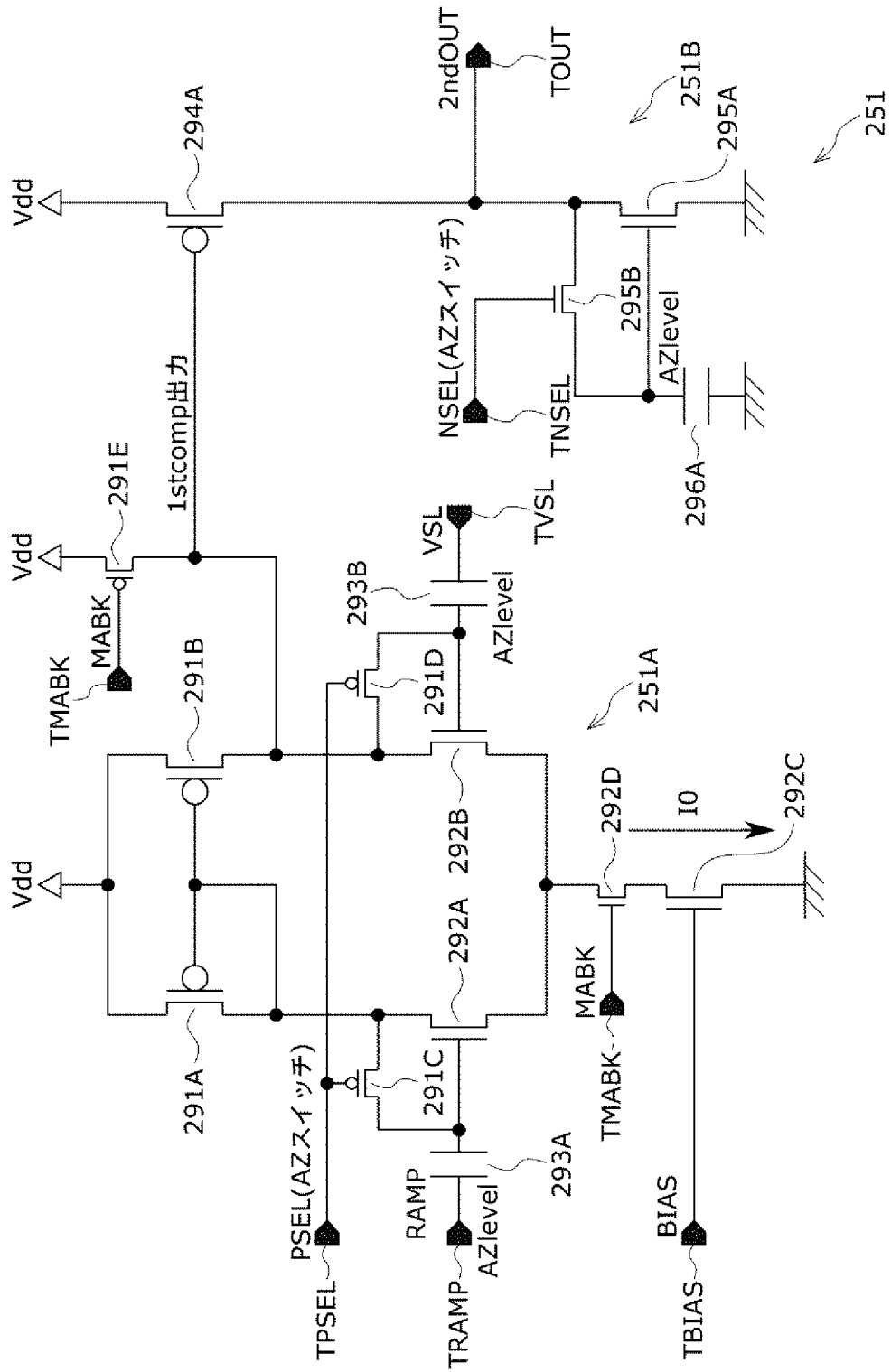
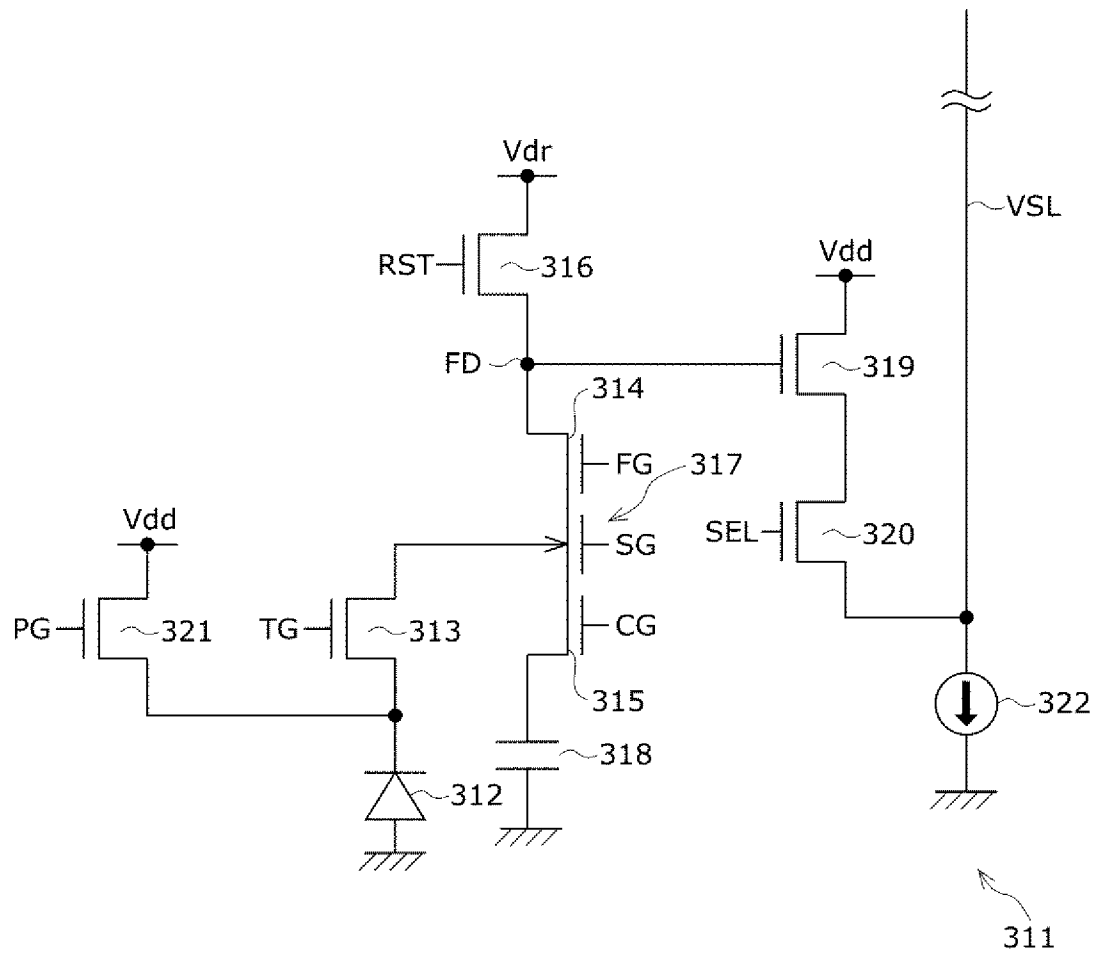


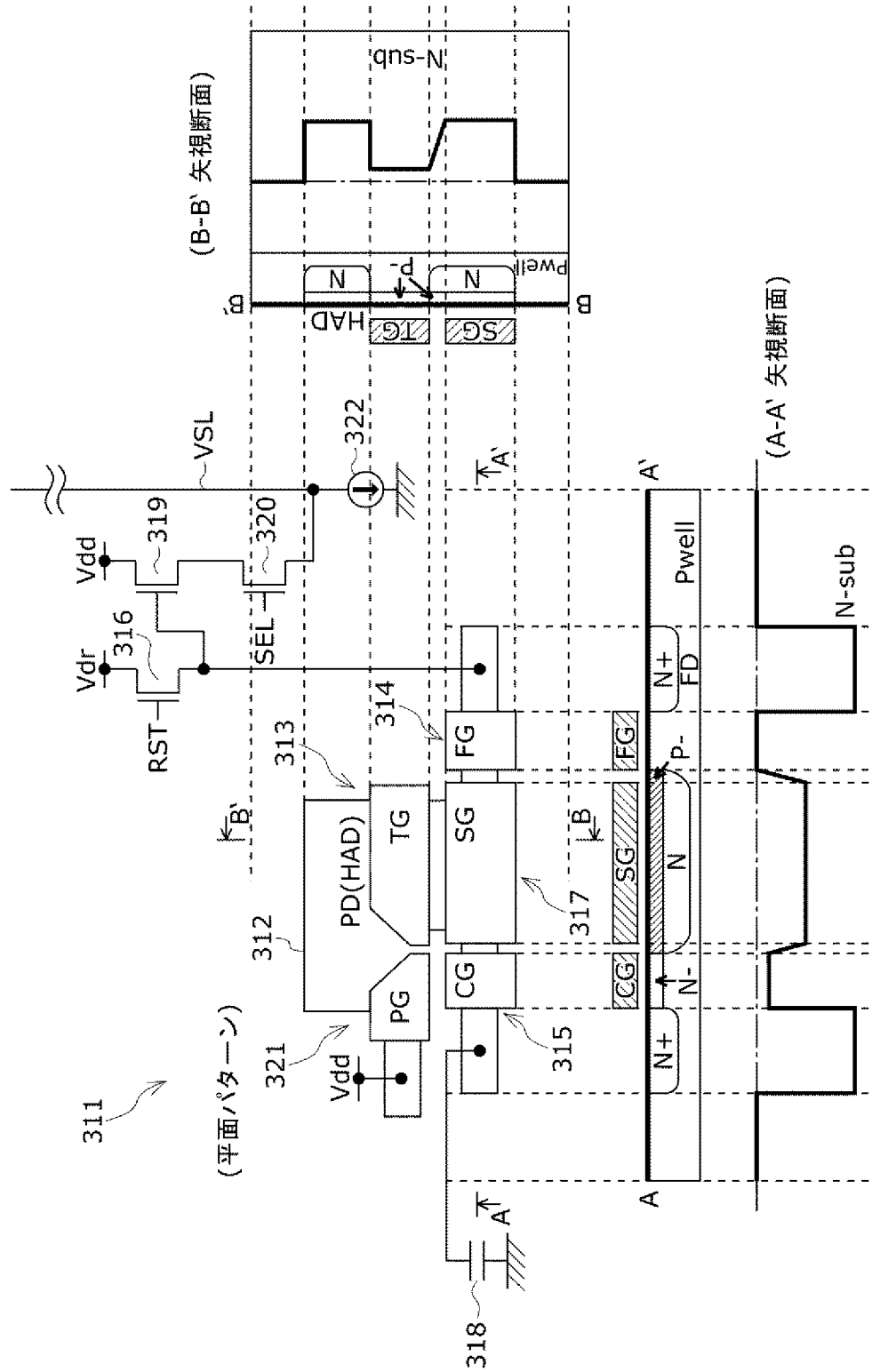
FIG.14



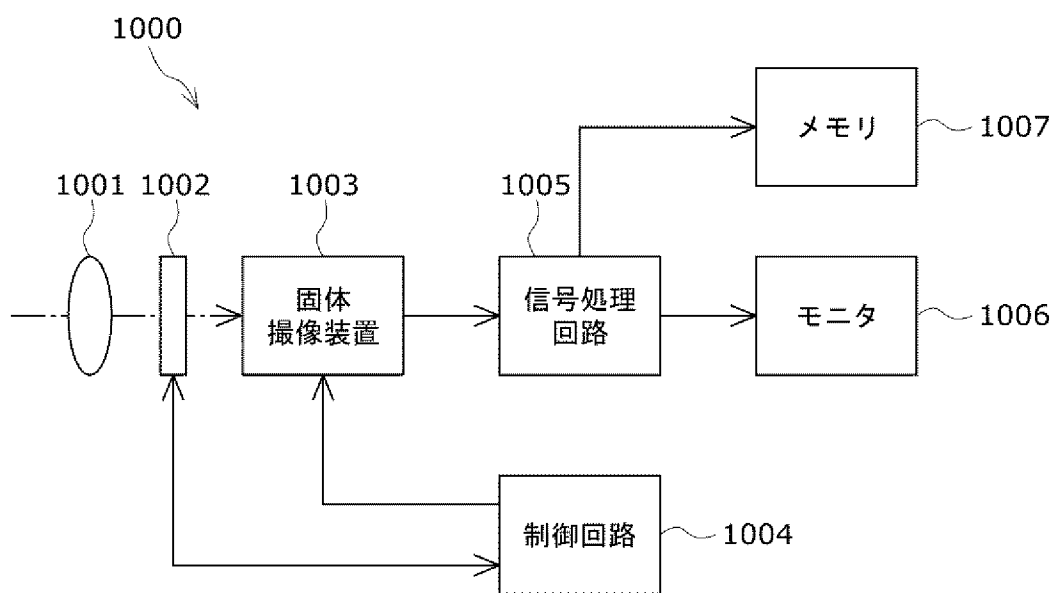
[図15]
FIG.15



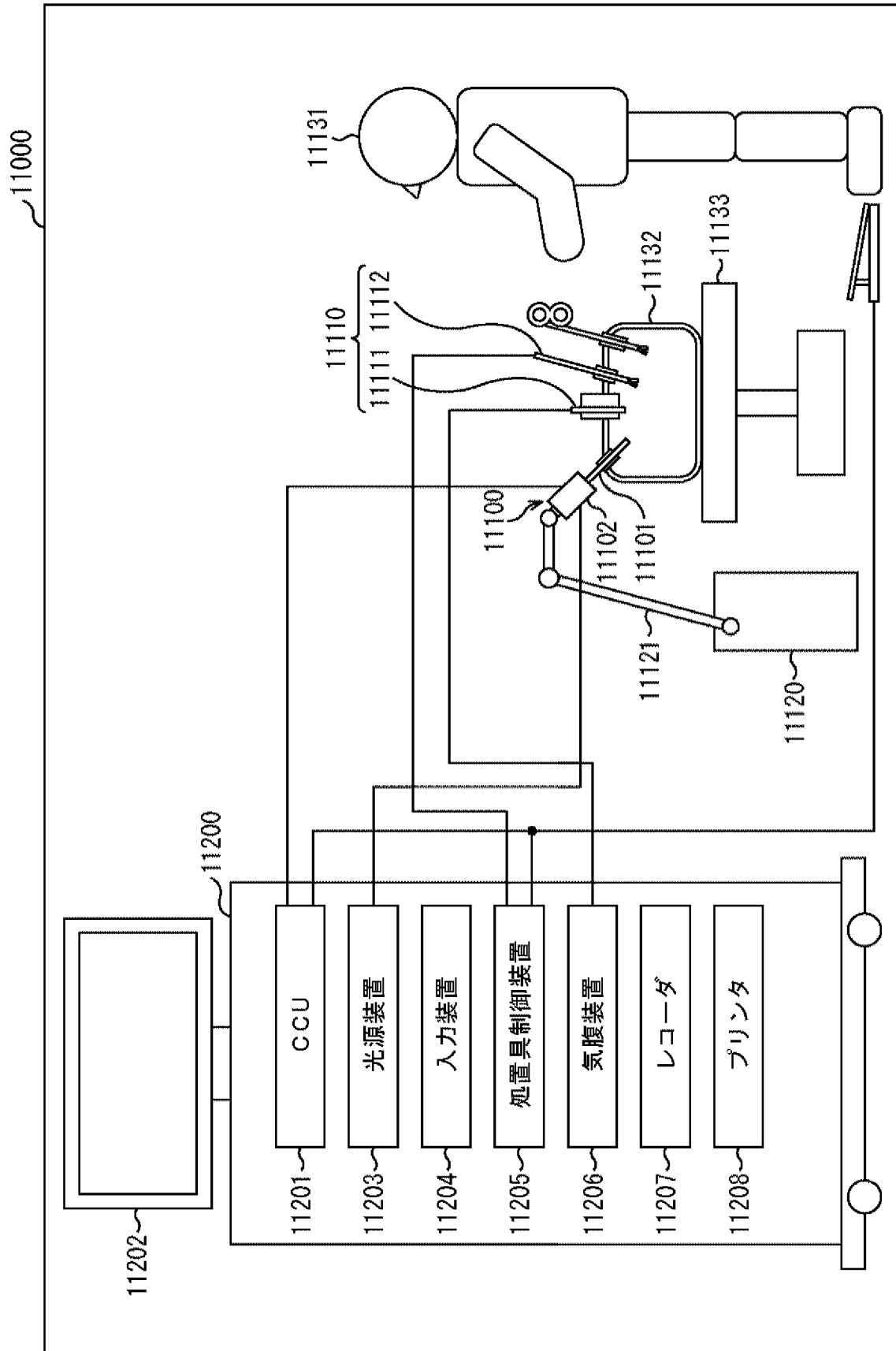
[図16]
FIG.16



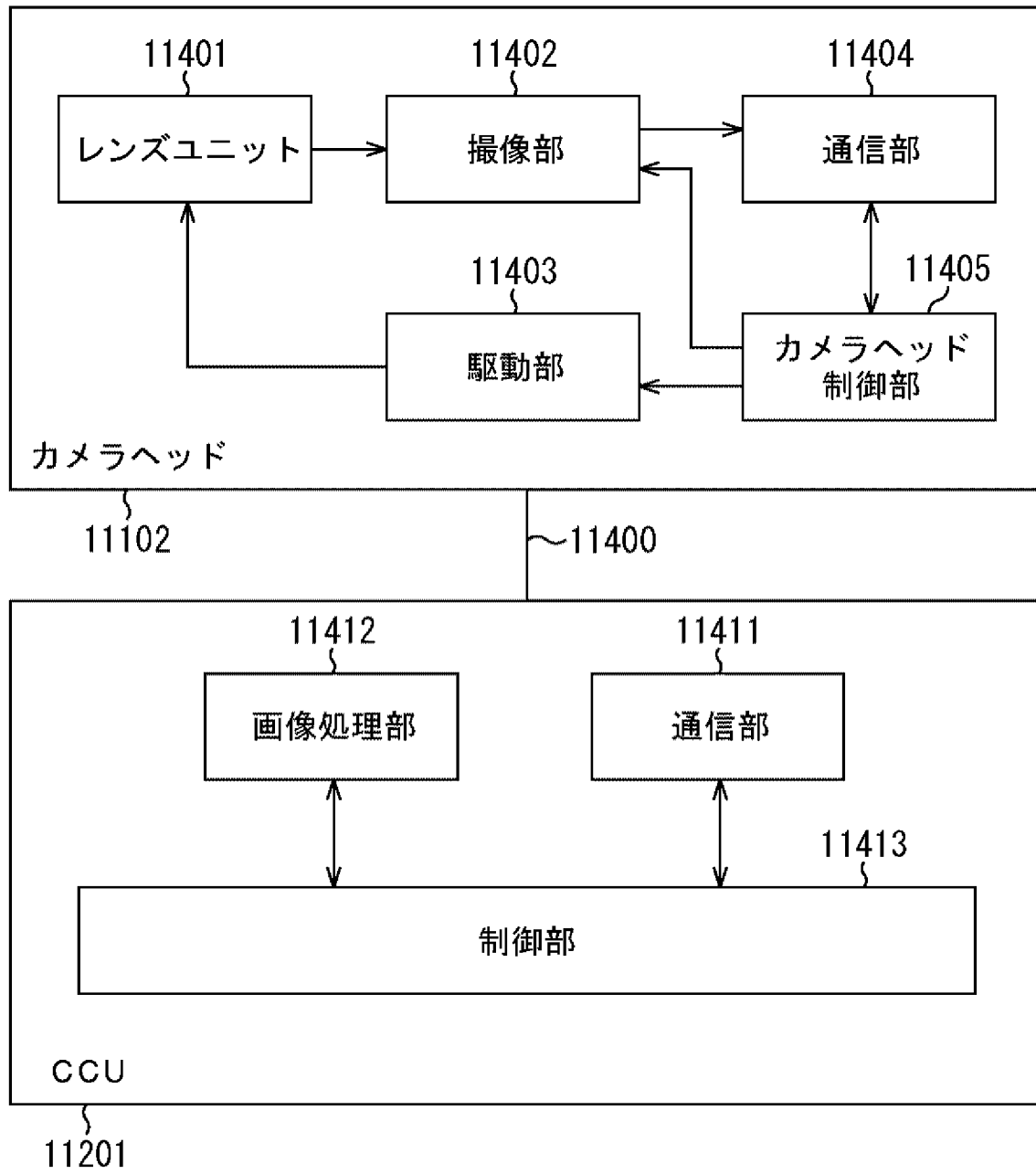
[図17]
FIG.17



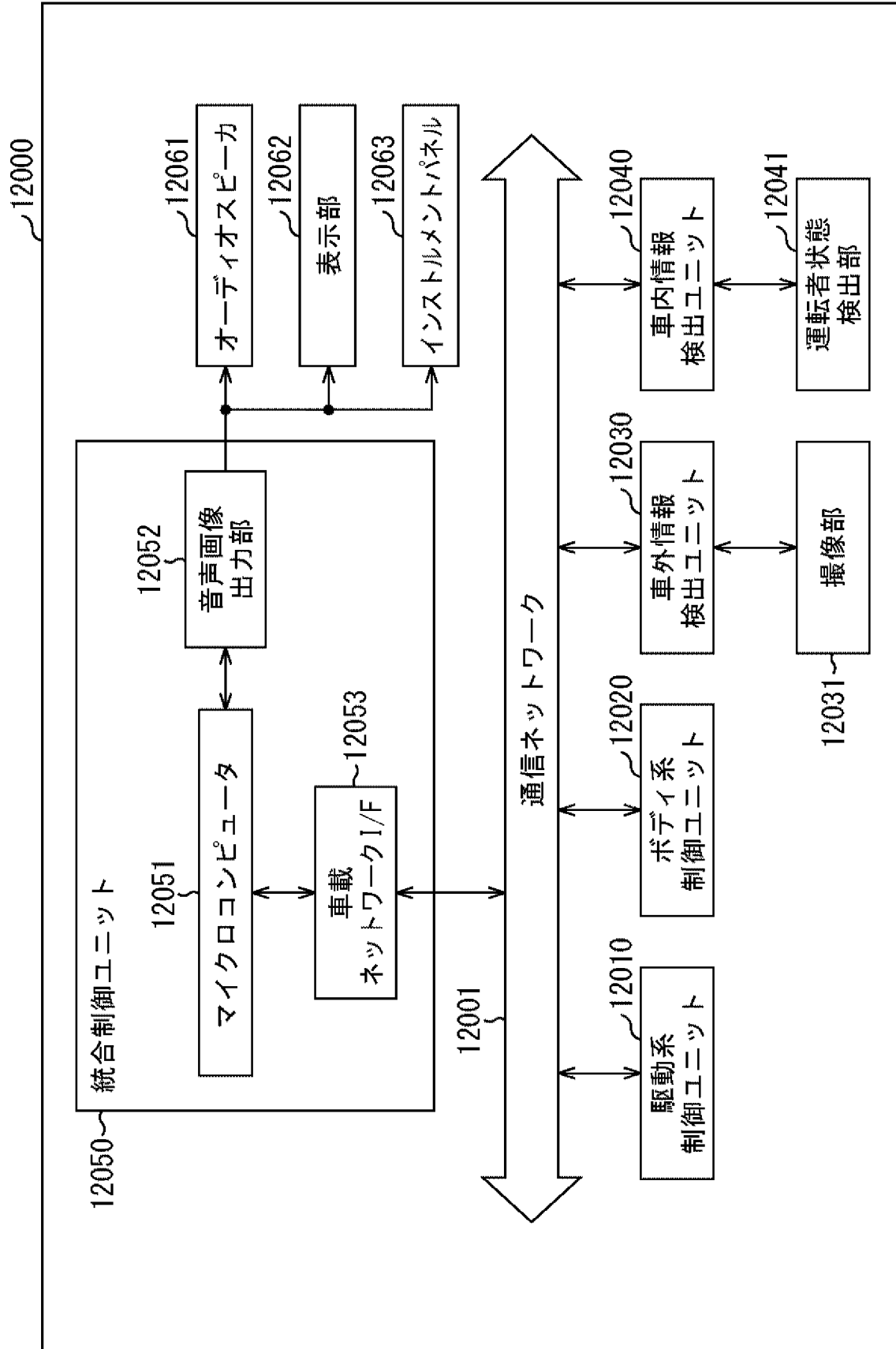
[図18]



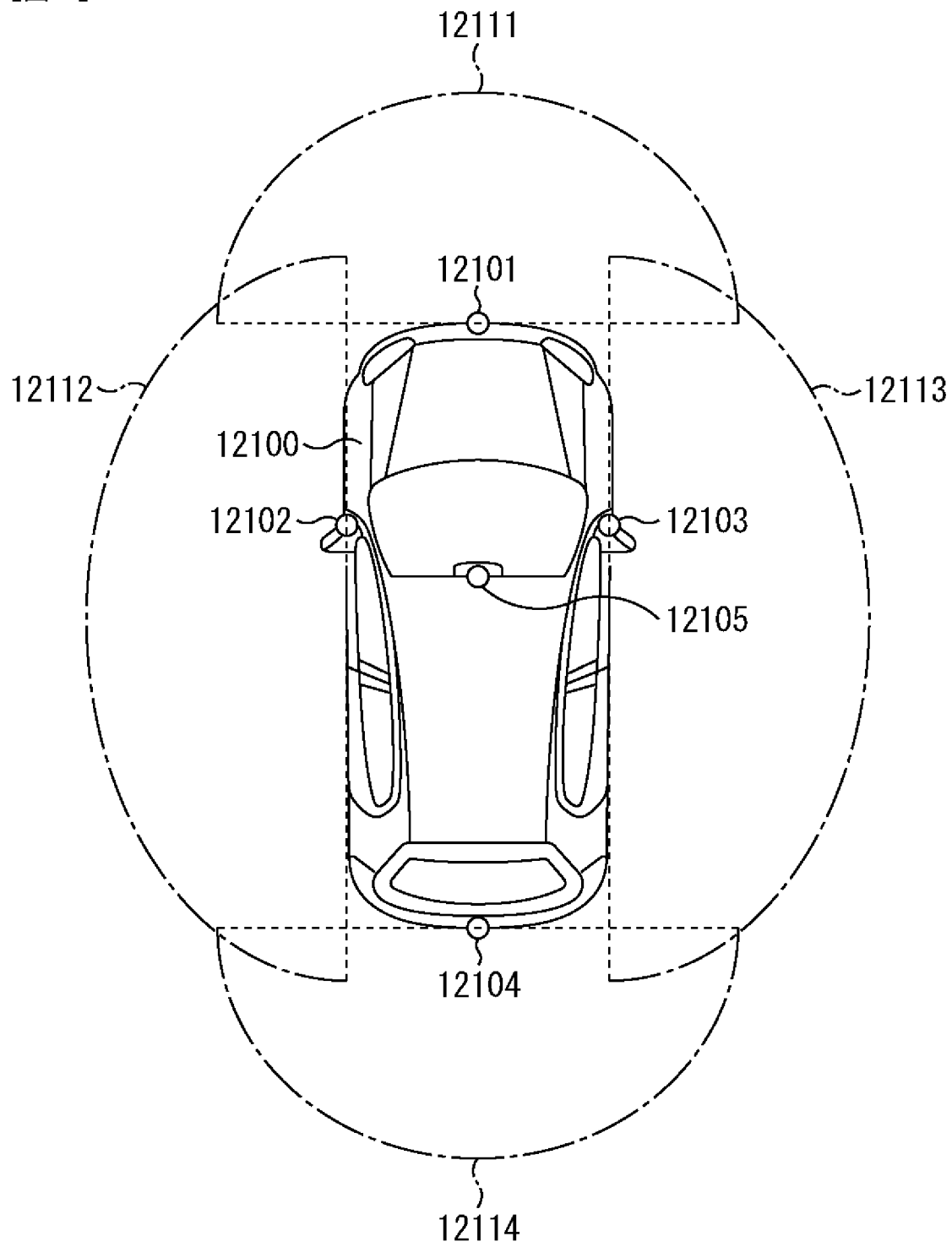
[図19]



[図20]



[図21]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/004856

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L27/04(2006.01)i, H01L21/3205(2006.01)i, H01L21/336(2006.01)i, H01L21/768(2006.01)i, H01L21/822(2006.01)i, H01L21/8234(2006.01)i, H01L23/522(2006.01)i, H01L23/532(2006.01)i, H01L27/06(2006.01)i, H01L27/146(2006.01)i, H01L29/78(2006.01)i, H04N5/369(2011.01)i, H04N5/378(2011.01)i

FI: H01L27/04C, H04N5/369, H01L27/146A, H01L21/88Q, H01L27/06102A, H01L29/78301C, H01L29/78301V, H01L29/78301X, H04N5/378, H01L21/88S

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L27/04, H01L21/3205, H01L21/336, H01L21/768, H01L21/822, H01L21/8234, H01L23/522, H01L23/532, H01L27/06, H01L27/146, H01L29/78, H04N5/369, H04N5/378

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 7-176628 A (TOSHIBA CORPORATION) 14.07.1995 (1995-07-14), paragraphs [0046]-[0052], fig. 17, 18	1-4, 6, 7, 11 5, 8-10, 12-15
A	JP 2004-119709 A (NEC CORPORATION) 15.04.2004 (2004-04-15)	1-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
03.04.2020

Date of mailing of the international search report
14.04.2020

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2020/004856

JP 7-176628 A	14.07.1995	US 5548145 A	
		column 14, line 38 to column 15, line 39,	
		fig. 28A-28F	
		KR 10-1995-0012731 A	
JP 2004-119709 A	15.04.2004	US 2004/0062011 A1	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 27/04(2006.01)i; H01L 21/3205(2006.01)i; H01L 21/336(2006.01)i; H01L 21/768(2006.01)i; H01L 21/822(2006.01)i; H01L 21/8234(2006.01)i; H01L 23/522(2006.01)i; H01L 23/532(2006.01)i; H01L 27/06(2006.01)i; H01L 27/146(2006.01)i; H01L 29/78(2006.01)i; H04N 5/369(2011.01)i; H04N 5/378(2011.01)i FI: H01L27/04 C; H04N5/369; H01L27/146 A; H01L21/88 Q; H01L27/06 102A; H01L29/78 301C; H01L29/78 301V; H01L29/78 301X; H04N5/378; H01L21/88 S														
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L27/04; H01L21/3205; H01L21/336; H01L21/768; H01L21/822; H01L21/8234; H01L23/522; H01L23/532; H01L27/06; H01L27/146; H01L29/78; H04N5/369; H04N5/378 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2020年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2020年	日本国実用新案登録公報	1996 - 2020年	日本国登録実用新案公報	1994 - 2020年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2020年													
日本国実用新案登録公報	1996 - 2020年													
日本国登録実用新案公報	1994 - 2020年													
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>JP 7-176628 A (株式会社東芝) 14.07.1995 (1995 - 07 - 14) 段落0046-0052、図17, 18</td> <td>1-4, 6, 7, 11</td> </tr> <tr> <td>A</td> <td></td> <td>5, 8-10, 12-15</td> </tr> <tr> <td>A</td> <td>JP 2004-119709 A (日本電気株式会社) 15.04.2004 (2004 - 04 - 15)</td> <td>1-15</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	X	JP 7-176628 A (株式会社東芝) 14.07.1995 (1995 - 07 - 14) 段落0046-0052、図17, 18	1-4, 6, 7, 11	A		5, 8-10, 12-15	A	JP 2004-119709 A (日本電気株式会社) 15.04.2004 (2004 - 04 - 15)	1-15
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
X	JP 7-176628 A (株式会社東芝) 14.07.1995 (1995 - 07 - 14) 段落0046-0052、図17, 18	1-4, 6, 7, 11												
A		5, 8-10, 12-15												
A	JP 2004-119709 A (日本電気株式会社) 15.04.2004 (2004 - 04 - 15)	1-15												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>"A" 特に関連のある文献ではなく、一般的技術水準を示すもの</td> <td>"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>"&" 同一パテントファミリー文献</td> </tr> <tr> <td>"O" 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	"A" 特に関連のある文献ではなく、一般的技術水準を示すもの	"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	"&" 同一パテントファミリー文献	"O" 口頭による開示、使用、展示等に言及する文献		"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの	"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	"&" 同一パテントファミリー文献													
"O" 口頭による開示、使用、展示等に言及する文献														
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日	国際調査報告の発送日													
03.04.2020	14.04.2020													
名称及びあて先	権限のある職員（特許庁審査官）													
日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	岩本 勉 5F 9355 電話番号 03-3581-1101 内線 3516													

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2020/004856

引用文献			公表日	パテントファミリー文献			公表日
JP	7-176628	A	14.07.1995	US	5548145	A	
				第14欄38行-第15欄39行、図 28A-28F			
				KR	10-1995-0012731	A	
JP	2004-119709	A	15.04.2004	US	2004/0062011	A1	