



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 21/302 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년07월12일 10-0739288 2007년07월06일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2001-0038462 2001년06월29일 2006년02월27일	(65) 공개번호 (43) 공개일자	10-2003-0002762 2003년01월09일
----------------------------------	---	------------------------	--------------------------------

(73) 특허권자	매그나칩 반도체 유한회사 충북 청주시 흥덕구 향정동 1		
(72) 발명자	권병호 충청북도청주시흥덕구가경동1190번지세원2차아파트104-910		
(74) 대리인	신영무		
(56) 선행기술조사문헌	JP11045868 A	KR1019980065713 A	
	KR1020010045576 A		

심사관 : 송현정

전체 청구항 수 : 총 8 항

(54) 반도체 소자의 제조 방법

(57) 요약

본 발명은 반도체 소자의 제조 방법에 관한 것으로, 소자의 제조 공정 중에 실시되는 화학적 기계적 연마 공정시 웨이퍼 전체면의 연마의 균일도를 향상시키기 위해 웨이퍼 가장자리 지역(wafer edge area)에 아무런 패턴이 없을 경우 리얼 다이 지역(real die area)과 동일한 조건을 만들기 위해 웨이퍼 가장자리 지역에 포토 공정을 통해 더미 다이 샷(dummy die shot)을 찍었는데, 포토 공정의 공정 시간의 소요로 인한 생산성 저하를 방지하기 위하여, 연마 공정이 필요한 층을 형성하기 전에 실시되는 패턴 형성 공정시 기존의 더미 다이 샷이 찍히는 웨이퍼 가장자리 지역에 패턴을 남기거나, 리얼 다이 지역과 더미 다이 샷이 찍히는 웨이퍼 가장자리 지역과의 경계부분에 일정 폭을 갖는 패턴을 남겨 리얼 다이 지역에 연마 균일도를 향상시킬 수 있으므로, 기존의 포토 공정의 공정 시간의 단축으로 전체적인 공정 단가를 낮출 수 있는 반도체 소자의 제조 방법에 관하여 기재된다.

대표도

도 3

특허청구의 범위

청구항 1.

리얼 다이 지역, 프레임 스크라이브 라인 및 더미 다이 숏 지역으로 구분되는 웨이퍼가 제공되는 단계;

상기 리얼 다이 지역에 리얼 다이 패터를 형성하고, 동시에 상기 더미 다이 숏 지역에 상기 리얼 다이 패터와 이격되어 더미 패터를 형성하는 단계;

상기 리얼 다이 패터 및 상기 더미 패터가 형성된 상기 웨이퍼 상에 평탄화막을 형성하는 단계; 및

상기 평탄화막을 연마하는 단계로 이루어지는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 2.

제 1 항에 있어서,

상기 리얼 다이 패터 및 상기 더미 패터는 메탈, 나이트라이드, 옥사이드와 같이 반도체 소자에 적용되는 물질로 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 3.

제 1 항에 있어서,

상기 리얼 다이 패터와 상기 더미 패터 사이는 200 ~ 1000um 정도의 거리로 이격된 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 4.

제 1 항에 있어서,

상기 평탄화막은 메탈, 나이트라이드, 옥사이드와 같이 반도체 소자에 적용되는 물질로 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 5.

리얼 다이 지역, 프레임 스크라이브 라인 및 더미 다이 숏 지역으로 구분되는 웨이퍼가 제공되는 단계;

상기 리얼 다이 지역에 리얼 다이 패터를 형성하고, 동시에 상기 프레임 스크라이브 라인에 상기 다이 패터와 인접하여 더미 패터를 형성하는 단계;

상기 리얼 다이 패터 및 상기 더미 패터가 형성된 상기 웨이퍼 상에 평탄화막을 형성하는 단계; 및

상기 평탄화막을 연마하는 단계로 이루어지는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 6.

제 5 항에 있어서,

상기 리얼 다이 패턴 및 상기 더미 패턴은 메탈, 나이트라이드, 옥사이드와 같이 반도체 소자에 적용되는 물질로 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 7.

제 5 항에 있어서,

상기 더미 패턴은 200 ~ 1000um 정도의 폭으로 형성되는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 8.

제 5 항에 있어서,

상기 평탄화막은 메탈, 나이트라이드, 옥사이드와 같이 반도체 소자에 적용되는 물질로 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조 방법에 관한 것으로, 특히 소자의 제조 공정 중에 실시되는 화학적 기계적 연마 공정시 웨이퍼 전체면의 연마의 균일도를 향상시키기 위해, 연마 공정이 필요한 층을 형성하기 전에 실시되는 패턴 형성 공정시 기존의 더미 다이 샷(dummy die shot)이 찍히는 웨이퍼 가장자리 지역(wafer edge area)에 패턴을 남기거나, 리얼 다이 지역(real die area)과 더미 다이 샷이 찍히는 웨이퍼 가장자리 지역과의 경계부분에 일정 폭을 갖는 패턴을 남겨 리얼 다이 지역에 연마 균일도를 향상시킬 수 있으므로, 기존의 포토 공정의 공정 시간의 단축으로 전체적인 공정 단가를 낮출 수 있는 반도체 소자의 제조 방법에 관한 것이다.

일반적으로, 반도체 소자의 제조 공정 중에 실시되는 화학적 기계적 연마 공정시 웨이퍼 가장자리 지역(wafer edge area)에 아무런 패턴이 없을 경우 리얼 다이 지역(real die area)에 형성된 패턴과의 토폴로지(topology) 차이로 인하여, 더미 다이 샷이 없는 경우 경계면에서의 산화막의 두께 변화 추이를 나타낸 도 1에 도시된 바와 같이, 더미 다이 샷(dummy die shot)이 없는 지역에서의 두께가 매우 높으며 실제 다이가 있는 지역으로 이동함에 따라 서서히 감소하며, 연마 공정을 진행한 후 더미 다이 샷이 없는 지역과 붙어 있는 다이 내의 산화막 두께를 나타낸 도 2에 도시된 바와 같이, 연마 공정 후에 남은 산화막의 두께에 현저한 차이가 있어 웨이퍼 전체면에 걸쳐 연마 균일도를 얻기 어렵다.

반도체 소자의 제조 공정 중에 실시되는 화학적 기계적 연마 공정시 웨이퍼 전체면의 연마의 균일도를 향상시키기 위해 웨이퍼 가장자리 지역(wafer edge area)에 아무런 패턴이 없을 경우 리얼 다이 지역(real die area)과 동일한 조건을 만들기 위해 웨이퍼 가장자리 지역에 포토 공정을 통해 더미 다이 샷(dummy die shot)을 찍었다. 그런데, 이러한 더미 다이 샷은 포토 공정의 공정시간을 30% 정도 늘려서 포토 공정이 전체 공정의 병목 공정이 되어 결국 생산성 저하 및 공정 단가를 높게 되었다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 포토 공정으로 더미 다이 샷을 찍지 않고, 패턴 형성 공정중에 기존의 더미 다이 샷이 찍히는 웨이퍼 가장자리 지역이나, 리얼 다이 지역과 더미 다이 샷이 찍히는 웨이퍼 가장자리 지역과의 경계부분에 평탄화를 위한 패턴을 남기므로써, 포토 공정의 공정 시간의 단축으로 전체적인 공정 단가를 낮출 수 있는 반도체 소자의 제조 방법을 제공함에 그 목적이 있다.

이러한 목적을 달성하기 위한 본 발명의 제 1 실시예에 따른 반도체 소자의 제조 방법은 리얼 다이 지역, 프레임 스크라이브 라인 및 더미 다이 슛 지역으로 구분되는 웨이퍼가 제공되는 단계; 상기 리얼 다이 지역에 리얼 다이 패턴을 형성하고, 동시에 상기 더미 다이 슛 지역에도 더미 패턴을 형성하는 단계; 상기 리얼 다이 패턴 및 상기 더미 패턴이 형성된 상기 웨이퍼 상에 평탄화막을 형성하는 단계; 및 상기 평탄화막을 연마하는 단계로 이루어지는 것을 특징으로 한다.

상기에서, 상기 리얼 다이 패턴 및 상기 더미 패턴은 메탈, 나이트라이드, 옥사이드와 같이 반도체 소자에 적용되는 물질로 형성하며, 상기 리얼 다이 패턴과 상기 더미 패턴 사이는 200 ~ 1000um 정도의 거리로 이격된다.

상기 평탄화막은 메탈, 나이트라이드, 옥사이드와 같이 반도체 소자에 적용되는 물질로 형성한다.

또한, 본 발명의 제 2 실시예에 따른 반도체 소자의 제조 방법은 리얼 다이 지역, 프레임 스크라이브 라인 및 더미 다이 슛 지역으로 구분되는 웨이퍼가 제공되는 단계; 상기 리얼 다이 지역에 리얼 다이 패턴을 형성하고, 동시에 상기 프레임 스크라이브 라인에도 더미 패턴을 형성하는 단계; 상기 리얼 다이 패턴 및 상기 더미 패턴이 형성된 상기 웨이퍼 상에 평탄화막을 형성하는 단계; 및 상기 평탄화막을 연마하는 단계로 이루어지는 것을 특징으로 한다.

상기에서, 상기 리얼 다이 패턴 및 상기 더미 패턴은 메탈, 나이트라이드, 옥사이드와 같이 반도체 소자에 적용되는 물질로 형성하고, 상기 더미 패턴은 200 ~ 1000um 정도의 폭으로 형성된다.

상기 평탄화막은 메탈, 나이트라이드, 옥사이드와 같이 반도체 소자에 적용되는 물질로 형성한다.

발명의 구성

이하, 본 발명을 첨부된 도면을 참조하여 상세히 설명하기로 한다.

도 3a 및 도 3b는 본 발명의 제 1 실시예에 따른 반도체 소자의 제조 방법을 설명하기 위한 소자의 단면도이다.

도 3a를 참조하면, 반도체 소자를 제조하기 위한 웨이퍼(11)가 제공된다. 웨이퍼(11)는 리얼 다이 지역(RD), 프레임 스크라이브 라인(frame scribe line; SL) 및 더미 다이 슛 지역(DD)으로 구분된다. 리얼 다이 지역(RD)에 반도체 소자에 필요한 리얼 다이 패턴(12a)을 형성한다. 리얼 다이 패턴(12a)을 형성할 때, 더미 다이 슛 지역(DD)에도 더미 패턴(12b)을 형성한다. 리얼 다이 패턴(12a) 및 더미 패턴(12b)이 형성된 웨이퍼(11) 상에 평탄화막(13)을 형성한다. 하부의 패턴들(12a 및 12b)들로 인하여 평탄화막(13)의 표면은 심한 토폴로지 차이를 갖게된다.

상기에서, 리얼 다이 패턴(12a) 및 더미 패턴(12b)은 메탈, 나이트라이드, 옥사이드와 같이 반도체 소자에 적용되는 물질로 형성된다. 금속 배선 형성 공정 후에 연마 공정을 실시할 경우에 적용되고, 나이트라이드는 트랜치형 소자 분리막의 연마 공정시에 적용되며, 옥사이드는 구리 다마신(Cu damascene) 공정시에 적용된다. 리얼 다이 패턴(12a)과 더미 패턴(12b) 사이는 200 ~ 1000um 정도의 거리를 둔다. 평탄화막(13)은 메탈, 나이트라이드, 옥사이드와 같이 반도체 소자에 적용되는 물질로 형성된다.

도 3b는 연마 공정을 실시하여 평탄화막(13)을 연마시킨 상태를 도시한 것이다. 이와 같이 연마 공정이 필요한 층을 형성하기 전에 실시되는 패턴 형성 공정시 더미 다이 슛이 찍히는 웨이퍼 가장자리 지역(DD)에 더미 패턴(12b)을 남기므로, 도 3b에 도시된 바와 같이 평탄화막(13)의 두께가 급격하게 변하는 지역인 프레임 스크라이브 라인(SL) 지역이 리얼 다이 패턴(12a)에서 벗어나므로 리얼 다이 패턴(12a) 상에 남은 평탄화막(13)의 두께는 균일하게 된다.

도 4a 및 도 4b는 본 발명의 제 2 실시예에 따른 반도체 소자의 제조 방법을 설명하기 위한 소자의 단면도이다.

도 4a를 참조하면, 반도체 소자를 제조하기 위한 웨이퍼(21)가 제공된다. 웨이퍼(21)는 리얼 다이 지역(RD), 프레임 스크라이브 라인(frame scribe line; SL) 및 더미 다이 슛 지역(DD)으로 구분된다. 리얼 다이 지역(RD)에 반도체 소자에 필요한 리얼 다이 패턴(22a)을 형성한다. 리얼 다이 패턴(22a)을 형성할 때, 프레임 스크라이브 라인(SL)에도 더미 패턴(22b)을 형성한다. 리얼 다이 패턴(22a) 및 더미 패턴(22b)이 형성된 웨이퍼(21) 상에 평탄화막(23)을 형성한다. 하부의 패턴들(22a 및 22b)들로 인하여 평탄화막(23)의 표면은 심한 토폴로지 차이를 갖게된다.

상기에서, 리얼 다이 패턴(22a) 및 더미 패턴(22b)은 메탈, 나이트라이드, 옥사이드와 같이 반도체 소자에 적용되는 물질로 형성된다. 금속 배선 형성 공정 후에 연마 공정을 실시할 경우에 적용되고, 나이트라이드는 트랜치형 소자 분리막의 연

마 공정시에 적용되며, 옥사이드는 구리 다마신(Cu damascene) 공정시에 적용된다. 프레임 스크라이브 라인(SL)에 형성된 더미 패턴(22b)은 200 ~ 1000um의 폭으로 형성한다. 평탄화막(23)은 메탈, 나이트라이드, 옥사이드와 같이 반도체 소자에 적용되는 물질로 형성된다.

도 4b는 연마 공정을 실시하여 평탄화막(23)을 연마시킨 상태를 도시한 것이다. 이와 같이 연마 공정이 필요한 층을 형성하기 전에 실시되는 패턴 형성 공정시 리얼 다이 지역(RD)과 더미 다이 슷이 찍히는 웨이퍼 가장자리 지역(DD)과의 경계부분인 프레임 스크라이브 라인(SL)에 더미 패턴(22b)을 남기므로, 도 4b에 도시된 바와 같이 평탄화막(23)의 두께가 급격하게 변하는 지역인 프레임 스크라이브 라인(SL) 지역이 리얼 다이 패턴(22a)에서 벗어나므로 리얼 다이 패턴(22a) 상에 남은 평탄화막(23)의 두께는 균일하게 된다.

발명의 효과

상술한 바와 같이, 본 발명은 연마 공정이 필요한 층을 형성하기 전에 실시되는 패턴 형성 공정시 기존의 더미 다이 슷이 찍히는 웨이퍼 가장자리 지역에 패턴을 남기거나, 리얼 다이 지역과 더미 다이 슷이 찍히는 웨이퍼 가장자리 지역과의 경계부분에 일정 폭을 갖는 패턴을 남겨 리얼 다이 지역에 연마 균일도를 향상시킬 수 있으므로, 기존의 포토 공정의 공정 시간의 단축으로 전체적인 공정 단가를 낮출 수 있다.

도면의 간단한 설명

도 1은 더미 다이 슷이 없는 경우 경계면에서의 산화막의 두께 변화 추이를 나타낸 도면.

도 2는 더미 다이 슷이 없는 지역과 경계하고 있는 다이의 내부 산화막 두께와 주변 다이의 두께 변화를 나타낸 도면.

도 3a 및 도 3b는 본 발명의 제 1 실시예에 따른 반도체 소자의 제조 방법을 설명하기 위한 소자의 단면도.

도 4a 내지 도 4b는 본 발명의 제 2 실시예에 따른 반도체 소자의 제조 방법을 설명하기 위한 소자의 단면도.

<도면의 주요 부분에 대한 부호의 설명>

11, 21: 웨이퍼 12a, 22a: 리얼 다이 패턴

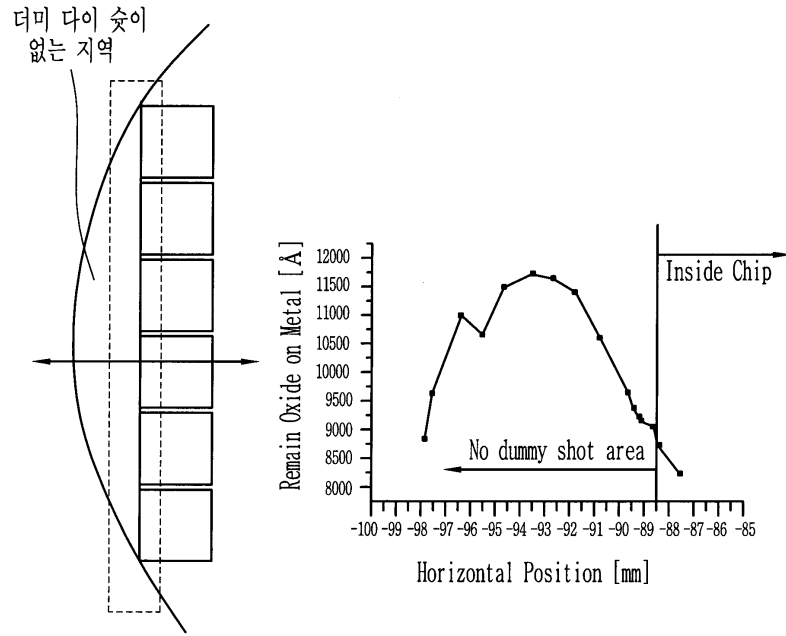
12b, 22b: 더미 패턴 13, 23: 평탄화막

SL: 프레임 스크라이브 라인 DD: 더미 다이 슷 지역

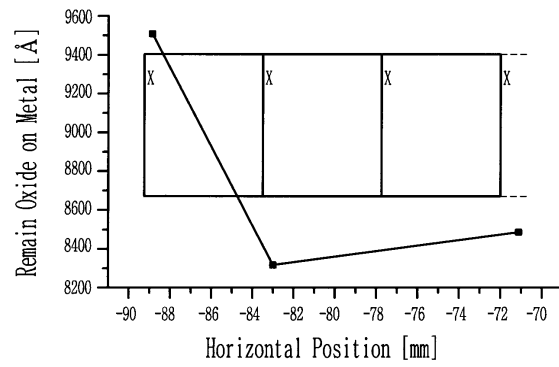
RD: 리얼 다이 지역

도면

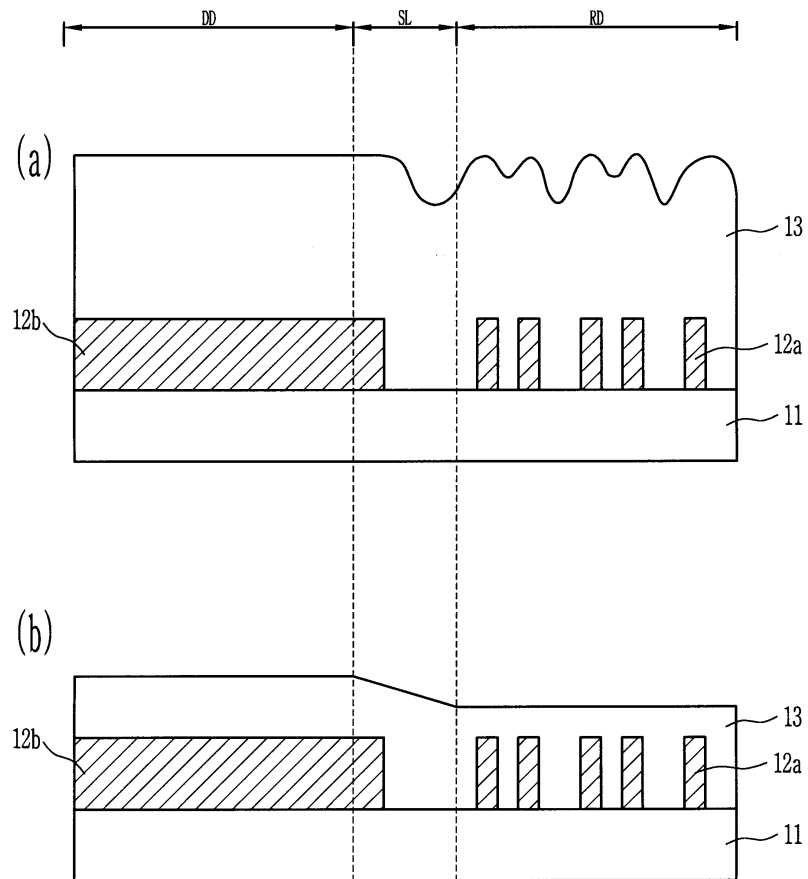
도면1



도면2



도면3



도면4

