

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年3月10日(10.03.2016)



(10) 国際公開番号

WO 2016/035192 A1

- (51) 国際特許分類:
H03K 19/0175 (2006.01)
- (21) 国際出願番号: PCT/JP2014/073367
- (22) 国際出願日: 2014年9月4日(04.09.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 株式会社ソシオネクスト (SOCIONEXT INC.) [JP/JP]; 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 Kanagawa (JP).
- (72) 発明者: 長谷川 延正(HASEGAWA, Nobumasa); 〒2220033 神奈川県横浜市港北区新横浜二丁目100番45 富士通セミコンダクター株式会社内 Kanagawa (JP).
- (74) 代理人: 國分 孝悦(KOKUBUN, Takayoshi); 〒1700013 東京都豊島区東池袋1丁目17番8号 NBF 池袋シティビル5階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

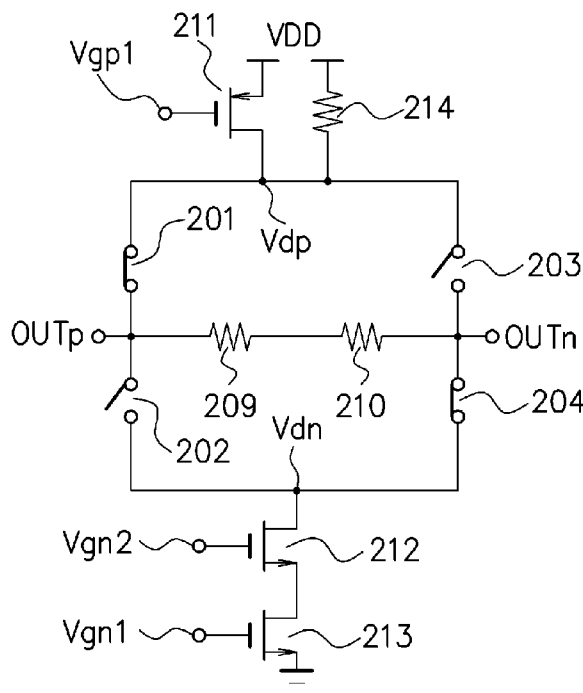
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

(54) Title: TRANSMITTER CIRCUIT AND SEMICONDUCTOR INTEGRATED CIRCUIT

(54) 発明の名称: 送信回路及び半導体集積回路



(57) Abstract: This transmitter circuit includes a driver circuit and a biasing circuit. The driver circuit includes first transistors (212, 213) that adjust output impedance, and switching circuits (201-204) which are connected to the first transistors and which switch the output polarity for differential output. The biasing circuit includes a first replica circuit that includes second transistors corresponding to the first transistors, generates a gate voltage that causes the current and voltage characteristics of the first transistors to correspond to the output impedance, and supplies the gate voltage to the gate of the first transistors.

(57) 要約: 送信回路は、ドライバ回路と、バイアス回路とを有し、前記ドライバ回路は、出力インピーダンスを調整するための第1のトランジスタ(212、213)と、前記第1のトランジスタに接続され、差動出力のための出力極性を切り替える切り替え回路(201~204)とを有し、前記バイアス回路は、前記第1のトランジスタに対応する第2のトランジスタを含む第1のレプリカ回路を有し、前記第1のトランジスタの電流及び電圧特性が前記出力インピーダンスに対応するようなゲート電圧を生成し、前記ゲート電圧を前記第1のトランジスタのゲートに供給する。

明 細 書

発明の名称：送信回路及び半導体集積回路

技術分野

[0001] 本発明は、送信回路及び半導体集積回路に関する。

背景技術

[0002] 差動データ入力端に依存する電流をステアリングするための電流源に結合した複数のスイッチを有する差動ドライバが知られている（特許文献１参照）。第１の差動出力端及び第２の差動出力端は、複数のスイッチのうちの少なくとも２つの間で結合する抵抗によって形成される。第１のソースフォロワ及び第２のソースフォロワは、出力インピーダンスを制御するために、第１の差動出力端及び第２の差動出力端に結合している。

[0003] また、定電流で駆動され、差動的な伝送信号入力のビットレートに応じて出力インピーダンスが制御される電流出力バッファ回路を有する半導体集積回路が知られている（特許文献２参照）。電流出力バッファ回路から信号伝送路に出力される信号波形は、伝送信号のビットレートに応じて制御される。

[0004] また、バイアス電流に依存して相互コンダクタンスが変化する増幅部を有する増幅回路が知られている（特許文献３参照）。定電圧源は、定電圧を出力する。定電流源は、定電流を出力する。差動対は、定電圧が入力される差動入力を有する一対のトランジスタから成り、一対のトランジスタの一方の出力端から定電流が供給される。一対の入力電流端子は、一対のトランジスタの出力端に接続される。差電流検出手段は、差動対の差出力電流に比例する電圧信号を出力する。第１及び第２の電圧－電流変換手段は、電圧信号を入力信号とし電圧信号に比例する電流を夫々出力する。第１及び第２の電圧－電流変換手段の出力電流は、夫々差動対及び増幅部のバイアス電流を構成する。

先行技術文献

特許文献

[0005] 特許文献1：特表2009-531925号公報

特許文献2：特開2008-147940号公報

特許文献3：特開2001-251149号公報

発明の概要

発明が解決しようとする課題

[0006] 送信回路は、出力信号の振幅を大きくしようとすると、出力インピーダンスが小さくなってしまい、インピーダンス整合をとることが困難になってしまう。インピーダンス整合をとるために、出力インピーダンスを所定値（例えば50Ω）に維持しつつ、送信回路の出力信号の振幅を大きくすることは困難である。

[0007] 本発明の目的は、出力インピーダンスを所定値に維持しつつ、出力信号の振幅を大きくすることができる送信回路及び半導体集積回路を提供することである。

課題を解決するための手段

[0008] 送信回路は、ドライバ回路と、バイアス回路とを有し、前記ドライバ回路は、出力インピーダンスを調整するための第1のトランジスタと、前記第1のトランジスタに接続され、差動出力のための出力極性を切り替える切り替え回路とを有し、前記バイアス回路は、前記第1のトランジスタに対応する第2のトランジスタを含む第1のレプリカ回路を有し、前記第1のトランジスタの電流及び電圧特性が前記出力インピーダンスに対応するようなゲート電圧を生成し、前記ゲート電圧を前記第1のトランジスタのゲートに供給する。

発明の効果

[0009] バイアス回路を設けることにより、出力インピーダンスを所定値に維持しつつ、出力信号の振幅を大きくすることができる。

図面の簡単な説明

[0010] [図1]図 1 は、本実施形態による通信システムの構成例を示す図である。

[図2]図 2 は、送信回路及び受信回路の基本構成例を示す図である。

[図3]図 3 は、図 2 の送信回路の等価回路図である。

[図4]図 4 は、図 8 のドライバ回路の構成例を示す等価回路図である。

[図5]図 5 は、 n チャネル電界効果トランジスタのカスコード接続の電流及び電圧特性を示すグラフである。

[図6]図 6 は、図 8 のバイアス回路の基本構成例を示す回路図である。

[図7]図 7 は、図 8 のバイアス回路の構成例を示す回路図である。

[図8]図 8 は、本実施形態による送信回路の構成例を示す図である。

[図9]図 9 は、本実施形態による送信回路の特性を示す図である。

発明を実施するための形態

[0011] 図 1 は、本実施形態による通信システムの構成例を示す図である。通信システムは、半導体集積回路 101、102 及び伝送路 105、106 を有する。半導体集積回路 101 及び 102 は、それぞれ、例えば中央処理ユニット（CPU）であり、図示しない内部回路に加えて、送信装置 103 及び受信装置 104 を有する。送信装置 103 は、パラレルシリアル変換回路 107 及び送信回路 108 を有する。受信装置 104 は、受信回路 109 及びシリアルパラレル変換回路 110 を有する。半導体集積回路 101 及び 102 は、伝送路 105 及び 106 により接続される。

[0012] パラレルシリアル変換回路 107 は、例えば、内部回路から出力された 32 ビットのパラレルデータを 1 ビットのシリアルデータに変換し、送信回路 108 に出力する。半導体集積回路 101 内の送信回路 108 は、シリアルデータを、伝送路 105 を介して、半導体集積回路 102 内の受信回路 109 に送信する。半導体集積回路 102 内の送信回路 108 は、シリアルデータを、伝送路 106 を介して、半導体集積回路 101 内の受信回路 109 に送信する。受信回路 109 は、シリアルデータを受信し、受信したシリアルデータをシリアルパラレル変換回路 110 に出力する。シリアルパラレル変換回路 110 は、1 ビットのシリアルデータを例えば 32 ビットのパラレル

データに変換して、内部回路に出力する。

[0013] 伝送路 105 及び 106 は、それぞれ、特性インピーダンスが $50\ \Omega$ である。伝送路 105 及び 106 が長く、送信する信号の周波数が高い場合、伝送路 105 及び 106 の損失が大きくなるため、送信回路 108 は信号を大振幅で出力することが求められる。また、受信回路 109 の入力終端抵抗と整合を取るため、送信回路 108 の出力インピーダンスを $50\ \Omega$ （差動出力の場合には $100\ \Omega$ ）にすることが規格として定まっている。

[0014] 図 2 は、送信回路 108 及び受信回路 109 の基本構成例を示す図である。まず、送信回路 108 の構成を説明する。p チャネル電界効果トランジスタ 201 は、ソースが電源電位ノードに接続され、ゲートが差動入力端子 IN1 に接続され、ドレインが抵抗 205 を介して差動出力端子 OUTp に接続される。n チャネル電界効果トランジスタ 202 は、ソースがグランド電位ノードに接続され、ゲートが差動入力端子 IN1 に接続され、ドレインが抵抗 206 を介して差動出力端子 OUTp に接続される。

[0015] p チャネル電界効果トランジスタ 203 は、ソースが電源電位ノードに接続され、ゲートが差動入力端子 IN2 に接続され、ドレインが抵抗 207 を介して差動出力端子 OUTn に接続される。n チャネル電界効果トランジスタ 204 は、ソースがグランド電位ノードに接続され、ゲートが差動入力端子 IN2 に接続され、ドレインが抵抗 208 を介して差動出力端子 OUTn に接続される。

[0016] 差動入力端子 IN1 及び IN2 には、パラレルシリアル変換回路 107（図 1）から入力するシリアルデータに基づく差動信号が入力される。差動入力端子 IN1 及び IN2 には、相互に論理レベルが反転した 2 値のデジタルデータが入力される。

[0017] 差動入力端子 IN1 がハイレベルであり、差動入力端子 IN2 がローレベルである場合、n チャネル電界効果トランジスタ 202 及び p チャネル電界効果トランジスタ 203 がオンし、p チャネル電界効果トランジスタ 201 及び n チャネル電界効果トランジスタ 204 がオフする。これにより、差動

出力端子OUT_pはローレベルになり、差動出力端子OUT_nはハイレベルになる。

[0018] これに対し、差動入力端子IN₁がローレベルであり、差動入力端子IN₂がハイレベルである場合、pチャネル電界効果トランジスタ201及びnチャネル電界効果トランジスタ204がオンし、nチャネル電界効果トランジスタ202及びpチャネル電界効果トランジスタ203がオフする。これにより、差動出力端子OUT_pはハイレベルになり、差動出力端子OUT_nはローレベルになる。

[0019] 差動出力端子OUT_p及びOUT_nは、相互に論理レベルが反転した2値のデジタルデータの差動信号を出力する。差動出力端子OUT_pは、伝送路105aを介して、受信回路109に接続される。差動出力端子OUT_nは、伝送路105bを介して、受信回路109に接続される。伝送路105a及び105bは、図1の伝送路105に対応する。

[0020] 受信回路109は、入力終端抵抗209及び210の直列接続を有する。入力終端抵抗209及び210は、それぞれ、50Ωである。入力終端抵抗209及び210の直列接続は、100Ωであり、差動出力端子OUT_p及びOUT_n間に接続される。

[0021] 図3は、図2の送信回路108の等価回路図である。送信回路108は、pチャネル電界効果トランジスタ201、203、nチャネル電界効果トランジスタ202、204、及び抵抗205～208を有する。入力終端抵抗209及び210は、受信回路109内に設けられ、送信回路108の負荷になる。

[0022] pチャネル電界効果トランジスタ201は、ソースが電源電位ノードVDDに接続され、ドレインが抵抗205を介して差動出力端子OUT_pに接続される。nチャネル電界効果トランジスタ202は、ソースがグランド電位ノードに接続され、ドレインが抵抗206を介して差動出力端子OUT_pに接続される。pチャネル電界効果トランジスタ203は、ソースが電源電位ノードVDDに接続され、ドレインが抵抗207を介して差動出力端子OUT

T_nに接続される。nチャネル電界効果トランジスタ204は、ソースがグラウンド電位ノードに接続され、ドレインが抵抗208を介して差動出力端子OUT_nに接続される。入力終端抵抗209及び210の直列接続は、差動出力端子OUT_p及びOUT_n間に接続される。

[0023] 抵抗205～208は、それぞれ、50Ωである。入力終端抵抗209及び210も、それぞれ、50Ωである。そのため、差動出力信号OUT_p及びOUT_nから出力される差動出力信号の振幅を大きくすることが困難である。例えば、電源電位ノードVDDは1.2Vであり、差動出力端子OUT_pは0.9Vであり、差動出力端子OUT_nは0.3Vである。抵抗205～208を小さくすれば、差動出力信号OUT_p及びOUT_nから出力される差動出力信号の振幅を大きくすることができるが、送信回路108の出力インピーダンスを50Ω（差動出力の場合には100Ω）に保つことができない。その結果、インピーダンス整合をとることができなくなってしまう。そこで、出力インピーダンスを所定値に維持しつつ、出力信号の振幅を大きくすることができる送信回路108を、図8を参照しながら説明する。

[0024] 図8は、本実施形態による送信回路108の構成例を示す図である。送信回路108は、バイアス回路801、ドライバ回路802、抵抗803～805及び容量806～808を有する。バイアス回路801は、ノードV_{gp1b}、V_{gn1b}及びV_{gn2b}を有する。ドライバ回路802は、ノードV_{gp1}、V_{gn1}及びV_{gn2}を有する。

[0025] 抵抗803は、バイアス回路801のノードV_{gp1b}及びドライバ回路802のノードV_{gp1}間に接続される。容量806は、電源電位ノードVDD及びドライバ回路802のノードV_{gp1}間に接続される。抵抗804は、バイアス回路801のノードV_{gn2b}及びドライバ回路802のノードV_{gn2}間に接続される。容量807は、グラウンド電位ノード及びドライバ回路802のノードV_{gn2}間に接続される。抵抗805は、バイアス回路801のノードV_{gn1b}及びドライバ回路802のノードV_{gn1}間に接続される。容量808は、グラウンド電位ノード及びドライバ回路802の

ノード V_{gn1} 間に接続される。

[0026] バイアス回路 801 のノード V_{gp1b} は、ドライバ回路 802 のノード V_{gp1} に電圧を出力する。バイアス回路 801 のノード V_{gn2b} は、ドライバ回路 802 のノード V_{gn2} に電圧を出力する。バイアス回路 801 のノード V_{gn1b} は、ドライバ回路 802 のノード V_{gn1} に電圧を出力する。

[0027] 図 4 は、図 8 のドライバ回路 802 の構成例を示す等価回路図である。図 4 のドライバ回路 802 は、図 3 の送信回路に対して、抵抗 205 ~ 208 を削除し、p チャネル電界効果トランジスタ 211、n チャネル電界効果トランジスタ 212、213 及び第 2 の抵抗 214 を追加したものである。

[0028] ドライバ回路 802 は、p チャネル電界効果トランジスタ 201、203、211、n チャネル電界効果トランジスタ 202、204、212、213、及び第 2 の抵抗 214 を有する。入力終端抵抗 209 及び 210 は、図 2 に示すように、受信回路 109 内に設けられ、ドライバ回路 802 の負荷になる。

[0029] 図 4 の p チャネル電界効果トランジスタ 201、203 及び n チャネル電界効果トランジスタ 202、204 は、図 2 の p チャネル電界効果トランジスタ 201、203 及び n チャネル電界効果トランジスタ 202、204 に対応する。図 4 の入力終端抵抗 209 及び 210 は、図 2 の入力終端抵抗 209 及び 210 に対応する。

[0030] p チャネル電界効果トランジスタ 211 は、第 7 のトランジスタであり、ソースが電源電位ノード V_{DD} に接続され、ゲートがノード V_{gp1} に接続され、ドレインがノード V_{dp} に接続される。第 2 の抵抗 214 は、 50Ω であり、電源電位ノード V_{DD} 及びノード V_{dp} 間に接続される。すなわち、第 2 の抵抗 214 は、p チャネル電界効果トランジスタ 211 に並列に接続される。

[0031] p チャネル電界効果トランジスタ 201 は、ソースがノード V_{dp} に接続され、ドレインが差動出力端子 $OUTp$ に接続される。n チャネル電界効果

トランジスタ202は、ソースがノードV_{d n}に接続され、ドレインが差動出力端子O_{U T p}に接続される。pチャネル電界効果トランジスタ203は、ソースがノードV_{d p}に接続され、ドレインが差動出力端子O_{U T n}に接続される。nチャネル電界効果トランジスタ204は、ソースがノードV_{d n}に接続され、ドレインが差動出力端子O_{U T n}に接続される。入力終端抵抗209及び210の直列接続は、差動出力端子O_{U T p}及びO_{U T n}間に接続される。pチャネル電界効果トランジスタ201, 203及びnチャネル電界効果トランジスタ202, 204は、差動出力のための出力極性を切り替える切り替え回路である。

[0032] nチャネル電界効果トランジスタ212は、第1のトランジスタであり、ドレインがノードV_{d n}に接続され、ゲートがノードV_{g n 2}に接続される。nチャネル電界効果トランジスタ213は、第2のトランジスタであり、ドレインがnチャネル電界効果トランジスタ212のソースに接続され、ゲートがノードV_{g n 1}に接続され、ソースがグランド電位ノードに接続される。すなわち、nチャネル電界効果トランジスタ213は、nチャネル電界効果トランジスタ212にカスコード接続される。

[0033] nチャネル電界効果トランジスタ212及び213のカスコード接続の抵抗が50Ωになるように、ノードV_{g n 2}の電圧が調整される。これにより、ドライバ回路802を含む送信回路108の出力インピーダンスは50Ωに調整される。

[0034] 図5は、nチャネル電界効果トランジスタ212及び213のカスコード接続の電流及び電圧特性を示すグラフである。横軸は、nチャネル電界効果トランジスタ212のドレイン電圧（ノードV_{d n}の電圧）を示す。縦軸は、nチャネル電界効果トランジスタ212のドレイン電流を示す。なお、nチャネル電界効果トランジスタ213のゲートに接続されるノードV_{g n 1}の電圧は固定されている。

[0035] 特性線501は、nチャネル電界効果トランジスタ212のゲートに接続されるノードV_{g n 2}が0.4Vの場合の特性を示す。特性線502は、n

チャネル電界効果トランジスタ 212 のゲートに接続されるノード V_{gn2} が 0.5 V の場合の特性を示す。特性線 503 は、n チャネル電界効果トランジスタ 212 のゲートに接続されるノード V_{gn2} が 0.55 V の場合の特性を示す。特性線 504 は、n チャネル電界効果トランジスタ 212 のゲートに接続されるノード V_{gn2} が 0.6 V の場合の特性を示す。特性線 505 は、n チャネル電界効果トランジスタ 212 のゲートに接続されるノード V_{gn2} が 0.7 V の場合の特性を示す。特性線 506 は、n チャネル電界効果トランジスタ 212 のゲートに接続されるノード V_{gn2} が 0.8 V の場合の特性を示す。

[0036] n チャネル電界効果トランジスタ 212 のドレイン電圧（ノード V_{dn} の電圧）を例えば 0.2 V に定めた場合、ゲート電圧が 0.55 V の特性線 503 で電流及び電圧特性の傾きが $\Delta I / \Delta V = 20 \text{ mS}$ ($\Delta V / \Delta I = 50 \Omega$) となっている。この時、n チャネル電界効果トランジスタ 212 のドレイン電流は、電流 I_1 である。したがって、 $\Delta V / \Delta I = 50 \Omega$ になるように、バイアス回路 801（図 8）が n チャネル電界効果トランジスタ 212 のゲートに接続されるノード V_{gn2} の電圧を調整すればよい。これにより、n チャネル電界効果トランジスタ 212 及び 213 のカスコード接続の抵抗は 50Ω になる。

[0037] 図 6 は、図 8 のバイアス回路 801 の基本構成例を示す回路図である。バイアス回路 801 は、第 1 のレプリカ回路 600 及び第 2 のレプリカ回路 630 を有する。

[0038] 第 1 のレプリカ回路 600 は、n チャネル電界効果トランジスタ 612 及び 613 を有する。第 1 のレプリカ回路 600 は、図 4 の n チャネル電界効果トランジスタ 212 及び 213 のカスコード接続のレプリカ回路である。n チャネル電界効果トランジスタ 612 は、第 3 のトランジスタであり、図 4 の n チャネル電界効果トランジスタ 212 に対応する。n チャネル電界効果トランジスタ 613 は、第 4 のトランジスタであり、図 4 の n チャネル電界効果トランジスタ 213 に対応する。

[0039] 第2のレプリカ回路630は、 n チャネル電界効果トランジスタ712及び713を有する。第2のレプリカ回路630は、図4の n チャネル電界効果トランジスタ212及び213のカスコード接続のレプリカ回路である。 n チャネル電界効果トランジスタ712は、第5のトランジスタであり、図4の n チャネル電界効果トランジスタ212に対応する。 n チャネル電界効果トランジスタ713は、第6のトランジスタであり、図4の n チャネル電界効果トランジスタ213に対応する。

[0040] 電流源621は、電源電位ノードVDD及びノードN1間に接続される。抵抗622は、ノードN1及びグランド電位ノード間に接続される。第2のオペアンプ623は、負入力端子がノードN1の基準電圧を入力し、正入力端子がノードVdnの電圧を入力し、出力端子がノードVgp1bにゲート電圧を出力する。

[0041] p チャネル電界効果トランジスタ611は、ソースが電源電位ノードVDDに接続され、ゲートがノードVgp1bに接続され、ドレインがノードVdnに接続される。 n チャネル電界効果トランジスタ612は、ドレインがノードVdnに接続され、ゲートがノードVgn2bに接続される。 n チャネル電界効果トランジスタ613は、ドレインが n チャネル電界効果トランジスタ612のソースに接続され、ゲートがノードVgn1bに接続され、ソースがグランド電位ノードに接続される。ノードVgn1bには、固定の電圧が供給される。 n チャネル電界効果トランジスタ612及び613には第1の電流I1（図5）が流れるように、ノードVgn2bの電圧が調整される。

[0042] p チャネル電界効果トランジスタ711は、ソースが電源電位ノードVDDに接続され、ゲートがノードVgp1bに接続され、ドレインがノードN2に接続される。 n チャネル電界効果トランジスタ712は、ドレインがノードN2に接続され、ゲートがノードVgn2bに接続される。 n チャネル電界効果トランジスタ713は、ドレインが n チャネル電界効果トランジスタ712のソースに接続され、ゲートがノードVgn1bに接続され、ソー

スがグランド電位ノードに接続される。

[0043] 電流源 624 は、電源電位ノード VDD 及びノード N2 間に接続され、第 2 の電流 ΔI (図 5) を流す。n チャネル電界効果トランジスタ 611 及び 711 には、それぞれ、第 1 の電流 I_1 が流れる。n チャネル電界効果トランジスタ 712 及び 713 には、第 1 の電流 I_1 及び第 2 の電流 ΔI が加算された電流 $I_1 + \Delta I$ が流れる。

[0044] 第 1 のオペアンプ 625 は、正入力端子がノード N2 の電圧を入力し、負入力端子がノード N3 の電圧を入力し、出力端子がゲート電圧をノード Vgn2b に出力する。第 3 のオペアンプ 626 は、正入力端子がノード Vdn に接続され、出力端子及び負入力端子がノード N4 に接続される。

[0045] 電流源 627 は、電源電位ノード VDD 及びノード N3 間に接続され、第 2 の電流 ΔI を流す。第 1 の抵抗 628 は、 $50\ \Omega$ であり、ノード N3 及び N4 間に接続される。電流源 629 は、ノード N4 及びグランド電位ノード間に接続され、第 2 の電流 ΔI を流す。

[0046] 抵抗 622 には電流源 621 の電流が流れるため、ノード N1 には基準電圧 (例えば 0.2 V) が生成される。ノード Vdn の電圧は、n チャネル電界効果トランジスタ 612 のドレイン電圧である。第 2 のオペアンプ 623 は、ノード Vdn の電圧がノード N1 の基準電圧と同じになるように、ノード Vgp1b の電圧を制御する。これにより、ノード Vdn の電圧は、例えば 0.2 V (図 5) の固定電圧になる。

[0047] n チャネル電界効果トランジスタ 712 のドレイン電流が第 2 の電流 ΔI 増加した時の n チャネル電界効果トランジスタ 712 のドレイン電圧の増加分を ΔV (図 5) とする。その場合、ノード N2 の電圧は、ノード Vdn の電圧に対して ΔV が加算された電圧 $Vdn + \Delta V$ である。

[0048] また、図 5 の $\Delta V / \Delta I = 50\ \Omega$ を実現するために、電流源 627 及び 629 は、 $50\ \Omega$ の第 1 の抵抗 628 に第 2 の電流 ΔI を流す。ノード N4 の電圧は、第 3 のオペアンプ 626 のボルテージフォロアにより、ノード Vdn の電圧と同じ電圧になる。これにより、ノード N3 の電圧は、ノード N4 の

電圧に対して $\Delta I \times 50 \Omega$ の電圧が加算された電圧 $V_{dn} + \Delta I \times 50 \Omega$ になる。

[0049] 第1のオペアンプ625は、ノードN2の電圧 $V_{dn} + \Delta V$ とノードN3の電圧 $V_{dn} + \Delta I \times 50 \Omega$ が同じになるように、ノード V_{gn2b} の電圧を制御する。これにより、 $\Delta V = \Delta I \times 50 \Omega$ になり、 n チャネル電界効果トランジスタ612及び613のカスコード接続の抵抗が 50Ω になる。

[0050] バイアス回路801は、上記のように生成されたノード V_{gp1b} 、 V_{gn1b} 及び V_{gn2b} の電圧を、ドライバ回路802に出力する。ドライバ回路802は、図4に示すように、 p チャネル電界効果トランジスタ211のゲートにはノード V_{gp1b} の電圧が印加され、 n チャネル電界効果トランジスタ212のゲートにはノード V_{gn2b} の電圧が印加され、 n チャネル電界効果トランジスタ213のゲートにはノード V_{gn1b} の電圧が印加される。 p チャネル電界効果トランジスタ211は、図6の p チャネル電界効果トランジスタ611に対応する。 n チャネル電界効果トランジスタ212は、図6の n チャネル電界効果トランジスタ612に対応する。 n チャネル電界効果トランジスタ213は、図6の n チャネル電界効果トランジスタ613に対応する。

[0051] したがって、 n チャネル電界効果トランジスタ212及び213は、図6の n チャネル電界効果トランジスタ612及び613と同様に、抵抗が 50Ω になる。すなわち、送信回路108の出力インピーダンスが 50Ω になり、インピーダンス整合をとることができる。

[0052] また、図4のドライバ回路802は、図3の送信回路に対して、抵抗205～208が削除されているので、出力信号の振幅を大きくすることができる。図3の送信回路では、電源電位ノード V_{DD} が1.2Vの場合、差動出力端子 OUT_p は0.9Vであり、差動出力端子 OUT_n は0.3Vである。これに対し、図4のドライバ回路802では、電源電位ノード V_{DD} が1.2Vの場合、差動出力端子 OUT_p は1.0Vであり、差動出力端子 OUT_n は0.2Vである。したがって、図4のドライバ回路802の差動出力

端子OUT_p及びOUT_nの出力信号の振幅を大きくすることができる。

[0053] 図4のドライバ回路802の等価回路は、受信回路109の入力終端抵抗209及び210に接続されている。また、ドライバ回路802は、ノードV_{dp}の電圧の安定化のため、第2の抵抗214を有する。そこで、図6のバイアス回路801を図4のドライバ回路802に対応させるため、図6のバイアス回路801に対して、上記の入力終端抵抗209、210及び第2の抵抗214を考慮したバイアス回路801を、図7に示す。

[0054] 図7は、図8のバイアス回路801の構成例を示す回路図である。図7のバイアス回路801は、図6のバイアス回路801に対して、第3の抵抗614、第5の抵抗609、610、第4の抵抗714、及び第6の抵抗709、710を追加したものである。以下、図7のバイアス回路801が図6のバイアス回路801と異なる点を説明する。

[0055] 第3の抵抗614は、50Ωであり、電源電位ノードVDD及びノードV_{dp}間に接続される。すなわち、第3の抵抗614は、pチャネル電界効果トランジスタ611に並列に接続される。第5の抵抗609及び610は、それぞれ、50Ωである。第5の抵抗609及び610の直列接続は、ノードV_{dp}及びV_{dn}間に接続される。

[0056] 第4の抵抗714は、50Ωであり、電源電位ノードVDD及びpチャネル電界効果トランジスタ711のドレイン間に接続される。すなわち、第4の抵抗714は、pチャネル電界効果トランジスタ711に並列に接続される。第6の抵抗709及び710は、それぞれ、50Ωである。第6の抵抗709及び710の直列接続は、pチャネル電界効果トランジスタ711のドレイン及びノードN2間に接続される。

[0057] 第1のレプリカ回路700は、pチャネル電界効果トランジスタ611、第3の抵抗614、第5の抵抗609、610、及びnチャネル電界効果トランジスタ612、613を有する。第1のレプリカ回路700は、図4のドライバ回路802のレプリカ回路である。

[0058] pチャネル電界効果トランジスタ611は、第8のトランジスタであり、

図4のpチャネル電界効果トランジスタ211に対応する。第3の抵抗614は、図4の第2の抵抗214に対応する。第5の抵抗609及び610は、図4の入力終端抵抗209及び210に対応する。nチャネル電界効果トランジスタ612は、第3のトランジスタであり、図4のnチャネル電界効果トランジスタ212に対応する。nチャネル電界効果トランジスタ613は、第4のトランジスタであり、図4のnチャネル電界効果トランジスタ213に対応する。

[0059] 第2のレプリカ回路720は、pチャネル電界効果トランジスタ711、第4の抵抗714、第6の抵抗709、710、及びnチャネル電界効果トランジスタ712、713を有する。第2のレプリカ回路720は、図4のドライバ回路802のレプリカ回路である。

[0060] pチャネル電界効果トランジスタ711は、第9のトランジスタであり、図4のpチャネル電界効果トランジスタ211に対応する。第4の抵抗714は、図4の第2の抵抗214に対応する。第6の抵抗709及び710は、図4の入力終端抵抗209及び210に対応する。nチャネル電界効果トランジスタ712は、第5のトランジスタであり、図4のnチャネル電界効果トランジスタ212に対応する。nチャネル電界効果トランジスタ713は、第6のトランジスタであり、図4のnチャネル電界効果トランジスタ213に対応する。

[0061] 図7の各ノードの電圧は、図6の各ノードの電圧と同じである。ノードV_{dn}は、ノードN1の電圧と同じ電圧（例えば0.2V）に固定される。nチャネル電界効果トランジスタ612及び613には、第1の電流I₁が流れる。nチャネル電界効果トランジスタ712及び713には、電流I₁ + ΔIが流れる。ノードN2の電圧は、電圧V_{dn} + ΔVである。ノードN4の電圧は、ノードV_{dn}の電圧と同じ電圧である。ノードN3の電圧は、電圧V_{dn} + ΔI × 50Ωである。図7のバイアス回路801は、図6のバイアス回路801と同様の動作を行う。

[0062] 図7のバイアス回路801は、nチャネル電界効果トランジスタ212及

び213の電流及び電圧特性（図5）が50Ωの出力インピーダンスに対応するようなゲート電圧を生成し、ノードVgn2bを介して、そのゲート電圧をnチャネル電界効果トランジスタ212のゲートに供給する。

[0063] nチャネル電界効果トランジスタ612及び613には、第1の電流I1が流れる。nチャネル電界効果トランジスタ712及び713には、第1の電流I1及び第2の電流ΔIが加算された電流I1+ΔIが流れる。第1の抵抗628には、第2の電流ΔIが流れる。

[0064] 第1のオペアンプ625は、nチャネル電界効果トランジスタ612のドレイン電圧（ノードVdnの電圧）に第1の抵抗628の電圧ΔI×50Ωを加算した電圧Vdn+ΔI×50Ωと、nチャネル電界効果トランジスタ712のドレイン電圧Vdn+ΔVとを入力し、ノードVgn2bを介して、nチャネル電界効果トランジスタ212、612、712のゲートに電圧を出力する。

[0065] 第2のオペアンプ623は、nチャネル電界効果トランジスタ612のドレイン電圧（ノードVdnの電圧）及びノードN1の基準電圧を入力し、ノードVgp1bを介して、pチャネル電界効果トランジスタ211、611、711のゲートに電圧を出力する。

[0066] 第1のオペアンプ625は、ノードN2の電圧Vdn+ΔVとノードN3の電圧Vdn+ΔI×50Ωが同じになるように、ノードVgn2bの電圧を制御する。これにより、ΔV=ΔI×50Ωになり、nチャネル電界効果トランジスタ612及び613は、抵抗が50Ωになる。

[0067] 図7のバイアス回路801は、上記のように生成されたノードVgp1b、Vgn1b及びVgn2bの電圧を、ドライバ回路802に出力する。図4のpチャネル電界効果トランジスタ211は、図7のpチャネル電界効果トランジスタ611に対応する。図4のnチャネル電界効果トランジスタ212は、図7のnチャネル電界効果トランジスタ612に対応する。図4のnチャネル電界効果トランジスタ213は、図7のnチャネル電界効果トランジスタ613に対応する。

- [0068] したがって、 n チャネル電界効果トランジスタ212及び213は、図7の n チャネル電界効果トランジスタ612及び613と同様に、抵抗が $50\ \Omega$ になる。すなわち、送信回路108の出力インピーダンスが $50\ \Omega$ になり、インピーダンス整合をとることができる。
- [0069] また、図4のドライバ回路802は、図3の送信回路に対して、抵抗 $205 \sim 208$ が削除されているので、出力信号の振幅を大きくすることができる。図4のドライバ回路802では、電源電位ノードVDDが 1.2 V の場合、差動出力端子OUT_pは 1.0 V であり、差動出力端子OUT_nは 0.2 V である。図4のドライバ回路802の差動出力端子OUT_p及びOUT_nの出力信号の振幅を大きくすることができる。
- [0070] 図9は、本実施形態による送信回路108の特性を示す図である。参考値は、図3の送信回路108の理想特性を示す。 25°C の代表値、 25°C の最遅値、 25°C の最速値、 110°C の代表値及び 0°C の代表値は、本実施形態による図8の送信回路108（図4のドライバ回路802及び図7のバイアス回路801を含む）の特性のシミュレーション結果を示す。
- [0071] 本実施形態による送信回路108の出力インピーダンス（差動）は、ほぼ $100\ \Omega$ であり、規格範囲内である。したがって、インピーダンス整合をとることができる。
- [0072] 参考値の出力振幅（差動）について説明する。図3の送信回路108では、電源電位ノードVDDが 1.2 V であり、差動出力端子OUT_pがハイレベルの場合、差動出力端子OUT_pが 0.9 V であり、差動出力端子OUT_nが 0.3 V である。その場合、 $\text{OUT}_p - \text{OUT}_n = 0.9\text{ V} - 0.3\text{ V} = +0.6\text{ V}$ である。これに対し、電源電位ノードVDDが 1.2 V であり、差動出力端子OUT_pがローレベルの場合、差動出力端子OUT_pが 0.3 V であり、差動出力端子OUT_nが 0.9 V である。その場合、 $\text{OUT}_p - \text{OUT}_n = 0.3\text{ V} - 0.9\text{ V} = -0.6\text{ V}$ である。したがって、差動出力端子OUT_pがハイレベルの場合とローレベルの場合の差分である振幅は、 $+0.6\text{ V} - (-0.6\text{ V}) = 1.2\text{ V}$ である。

[0073] 次に、本実施形態の出力振幅（差動）について説明する。図4のドライバ回路802では、電源電位ノードVDDが1.2Vであり、差動出力端子OUTpがハイレベルの場合、差動出力端子OUTpが1.0Vであり、差動出力端子OUTnが0.2Vである。その場合、 $OUTp - OUTn = 1.0V - 0.2V = +0.8V$ である。これに対し、電源電位ノードVDDが1.2Vであり、差動出力端子OUTpがローレベルの場合、差動出力端子OUTpが0.2Vであり、差動出力端子OUTnが1.0Vである。その場合、 $OUTp - OUTn = 0.2V - 1.0V = -0.8V$ である。したがって、差動出力端子OUTpがハイレベルの場合とローレベルの場合の差分である振幅は、 $+0.8V - (-0.8V) = 1.6V$ である。本実施形態の出力振幅（差動）のシミュレーション結果は、ほぼ1.6Vであり、参考値（1.2V）に比べ、大きくなっている。

[0074] なお、上記実施形態は、何れも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、又はその主要な特徴から逸脱することなく、様々な形で実施することができる。

産業上の利用可能性

[0075] バイアス回路を設けることにより、出力インピーダンスを所定値に維持しつつ、出力信号の振幅を大きくすることができる。

請求の範囲

[請求項1]

ドライバ回路と、
バイアス回路とを有し、
前記ドライバ回路は、
出力インピーダンスを調整するための第1のトランジスタと、
前記第1のトランジスタに接続され、差動出力のための出力極性を切り替える切り替え回路とを有し、
前記バイアス回路は、
前記第1のトランジスタに対応する第2のトランジスタを含む第1のレプリカ回路を有し、
前記第1のトランジスタの電流及び電圧特性が前記出力インピーダンスに対応するようなゲート電圧を生成し、前記ゲート電圧を前記第1のトランジスタのゲートに供給することを特徴とする送信回路。

[請求項2]

前記第1のトランジスタは、
出力インピーダンスを調整するための第3のトランジスタと、
前記第3のトランジスタにカスコード接続され、ゲートに固定電圧が供給される第4のトランジスタとを含み、
前記第2のトランジスタは、
前記第3及び第4のトランジスタに対応する第5及び第6のトランジスタを含み、
前記バイアス回路は、
前記第3及び第4のトランジスタの電流及び電圧特性が前記出力インピーダンスに対応するようなゲート電圧を生成し、前記ゲート電圧を前記第3のトランジスタのゲートに供給することを特徴とする請求項1記載の送信回路。

[請求項3]

前記バイアス回路は、
前記第3及び第4のトランジスタに対応する第7及び第8のトランジスタを含む第2のレプリカ回路を有し、

前記第5のトランジスタには第1の電流が流れ、
前記第1の電流及び第2の電流が加算された電流が前記第7のトランジスタに流れ、
前記バイアス回路は、
前記第2の電流が流れる第1の抵抗と、
前記第5のトランジスタのドレイン電圧に前記第1の抵抗の電圧を加算した電圧と、前記第7のトランジスタのドレイン電圧とを入力し、前記第3、第5及び第7のトランジスタのゲートに電圧を出力する第1のオペアンプを有することを特徴とする請求項2記載の送信回路。

[請求項4] 前記第3及び第4のトランジスタのカスコード接続は、前記切り替え回路及びグランド電位ノード間に接続され、
前記ドライバ回路は、
前記切り替え回路及び電源電位ノード間に接続される第9のトランジスタと、
前記第9のトランジスタに並列に接続される第2の抵抗とを有することを特徴とする請求項2記載の送信回路。

[請求項5] 前記第1のレプリカ回路は、
前記第9のトランジスタに対応する第10のトランジスタと、
前記第2の抵抗に対応する第3の抵抗とを有し、
前記ドライバ回路は、前記第5のトランジスタのドレイン電圧及び基準電圧を入力し、前記第9及び第10のトランジスタのゲートに電圧を出力する第2のオペアンプを有することを特徴とする請求項4記載の送信回路。

[請求項6] 前記第3及び第4のトランジスタのカスコード接続は、前記切り替え回路及びグランド電位ノード間に接続され、
前記ドライバ回路は、
前記切り替え回路及び電源電位ノード間に接続される第9のトラン

ジスタと、

前記第 9 のトランジスタに並列に接続される第 2 の抵抗とを有し、

前記第 1 のレプリカ回路は、

前記第 9 のトランジスタに対応する第 10 のトランジスタと、

前記第 2 の抵抗に対応する第 3 の抵抗とを有し、

前記第 2 のレプリカ回路は、

前記第 9 のトランジスタに対応する第 11 のトランジスタと、

前記第 2 の抵抗に対応する第 4 の抵抗とを有し、

前記ドライバ回路は、前記第 5 のトランジスタのドレイン電圧及び基準電圧を入力し、前記第 9、第 10 及び第 11 のトランジスタのゲートに電圧を出力する第 2 のオペアンプを有することを特徴とする請求項 3 記載の送信回路。

[請求項 7] 前記第 1 のレプリカ回路は、前記第 5 及び第 10 のトランジスタ間に接続され、受信回路の入力終端抵抗に対応する第 5 の抵抗を有することを特徴とする請求項 5 記載の送信回路。

[請求項 8] 前記第 1 のレプリカ回路は、前記第 5 及び第 10 のトランジスタ間に接続され、受信回路の入力終端抵抗に対応する第 5 の抵抗を有し、
前記第 2 のレプリカ回路は、前記第 7 及び第 11 のトランジスタ間に接続され、受信回路の入力終端抵抗に対応する第 6 の抵抗を有することを特徴とする請求項 6 記載の送信回路。

[請求項 9] 内部回路と、
前記内部回路からデータを受け取る送信回路を有し、
前記送信回路は、
ドライバ回路と、
バイアス回路とを有し、
前記ドライバ回路は、
出力インピーダンスを調整するための第 1 のトランジスタと、
前記第 1 のトランジスタに接続され、差動出力のための出力極性を

切り替える切り替え回路とを有し、

前記バイアス回路は、

前記第1のトランジスタに対応する第2のトランジスタを含む第1のレプリカ回路を有し、

前記第1のトランジスタの電流及び電圧特性が前記出力インピーダンスに対応するようなゲート電圧を生成し、前記ゲート電圧を前記第1のトランジスタのゲートに供給することを特徴とする半導体集積回路。

[請求項10]

前記第1のトランジスタは、

出力インピーダンスを調整するための第3のトランジスタと、

前記第3のトランジスタにカスコード接続され、ゲートに固定電圧が供給される第4のトランジスタとを含み、

前記第2のトランジスタは、

前記第3及び第4のトランジスタに対応する第5及び第6のトランジスタを含み、

前記バイアス回路は、

前記第3及び第4のトランジスタの電流及び電圧特性が前記出力インピーダンスに対応するようなゲート電圧を生成し、前記ゲート電圧を前記第3のトランジスタのゲートに供給することを特徴とする請求項9記載の半導体集積回路。

[請求項11]

前記バイアス回路は、

前記第3及び第4のトランジスタに対応する第7及び第8のトランジスタを含む第2のレプリカ回路を有し、

前記第5のトランジスタには第1の電流が流れ、

前記第1の電流及び第2の電流が加算された電流が前記第7のトランジスタに流れ、

前記バイアス回路は、

前記第2の電流が流れる第1の抵抗と、

前記第5のトランジスタのドレイン電圧に前記第1の抵抗の電圧を加算した電圧と、前記第7のトランジスタのドレイン電圧とを入力し、前記第3、第5及び第7のトランジスタのゲートに電圧を出力する第1のオペアンプを有することを特徴とする請求項9記載の半導体集積回路。

[請求項12] 前記第3及び第4のトランジスタのカスコード接続は、前記切り替え回路及びグランド電位ノード間に接続され、

前記ドライバ回路は、

前記切り替え回路及び電源電位ノード間に接続される第9のトランジスタと、

前記第9のトランジスタに並列に接続される第2の抵抗とを有することを特徴とする請求項9記載の半導体集積回路。

[請求項13] 前記第1のレプリカ回路は、

前記第9のトランジスタに対応する第10のトランジスタと、

前記第2の抵抗に対応する第3の抵抗とを有し、

前記ドライバ回路は、前記第5のトランジスタのドレイン電圧及び基準電圧を入力し、前記第9及び第10のトランジスタのゲートに電圧を出力する第2のオペアンプを有することを特徴とする請求項12記載の半導体集積回路。

[請求項14] 前記第3及び第4のトランジスタのカスコード接続は、前記切り替え回路及びグランド電位ノード間に接続され、

前記ドライバ回路は、

前記切り替え回路及び電源電位ノード間に接続される第9のトランジスタと、

前記第9のトランジスタに並列に接続される第2の抵抗とを有し、

前記第1のレプリカ回路は、

前記第9のトランジスタに対応する第10のトランジスタと、

前記第2の抵抗に対応する第3の抵抗とを有し、

前記第 2 のレプリカ回路は、

前記第 9 のトランジスタに対応する第 11 のトランジスタと、

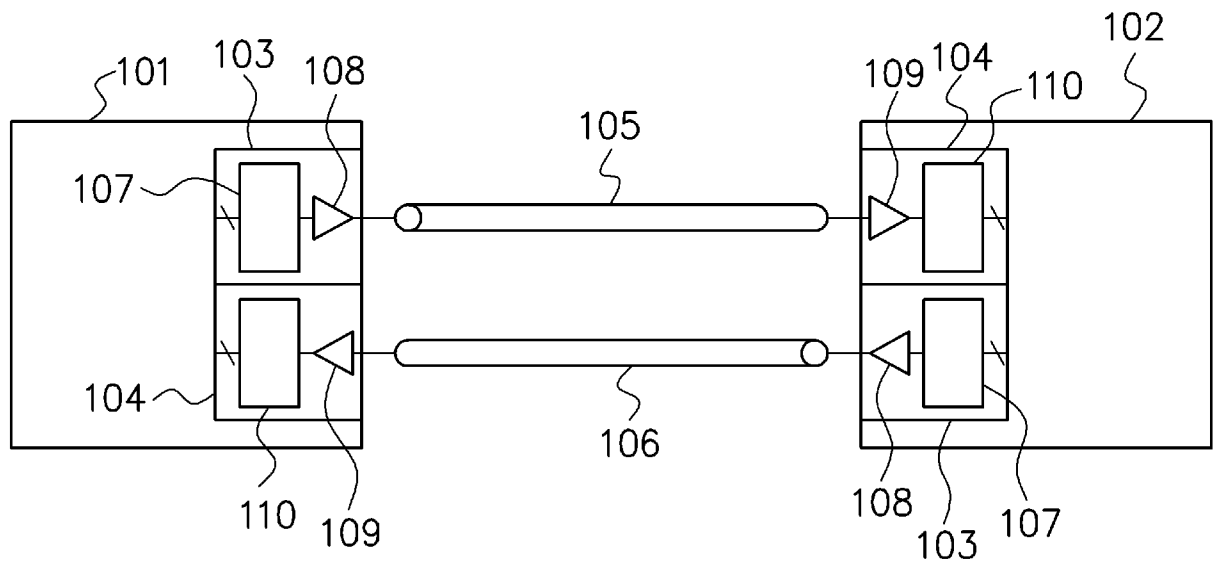
前記第 2 の抵抗に対応する第 4 の抵抗とを有し、

前記ドライバ回路は、前記第 5 のトランジスタのドレイン電圧及び基準電圧を入力し、前記第 9、第 10 及び第 11 のトランジスタのゲートに電圧を出力する第 2 のオペアンプを有することを特徴とする請求項 11 記載の半導体集積回路。

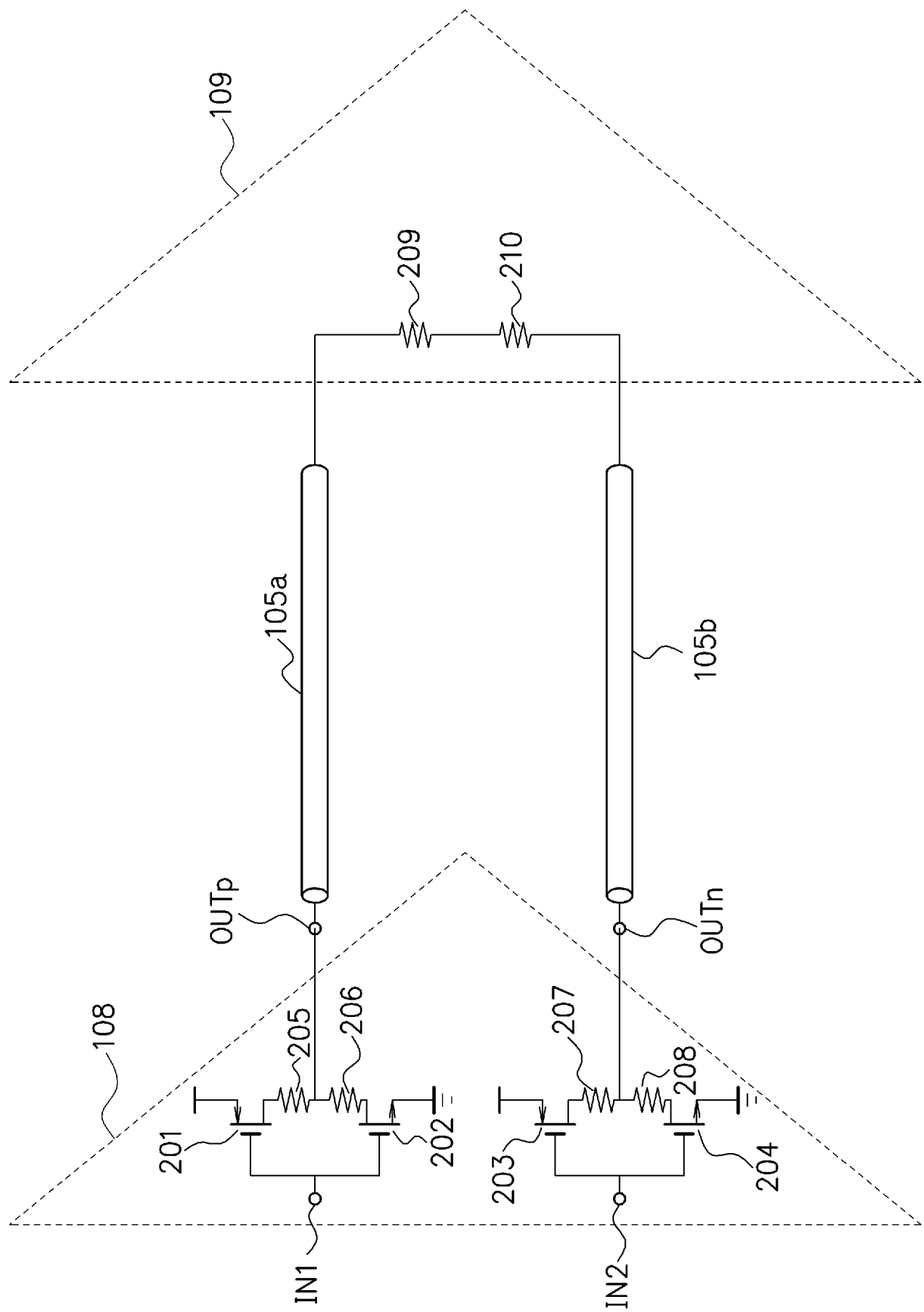
[請求項 15] 前記第 1 のレプリカ回路は、前記第 5 及び第 10 のトランジスタ間に接続され、受信回路の入力終端抵抗に対応する第 5 の抵抗を有することを特徴とする請求項 13 記載の半導体集積回路。

[請求項 16] 前記第 1 のレプリカ回路は、前記第 5 及び第 10 のトランジスタ間に接続され、受信回路の入力終端抵抗に対応する第 5 の抵抗を有し、
前記第 2 のレプリカ回路は、前記第 7 及び第 11 のトランジスタ間に接続され、受信回路の入力終端抵抗に対応する第 6 の抵抗を有することを特徴とする請求項 14 記載の半導体集積回路。

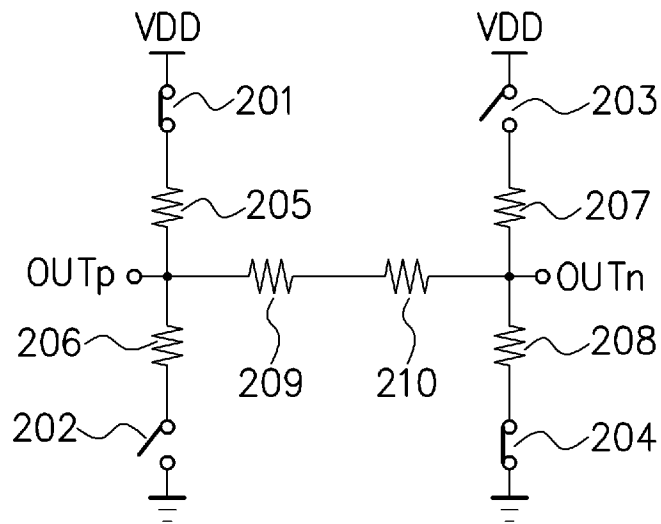
[図1]



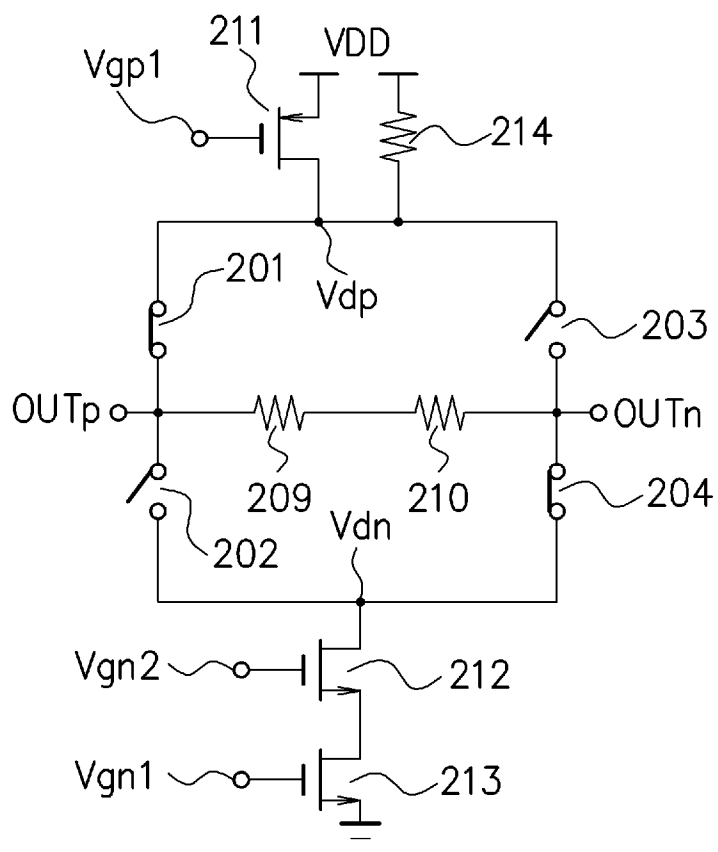
[図2]



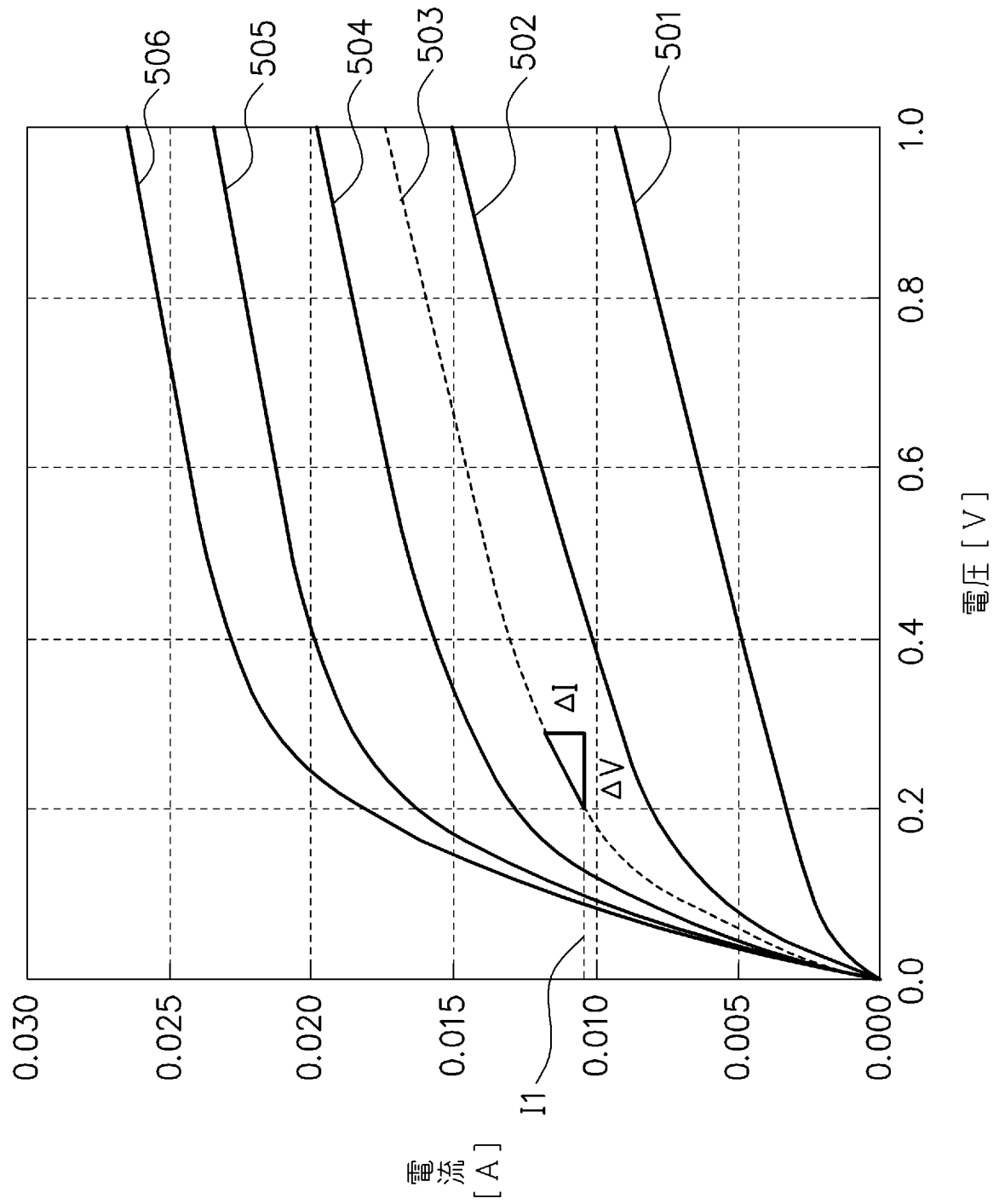
[図3]



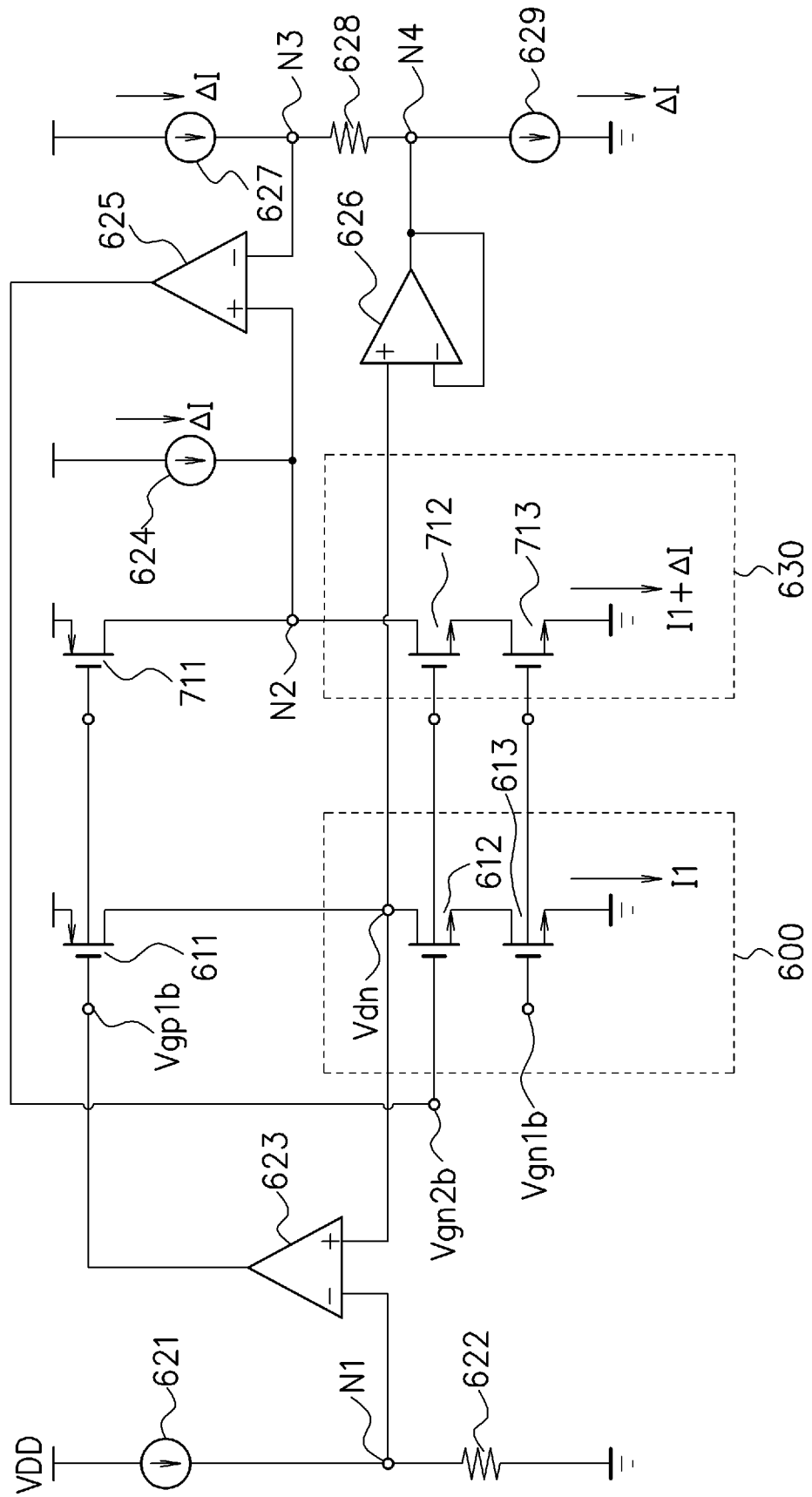
[図4]



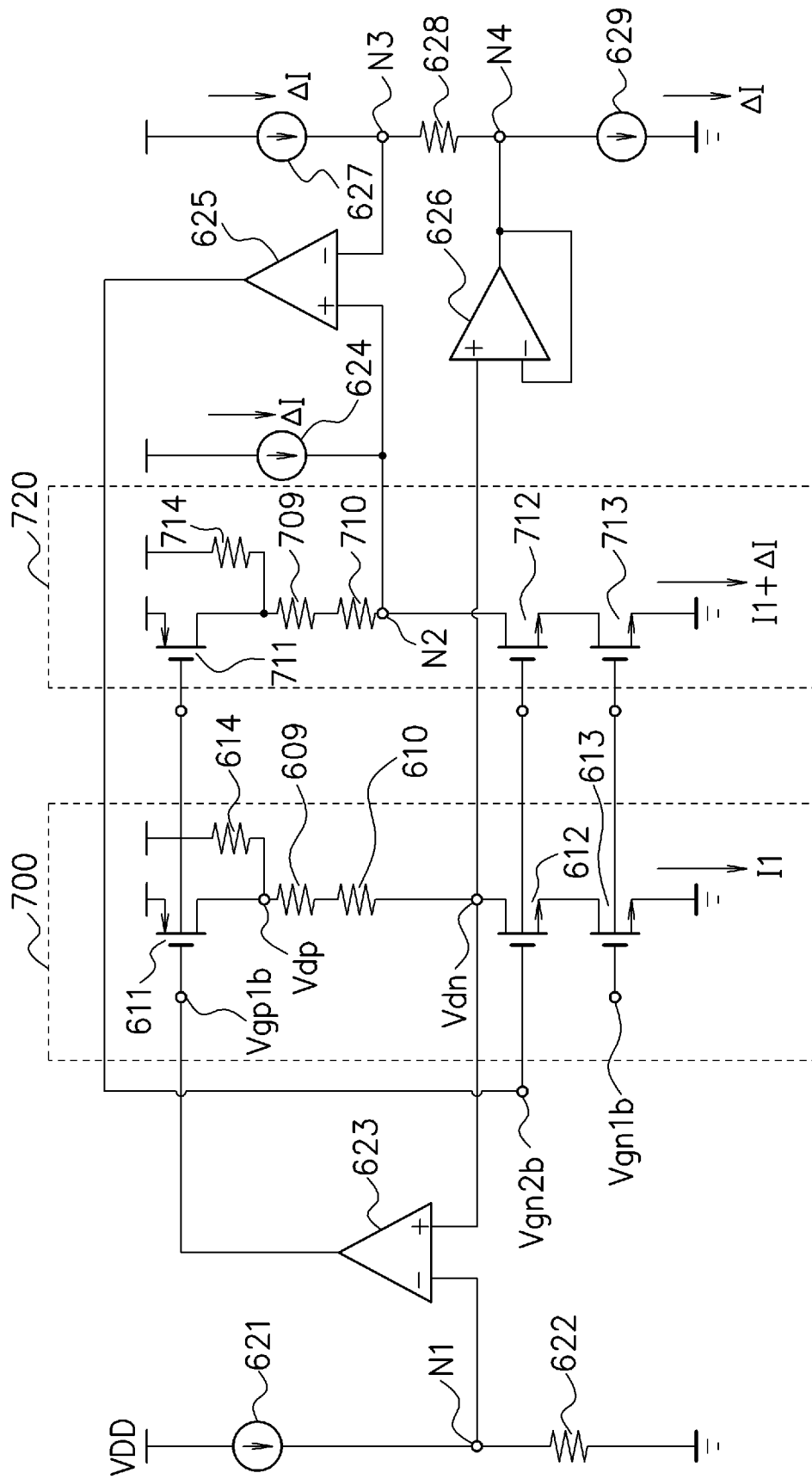
[図5]



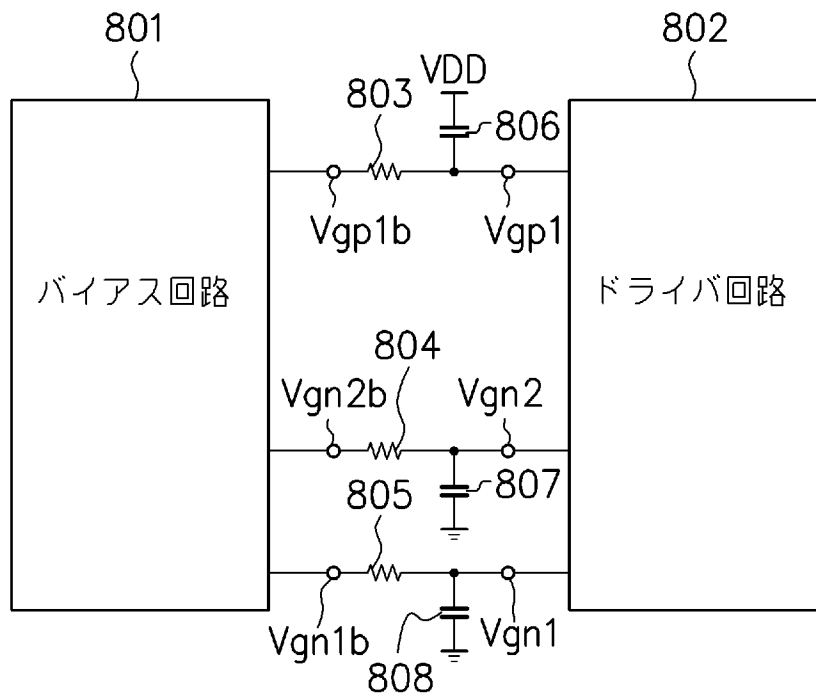
[図6]



[図7]



[図8]



[図9]

	参考値	代表値 25℃	最遅値 25℃	最速値 25℃	代表値 110℃	代表値 0℃	単位
電源電圧	1.20	1.20	1.20	1.20	1.20	1.20	V
周波数	28.2	28.2	28.2	28.2	28.2	28.2	Gbps
出力インピーダンス (差動)	100.0	106.5	102.8	99.7	104.8	107.4	Ω
出力振幅 (差動)	1.20	1.62	1.64	1.61	1.57	1.62	V
ドライバ電流	6.00	8.10	8.20	8.07	7.85	8.10	mA

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/073367

A. CLASSIFICATION OF SUBJECT MATTER

H03K19/0175(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K19/0175

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	WO 2003/049291 A1 (Thine Electronics, Inc.), 12 June 2003 (12.06.2003), columns 8 to 10; fig. 4 & US 2005/0007150 A1 & EP 1465343 A1 & CN 1561577 A & KR 10-2004-0071175 A	1, 9 2-8, 10-16
X A	JP 2008-182418 A (Sharp Corp.), 07 August 2008 (07.08.2008), all pages; fig. 1 to 10 (Family: none)	1, 9 2-8, 10-16
A	US 7898295 B1 (PMC-Sierra, Inc.), 01 March 2011 (01.03.2011), all pages; fig. 3 (Family: none)	1-16

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
21 November, 2014 (21.11.14)

Date of mailing of the international search report
02 December, 2014 (02.12.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/073367

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2007/0279094 A1 (Jian Hong Jiang), 06 December 2007 (06.12.2007), all pages; fig. 3 (Family: none)	2, 10

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H03K19/0175(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H03K19/0175

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	WO 2003/049291 A1（ザインエレクトロニクス株式会社）2003.06.12, 第8-10欄、図4 & US 2005/0007150 A1 & EP 1465343 A1 & CN 1561577 A & KR 10-2004-0071175 A	1, 9 2-8, 10 -16
X A	JP 2008-182418 A（シャープ株式会社）2008.08.07, 全頁、図1- 10（ファミリーなし）	1, 9 2-8, 10 -16
A	US 7898295 B1（PMC-Sierra, Inc.）2011.03.01, 全頁、図3（ファ ミリーなし）	1-16

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 1 . 1 1 . 2 0 1 4

国際調査報告の発送日

0 2 . 1 2 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

宮島 郁美

電話番号 03-3581-1101 内線 3596

5 X

8 5 2 3

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	US 2007/0279094 A1 (Jian Hong Jiang) 2007.12.06, 全頁、図3 (ファミリーなし)	2, 10