

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
G02F 1/136

(45) 공고일자 2000년01월 15일

(11) 등록번호 10-0238019

(24) 등록일자 1999년10월 12일

(21) 출원번호	10-1994-0018948	(65) 공개번호	특 1995-0003902
(22) 출원일자	1994년07월 28일	(43) 공개일자	1995년02월 17일
(30) 우선권 주장	93-186459 1993년07월 28일 일본(JP)		
	93-242259 1993년09월 29일 일본(JP)		
	93-268929 1993년10월 27일 일본(JP)		

(73) 특허권자 샤프 가부시기가이샤 마찌다 가즈히코
일본 오사카후 오사카시 아베노구 나가이쵸 22방 22고
(72) 발명자 요네다 히로시
일본국 630-02 나라켄 이코마시 하기노다이 5-1-2-303
요시다 시게토
일본국 632 나라켄 덴리시 이찌노모토포 2613-1-634
가도 겐이찌
일본국 632 나라켄 덴리시 이찌노모토포 2613-1-1006
야마네 야스쿠니
일본국 636-03 나라켄 시끼군 시까뎀 다와라모토포 28-15
이시이 유다까
일본국 630 나라켄 나라시 오미야쵸 1-5-5-905
(74) 대리인 백덕열, 이태희

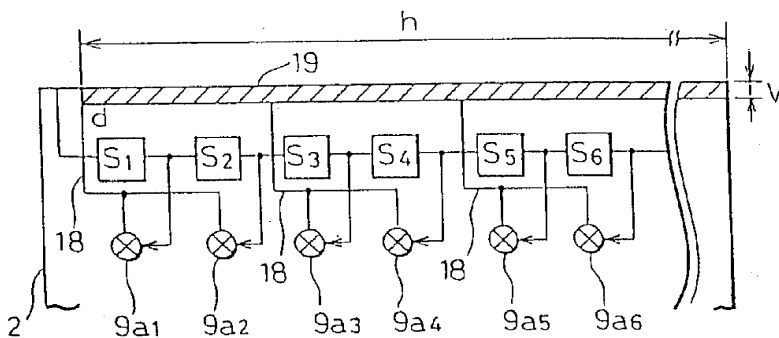
심사관 : 강해성

(54) 반도체장치

요약

본 발명은 드라이버 모노리딕(monolithic)형 화상표시장치로 대표되면서, 반도체 능동소자회로와, 이 회로에 전원전력을 공급하는 전원선이나 신호를 입력하기 위한 신호선 등의 전기도통 라인이 동일 기판상에 배치되어 있는 반도체 장치에 관한 것이다. 반도체 능동소자회로와, 이 회로에 전원전력을 공급하는 전원선이나 신호를 입력하기 위한 신호선 등의 전기도통 라인이 동일 기판상에 형성되어있는 반도체장치에 있어서, 상기 전기도통라인을 복수의 라인으로 분할하고, 각 라인의 배선저항을 소정치 이하로 억제함과 동시에, 각 라인마다의 배선저항을 일정하게 한다. 또, 상기 신호선에서 전송되는 신호에 파형열화 대응신호 성분을 부여하여, 이 신호의 파형열화를 개선한다. 또, 상기 전원선과 대향되게 용량형성용 전극을 형성하고, 이 전원선과 용량형성용 전극 사이에 유전체를 개재시켜 커패시터를 형성하여, 전원선에서 발생하는 고주파 노이즈를 저감한다. 이렇게 하면, 능동소자회로의 부정규 동작의 발생을 종래보다 대폭적으로 저감할 수 있다.

대표도



명세서

[발명의 명칭]

반도체장치

[도면의 간단한 설명]

제1도는 본 발명의 제1실시예의 액정표시장치에 접속되는 영상신호선의 분할상태 및 영상신호선이 접속되어 있는 분할선용 접속패드의 형상을 보여주는 설명도.

제2도는 상기 액정표시장치에서 표면에 주사신호선, 데이터신호선, 주사드라이버부, 데이터 드라이버부 등이 형성된 기판의 평면도.

제3도는 상기 기판에 형성된 각 회로부의 회로도.

제4도는 상기 기판상에 형성되어 있는 회로부중 한개를 구성하는 시프트레지스터 회로의 회로도.

제5도는 상기 시프트 레지스터 회로의 입출력신호의 타이밍을 보여주는 타이밍차트.

제6도는 상기 기판상에 형성되어 있는 회로부중 한개를 구성하는 버퍼회로의 회로도.

제7도는 상기 기판의 단부에 배치된 분할선용 접속패드와 플레시블 기판의 접속상태를 보여주는 설명도.

제8도는 상기 기판상에 형성되어 있는 분할영상 신호선의 임피던스를 조정하는 구성을 보여주는 설명도.

제9도는 상기 액정표시장치에서 각 회로부의 각종의 파형을 보여주는 파형도.

제10도는 통상의 접속용 패드에 접속되는 분할영상신호선의 설명도.

제11도는 상기 기판상에 형성되는 분할영상신호선의 임피던스를 조정하는 별도의 구성의 설명도.

제12도는 상기 기판상에 형성되는 분할영상신호선의 임피던스를 조정하는 다른 구성의 설명도.

제13도는 제1도의 영상신호선의 분할상태를 별도의 배선표시방법으로 도시한 설명도.

제14도는 분할선용 접속패드의 다른 구성의 설명도.

제15도는 본 발명의 제2실시예의 액정표시장치에서 시프트레지스터 회로에 입력되는 스타트신호선의 분할상태의 설명도.

제16도는 제15도의 액정표시장치에서 샘플링신호의 파형을 도시한 파형도.

제17도는 본 발명의 제3실시예의 액정표시장치에서 영상신호선, 스타트신호선 및 전원선 각각의 분할상태의 설명도.

제18도는 분할선용 접속패드의 기판상의 형성상태의 설명도.

제19도는 제17도의 액정표시장치에서 분할선용 접속패드의 기판상의 형성상태의 설명도.

제20도는 기판상에 형성되는 분할선용 접속패드의 다른 형성상태의 설명도.

제21도는 기판상에 형성되는 분할선용 접속패드의 다른 형성상태의 설명도.

제22도는 기판상에 형성되는 분할선용 접속패드의 다른 형성상태의 설명도.

제23도는 기판상에 형성되는 분할선용 접속패드의 다른 형성상태의 설명도.

제24(a), 24(b)도는 기판상에 형성되는 분할선용 접속패드의 다른 형성위치의 설명도.

제25(a), 25(b)도는 분할선용 접속패드의 형상의 설명도이고, 제25(c), 25(d), 25(e)도는 분할선용 접속패드까지 선을 인출하는 부분의 형상의 설명도.

제26도는 본 발명의 제4실시예의 액정표시장치의 요부의 구성을 도시한 블록도.

제27(a) 내지 27(c)도는 상기 액정표시장치에서 각종신호의 파형을 도시한 것으로, 제27(a)도는 원래의 클럭신호의 파형도, 제27(b)도는 응답성 개선신호의 파형도, 제27(c)도는 개선클럭신호의 파형도.

제28도는 제26도의 미분회로의 회로도.

제29도는 제26도의 가산기의 회로도.

제30도 상기 가산기의 출력신호 파형의 확대도.

제31도는 제26도의 드라이버회로의 구성의 블록도.

제32도는 제26도의 응답성 개선회로에 대체되는 구성을 도시한 블록도.

제33(a) 내지 33(d)도는 상기 가산기에서 출력되는 개선클럭신호의 다른예를 도시한 것으로, 제33(a)도는 원래의 클럭신호에 응답성개선신호로서 정현파 신호를 중첩시킨 것이고, 제33(b)도는 원래 클럭신호에 펄스파 신호를 중첩한 것이며, 제33(c)도는 원래 클럭신호의 상승부와 하강부에서 시프트된 위치에 응답성 개선신호를 중첩한 것이고, 제33(d)도는 원래 클럭신호 1개의 펄스에 2개의 응답성 개선신호를 중첩한 것의 파형도.

제34도는 본 발명의 제5실시예의 액정표시장치의 요부의 구성을 도시한 블록도.

제35(a) 내지 35(c)도는 상기 액정표시장치의 각종신호의 파형도로서, 제35(a)도는 원래 클럭신호의 파형도, 제35(b)도는 미분회로 입력신호의 파형도. 제35(d)도는 미분회로 출력신호의 파형도.

제36도는 제34도의 구성과 다른 예를 도시한 블록도.

제37도는 제34도의 구성의 또 다른 예를 도시한 블록도.

제38도는 본 발명의 제6실시예의 액정표시장치의 요부의 구성을 도시한 블록도.

제39(a) 내지 39(e)도는 상기 액정표시장치의 각종신호의 파형도로서, 제39(a)도는 원래 클럭신호의 파형도, 제39(b)도는 드라이버회로의 입력신호의 파형도, 39(c)도는 응답성 개선신호의 파형도, 제39(d)도는 개선클럭신호의 파형도, 제39(e)도는 기타의 응답성 개선신호의 파형도.

제40도는 제38도의 구성과는 다른 예를 도시한 블록도.

제41도는 본 발명의 제7실시예의 반도체장치의 요부의 개략적인 종단면도.

제42도는 본 발명의 기본적인 개념을 도시한 설명도.

제43도는 제42도의 구성의 등가회로의 설명도.

제44도는 상기 반도체장치의 기본적인 구성예의 설명도.

제45도는 상기 반도체장치의 기본적인 다른 구성예의 설명도.

제46도는 상기 반도체장치의 전원선과 다른 층의 배선과의 접속부분의 개략적인 종단면도.

제47도는 상기 반도체장치의 전원선과 다른 층의 배선과의 접속부분의 개략적인 평면도.

제48도는 상기 반도체장치의 전원선과 다른 층의 배선과의 접속부분의 변형예의 개략적인 평면도.

제49도는 상기 반도체장치의 전원선과 다른 층의 배선과의 접속부분의 다른 변형예의 개략적인 평면도.

제50도는 상기 반도체장치의 전원선과 다른 층의 배선과의 접속부분의 또 다른 변형예의 개략적인 평면도.

제51도는 상기 반도체장치의 전원선과 다른 층의 배선과의 접속부분의 변형예에 개략적인 종단면도.

제52도는 상기 반도체장치의 전원선과 용량형성용 전극을 부분적으로 중첩시킨 변형예의 개략적인 평면도.

제53도는 상기 반도체장치에서 용량형성용 전극을 전원선이 아닌 기판측에 형성한 변형예의 개략적인 종단면도.

제54도는 상기 반도체장치에서 전원선을 2층 배선으로 한 변형예의 개략적인 종단면도.

제55도는 상기 반도체장치에서 전원선과 용량형성용 전극을 부분적으로 중첩시킨 다른 변형예의 개략적인 평면도.

제56도는 본 발명의 제8실시예의 액정표시장치의 요부의 구성의 개략적인 종단면도.

제57도는 제56도의 구성의 등가회로도.

제58도는 상기 액정표시장치에서 전원선과 용량형성용 전극을 덮는 보호막을 생략한 변형예의 개략적인 종단면도.

제59도는 상기 액정표시장치에서 전원선이나 용량형성용 전극을 IT0막과 금속막의 2층 구조로 한 변형예의 개략적인 종단면도.

제60도는 상기 액정표시장치에서 전원선이나 용량형성용 전극을 IT0막과 금속막의 2층 구조로 한 다른 변형예의 개략적인 종단면도.

제61도는 상기 액정표시장치에서 용량형성용 전극을 대향전극과 공용하는 변형예의 개략적인 종단면도.

제62도는 상기 액정표시장치에서 격벽에 의해 표시용 액정과 용량형성용 유전체용 액정을 분리한 변형예의 개략적인 종단면도.

제63도는 상기 액정표시장치에서 용량형성용 유전체를 시일부재와 공용하는 변형예의 개략적인 종단면도.

제64도는 상기 액정표시장치에서 화소부가 형성된 기판상에 반도체층을 실장한 변형예의 설명도.

제65도는 기판에 형성되는 전원선의 배선예의 설명도.

제66도는 종래의 액정표시장치에서 선순차 주사방식의 데이터 드라이버의 구성의 블록도.

제67도는 제66도에 도시된 데이터 드라이버의 각종신호의 타이밍차트.

제68도는 종래의 액정표시장치의 점순차 주사방식의 데이터 드라이버의 구성의 블록도.

제69도는 제68도의 데이터 드라이버의 각종 신호의 타이밍차트.

제70도는 종래의 액정표시장치의 데이터 드라이버의 요부의 구성의 설명도.

제71도는 종래의 액정표시장치의 시프트레지스터 회로에 신호를 입력하는 스타트신호선과 영상신호선의 배선상태의 설명도.

제72도는 종래의 액정표시장치의 드라이버회로에서의 신호의 통과거리에 대응하는 대역특성의 변화를 보여주는 그래프.

제73(a) 내지 73(c)도는 종래의 액정표시장치의 샘플링신호의 파형의 변화를 보여주는 것으로, 제73(a)도는 원신호, 제73(b)도는 파형열화가 생긴 상태, 제73(c)도는 파형열화가 악화된 상태를 보여주는 파형도.

제74도는 종래의 액정표시장치의 전원선의 전압변화를 보여주는 설명도.

제75도는 종래의 액정표시장치에서 영상신호선의 선폭을 크게한 구성을 보여주는 설명도.

제76도는 종래의 액정표시장치에서 기판 단부의 접속패드의 구성을 보여주는 설명도.

제77도는 종래의 액정표시장치에서 전원선의 어떤 부위에서의 전압파형을 보여주는 설명도.

제78도는 표시기판의 외부에 커패시터를 배치하여 전원선과 접속되는 종래의 고주파 노이즈의 저감 방법을 설명하는 설명도.

* 도면의 주요부분에 대한 부호의 설명

- | | |
|-----------------|-----------------|
| 1 : 드라이버 회로 | 2 : 기판 |
| 3 : 주사신호선 | 4 : 데이터신호선 |
| 5,6 : 데이터 드라이버 | 7 : 화소부 |
| 8 : 샘플링신호발생 회로부 | 9 : 샘플링 회로부 |
| 10 : 트랜스퍼 회로부 | 11, 14 : 버퍼 회로부 |
| 12 : 시프트레지스터 회로 | 13 : 레벨시프터 회로 |
| 15 : 화소전극 | 16 : TFT |

[발명의 상세한 설명]

본 발명은 드라이버 모노리딕(monolithic)형 화상표시장치로 대표되면서, 반도체 능동소자회로와, 이 회로에 전원전력을 공급하는 전원선이나 신호를 입력하기 위한 신호선 등의 전기도통 라인이 동일 기판상에 배치되어 있는 반도체 장치에 관한 것이다.

액정표시장치로 대표되고 화소를 매트릭스형태로 배치한 화상표시장치의 대부분은 그 표시장치를 구동하기 위한 드라이버 회로, 이 드라이버 회로를 제어하는 제어회로 등 소정의 기능을 갖는 여러가지 회로를 구비한다. 이들 회로의 구성 및 규모는 화상표시장치의 형태에 따라 다양하지만, TV 등의 각종 미디어에 따라 정보를 영상화하는데는 이들 회로들이 필수적이다. 여기서는 액정표시장치에서도 액티브매트릭스형 액정표시장치의 구성에 대해 설명한다.

상기 액정표시장치는 액정표시장치(LCD)의 한 부품인 기판의 표면에 주사신호선과 데이터선이 교차 형성된 것이고, 화소전극과 대향전극 사이에 액정이 장착되어 구성되는 화소는 각 신호선의 교점 근방에 형성된다. 이들 화소는 매트릭스 형태로 배열되어 화소부를 형성한다. 각 화소는 주사신호선과 데이터선의 교점 근방에 형성된 박막 트랜지스터(이하, TFT라 한다) 등의 화소구동소자에 의해 구동된다.

액정표시장치의 드라이버 회로로는 2종류의 드라이버 : (1) 영상신호를 수신하고 이 신호를 샘플링하여 1 수평주사기간동안, 즉, 1 수평라인기간동안 출력하며 소스 드라이버라 하기도 하는 데이터 드라이버 ; 및 (2) 화소부로 전송된 화상데이터의 기억화소를 지정하며 게이트 드라이버라고도 하는 주사 드라이버가 사용된다. 이들 드라이버 각각의 구성은 액정표시장치의 사양에 따라 다르긴 하지만, 데이터 드라이버는 예컨대 시프트 레지스터, 샘플링회로, 트랜스퍼 회로, 출력 버퍼 등으로 구성되고, 주사 드라이버는 예컨대 시프트 레지스터, 레벨 시프터, 출력 버퍼 등으로 구성된다.

이하, 제66-69도를 참조하여 데이터 드라이버의 구성과 동작을 설명한다. 제66도는 액티브매트릭스 방식의 액정표시장치에 사용되는 대표적인 선순차 주사방식의 데이터 드라이버의 블록도이고, 제67도는 제66도의 각 부분의 타이밍차트의 예이며, 제 68도는 점순차 주사방식의 데이터 드라이버의 블록도이고, 제69도는 제68도의 각 부분의 타이밍차트의 예이다.

제66도에 도시된 바와 같이, 선순차 주사방식의 데이터 드라이버는, 데이터 드라이버내의 샘플링신호 발생회로(101)의 클럭신호(이하, CLP라 한다)와 스타트 신호(이하, STP라 한다)를 입력한다. 예컨대, 데이터 드라이버의 출력수가 N이면, 샘플링신호 발생회로(101)에는 N 단계의 시프트레지스터 회로가 있다. 1 수평주사기간의 샘플링 데이터를 개시하는 STP가 샘플링신호 발생회로(101)에 입력되면, CLP의 타이밍에 따라 이 회로(101)의 각 출력부로부터 샘플링펄스 $C_1 \sim C_N$ 이 출력된다. 영상신호는 샘플링신호 발생회로(101)에서 출력된 샘플링 펄스 $C_1 \sim C_N$ 에 의해 샘플링회로(102)에 샘플링되고, 샘플링된 신호데이터 $Z_1 \sim Z_N$ 이 샘플링커패시터에 순차적으로 기록된다. 샘플링커패시터에 기록된 1 수평주사기간의 신호데이터는 트랜스퍼신호(이하, TRF라 한다)에 의해 트랜스퍼회로(103)로부터 출력버퍼(104)를 통해 데이터신호선으로 출력된다. 데이터신호선으로 데이터전송 타이밍에 따라 주사 드라이버로부터 주사신호선에 주사펄스를 인가함으로써 1 수평주사기간의 데이터가 액정표시패널의 소정의 화소에 기억된다.

또, 신호데이터가 액정표시장치로 전송되는 동안, 그 다음 1 수평주사기간의 영상신호가 샘플링된다. 그 후, 새롭게 샘플링된 데이터를 출력버퍼(104)로 전송하는 TRF 신호가 트랜스퍼회로(103)에 입력되기 전에, 방전신호(이하, DIS라 한다)가 출력버퍼(104)에 인가되고 그 전의 신호데이터가 데이터신호선에서 소거된다.

한편, 점순차 주사방식의 데이터 드라이버에서는, 제68도에 도시된 바와 같이, 선순차 주사방식의 데이터 드라이버와 마찬가지로 샘플링신호 발생회로(101)에서 출력된 샘플링 펄스 $C_1 \sim C_N$ 에 따라 영상신호를 샘플링한다. 그러나, 샘플링된 신호는 샘플링커패시터에 기록되지 않고 즉각적으로 데이터신호선으로 전송된다. 데이터신호선으로의 데이터 전송 타이밍에 따라, 앞의 경우와 마찬가지로, 주사 드라이버로부터 주사

신호선으로 주사펄스를 인가함으로써 1 수평주사기간의 데이터가 액정표시장치의 소정의 화소에 기억된다.

여기서, 점순차 주사방식의 경우에는 1수평기간중에 샘플링 타이밍이 마지막에 있는 신호데이터를 기억하는 화소에 대해 데이터신호선에 신호데이터가 출력될 때부터 주사펄스가 OFF되기까지의 시간이 단축되기 때문에, 능동소자로서 화소구동소자의 캐리어 이동도가 낮아질 경우, 화소로의 충전시간이 부족하고 신호데이터를 충분히 기록할 수 없다. 따라서, 점순차 주사방식의 경우, 필연적으로 캐리어 이동도가 높은 능동소자를 사용할 필요가 있다.

일반적으로, 액정표시장치의 능동소자로서, 선순차 주사방식에서는 비정질 실리콘 박막트랜지스터(이하, "a-SiTFT"라 한다)를 사용하고, 점순차 주사방식에서는 s-SiTFT보다 캐리어 이동도가 높은 다결정실리콘 박막트랜지스터(이하, "p-SiTFT"라 한다)를 사용한다.

이 드라이버 회로(데이터 드라이버나 주사 드라이버)는 화소부가 형성되어 있는 기판에 일반적으로 TAB(tape automated bonding) 방법으로 접속된다. 이 방법에서, 상기 접속은 플렉시블 테이프에 드라이버 회로로서 드라이버 LSI(large scale integration)를 갱-본딩(gang-bonding)하고, 이 플렉시블 테이프를 액정표시패널에 포함된 유리기판에 열압착하여 행하여진다.

그러나, 최근에는 액정표시장치가 고정밀화되면서, 화소 피치가 점점 좁아진다. 그 결과, 상기 TAB의 접속 한계 피치보다 작은 화소 피치가 요구되어, 이른바 COG(chip on glass)로 불리우는, 액정표시장치의 유리기판에 드라이버 LSI를 직접 실장하는 방법이 이용된다.

또, 능동소자로서 p-SiTFT를 사용할 경우, 그 캐리어 이동도 μ 는 $\mu \geq 5\text{cm}^2/\text{V} \cdot \text{sec}$ 로 된다. 그결과, 이 캐리어 이동도 μ 는 a-SiTFT의 10 내지 1000배이기 때문에, 표시패널의 유리기판상에 화소부와 상술한 드라이버 회로를 모노리딕하게 형성할 수 있다.

상술한 바와같이, 드라이버 회로를 유리기판상에 COG법으로 직접 실장하거나 모노리딕하게 형성할 때, 유리기판상에 드라이버 회로를 배치할 경우, 필연적으로 유리기판상에는 주사신호선 및 데이터신호선은 물론 외부전원에서 드라이버 회로에 전력을 공급하기 위한 전원선 및 드라이버 회로에 클럭신호, 스타트신호, 영상신호 등을 입력하기 위한 복수의 신호선(152)···(제70도 참조)도 배선할 필요가 있다.

또, 제70도의 도면부호 $S(S_1, S_2, \dots)$ 는 샘플링신호 발생회로(101)의 시프트 레지스터 회로를 표시하고, 도면부호 102a···는 샘플링회로(102)의 샘플링스위치를 표시한다.

종래의 a-SiTFT-LCDDP 사용되던 배선재료 Ta 또는 TaNx를 전원선이나 신호선(152)의 배선재료로 사용하면, 화면의 좌단과 우단의 화질이 서로 달라서, 표시특성이 저하되는 등의 문제가 생긴다.

이 문제는 다음의 2가지 이유때문에 상승적으로 생기는 것이다.

즉, 첫째 이유는, Ta 또는 TaNx의 저항비 ρ 가 $25\sim 30 \mu\Omega \cdot \text{cm}$ 이고 이 배선재를 배선에 사용할 경우 배선 폭을 $100\mu\text{m}$, 막 두께를 300nm 로 하면, 그 배선 저항은 1cm 당 100Ω 으로 되는 물성때문이다.

제71도에 도시된 바와같이, 또 다른 이유는 시프트 레지스터 회로 $S(S_1, S_2, \dots)$ 에 스타트신호를 입력하는 스타트신호선(152)이나, 샘플링스위치(102a···)에 영상신호를 입력하는 영상신호선(152) 등의 각 신호선(152)이 배선되어 있고, 외부회로기판과의 접속에 사용되는 접속패드(153)가 각 입력신호에 대해 각각 할당되기 때문이다. 여기서 제71도의 (155)는 기판을 표시한다.

신호선(152)으로서 영상신호를 예로들어 구체적으로 설명한다. 대각선이 25cm 인 액정표시장치에서, 횡방향으로 끝에서 끝까지 영상신호선을 연결하면, 그 배선길이가 약 20cm 이고 신호선의 배선저항은 $2\text{k}\Omega$ 으로 된다. 또, 대각선이 13cm 인 액정표시장치에서는, 신호선의 배선저항이 $1\text{k}\Omega$ 으로 된다. 이렇게 저항이 높은 신호선을 통해 영상신호를 전송하면, 임피던스가 증가한다. 제72도에 도시된 바와같이, 신호입력단으로서 접속패드(153)에 대역 A를 갖는 신호가 신호선(152)을 통해 전송됨에 따라, 대역 특성이 $A \rightarrow B \rightarrow C$ 로 악화되고, 신호선(152)의 종단부에서는 신호가 0과 같은 대역특성을 보여준다. 이와같은 현상때문에, 화면의 좌단과 우단에서 화질이 크게 달라져, 균일한 화질을 갖는 화상을 표시할 수 없는 문제가 생긴다.

또, 이런 현상은, 샘플링신호 발생회로(101)의 각각의 시프트 레지스터 회로 $S(S_1, S_2, \dots)$ 에 스타트신호를 입력하는 스타트신호선(152)이나 클럭신호선(152)에서, 또는 시프트 레지스터 회로내의 다음 단계로 시프트펄스를 전송하는 배선에서 발생하고, 제73(a)-73(c)도에 도시된 바와 같이, 샘플링회로(102)에서 출력된 샘플링신호의 파형은 초기상태에서 변하여, 샘플링신호 발생회로(101)의 여러 단계들을 통해 전송되면서 상승부와 하강부가 둔화된다. 다시말해, 파형의 열화가 발생한다. 즉, 샘플링신호 발생회로(101)의 1단계의 시프트 레지스터 회로 S_1 에서 출력된 샘플링신호는 제73(a)도의 파형으로 되지만, 제73(b)도에 도시된 바와 같이, "n" 단계의 시프트레지스터 회로 S_n 에서 출력된 샘플링신호는 본래의 파형 b가 열화되어 발생한 파형 b'로 된다. 또, 제73(c)도에 도시된 바와같이, "m" 단계의 시프트레지스터 회로 S_m 에서 출력된 샘플링신호는 본래의 파형 c가 열화되어 생기 파형 c'가 된다. 따라서, 샘플링 위상이 정규 위치에 벗어나거나 샘플링신호가 발생하지 않는 사태가 생겨, 양호한 화질의 화상이 표시될 수 없는 문제가 생긴다.

일본국 특개평 제4-348385호에는 표시패널로 흐르는 전류를 검출하고 이 전류량에 따라 표시패널에 인가된 전압을 제어함으로써 신호데이터의 파형 열화를 보상하는 기술이 개시되어 있다. 그러나, 이 공보에 개시되어 있는 기술은 단순 매트릭스 구동방식의 화상표시장치에는 아주 유효하지만, 예컨대 능동소자를 갖는 액티브매트릭스 구동방식의 화상표시장치내의 모노리딕 또는 COG(chip on glass) 드라이버에 의해 생기는 파형 열화, 즉, 이 장치의 회로부의 동작이상에는 적용할 수 없다.

또, 상술한 임피던스(배선 저항)의 증가는 신호선(152)은 물론 전원선에서도 발생할 수 있다. 제74도에 도시된 바와 같이, 접속패드로부터의 거리가 멀어질수록 전원전압이 저하된다. 예컨대, 전원전류가 1mA 이고, 이 전류가 $2\text{k}\Omega$ 의 전원선을 통과하면, 전원전압은 2V 로 저하된다. 이와같은 전원전압의 저하는, 전원선에 접속된 각각의 회로의 동작 중단이나 신호레벨의 변동 등을 포함한 부정규 동작을 일으켜, 표시특성

의 저하를 초래한다.

액정표시패널의 화면 사이즈가 대형화될수록, 상술한 문제점이 보다 현저해진다.

제75도에 도시된 바와 같이, 배선 임피던스의 증가를 방지하기 위해, 종래에는 신호선(152')의 배선폭을 크게하는 것이 고려되었다. 이 경우에는, 예컨대 배선폭을 $100\mu\text{m}$ 에서 1mm 로 10배로 변화시켜서 배선저항을 1/10 정도로 제한할 수 있다. 그러나, 이런 방식에서, 예컨대 신호선(152')의 임피던스를 더 낮추려면 신호선(152')을 더 두껍게 해야한다. 따라서, 제76도에 도시된 바와 같이, 기판(155)의 주변에 접속패드(153)를 배치하여 외부 회로기판과 접속시킬 때 배선과 접속패드의 면적이 증가함에 따라 표시장치의 화소부에 대한 비화소부의 영역이 커진다. 또, 경우에 따라서는 배선의 중첩 용량의 증가나 배선 사이의 신호누설의 증가와 같은 결점이 생긴다.

또, 배선 임피던스의 증가를 방지하기 위해, 알루미늄(Al)이나 알루미늄 합금(Al-Si)을 배선재료로 하는 것도 고려되었다. 예컨대, 저항비 ρ 가 $5\mu\Omega \cdot \text{cm}$ 인 Al-Si를 배선재료로 사용하여 상술한 폭과 두께로 배선한다면, 그 배선저항은 Ta나 TaNx를 사용할 때의 저항의 약 1/6으로 제한된다. 예컨대, Al-Si를 대각선이 25cm인 화상표시장치에 적용할 때는, 총 배선저항이 약 330Ω 이고, 13cm의 화상표시장치에 적용할 때는 170Ω 이다. 이 경우, 앞에서와 같은 부하조건(전원전류=1mA)에서, 이 배선재를 대각선이 25cm인 화상표시장치에 사용할 경우에는, 이 배선재로 인한 전압강하가 약 330mV로 제한된다.

그러나, 전원전류가 1mA로 일정하게 유지되는 경우는 드물어서, 전원선에 접속된 트랜지스터 등의 능동소자 각각의 ON/OFF 동작에 의해 전원전류가 고주파에서 변동되며, 제77도에 도시된 바와같이, 전원선의 어떤 점에서는 고주파에서 변동하는 전압파형이 나타난다. 이 경우, 전압변동에 대한 신호데이터(제66도 또는 제68도의 $Z_1 \sim Z_n$)의 변동이 1:1의 관계에 있다고 하면, 화면상의 어떤 화소에서 전압변동이 최대일 때의 휘도와 최소일 때의 휘도가 크게 다르다. ON/OFF되는 능동소자의 갯수가 많거나 전원선의 임피던스가 높을수록, 이런 현상이 더 현저해진다.

여기서는 신호데이터에 미치는 전원전압 변동의 영향에 대해 설명하였지만, 전원전압의 변동, 즉 전원선에 발생하는 고주파 노이즈는 신호데이터는 물론 클럭신호 등의 다른 신호에도 영향을 미친다. 또, 고주파 노이즈때문에 신호의 전압레벨의 변동은 물론 회로의 응답시간(동작속도)이나 오동작 등이 생긴다.

고주파 노이즈를 제한하기 위해, 종래에는 제78도에 도시된 바와 같이, 화소나 전원선(163)이 형성된 표시기판(155)의 외부, 예컨대 플렉시블 기판(163)상에 커패시터(164)를 실장하고, 이 커패시터를 전원선(161)에 접속하였다. 이 방법은 표시기판(155)의 외부에 발생하는 고주파 노이즈를 감소시킬 때는 적당하지만, 전원선(161)에 접속된 각각의 능동소자를 ON/OFF하여 생기는 전류 변동과 함께 발생하는 전압 변동을 포함해 표시기판(155)에서 발생하는 고주파 노이즈를 감소시키는 때는 부적당하다.

이상 액정표시장치로 대표적인 화상표시장치를 예로 들어 설명하였다. 회로의 부정규 동작을 초래하는 신호레벨의 변동, 신호파형의 열화로 인한 신호지연, 또는 고주파 노이즈의 증가와 같은 상기 문제점들은, 반도체 능동소자를 포함한 회로와, 이 회로에 전원전력을 공급하는 전원선이나 신호를 입력하는 신호선 등의 긴 전기도선이 동일 기판에 실장된 반도체장치에 관련된 것이다.

본 발명의 목적은, 반도체 능동소자를 포함한 회로와, 이 회로에 전원전력이나 신호를 공급하기 위한 전기도통라인이 동일 기판상에 형성되어 있는 반도체장치에 있어서, 신호레벨의 변동, 신호지연 또는 고주파 노이즈의 발생을 억제하여, 상기 회로의 부정규 동작의 발생을 종래보다 낮출 수 있는 반도체 장치를 제공하는데 있다.

상기 목적을 달성하기 위해서, 본 발명의 반도체장치는, 기판; 상기 기판상에 형성되고, 복수의 입력단자를 가지며, 반도체 능동소자를 포함하는 능동소자회로; 상기 기판의 단부에 형성되고, 반도체장치와는 별도의 외부회로와 전기적으로 접속되는 외부 접속용 단자; 및 상기 기판상에 형성되고, 상기 능동소자회로의 각 입력단자와 상기 외부접속용 단자 사이를 전기적으로 접속하는 전기도통 라인;을 포함하고, 상기 전기도통 라인은 배선저항이 소장값 이하인 복수의 분할 라인으로 구성되는 것을 특징으로 한다.

상기 구성에 의하면, 전기도통 라인이 복수의 라인으로 분할되기때문에, 신호선이나 전원선 등의 전기도통라인의 길이가 짧아져 배선저항을 낮출 수 있다. 따라서, 신호레벨의 변동이나 전원전압의 저하를 억제할 수 있다. 상기 반도체 장치가 액정표시장치 등의 화상표시장치인 경우, 각 분할라인의 배선저항을 조정하여 화면의 우단과 좌단에서 화질이 달라지는 사태를 방지하여, 균일한 표시가 가능하므로, 표시특성의 향상이 도모된다.

또, 상기 목적을 달성하기 위해, 본 발명의 다른 반도체 장치는, 기판; 상기 기판상에 형성되고, 반도체 능동소자를 포함하는 능동소자회로; 상기 기판상에 형성되고, 반도체 장치의 외부에서 입력된 적어도 2개 값의 기본 신호를 상기 능동소자회로에 전송하기 위한 신호선; 상기 신호선을 통하여 전송된 기본신호에 파형열화 대응 신호성분을 부가하여 구해지는 파형개선신호를 생성하여, 이 파형개선신호를 상기 능동소자회로에 공급하는 파형개선신호 생성회로;를 포함하고, 상기 파형개선 신호의 기본 신호성분의 최대 진폭을 v , 파형열화 대응신호 성분을 포함한 부분의 최대 진폭을 V 라 할 때,

$$(1) |v| < |V|$$

의 관계식이 성립하고, 상기 기본신호성분의 주파수를 f , 파형열화 대응신호성분의 주파수를 F 라 할 때,

$$(2) f \leq F$$

의 관계식이 성립하는 것을 특징으로 한다.

상기 구성에 의하면, 기본신호성분의 최대진폭 v 와, 파형열화 대응신호성분을 포함한 부위의 최대진폭 V 의 관계가 $|v| < |V|$ 이기 때문에, 기본신호 성분으로부터 파형열화 대응신호성분을 검출할 수 있다. 또, 기본 신호 성분의 주파수 f 와, 파형열화 대응 신호성분의 주파수 F 의 관계가 $f \leq F$ 이기때문에, 기본신호성분에 파형열화 신호성분을 적절히 설정할 수 있다.

이런식으로 미리 형성된 파형 기본신호를 능동소자회로에 공급하면, 기본 신호의 상승부나 하강부, 또는 이들 양자의 파형열화를 억제한다. 따라서, 이들의 급변성을 유지하여, 위상 시프트를 방지할 수 있다. 즉, 신호선에서 전송되는 기본신호의 지연을 방지하여, 능동소자회로의 오동작을 피할 수 있다. 상기 반도체장치가 액정표시장치 등의 화상표시장치인 경우에는, 예컨대, 샘플링 펄스의 타이밍지연을 방지하여 정규의 타이밍에서 필요한 영상신호의 샘플링이 가능하므로, 양호한 화상표시를 행할 수 있다.

또, 상기 목적을 달성하기 위해, 본 발명의 다른 반도체장치는, 기판; 상기 기판상에 형성되고, 반도체 능동소자를 포함하는 능동소자회로; 상기 기판상에 형성되고, 반도체장치의 외부에서 상기 능동소자회로에 전원전력을 공급하기 위한 전원선; 적어도 일부분이 상기 전원선과 대향되도록 배치된 기준전위를 갖는 용량형성용 전극; 및 대향배치되어 있는 전원선과 용량형성용 전극 사이에 배치된 용량형성용 유전체;를 포함하는 것을 특징으로 한다.

상기 구성에 의하면, 전원선과 용량형성용 전극을 전극으로 하는 커패시터가 형성되고, 분포정수회로(distributed constant circuit)로 취급되는 전원선이 갖는 저항과, 상기 커패시터에 의해 등가적으로 CR 필터가 형성되어, 신호선의 임피던스가 저하한다. 그후, CR 필터, 즉 저역통과필터에 의해 전원선에 접속된 각 반도체 능동소자의 ON/OFF에 수반되는 전류변동에 의해 생기는 전압변동을 포함해 전원선에서 생기는 고주파 노이즈가 감소된다. 그 결과, 능동소자회로의 부정규 동작의 발생을 종래보다 낮출 수 있다.

본 발명은, 액정표시장치 등의 화상표시장치를 포함한 반도체 장치에 적용될 수 있지만, 대향배치된 한쌍의 기판을 구비한 화상표시장치에 적용할 경우에는 한쪽 기판에 전원선을, 다른쪽 기판에 용량형성용 전극을 형성하는 것이 좋다. 예컨대, 액정표시장치에 적용할 경우에는, 전원선과 용량형성용 전극 사이에 배치되는 용량형성용 유전체로서 액정을 사용할 수 있다. 또, 표시에 사용되는 액정과 상기 용량형성용 유전체에 사용되는 액정을 격벽부재로 분리하면, 용량형성용 유전체로 사용되는 액정을 표시용 액정과 구별할 수 있으므로, 액정을 표시용으로 적합하게 할 조건이 필요없이 용량형성용 전극으로 사용되는 액정을 선택할 수 있다. 또, 격벽부재에 의해 용량형성용과 표시용의 액정을 분리하면, 표시용 액정이 직류전압의 인가에 의해 열화되지 않는다.

또, 한쌍의 기판 사이의 틈새를 시일부재로 밀폐하는 구성의 반도체장치, 예컨대 양 기판사이에 액정을 봉입하는 액정표시장치나, 양 기판 사이에 개스를 봉입하는 플라즈마 표시패널 등의 화상표시장치의 경우에는, 용량형성용 유전체를 시일부재로 공용하여 표시장치의 유효 표시면적 비율을 개선할 수 있다.

여기서, 본 발명의 반도체장치를 기판상에 능동소자회로를 모노리딕하게 형성하거나 능동소자회로를 반도체칩으로 형성하고 이 반도체칩을 기판에 실장하여 제조될 수 있다. COG 등에 의해 반도체칩을 기판상에 실장하는 구성의 경우에는, 기판상에 반도체칩으로 전력을 공급하기 위한 전원선을 형성하고, 이 반도체칩내에는 반도체 능동소자에 전력을 공급하는 전원선을 형성한다. 이 경우, 기판상에 실장된 반도체칩에도 상기와 마찬가지로 CR 필터를 형성하면 반도체장치의 모든 기판에서 고주파 노이즈를 낮출 수 있다.

이하, 첨부 도면들을 참조하여 본 발명을 자세히 설명하면 다음과 같다.

[제1실시예]

먼저, 제1~14도를 참조하여 본 발명의 제1실시예에 대해 설명한다.

본 실시예에서는 화상표시장치로서 드라이버 모노리딕 방식의 액티브 매트릭스형 액정표시장치, 특히 데이터 드라이버의 샘플링 회로에 영상신호를 입력하는 영상신호선에 본 발명의 수단을 장착한 장치를 설명한다.

액정표시장치의 액정표시패널은 한쌍의 기판으로 구성되고, 제2도에 도시된 것과 같이, 이들 한쌍의 기판 중 한쪽 기판(2)의 표면에는 주사신호선(3...), 데이터신호선(4...), 주사신호선(3)을 구동하는 주사 드라이버(5), 및 데이터신호선(4)을 구동하는 데이터 드라이버(6)가 형성된다. 주사신호선(3...)과 데이터신호선(4...)은 서로 직교하며, 각각의 교점 근방에는 화소구동소자인 박막트랜지스터(TFT)와, TFT(16)에 의해 전하의 공급이 제어되는 화소전극(15)이 배치된다(제3도 참조). 이들 화소전극(15...)은 도시되지 않은 다른 기판과의 공간에 액정을 삽입하여 화소를 형성한다. 이들 화소들은 매트릭스 형태로 배열되어 화소부(7)를 형성한다. 화소들은 각각의 전극 사이에 발생하는 전압을 이용해 액정의 광투과상태를 제어하여 화상을 표시하는데 사용된다.

제3도에 도시된 바와같이, 기판(2)에 형성된 데이터 드라이버(6)는 주로 4개의 회로부: 즉, 샘플링신호발생 회로부(8); 샘플링 회로부(9); 트랜스퍼 회로부(10); 및 버퍼 회로부(11)로 구성된다.

샘플링 신호발생 회로부(8)에는 시프트 레지스터 회로부(8a) 및 복수의 버퍼회로(8b...)가 있다. 제4도에 도시된 바와 같이, 시프트 레지스터 회로부(8a)는 스타트 신호가 입력되는 복수의 시프트 레지스터 회로 S(S₁, S₂, ...)로 구성되고, 샘플링 회로부(9)가 영상 신호를 순차적으로 샘플링하도록 소정 간격으로 입력되는 펄스인 샘플링 신호들을 출력된다. 입출력 타이밍이 제5도에 도시되어 있다. 제6도에 도시된 바와 같이, 버퍼회로(8b)는 복수의 인버터로 구성되고, 소형 트랜지스터의 크기의 시프트 레지스터 회로부(8a)로부터의 출력 신호에 따라 대형 트랜지스터 크기의 샘플링 회로부(9)를 구동하는데 필요하다. 인버터의 트랜지스터의 크기는 출력부에 접근할수록 크게 설정하게 된다.

제3도에 도시된 바와 같이, 샘플링 회로부(9)는 영상신호를 샘플링하기 위한 복수의 샘플링스위치(9a...)와 샘플링 커패시터(9b...)로 구성된다. 샘플링스위치(9a...)는 영상신호의 정보를 각각의 샘플링 커패시터(9b...)내에 저장하는데 사용되고, 샘플링스위치의 ON/OFF 동작은 샘플링신호 발생회로(8)에서 출력된 샘플링신호에 따라 제어된다.

트랜스퍼 회로부(10)에는 트랜스퍼스위치(10a...)와 홀드 커패시터(10b...)가 있고, 샘플링 커패시터(9b...)에 저장된 정보는 입력되는 트랜스퍼 신호에 따라 홀드 커패시터(10b...)로 전송된다.

버퍼회로부(11)에는 복수의 버퍼회로(11a...)가 있다. 버퍼회로부(11)로부터의 각각의 출력은 데이터신호선(4)을 통해 데이터신호로서 제3도의 TFT(16...)의 소스로 공급된다.

화소전극(15)은 각각의 TFT(16)의 드레인 접속된다. 또, 각각의 TFT(16)의 게이트는 주사신호선(3)에 접속되고, 주사 드라이버(5)를 구성하는 시프트 레지스터 회로(12), 레벨시프터회로(13) 및 버퍼회로부(14)를 통해 이 순서대로 출력되는 주사신호가 이곳으로 입력된다. 또, 제3도는 각 회로부의 개략도이다.

제1,7,8도를 참조하여, 샘플링회로부(9)의 복수의 샘플링스위치(9a...)에 영상신호를 입력하는 영상신호선의 배선상태, 및 기판단부측에 배치된 플렉시블 기판(외부 회로기판)과의 접속에 사용되는 분할선용 접속패드(접속용 단자)(19)의 형상 등을 설명하면 다음과 같다.

제1도에 도시된 바와 같이, 샘플링회로부(9)의 샘플링스위치(9a...)는 예컨대 $(9a_1, 9a_2)$, $(9a_3, 9a_4)$ 와 같이 2개의 스위치씩 N개의 그룹으로 분할된다. 이후, 각 그룹은 분할영상신호선(18)에 접속된다. 각각의 분할영상신호선(18)의 일단부는 기판 단부측에 배치되어 플렉시블 기판과의 접속에 사용되는 분할선용 접속패드(19)에 각각 접속된다. 종래의 하나의 영상신호선을 분할하여 N개의 분할영상신호선(18)으로 형성하여 영상신호선의 길이를 단축하고 배선저항을 낮춘다. 예컨대, $N=10$ 이면, 본 발명의 배경에서 언급한 2 k Ω 의 신호선 배선 저항을 약 20 Ω 으로 낮출 수 있다.

그 결과, 배선저항을 낮추어 영상신호선의 임피던스의 증가를 억제할 수 있다. 영상신호선을 N개로 분할하면, 종래의 영상신호선에 비해 임피던스를 약 1/N까지 제한하여 임피던스를 낮출 수 있다. 즉, 분할 횟수 N과 1 그룹당 샘플링스위치(9a)의 갯수를 임의로 하여 적당히 설정한다.

한편, 각각의 분할영상신호선(18...)이 접속되어 있는 접속패드(19)는 기판(2)의 단부를 따라 배치된다. 기판의 단부와 평행한 방향의 패드(19)의 단자폭은 h이고, 기판의 단부에 수직인 방향의 패드(19)의 단자폭은 v이며, $h > v$ 의 관계가 성립하도록 설정한다. 이렇게 하면, 분할선용 접속패드(19)는 기판 단부와 평행하게 배치되는 장방형 패드로 되므로 플렉시블 기판과의 접속 면적을 크게할 수 있다. 그 결과, 영상신호선을 여러개로 분할하는 구성임에도, 플렉시블 기판과의 접속신뢰성을 저하시키지 않으면서 영상신호선의 임피던스를 낮게 유지할 수 있다. 여기서, 접속패드(19)와 플렉시블 기판(30)의 접속은, 제7도에 도시된 바와 같이, 패드 전체를 커버할 필요는 없고 부분적으로 접속해도 좋다.

그러나, 분할영상신호선(18)을 형성하여 영상신호선의 임피던스를 낮춘다해도, 각 분할영상신호선(18)에 접속되는 샘플링스위치(9a...)의 입력단자에 이르기까지 각각의 분할영상신호선(18)에서 임피던스의 변동이 클 경우에는 오동작이 발생할 수 있다. 영상신호의 경우, 화소 근방에서 신호레벨의 변동을 $\pm 1/32$ 이하로 억제하는 불균일 표시조건을 억제하는 방법이 어느 정도는 유효하고, 이에따라 기본적으로 접속패드(19)로부터 각각의 샘플링스위치(9a...)까지의 임피던스의 변동 δR 을 $\delta R < \pm 3.1\%$ 로 유지하도록 한정하는 것이 바람직하다.

따라서, 본 실시예에서는, 제8도에 도시된 바와 같이, 분할영상신호선(18)의 메인 신호선 부분(81a)의 분기점(q, q')이 접속패드(19)에서 멀어질수록, 이 분기점에서 분기된 분기신호선 부분(18a', 18a...)의 선포가 커진다. 즉, 접속패드(19)에서 멀리 떨어진 지점에서 신호선이 분기할수록, 배선저항을 낮게 설정하여, 접속패드(19)에서 각각의 샘플링스위치(9a...)까지의 임피던스를 일정하게 하여 임피던스의 변화를 제어한다. 여기서, 샘플링스위치(9a)를 3개 이상의 스위치 그룹으로 분할한 경우의 분할영상신호선(18)의 형태를 도면상에 파단선으로 도시하였다. 이 경우, 분기점(q, q')보다 접속패드(19)에서 더 멀리 있는 분기점(q')의 분기신호선(18a')은 분기점(q')에서 분기된 분기신호선(18a)보다 폭이 넓도록 형성된다.

이어서, 제9도의 파형도를 참조하여 상기 구성을 갖는 데이터 드라이버(6)의 동작을 설명한다. 도면중의 k와 m은 k번째 및 m번째 라인상의 데이터 신호선(4)에 접속된 데이터 드라이버(6)의 각각의 회로부의 신호들을 의미하며, K와 L은 K번째 및 L번째 라인상의 주사신호선(3)에 접속된 주사 드라이버(5)의 각 회로부의 신호들을 의미한다.

샘플링신호 발생회로부(8)에서 샘플링신호들이 순차적으로 출력되고, 이 샘플링신호가 “H” 상태에 있을 때 각각의 샘플링스위치(9a...)는 순차적으로 ON되며, 영상신호의 정보가 각각의 샘플링 커패시터(9b...)에 저장된다. 이 경우, 영상신호는 각각의 분할영상신호선(18...)을 통해 입력되므로, 대역 특성을 변화시키지 않고 샘플링 커패시터(9b...)에 저장된다. 또, 이때, 각각의 트랜스퍼 스위치(10a...)가 OFF된다. 이후, 소정의 샘플링 시간이 경과한 뒤, 샘플링 신호들은 “L” 상태에 있다. 그 결과, 샘플링스위치(9a...)가 순차적으로 재차 OFF된다. 모든 데이터신호선(4)의 샘플링이 완료된 후, 트랜스퍼 스위치(10a...)에 입력될 트랜스퍼 신호가 “H” 상태에 있을 때, 트랜스퍼 스위치들(10...)이 동시에 ON되어 각각의 샘플링 커패시터들(9b...)에 저장된 정보가 각각의 홀드 커패시터(10b...)로 전송된다. 이후, 소정의 트랜스퍼 기간이 경과된 뒤, 트랜스퍼 신호는 “L” 상태에 있고, 각각의 트랜스퍼 스위치(10a...)가 동시에 OFF된다.

그 결과, 각각의 홀드 커패시터(10b...)에 저장된 정보가 1 수평기간중에 버퍼회로부(11)를 통해 각각의 데이터신호선(4)으로 출력된다.

이때, 주사 드라이버(5)에서 출력된 주사신호(게이트신호)는 트랜스퍼 신호와 거의 동시에 “H” 상태에 있고, TFT(16)가 ON된다. 그 결과, 이 데이터가 화소에 기록되어 표시가 불균일하지 않은 양호한 화질로 표시된다.

이상 설명한 바와 같이, 본 실시예의 액정표시장치에서는 데이터 드라이버(6)의 구성회로인 샘플링회로부(9)내의 복수의 샘플링스위치(9a...)에 영상신호를 입력하는 영상신호선이 여러개로 분할되어 접속패드에 일단부가 접속되어 있는 분할영상신호선(18)을 형성하기 때문에, 영상신호선의 길이가 종래보다 짧아지고 이렇게 짧은 신호선을 통해 각각의 샘플링스위치(9a...)에 신호가 입력된다. 이 때문에 영상신호선의 임피던스의 증가가 억제되고 낮아진다. 그 결과, 영상신호선을 통과하는 영상신호의 대역 특성이 거의 변화하지 않으므로, 화면의 좌단과 우단 사이에 화질의 차이가 없어서 균일한 표시가 행해진다.

또 본 실시예에서, 분할영상신호선(18)을 접속한 접속패드(19)는 패드(19)의 기판 단부에 평행한 방향의 단자폭(h)이 기판 단부에 수직 방향의 단자폭(v)보다 큰 $h < v$ 의 관계에 있도록 설정되므로, 플렉시블 기판(30)과의 접속 면적이 커진다. 따라서, 임피던스를 낮추기 위해 영상신호선을 여러개로 분할하여, 결과적으로 플렉시블 기판(30)과의 인터페이스 수가 증가한다 해도, 접속 신뢰성이 저하되지 않는다. 즉, 제

10도에 도시된 바와같이, 영상신호선이 여러개로 분할된 구성만으로도, 예컨대 임피던스를 낮추기 위해 더 여러번 분할할 경우, 개별적으로 설치된 접속패드의 개수가 증가하여, 플렉시블 기판(30)과의 인터페이스 갯수가 증가한다. 그 결과, 접속 신뢰성이 저하되고, 드라이버 모노리딕 방식을 채용하는 이점이 없 어지지만, 상술한 구성에서는 그러한 문제점이 없다.

또, 본 실시예에서는, 분할신호선(18)의 메인 신호선 부분(18a)에서 분기신호선 구간(18a', 18a')이 분기 되는 분기점(q, q')이 접속패드(19)에서 멀어질수록, 분기신호선 부분(18a', 18a')의 선폭이 커진다. 그 결과, 각각의 샘플링스위치(9a)에 대한 접속패드(19)의 임피던스가 일정하게 유지되므로 임피던스의 변화를 제어할 수 있다. 이렇게 되면, 접속패드(19)에서 각 샘플링스위치(9a)의 입력단자까지의 신호선의 임피던 스의 변화로 인한 회로의 오동작을 억제하여, 표시특성의 향상이 가능하다.

여기서, 이 목적을 달성하기 위해, 본 실시예의 수단 이외에도, 예컨대 제11도에 도시된 바와 같이, 분기 신호선 부분(18a')의 선폭은 변화시키지 않고 신호선 부분(18a)이 접속패드(19)에서 멀어질수록 그 선폭 이 커지도록 메인 신호선 부분(18a)을 형성한다. 또, 제12도에 도시된 바와같이, 분할 영상신호선(18)의 길이에서의 저항의 차이가 약 $\delta R < \pm 3.1\%$ 정도 되도록 일정하게 구성할 수도 있다. 또, 각 영상신호선 (18)의 막 두께를 변화시킬 수도 있는데, 이들 방법을 상황에 따라 사용할 필요가 있다. 각 영상신호선 (18)의 형태는 도면에 도시된 것에 한정되지 않고, 제8도에 도시된 바와같이, 도면중에 파단선으로 표시 된 부분은 샘플링스위치(9a)를 3개씩 그룹지은 경우의 분할 영상신호선(18)의 형태를 보여준다.

또, 제1도에 있어서는, 접속패드(19)에 접속된 신호입력단자와 각 샘플링스위치(9a) 사이의 거리, 예컨대 영상신호선의 분기점(d)과 샘플링스위치(9a₁) 사이의 거리가 분기점(d)과 샘플링스위치(9a₂) 사이의 거리 와는 다르다고 표시되어 있지만, 이것은 배선도상의 문제이다. 제13도에 도시된 바와 같이, 영상신호선의 분기점(d')과 샘플링스위치(9a₁) 사이의 거리는 동 분기점(d')과 샘플링스위치(9a₂) 사이의 거리와 같다. 요컨대, 본 발명에서, 분기점(d')과 샘플링스위치(9a₁) 사이의 임피던스와 동 분기점(d')과 샘플링스위치 (9a₂) 사이의 임피던스가 동일하도록 구성된다.

또, 본 발명에서는 접속패드(19)를 기판(2)의 단부에 걸쳐 형성했지만 이것에 한정되지는 않고, 예컨대 제14도에 도시된 바와 같이, 복수의 접속패드(19')를 형성할 수도 있다. 기판의 모서리를 따라 형성된 접 속패드(19)는, 이 패드 형성영역에 다른 신호가 입력될 수 없는 등의 결점, 또는 면적이 넓은 패드의 경 우에 가열, 냉각 공정에서 패드의 팽창이나 수축으로 인해 크랙 등이 발생할 위험성이 있을 수 있다. 그 러나, 분할 방식으로 패드를 형성하면 이런 문제점을 해결할 수 있다. 이 경우, 외부와의 인터페이스의 수는 증가하지만, 제10도에 도시된 구성과는 달리, 접속부의 면적이 확대되어, 접속신뢰성이 저하되지 않 는다.

본 실시예에서는 영상신호선을 분할하는 구성을 예시하였지만, 본 발명은 이것에 한정되지 않으며, 예컨 대 다른 신호선이나 전원선도 분할할 수 있다. 또, 본 방법은 입력신호선은 물론 출력신호선에도 적용할 수 있다.

또, 본 실시예는 영상표시장치(특히, 액정표시장치)에 대해 설명하였지만, 본 발명은 이것에 한정되지 않 으며, 역시 반도체 능동소자를 갖는 능동소자회로와, 능동소자회로에 전력을 공급하는 전원선 등의 긴 전 기도통 라인이 하나의 기판상에 배치되어 있는 모든 반도체 장치에 적용할 수 있다.

이상과 같이, 반도체 장치는, 기판; 상기 기판상에 형성되고, 복수의 입력단자를 가지며, 반도체 능동소 자를 포함하는 능동소자회로; 상기 기판상의 단부 부근에 형성되고, 반도체 장치와는 별도의 외부회로와 전기적으로 접속되는 외부 접속단자; 및 상기 기판상에 형성되고, 상기 능동소자회로의 각 입력단자와 상 기 외부 접속단자 사이를 전기적으로 접속하는 전기도통 라인;을 포함하고, 상기 전기도통 라인은 배선저 항이 소정치 이하인 복수의 분할 라인으로 구성된다.

이런 구성에서는, 신호선이나 전원선 등의 전기도통 라인의 길이가 짧아지기 때문에, 배선저항을 낮추어, 신호레벨의 변동이나 전원전력의 저하를 제어할 수 있다. 그 결과, 상기 반도체 장치가 액정표시장치 등 의 화상표시장치인 경우에는 표시특성을 향상시킬 수 있다.

이런 구성의 본 실시예의 반도체 장치는, 상기 접속단자가 기판의 단부를 따라 형성되고, 기판 단부에 평 행한 방향의 단자폭이 기판단부와 직교하는 방향의 단자폭보다 크도록 구성된다.

이렇게 되면, 신호선이나 전원선 등의 전기도통 라인을 여러개로 분할해도, 본 장치와 외부 회로기판과의 접속 신뢰성이 저하되지 않는다.

이런 구성에서, 화상표시장치인 반도체 장치는, 상기 외부 접속단자로부터 상기 능동소자회로의 각 입력 단자까지의 배선저항의 변화가 배선저항의 평균치에 대해 $\pm 3.1\%$ 의 범위내에 있도록 각각의 분할선을 형 성한다. 이것에 의해, 각 라인의 배선저항을 상기 범위내에 있도록 조정하면, 부정규 표시가 보이지 않아 표시특성이 향상된다.

다음에, 제2실시예로서, 시프트 레지스터 회로 S에 스타트신호를 입력하는 클럭신호선이나 스타트신호선 을 분할한 구성에 대해 설명한다.

[제2실시예]

이하, 제15, 16도를 참조하여 본 발명의 제2실시예에 대해 설명한다.

설명에 편의상, 상술한 제1실시예에서 설명한 부재와 동일한 기능을 갖는 부재에는 동일한 도면 부호를 부기하고, 그 설명을 생략한다.

상술한 실시예에서는 영상신호선을 분할하였지만, 화상표시장치로서의 본 실시예의 액정표시장치에는 제 15도와 같이, 영상신호선은 종래대로 형성하고, 시프트 레지스터 회로(S...)에 스타트 신호를 입력하는 클 러크신호선이나 스타트신호선을 분할된 클럭신호선(20...)이나 분할된 스타트신호선(20...)으로 분할한다. 여 기서, 각각의 분할 클럭신호선(20...)이나 분할 스타트신호선(20...)의 일단은 접속패드(19)에 접속된다.

이렇게 하여, 클럭신호선이나 스타트신호선을 분할되게 구성한 경우, 제16도에 도시된 바와 같이, 신호입력 단자에서 멀리 떨어져있는 n 단계상의 시프트 레지스터 회로 S_n 과 m 단계상의 시프트 레지스터 회로 S_m 에 관해 b' 와 c' 로 표시된 각각의 파형을 원래 파형 b , c 에 가깝게 할 수 있다. 이때, 드라이버 회로의 구성에 따라 스타트신호선을 분할한 경우, 각각의 분할회로에 대한 스타트펄스의 위상을 조정해야한다.

그 결과, 샘플링신호에 위상의 변화가 생기지 않아 표시특성이 향상된다.

[제3실시예]

이하, 제17~25도를 참조하여 본 발명의 제3실시예에 대해 설명한다.

역시, 설명의 편의상 앞의 실시예에서 설명된 부재와 동일한 기능을 갖는 부재에는 동일한 도면 부호를 부기하고 그 설명을 생략한다.

화상표시장치인 본 실시예의 액정표시장치에서는, 제17도에 도시된 바와 같이, 스타트신호선(또는 클럭신호선), 영상신호선 및 전원선을 여러개로 분할하여 분할 스타트신호선(또는 분할 클럭신호선; 20...), 분할 영상신호선(18...) 및 분할 전원선(21...)을 형성한다.

복수의 배선으로 만든 경우에는, 제18도에 도시된 바와 같이, 각각의 신호선(20..., 18..., 21...)과 전원선용의 접속패드(19...)를 기판(2)의 모서리를 따라 횡방향으로 배열할 수 있다. 그러나, 본 실시예에서는, 제19도와 같이 각각의 패드가 기판 외주에서부터 안쪽으로 나란히 배치되고, 각 기판 내부로의 선의 인출은 가장 안쪽에 배치된 라인을 제외하고는 콘택트홀(contact hole)등을 통해 행해진다. 그러나, 콘택트홀을 기판의 가장 안쪽 모서리에 배치한 라인에 사용할 수도 있다. 이 방법에 의하면, 제18도의 구성의 분할수를 어느정도 이상까지 증가시킬 수 있고, 기판상의 각 신호선(20, 18, 21)과 전원선의 배선이 복잡해지는 결점을 해결할 수 있다.

또, 모든 신호선과 전원선의 임피던스를 낮출 필요가 없는 경우에는, 제22도와 같이, 임피던스가 낮은 장방형 접속패드(19, 19) 사이에 폭이 좁은 통상의 접속패드(20, 20)를 배치하는 구성, 제23도와 같이 임피던스가 낮은 접속패드(19) 내부에 폭이 좁은 통상의 접속패드(20)를 배치하는 구성, 제23도의 반대의 구성 또는 이들 구성을 조합한 구성을 채택해도 된다.

인접하는 분할선용 접속패드(19, 19)에 같은 종류의 신호선을 사용할 필요는 없다. 예컨대, 제24(a)도에 도시된 바와 같이, 스타트신호선용의 접속패드(F)에 인접되게, 스타트신호선용의 접속패드(E)와 전원선용의 접속패드(G)를 형성해도 좋다. 또, 복수의 접속패드(19...)를 기판 모서리를 따라 복수의 행으로 배열할 경우, 제24(a)도의 접속패드(E, F)와 같이 각 열의 접속패드(19, 19)를 나란히 배열하지 않고, 제24(b)도의 접속패드(E, F)와 같이 접속패드(19, 19)를 지그재그 형태로 배열해도 좋다.

또, 각 접속패드(19..., 20...)의 기판 안쪽의 층도 상술한 바와같이 1 내지 3층에 한정되지 않으며, 그 이상의 층을 사용할 수도 있다. 층 패드 수도 각 위치마다 항상 일정하지는 않으며, 그 배치도 임의적이다. 또, 기판 내측에 형성된 각 신호선의 이합집산도 임의적이고, 기판 주변에 배치된 각 접속패드(19..., 20...)도 기판 모서리에 접촉되거나 떨어져도 된다.

접속패드(19)의 형상은, 제25(a)도에 도시된 바와 같이 장방형이거나, 제25(b)도에 도시된 바와같이 원형이다. 또, 접속패드(19)로부터의 각각의 분할 영상신호선(18)의 배선 형상도 임의적이어서; 제25(c)도와 같이 장방형이거나, 제25(d)도와 같이 원형이거나, 제25(e)도와 같이 테이퍼형이다.

이상과 같이, 본 실시예에 따른 반도체 장치는, 복수의 접속단자가 기판상에 존재하고, 상기 복수의 접속단자가 기판 모서리에서 안쪽을 향해 병렬로 배열된 구성으로 되어있다. 이렇게 되면, 기판 모서리상의 한정된 영역을 잘 이용할 수 있고 신호선이나 전원선의 분할수를 늘릴 수 있다. 이 경우, 분할 신호선이나 전원선이 복잡하게 뒤섞이지 않는다.

상기 제1실시예 내지 제3실시예에서는 액정표시장치의 구동부를 예로들어 설명하였지만, 전술한 회로부는 구동부에 한정되지 않으며 화상표시장치도 액정표시장치에 한정되지 않는다. 따라서, 다른 회로나 표시장치, 예컨대, 회로부로서는 스타일러스 펜의 입력신호를 취급하는 회로를, 표시장치로서는 플라즈마 표시장치나 EL(Electro Luminescent) 등을 이용해도 좋다.

[제4실시예]

이하, 제26 내지 제40도를 참조하여 본 발명의 제4실시예를 설명한다. 역시, 본 실시예에서도 반도체 장치의 일례로 화상표시장치를 예로들어 설명한다.

본 실시예의 화상표시장치로서의 액정표시장치는, 액티브매트릭스형 점순차 주사방식을 채용하고 능동소자를 갖는다. 이 액정표시장치에서, 동일한 기판상에 화상표시부가 마련된 회로수단은 화상표시부를 구동하는 구동회로 기능을 한다. 제26도에 도시된 바와같이, 이 액정표시장치는 도시되지 않은 액정표시패널을 구동하는 드라이버 회로(201)의 전단계에서 응답성 개선회로(202)(파형 개선신호 생성회로)를 갖는다.

상기 응답성 개선회로(202)는, 제27(a)도에 도시된 펄스형의 기본 신호성분으로서 원래의 CLP로부터 제27(b)도에 도시된 파형 열화 대응 신호성분으로서의 응답성 개선신호를 생성하는 미분회로(203)와, 원래의 CLP에 상기 응답성 개선신호를 가산, 다시말해 응답성 개선신호와 원래의 CLP 신호를 혼합하여 제27(c)도에 도시된 파형개선 신호로서의 개선 클럭신호(이하, 개선 CLP라 한다)를 생성하는 가산기(204)를 갖는다. 상기 미분회로(203)는 예컨대 제28도에 도시된 저항 R_1 , 커패시터 C_1 으로 구성된다. 널리 알려진 대로, 이 미분회로(203)에서 출력된 응답성 개선신호의 펄스폭(t)은 R_1 과 C_1 의 곱($t=R_1C_1$), 즉 미분회로(203)의 시정수로 결정된다(제28(b)도 참조).

응답성 개선회로(202)의 배치위치가 드라이버 회로(201)에 근접하는 것이 개선 CLP의 파형 열화를 방지하는데 좋지만, 어느정도 내에서는 응답성 개선회로(202)를 반드시 클럭신호 발생회로(206)와 드라이버 회로(201) 사이에 배치할 필요는 없다.

제29도에 도시된 바와 같이, 가산기(204)는 예컨대 한 개의 연산증폭기 OP_1 , 4개의 저항 R_2 및 한 개의 저항 R_3 로 구성된다. 저항 R_3 는 $R_3=R_2/2$ 의 관계로 구해진다. 이 회로에서, 연산 증폭기 OP_1 의 반전 입력단자의 입력전압이 V^- 이면, 비반전 입력단자의 입력전압은 V^+ 이고, 입력 단자 a, b의 입력전압은 각각 V_a , V_b 이며, 출력단자 c의 출력전압은 V_c 이며, 다음과 같은 관계식이 성립한다.

$$V^+ = (R_2/3)(V_a/R_2 + V_b/R_2) = (V_a + V_b)/3$$

$$V^- = \{V_c/(R_2/2 + R_2)\}R_2/2 = V_c/3$$

$$V^+ = V^-$$

따라서, $V_c = V_a + V_b$ 이다.

가산기는 본 실시예의 것에 한정되지 않고, 다른 구성을 가질 수도 있다.

개선 CLP는, 제30도에 굵은선으로 표시된 것과 같이, 하이/로(1/0)의 값을 갖는 기본 신호성분 S_s , 원래의 CLP의 상승부와 하강부에 각각 추가되는 가는 선으로 도시된 오버슈트 성분 S_o 와 언더슈트 성분 S_u 를 갖는다.

드라이버 회로(201)는 제31도의 구성과 같은 데이터 드라이버이고 시프트 레지스터(211)와 샘플링회로(212)를 포함한다. 드라이버 회로(201)는 액정표시패널의 화소부가 형성된 기판과 동일한 유리기판에 형성된다. 개선 CLP와 스타트펄스(이하, STP라 한다)는 시프트 레지스터(211)에 입력된다.

시프트 레지스터(211)는 일반적으로 CLP의 상승 또는 하강 타이밍에서 STP를 시프트한다. 이때, 시프트 레지스터(211)는 개선 CLP의 상승부에서 시프트 동작을 수행해야만 한다.

이상과 같이, 시프트 레지스터(211)에 입력된 제27(c)도의 개선 CLP에 관해서, 드라이버 회로(201)의 배선저항이나 기생용량에 따라 상승부가 둔화(변형)된다. 그러나, 오버슈트 성분 S_o 가 미리 개선 CLP에 추가되기때문에, 개선 CLP의 파형 열화가 방지되고 상승의 지연이 거의 발생하지 않는다. 또, 기생용량의 영향이 크다면, 이에따라 오버슈트 성분의 비를 크게하여 상승의 지연을 확실히 해소할 수 있다.

드라이버에서의 출력 횟수가 N 이면, 1 수평주사기간의 데이터의 샘플링을 개시하는 STP가 입력되어 샘플링펄스 $C_1 \sim C_N$ 이 개선 CLP의 타이밍에 따라 시프트 레지스터(211)의 각 출력부에서 출력된다. 시프트 레지스터(211)에서 출력되는 샘플링펄스 $C_1 \sim C_N$ 에 의해 샘플링회로(212)에 영상신호가 샘플링되고, 이 신호는 즉각 데이터신호선으로 전송된다.

데이터신호선으로의 데이터의 전송 타이밍에 따라 주사 드라이버에서 주사신호선으로 주사펄스를 인가하면 1수평 주사기간의 데이터가 액정표시패널의 소정의 화소에 공급된다. 이렇게 되면, 액정표시장치가 양질의 화상을 표시할 수 있다.

본 실시예에서, 개선 CLP의 오버슈트 성분 S_o 는 상승부에 있고 언더슈트 성분 S_u 는 하강부에 있다. 그러나, 개선 CLP가 상승할 때만 시프트 레지스터(211)가 시프트 동작을 실행하므로, 하강부에 언더슈트 성분 S_u 는 불필요하다. 반면에, 개선 CLP를 하강시켜 시프트 레지스터(211)가 시프트 동작을 실행한다면, 하강부의 언더슈트 성분 S_u 만이 필요할 것이다.

또, 본 실시예에서는 응답성 개선회로(202)의 클럭신호 발생회로에서 출력된 원래의 CLP에 응답성 개선신호를 추가했지만, 클럭신호 발생회로(206)로부터 응답성 개선신호가 추가되는 개선 CLP를 출력해도 좋다. 즉, 클럭신호 발생회로(206)내에 응답성 개선회로(202)가 있어도 좋다.

또, 제32도에 도시된 바와 같이, 개선 CLP를 만들기 위해, 미분에 의해 개선 CLP로 되는 원래의 CLP는 클럭신호 발생회로(206)에서 생성될 수도 있고 미분회로(203)에서 처리될 수도 있다.

개선 CLP를 만들기위해, 원래의 CLP의 상승부와 하강부에 응답성 개선신호로서 미분신호를 추가했지만, 원래의 CLP와 동기관계에 있는 다른 응답성 개선신호, 예컨대 제33(a)도에 도시된 정현파형 응답성 개선신호나 제33(b)도에 도시된 펄스형 응답성 개선신호를 추가해도 좋다. 또, 응답성 개선신호로서, 삼각형이나 사다리꼴의 파형을 추가해도 좋다. 이런 응답성 개선신호는, 본래의 CLP의 상승부와 하강부는 물론, 제33(c)도에 도시된 바와같이 이들에서 약간 떨어진 위치에 추가해도 좋다. 또, 제33(d)도에 도시된 바와같이, 개선 CLP에 관해서, 상승부와 하강부 사이에 2개의 응답성 개선신호를 추가해도 좋다. 여기서, 나쁜 효과가 발생하면, 즉 상승 특성에서의 개선이 하강 특성에 영향을 주거나, 반대로 하강 특성에서의 개선이 상승 특성에 영향을 주면, 응답성 개선신호의 위치를 원래의 CLP의 상승부와 하강부 사이, 즉 1/2 위치보다 앞에 잡는 것이 바람직하다.

이상의 상황을 고려하여, 개선 CLP와 같은 파형개선신호는 다음과 같은 조건을 충족해야한다. 제30도에 도시된 바와같이, 원래의 CLP인 기본신호에 대응하는 성분의 최대 진폭이 v 이고 기본신호 특성이 개선된 부분의 최대진폭이 V 일 경우, 다음 관계식이 성립한다.

$$|v| < |V|$$

기본 신호성분의 주파수가 f 이고 응답성 개선신호의 주파수가 F 이면 다음 관계식이 성립한다.

$$f \leq F$$

다시말해, $|v| < |V|$ 이면, 응답성 개선신호는 원래 CLP에 대해 검출할 수 있는 성분으로 된다. 또, 관계식 $f \leq F$ 이면 응답성 개선신호를 원래의 CLP에 적절히 추가할 수 있다.

또, 미분회로(203)는 구성이 간단하므로, 이것을 사용하면 회로의 구성을 간소화할 수 있다. 제26도에 도

시된 구성은 제32도의 구성보다 약간 더 복잡하다. 그러나, 응답성 개선신호가 미분회로(203)에 의해 생성되고 원래의 CLP에 부가되어 개선 CLP를 생성하므로, 응답성 개선신호를 더 적절하게 형성할 수 있다.

이상과 같이, 캐리어 이동도가 높은 복수의 능동소자들을 액정표시장치에 사용하고, 캐리어 이동도 μ 가 $5\text{cm}^2/\text{V} \cdot \text{sec}$ 이상 ($\mu \geq 5\text{cm}^2/\text{V} \cdot \text{sec}$)인 다결정실리콘 박막트랜지스터(이하, p-SiTFT라 한다)를 액정표시장치에 능동소자로 사용하며, 액정표시패널을 화면을 형성하는 유리기판에 드라이버 회로(201)를 모노리딕하게 형성한다.

본 실시예의 구성에서는 개선 CLP가 원래의 CLP에 응답성 개선신호를 부가하여 생성되지만, 이런 구성은, 예컨대 개선 CLP와 마찬가지로 H/L(1/0)의 2개 값을 갖는 스타트펄스, 다른 데이터신호, 다단조(multi-gradation)로서 여러 값을 갖는 영상신호에도 마찬가지로 적용될 수 있다. 이것은 후술하는 다른 실시예에도 적용할 수 있다.

이상과 같이, 본 실시예의 반도체 장치는, 기판; 상기 기판상에 형성되고, 반도체능동소자를 포함하는 능동소자회로; 상기 기판상에 형성되고, 반도체 장치의 외부에서 입력된 적어도 2개의 값을 취하는 기본신호를 상기 능동소자회로에 전송하는 신호선; 상기 신호선에서 전송된 기본신호에 파형열화 대응 신호성분을 부가하여 구해진 파형개선신호를 생성하고, 이 파형개선신호를 상기 능동소자회로에 공급하는 파형개선신호 생성회로;를 포함하고, 상기 파형개선신호 생성회로에서 기본 신호성분의 최대진폭을 v , 파형열화 대응신호 성분을 포함한 부분의 최대진폭을 V , 기본신호성분의 주파수를 f , 파형열화 대응 신호성분의 주파수를 F 라 할 때,

(1) $|v| < |V|$; 및,

(2) $f \leq F$

의 관계식이 성립하는 구성으로 된다.

이런 구성에서는, 신호선에서 전송되는 기본신호의 지연을 방지할 수 있어, 능동소자회로의 오동작을 피할 수 있다. 상기 반도체장치가 액정표시장치등의 화상표시장치인 경우, 예컨대, 샘플링펄스의 타이밍 지연을 방지할 수 있으므로, 정규의 타이밍에서 원하는 영상신호를 샘플링할 수 있다. 그 결과, 양호한 화상을 표시할 수 있다.

또, 본 실시예의 반도체장치는, 상기 파형개선신호 생성회로가 외부에서 입력된 기본신호를 미분하여 파형개선신호를 생성하는 미분회로라는 특징을 갖는다. 이 때문에 구성을 간소화할 수 있다.

또, 본 실시예의 반도체장치는, 상기 파형개선신호 생성회로가, 파형열화 대응신호를 생성하는 파형열화 대응신호 생성수단; 및 상기 파형열화 대응신호 생성수단에 의해 생성된 파형열화 대응신호와 외부에서 입력된 기본신호를 가산하는 가산수단;을 포함하는 것을 특징으로 한다. 이렇게 되면, 파형열화 대응신호를 독립된 상태로 적절하게 형성할 수 있어 원하는 파형개선신호를 양호하게 형성할 수 있다. 반도체장치가 화상표시 장치인 경우에는, 예컨대 영상신호를 적절히 샘플링하여, 양호한 화상을 표시할 수 있다.

[제5실시예]

이하, 제34 내지 37도를 참조하여 본 발명의 제5실시예에 대해 설명한다.

역시, 설명의 편의상, 상술한 실시예에서 설명한 부재와 동일한 기능을 갖는 부재에는 동일한 도면 부호를 부기하고, 그 설명을 생략한다.

제34도에 도시된 바와같이, 액정표시패널의 화면을 형성하는 유리기판상에 데이터 드라이버인 드라이버 회로(201)를 배치한다. 이 드라이버 회로(201)는 위상특성 개선회로로서 미분회로(203)를 갖는다. 이 미분회로(203)는 N번째 단계의 시프트 레지스터(211)의 모든 전단계에 제공된다.

이런 구성에서, 클럭신호 발생회로(도시안됨)에서 출력된 원래 CLP(source CLP)에 있어서는, 제35(a)도에 도시된 파형은 드라이버 회로(1)내의 배선저항이나 기생용량에 의해 상승부와 하강부가 둔화되어 제35(b)도에 도시된 파형으로 변형된다. 요컨대, 파형의 열화가 생긴 원래의 CLP가 미분회로(203)로 입력된다. 제35(c)도에 도시된 바와같이, 원래의 CLP는 상승부와 하강부가 급변하는 파형이다. 따라서, 상승지연과 하강지연이 보상되어, 액정 표시장치가 양호한 표시를 행할 수 있다.

위의 구성에서는 미분회로(203)를 N번째 단계의 시프트 레지스터(211)의 모든 앞단계에 배치하였지만, 제36도에 도시된 바와같이, CLP의 공급선이 N번째 단계의 시프트 레지스터(211)에 대응하여 분기되는 단계의 앞 단계에 하나의 미분회로(203)를 배치해도 좋다. 또, 제37도에 도시된 바와같이, 시프트 레지스터(211)로 가는 도중, 즉, 뒷쪽 단계로 가는 도중에 있는 전달펄스 자체를 미분회로(203)에서 처리하여 응답성을 개선해도 좋다.

본 실시예의 반도체장치는, 기판; 상기 기판상에 형성되고, 반도체 능동소자를 포함하는 능동소자회로; 및 상기 기판상에 형성되고, 반도체 장치의 외부에서 입력된 입력신호를 상기 능동소자회로에 전송하는 신호선;을 포함하고, 상기 능동소자회로는, 상기 입력신호에 대해, 파형열화에 의해 열화된 회로동작의 지표로 되는 신호성분의 위상특성을 보상하는 위상특성 개선회로를 포함한다. 제4실시예의 구성, 즉, 파형열화에 의한 열화를 방지하는 파형열화 대응신호성분을 미리 입력신호에 설정하는 구성과 비교하면, 상기 입력신호의 열화를 방지하기가 더 쉽다.

또, 본 실시예의 반도체장치는, 상기 위상특성 개선회로가 미분회로인 것을 특징으로 한다. 이 때문에 회로구성을 간소화할 수 있다.

[제6실시예]

이하, 제38 내지 40도를 참조하여, 본 발명의 제6실시예에 대해 설명한다.

역시, 설명의 편의상, 앞의 실시예에서 설명한 부재와 동일한 기능을 갖는 부재에는 동일한 기능을 갖는

부재에는 동일한 도면 부호를 부기하고 그 설명을 생략한다.

제38도에 도시된 바와같이, 이 액정표시장치는 데이터 드라이버인 드라이버 회로(201)내의 N 단계의 시프트 레지스터(211)의 모든 앞 단계에서 개선신호 삼입회로(231)를 갖는다. 이 개선신호 삼입회로(231)에는, 제39(c)도의 파형열화에 대응하는 신호성분으로서 개선신호 발생회로(232)에서 출력된 응답성 개선신호와, 클럭신호 발생회로(도시안됨)에서 출력된 원래의 CLP가 입력된다. 개선신호 발생회로(232)와 개선신호 삼입회로(231)는 파형개선회로를 구성한다. 개선신호 삼입회로(231)에는, 예컨대 제29도의 가산기(204)가 있으므로, 원래의 CLP에 응답성 개선신호를 가산하여 시프트 레지스터(211)로 출력한다.

상기의 구성에서는, 드라이버 회로(201)내의 배선저항과 기생용량에 의해 상승부와 하강부에서 생기는 파형의 열화가 발생하므로 클럭신호 발생회로에서 출력된 원래 CLP인 제39(a)도의 파형이 제39(b)도의 파형으로 변형된 뒤에, 원래의 CLP는 개선신호 삼입회로(231)로 입력된다. 개선신호 삼입회로(231)에서는, 개선 신호 발생회로(232)에서 입력된 제39(c)도의 응답성 개선 신호가 입력신호에 가산되어 제39(d)도의 개선 CLP가 생성된다. 이 개선 CLP는 시프트 레지스터(211)로 출력된다. 개선 CLP의 상승부와 하강부가 급변하므로써, 시프트 레지스터(211)의 응답성이 개선된다.

또, 응답성 개선신호의 펄스폭을 T, 유리기판상에 형성된 드라이버 회로(201)의 동작주파수를 f라 하면, 펄스폭은 다음 관계식에서 구해진다.

$$T < 1/f$$

따라서, 예컨대, 제39(e)도의 원래 CLP의 미분신호 역시 응답성 개선신호로 사용된다. 다시말해, 개선 CLP의 상승부와 하강부의 급변성을 개선하기만 하면 이 신호를 응답성 개선신호로 사용할 수 있으므로, 예컨대 정현파도 적용할 수 있다.

또, 제39(c)도의 응답성 개선신호가 발생된 경우에는, 개선신호 발생회로(232)가 주지의 펄스신호 발생회로로 구성된다. 제39(e)도의 응답성 개선신호가 발생된 경우에는, 개선신호 발생회로(232)가 미분회로나 멀티바이브레이터로 구성된다. 또, 응답성 개선신호가 정현파인 경우에는, 개선신호 발생회로(232)가 정현파 신호발생회로나 발진회로로 구성된다.

또, 응답성 개선신호의 진폭 V_T 와 본래의 CLP의 진폭 V_f 사이에는 다음과 같은 관계식이 성립한다.

$$|V_T| > |V_f|$$

응답성 개선신호를 증폭하는 수단과 같은 레벨조정수단은 불필요하다.

제40도에 도시된 바와같이, 개선신호 삼입회로(231)는 시프트 레지스터(211)로의 원래 CLP의 공급선이 N 단계의 시프트 레지스터(211)에 따라 분기되는 단계의 앞 단계에 제공될 수도 있다.

이상 설명한 바와같이, 본 실시예의 반도체 장치는, 기관; 상기 기관상에 형성되고, 반도체 능동소자를 포함하는 능동소자회로; 상기 기관상에 형성되고, 반도체장치의 외부에서 입력되어 상기 능동소자회로의 동작주파수를 결정하는 기본신호를 상기 능동소자회로에 전송하는 신호선; 및 상기 기본신호에 동작신호를 지정하는 부분에 파형열화 대응신호성분을 부여하는 파형개선회로;를 포함하고, 상기 기본신호에 의해 동작하는 능동소자회로의 동작주파수를 f, 상기 파형열화 대응신호성분의 최소 펄스폭을 T라 할 때,

$$T < 1/f$$

의 관계식이 성립하는 구성으로 된다.

이런 구성에서는 기본신호의 상승부나 하강부 또는 이들 양쪽에서 파형열화를 제어하여 이들의 급변성을 유지함으로써, 위상 시프트를 방지할 수 있다. 따라서, 신호선을 통해 전송된 기본신호의 지연을 방지하여, 능동소자회로의 오동작을 피할 수 있다. 반도체장치가 액정표시장치 등의 화상표시장치인 경우에는, 예컨대 샘플링펄스의 타이밍 지연을 방지하고 원하는 영상신호를 샘플링하여, 양호한 화상을 표시할 수 있다.

상술한 제4 내지 제6실시예에서는, 능동소자회로로서 점순차 주사방식의 데이터 드라이버를 예로 들어 설명하였지만, 본 발명의 구성은 이것을 한정되지 않고, 상승 타이밍이나 하강 타이밍을 필요로 하는 신호에 따라 동작하는 모든 능동소자회로에 적용할 수 있다. 점순차 주사방식을 채택하는 상기 데이터 드라이버 이외에도, 본 발명은, 예컨대 점순차 주사방식을 채택하는 주사 드라이버, 선순차 주사방식을 채택하는 데이터 드라이버, 또는 선순차 주사방식을 채택하는 주사 드라이버에도 적용할 수 있다. 또, 표시부가 형성된 기관상에 스타일러스펜 입력처리부나 2차원 화상 센서 입력 처리부가 형성된 경우에는, 스타일러스펜 입력신호 처리회로나 2차원 화상 센서 입력신호 처리회로에도 본 발명을 적용할 수 있다. 그외, 본 발명은 액정표시 장치를 구성하는 화상처리 장치에 한정되지 않으므로, 전기장 발광 표시장치나 플라즈마 표시장치와 같은 다른 화상표시 장치에도 적용할 수 있다.

또, 유리기판 등의 절연기판이나 절연막이 형성된 반도체 기관상의 캐리어 이동도 μ 가 $5\text{cm}^2/\text{V} \cdot \text{sec}$ 이상인 능동소자를 모노리딕하게 형성하여, 또는 상술한 COG법을 이용한 기관상에 반도체칩을 실장하여 드라이버 회로(201)나 응답성 개선회로(202) 등의 회로를 형성할 수 있다.

제4 내지 제6실시예에서, 회로구성소자 등의 압력을 고려하면, 파형개선신호는 펄스형 신호성분을 가져야 하지만, 저항에 문제가 없을 때는 기본신호를 증폭한 것을 파형개선신호로 해도 좋다. 다시말해, 회로수단의 최고 전압전원을 V_{DD} , 접지부측의 전압인 최저 전원전압을 V_{EE} , 회로수단으로 입력되는 신호의 진폭을 V_{PP} (피크-피크 값)이라고 하면:

$$V_{PP} > |V_{DD} - V_{EE}|$$

의 관계식이 성립한다. 따라서, 간단하고 쉬운 구성으로 상기 입력신호의 파형열화를 억제하여, 파형 개

선의 효과를 얻을 수 있다. 여기서, 결정실리콘 기판상에 구성된 CMOS 반도체에 일반적으로 전원전압보다 높은 전압의 신호를 입력할 수 없다해도, 예컨대 유리기판 등의 절연기판상에 구성된 TFT(박막 트랜지스터)에 있어서는, 반도체기판과 같이 공통기판전위가 존재하지 않기때문에, 전원전압보다 높은 전압이나 전원전압의 최저전위보다 낮은 전압의 신호를 입력하는 경우에도 TFT가 파괴되지 어렵다. 그 결과, 상기 동작이 가능하다.

또, 이렇게 하면, 전원전압보다 높은 전압의 신호나 낮은 전압의 신호를 입력하는 다른 이점으로는, 예컨대 시프트 레지스터를 구성하는 CMOS 구성의 인버터 회로에서도 구성성분의 하나인 트랜지스터의 임계전압에 따라 OFF측 트랜지스터의 관통전류를 억제하여 소비전력을 억제할 수 있다.

[제7실시예]

이하, 제41내지 55도를 참조하여 본 발명의 제7실시예에 대해 설명한다.

본 실시예에 관한 반도체장치의 기본 개념을 제42, 43도에 도시하였다. 본 실시예의 반도체장치에서, 제42도에 도시된 바와같이, 기판(301)상에는 반도체 능동소자(302)와, 반도체 능동소자에 전원전력을 공급하기 위한 전원선(303)이 형성된다. 본 실시예에서는, 기판(301)상의 전원선(303)에 커패시터(C_1, C_2, \dots)가 접속되고, 제43도에 도시된 바와같이, 분포정수회로로 취급되는 전원선의 배선저항과 커패시터(C_1, C_2, \dots)에 의해 CR 회로를 형성한다. 또, 각각의 커패시터의 전원선(303)의 반대측에 있는 전극을 기준전위, 예컨대 접지전위를 유지하여 등가적으로 CR 필터를 형성한다. 그 결과, 전원선(303)에서 생기는 고주파 노이즈가 낮아진다.

여기서, 제42, 43도는 제1실시예에서 설명한 것과 같은 기본 개념만을 도시하였지만, 전원선(303)의 입력 단자수와 전원선의 수를 복수로 하여도 좋고, 전원선(303)마다 전위가 달라도 좋다. 또, C(용량)와 R(저항) 이외의 성분, 예컨대 L(인덕턴스) 성분을 가질 수도 있다. 또, 각각의 커패시터내의 전원선(303)의 반대측에 있는 전극은 접지전위로 유지되지 않고 전원선(303)과는 다른 전원전위를 다시말해 전원선(303)과는 다른 전위를 갖는 전원선을 가질 수도 있다.

제44, 45도는 더 구체적인 개념을 도시한 것이다. 제44도는 전원선(303) 반대측에 선형의 용량형성용 전극(304)이 형성되고 전원선(303)과 이 전극(304) 사이에 용량형성용 유전체(305)가 실장된 실시예를 도시한 것이다. 제45도는 전원선(303) 반대측에 여러개의 용량형성용 전극들이 일정 간격으로 배열된 용량형성용 전극군(304')이 형성되고 이 전극군(304')과 전원선(303) 사이에 용량형성용 유전체(305)가 실장된 실시예를 도시한 것이다. 이들 실시예들에서는, 전원선(303)과 선형의 용량형성용 전극(304) 사이에, 또는 전원선(303)과 용량형성용 전극군(304') 사이에 용량형성용 유전체(305)를 실장하여, 전원선(303)과 용량형성용 전극(304)으로 구성되거나 전원선(303)과 용량형성용 전극군(304')으로 구성된 한쌍의 대향전극으로 용량을 형성한다.

제44, 45도는 기본적인 구성을 도시한 것이고, 전원선(303)과 용량형성용 전극(군)(304 또는 304') 사이의 간격, 즉 용량형성용 유전체(305)의 두께 a는 전체가 일정할 필요는 없고 부분적으로 변해도 좋다. 또, 용량형성용 유전체(305)의 유전율도 부분적으로 달라도 좋다. 그외에, 전원선(303)과 용량형성용 전극(군)(304 또는 304')의 폭과 두께도 일정할 필요는 없고 장소에 따라 달라도 된다. 제42도를 참조하여 설명한 바와같이, 용량형성용 전극(군)(304 또는 304')을 기준전위로 유지할 필요는 없지만, 제45도에 도시된 것과 같이, 이 전극을 여러개로 분할할 경우에는 용량형성용 전극군(304')을 구성하는 각각의 전극의 기준전위를 달리할 수도 있다.

용량형성용 전극(군)의 전위에 대해서는 특별히 설명하지 않았지만, 용량형성용 전극(군)이 기준전위로 유지된다는 가정하에 설명을 지행한다.

제41도는 절연성기판(301)상에 형성된 반도체 능동소자를 포함한 회로에 전력을 공급하는 전원선(303)의 배선의 일 실시예를 도시한 것이다. 이 반도체 장치에서, 반도체층이나 액정층 등으로의 Na^+ 이온등의 침입을 방지하기 위해, 유리기판 등의 반도체 기판(301)상에 플라즈마 CVD 법 등으로 베이스 코팅막(308)을 형성한다.

또, 폴리실리콘(p-Si) 막, 비정질실리콘(a-Si) 막 등의 진성반도체층(i 층)을 LPCVD(저압 CVD) 또는 PECVD(plasma enhanced CVD) 등에 의해 베이스코팅층(308)에 형성한다. 이어서, 반도체층을 사용해 트랜지스터 등의 능동소자를 형성한다. 전원선(303)이 형성된 부분에서는 에칭법 등의 후처리공정으로 반도체층을 제거하므로, 전원선(303)이 형성된 부분을 중점으로 설명을 진행한다.

SiO_2 , SiN_x 등으로 구성된 게이트절연막(309)은 PECVD에 의해 베이스코팅막(308)위에 형성된다.

이어서, 게이트배선과 동시에 전원선(303)을 형성한다. 전원선의 형성은 (1) Al, Nb, Ta, Mo, Cr, Al-Si 또는 이들의 합금을 스퍼터링하거나 증착하여 막을 형성하고, (2) 이렇게 형성된 막을 포토리소그래피 공정으로 패터닝하며, (3) 에칭공정으로 여분의 막을 제거하여 이루어진다.

이후, SiO_2 , SiN_x 등으로 이루어진 용량형성용 유전체에 대응하는 층간 절연막(310)을 PECVD에 의해 전원선(303)상에 형성한다.

또, 층간절연막(310)상의 전원선(303)과 대향하는 부위에 용량형성용 전극(304)을 형성한다. 이 용량형성용 전극(304)은, (1) Al, Nb, Ta, Mo, Cr, Al-Si 또는 이들의 합금을 스퍼터링이나 증착하여 층간절연막(310)상에 막을 형성하고, (2) 이 막을 포토리소그래피 공정으로 패터닝한 뒤, (3) 에칭공정으로 여분의 부분을 제거하여 형성된다. 용량형성용 전극(304)의 배선은 트랜지스터의 소스/드레인의 배선과 동시에 형성되는 것이 효과적이다.

이런 제조방법은 TFT 등의 능동소자의 구성이나 반도체 제조공정의 구성에 따라 적절히 변한다. 예컨대, 게이트전극이 진성반도체층보다 절연기판(301)에 더 가까이 위치하는 구성을 채택할 수도 있다. 이 경우, 게이트 전극으로 Ta를 사용하면, 양극산화법에 의해 Ta_2O_5 로 구성된 산화절연막을 베이스 코팅막(308)으로

형성할 수 있다.

한편, 전원선(303)을 능동소자회로에 접속하면, 때때로 이 전원선(303)이 다른층에 형성된 배선에 접속되는 경우가 생긴다. 이때는, 예컨대 제46도에 도시된 바와같이, 전원선(303)이 다른층의 배선과 콘택트홀(312)을 통해 접촉하는 부분에 전원선(303)과 용량형성용 전극(304)을 서로 시프트하는 방법을 사용할 수 있다. 이런 방법의 예로는, 제47-50도에 도시된 방법들을 고려할 수 있다. 제47도는 용량형성용 전극(304)이 전원선(303)의 접촉영역에 닿지 않게하는 배선의 예이고, 제48도는 이 접촉영역에 대해 전원선(303)을 돌출시킨 예이며, 반대로, 제49도는 전원선(303)의 접촉영역에 대해 용량형성용 전극(304)만을 제거한 예이고, 제50도는 용량형성용 전극(304)이 전원선(303)의 접촉영역을 우회하는 예이다.

또, 여기서는 전원선(303)의 다른층과의 접촉만을 언급하였지만, 용량형성용 전극(304)이 다른층과 접촉하는 경우에도, 상기와 같은 배치가 필요함은 말할나위도 없다.

커패시터를 형성하는 전극들 사이의 간격[즉, 전원선(303)과 용량형성용 전극(304) 사이의 간격]이 커지면, 즉, 충전절연막(310)의 두께가 커지면, 커패시터 용량이 적어지고, CR 필터의 효과 역시 감소된다. 이때는, 제51도와 같이, 전원선(303)과 접속되는 배선(311)과 용량형성용 전극(304)을 동일층에 형성하지 않고, 전원선(303)과 용량형성용 전극(304) 사이의 간격을 전원선(303)과 배선(311) 사이의 간격보다 작게 하는 것이 좋다. 이런 구성을 실현하려면, 전원선(303)을 형성한 뒤에 용량형성용 유전체(305)로서 충전절연막(310a)을 형성하고, 충전절연막(310a) 위에 용량형성용 전극(304)을 형성한 뒤, 그 위에 충전절연막(310b)을 형성하며, 이 위에 배선을 형성한다.

제52도에 도시된 바와같이, 전원선(303)과 용량형성용 전극(304)은 부분적으로 중첩될 수도 있다. 즉 전원선(303) 전체에 커패시터를 형성하지 않고, 부분적으로 형성할 수도 있다. 이런 경우에는, 커패시터가 집중정수(invariably)적으로 형성되기때문에, 예컨대 각각의 중첩부(304a)의 면적과 각각의 중첩부(304a)상의 용량형성용 전극(304)과 전원선(303) 사이의 간격을 조정하여 중첩부(304a)상에 형성된 각각의 커패시터들이 거의 같은 용량을 갖게하여, 소정 주파수의 고주파 노이즈를 집중적으로 제거할 수 있다.

상기 구성에서는 전원선(303)을 용량형성용 전극(304)보다 먼저 형성했고 전원선(303)을 용량형성용 전극(304)보다 기판(301)에 더 가깝게 배치하였지만, 이것에 한정되는 것은 아니다. 따라서, 제53도와 같이, 용량형성용 전극(304)을 먼저 형성한 뒤에, 충전절연막(310)과 전원선(303)을 이 순서대로 형성해도 좋다.

제54도에 도시된 바와같이, 절연막(313)을 통해 서로 대향 배치되는 제1층부(303a)와 제2층부(303b)가 콘택트홀(303c)에서 접속되는 2층 배선구조로 전원선(303)을 형성할 수도 있다. 물론, 용량형성용 전극(304)도 동일한 2층 배선구조를 가질 수 있다.

제55도와 같이, 전원선(303)과 동일층에 용량형성용 전극(304)의 본체부(304b)를 형성하고, 다른 층에 전원선(303)과 부분적으로 중첩하는 용량형성부(304c)를 형성하고, 상기 본체부(304b)와 용량형성부(304c)를 콘택트홀(304d)에서 접속시켜도 좋다. 이 경우에는 용량형성부(304c)와 전원선(303)의 중첩량이 특히 한정되지는 않는다. 예컨대, 용량형성부(304c₁)와 같이, 그 선단부가 전원선(303)에서 돌출하거나, 용량형성부(304c₂)와 같이, 그 선단부가 전원선(303) 안에 있거나, 용량형성부(304c₃)와 같이, 그 선단부가 전원선(303)의 단부와 일치하는 구성도 좋다.

이상의 각 실시예는 단지 본 발명의 기본적 구성일 뿐이므로, 필요하다면 다른 구성을 추가해야한다.

본 발명은 도면에 도시된 구성에 한정되지 않는다. 예컨대, 전원선(303)과 용량형성용 전극(304)의 중첩부를 제55도와 같은 여러 모양으로 할 수도 있다. 또, 전원선(303)과 용량형성용 전극(304)의 레이아웃도 각 도면의 구성을 조합하여 완성할 수도 있다. 전원선(303)과 용량형성용 전극(304)을 반드시 직선 형태로 할 필요는 없고, 곡선형으로 해도 좋다. 용량형성용 전극(304)을 선형으로 하지 않고, 평판형으로 해도 좋다. 커패시터를 전원선(303) 전체에 형성하지 않고 일부분에만 형성해도 좋다.

이상과 같이, 본 실시예의 반도체장치는, 기판(301)상에 반도체 능동소자(302)와 이 능동소자(302)에 전원전압을 공급하는 전원선(303), 적어도 일부분에서 전원선(303)에 대향하도록 배치된 기준전위의 용량형성용 전극(304), 및 대향배치되어 있는 전원선(303)과 용량형성용 전극(304) 사이에 배치된 용량형성용 유전체(305)를 갖는 구성으로 된다.

그 결과, 전원선(303)과 용량형성용 전극(304)을 전극으로 하는 커패시터가 형성되고, 분포정수회로로서 사용되는 전원선(303)의 배선저항과 상기 커패시터에 의해 CR 필터가 형성되어 전원선(303)의 임피던스가 저하된다. 그후, CR 필터, 즉 저역통과필터가, 전원선(303)에 접속된 각각의 반도체 능동소자(302)의 ON/OFF 동작에 수반되는 전류의 변동으로 인한 전압 변동 등과 같이, 전원선(303)에 생기는 고주파 노이즈를 감소시키므로, 신호 레벨의 변동, 오동작, 신호지연 등의 회로의 부정규 동작의 발생을 대폭적으로 저하시킨다.

[제8실시예]

이하, 제56 내지 65도를 참조하여 본 발명의 제8실시예에 대해 설명한다.

설명 편의상, 상기 제7실시예에서 설명한 부재와 동일한 기능을 갖는 부재에는 동일한 도면 부호를 부기하고 그 설명은 생략한다.

제7실시예에서는, 전원선(303)이 형성되어 있는 기판과 동일한 기판상에 용량형성용 전극(304)을 형성해 커패시터를 형성하는 방법에 대해 설명하였지만, 본 실시예에서는 전원선(303)과 용량형성용 전극(304)을 별도의 기판상에 형성하는 방법에 대해 설명한다. 대향배치된 복수의 기판을 갖는 화상표시장치, 특히 능동소자를 사용한 액정표시장치를 예로들어 설명한다.

본 실시예의 반도체장치로서의 액정표시장치는, 제56도와 같이, TFT 등의 반도체 능동소자가 형성된 능동소자 형성기판(321)(제1기판), 이 능동소자 형성기판(321)과 대향배치된 대향전극 형성기판(322)(제2기판, 대향기판), 및 양 기판(321,322) 사이에 주입되는 시일 부재(도시안됨)에 의해

봉입되어 있는 액정(323)을 구비한다. 또, 제56도에 있어서는, 상술한 베이스코팅막, 또는 액정의 배향상태를 제어하는 배향막 등 다른 구성요건에 대해서는 도시하지 않았지만, 상기 각 기판(321, 322)에는 이들 막이 있어야 한다. 이것은 이하의 설명에서도 마찬가지다.

상기 능동소자 형성기판(321)상에는, 유리기판 등의 투명 절연성기판상에 화소부, 데이터 드라이버(화상 표시 제어수단), 주사 드라이버(화상 표시 제어수단)등의 반도체 능동소자를 포함한 회로가 모노리딕하게 형성된다. 상기 반도체 능동소자로는, a-SiTFT 또는 p-SiTFT 등이 고려되지만, 특히 적당한 것은 p-SiTFT 이다.

상기 화소부는 (1) 투명 절연성기판상에 투명도전막으로 된 다수의 띠형의 데이터신호선을 서로 평행하게 형성하고, (2) 이들 데이터신호선과 직교되도록 투명도전막으로 된 다수의 띠형의 주사신호선을 형성하며, (3) 데이터신호선과 주사신호선의 각 교점 부근에 TFT 등의 반도체 능동소자 및 각 반도체 능동소자에 접속되는 투명도전막으로 된 화소전극을 매트릭스형으로 형성하여 이루어진다.

데이터 드라이버는 상기 화소부의 각 데이터신호선과 접속되고, 영상신호로 대표되는 표시용 데이터신호를 샘플링하고 샘플된 표시용 데이터신호를 각각의 데이터 신호선에 전송하는 회로이다.

주사 드라이버는 상기 화소부의 각 주사신호선과 접속되고, 각 주사신호선을 선순차 주사하는 주사신호를 각 주사신호선에 출력하는 회로이다.

상기 대향전극 형성기판(322)상에는, 유리기판 등의 투명 절연성기판상에 상기 각 화소전극과 대향배치되어 각 화소 전극에 대한 공통전극으로 되는 투명도전막으로 구성된 대향전극이 형성된다.

상기 능동소자 형성기판(321)상에는, 외부 전원으로부터 데이터 드라이버와 주사 드라이버로 전력을 공급하는 전원선(303)이 배선되고, 이 전원선(303) 부근에는 SiNx, B, P를 함유한 SiO₂ 막(BPSG: boron-doped phospho-silicate glass), P를 함유한 SiO₂ 막(PSG: phospho-silicate glass) 또는 SiO₂ 막 등의 투명절연막으로 된 보호막(324)이 형성된다.

한편, 상기 대향전극 형성기판(322)상에는, 상기 전원선(303)과 대향하는 위치에 용량형성용 전극(304)이 형성되고, 용량형성용 전극(304)도 상기 보호막(324)과 동일한 구성의 보호막(325)으로 피복된다.

상기 능동소자 형성기판(321)상에 형성된 전원선(303)과 상기 대향전극 형성기판(322)상에 형성된 용량형성용 전극(304) 사이에는 용량형성용 유전체(305)로서 액정(323)을 배치한다. 따라서, 전원선(303), 용량형성용 전극(304) 및 액정(323)에 의해 커패시터가 형성된다.

표시용 액정(323)을 용량형성용 유전체(305)로 사용할 경우, 이 액정(323)이 직류전압의 인가에 의해 열화된다면(전기분해가 생긴다면), 용량형성용 전극(304)의 극성이 전원선(303)에 대해 교류적으로 반전되어야 한다. 그러나, 전원선(303)의 전위를 소정의 진폭으로 주기적으로 변화시키는 액정구동방식을 이용하면, 전원선(303)의 진동전위의 중간 전위로 용량형성용 전극(304)의 전위를 설정하는 것이 좋다.

또, 제56도에 도시된 구성의 경우, 제57도와 같이 커패시터를 형성하는 것을 고려한다. 이 경우, 3개의 커패시터가 직렬접속된 것과 동가적이므로, 보호막(325), 액정(323) 및 보호막(324)의 각 유전율 ϵ_1 , ϵ_2 , ϵ_3 를 고려하여 각각의 재질을 선정할 필요가 있다.

전원선(303)이나 용량형성용 전극(304)이 상기와 같은 보호막(324, 325)을 필요로 하지 않는 재질, 예컨대 IT0(indium tin oxide) 등의 경우에는, 제58도와 같이, 보호막을 생략할 수 있다.

예컨대, IT0를 사용할 경우, 이 IT0에 상당하는 부분의 임피던스가 높기 때문에 IT0를 전원선(303)과 용량형성용 전극(304)으로 사용하기가 어렵다는 것을 고려하는 것이 좋다. 이런 경우, 제59도나 60도에 도시된 바와같이, 전원선(303) 또는 용량형성용 전극(304)을 IT0 막(327)(비금속 도전막)과 금속막(325)의 2층 구조로 하는 것이 좋다. 제59도는 기판(321)(322)상에 금속막(325)을 형성하고, 그위에 절연막(326)을 형성하며, 이들 위에 IT0 막(327)을 형성하고, 상기 IT0 막(327)과 금속막(325)을 콘택트홀(328)에서 접속하며, 전원선(303)이나 용량형성용 전극(304)을 형성한 예를 도시한 것이다. 제60도는 기판(321)(322)상에 금속막(325)을 수개소에 형성하고, 이들 금속막(325) 위에 IT0 막(327)을 형성하여 용량형성용 전극(304)을 형성하는 예를 도시한 것이다.

제61도에 도시된 바와같이, 대향전극 형성기판(322)상에 형성되는 대향전극(329)을 능동소자 형성기판(321)상에 형성된 전원선(303)과 대향하는 위치까지 연장하여서, 대향전극(329)을 용량형성용 전극(304)으로 사용할 수 있다.

또, 표시용으로 사용될 액정표시장치에 직류전압을 인가하여 열화되는 경우에는, 제62도에 도시된 바와같이, 격벽(330)에 의해 표시용 액정(323a)과 용량형성용 유전체(305)로서의 액정(323b)을 분리하는 것이 좋다. 또, 표시용 액정(323a)을 능동소자 형성기판(321)과 대향전극 형성기판(322) 사이에 봉입하기 위해 시일부재를 격벽(330)으로 사용할 수 있다. 이런식으로, 표시용 액정(323a)과 CR 필터용 액정(323b)을 분리하는 구성의 경우에는 액정(323a)과 액정(323b)과는 다른 종류의 액정을 사용한다.

또, 액정표시장치에 있어서도, 용량형성용 유전체(305)로서 반드시 액정을 사용할 필요는 없다. 예컨대, 제63도에 도시된 바와같이, 시일부재(331)를 용량형성용 유전체(305)로 사용할 수도 있다. 이 경우에는 표시장치의 유효표시 면적의 비율을 개선하는 효과가 생긴다.

또, 표시장치의 다른 구성요소로서, 예컨대 반도체층으로의 광의 도달을 저지하기 위한 금속층으로 된 차광수단을 용량형성용 전극(304)으로 사용할 수도 있다.

이상과 같이, 본 실시예의 반도체장치는 반도체 능동소자가 형성된 능동소자 형성기판(321) 및 대향전극 형성기판(322)을 갖고, 상기 능동소자 형성기판(321)상에는 반도체 능동소자와, 이 능동소자에 전원전력을 공급하기 위한 전원선(303)이 형성되고, 상기 능동소자 형성기판(321)과 대향 배치된 상기 대향전극 형성기판(322)상에는 기준전위의 용량형성용 전극(304)이 적어도 그 일부분이 상기 전원선(303)과 대향되

게 형성되고, 대향배치되어 있는 전원선(303)과 용량형성용 전극(304) 사이에는 용량형성용 유전체(305)가 배치되는 구성으로 된다.

그 결과, 상기 제7실시예와 마찬가지로, 전원선(303)과 용량형성용 전극(304)으로 구성된 한쌍의 대향하는 전극이 커패시터로 형성되고, 분포정수회로로 취급되는 전원선(303)의 배선저항과 커패시터에 의해 등가적으로 CR 필터가 형성되어, 전원선(303)의 임피던스를 낮출 수 있다. CR 필터에 의해 전원선(303)에서 생기는 고주파 노이즈가 감소되므로, 신호 레벨의 변동, 오동작, 신호 지연 등의 회로의 부정규 동작의 발생을 종래보다 대폭적으로 낮출 수 있다.

상기 설명에서는, 반도체장치로서 유리기관 등의 절연성기관상에 전원선(303)을 형성한 구성의 화상표시장치, 특히 액정표시장치를 예로들어 설명하였지만, 화상표시장치는 액정표시장치에 한정되지 않고, 다른 화상표시장치, 예컨대 EL(electroluminescence), 플라즈마 표시패널(PDP), 형광표시장치, 발광다이오드 등에도 적용할 수 있다.

또, 전원선(303)이 배선되는 기관도 유리기관 등의 절연성기관에 한정되지 않는다. 예컨대, 단결정 실리콘기관 등에 표면에 절연성 막을 형성한 반도체기관상에 전원선(303)을 형성하는 구성의 반도체장치에도 적용할 수 있다.

또, 상기 실시예에서는, 화소부가 형성된 기관상에, 데이터 드라이버나 주사 드라이버 등의 전원선(303)을 필요로 하는 반도체 능동소자를 모노리딕하게 형성한 것을 예로들어 설명하였지만, 본 발명은 기관(301)상에 전원선(303)을 형성할 필요가 있는 반도체장치라면 어떤 것에도 적용할 수 있다. 예컨대, 제64도에 도시된 바와같이, 화소부(301a)가 형성된 기관(301)상에, 데이터드라이버나 주사드라이버 등의 전원선을 필요로 하는 반도체칩(332)이 실장된(예컨대, 기관이 유리기관인 경우에는 이른바 COG법에 의해 실장된) 경우에 있어서도, 기관상에 각 반도체 능동소자가 모노리딕하게 형성된 경우와 마찬가지로, 반도체칩(332)이 전력을 공급하기 위한 전원선(303)을 기관(301)상에 형성할 필요가 있다. 따라서, 본 발명을 효과적으로 적용할 수 있다.

기관(301)상에 실장되는 반도체칩(332)은, 절연막이 형성된 단결정실리콘 기관으로 대표되는 반도체기관상에 반도체 능동소자를 형성한 것은 물론, 절연성기관상에 형성된 반도체능동소자로 구성된 반도체칩, 예컨대 유리기관상에 TFT를 형성하여 구성된 반도체일 수도 있다.

이런 반도체칩(332)에 있어서도, 칩 기관상에 형성된 반도체 능동 소자에 전력을 공급하는 전원선이 칩 기관상에 형성되기 때문에, 제7실시예의 각종 방법을 이용해 이 전원선에 대한 커패시터를 형성할 수 있다. 즉, 상기 반도체칩은 칩 기관, 이 기관상에 형성된 상기 반도체 능동소자, 및 상기 칩 기관상에 배선된 전력 공급선을 구비한다. 이 반도체칩에서는, 제44도와 같이, 기준 전위의 제2 용량형성용 전극(404)을 적어도 그 일부분이 상기 전력 공급선(403)과 대향하도록 배치하고, 대향 배치된 전력공급선(403)과 제2 용량형성용 전극(404) 사이에 제2 용량형성용 유전체(405)를 배치한다. 여기서, 제2 용량형성용 전극(404)의 전위와, 용량형성용 전극(304)의 전위는 달라도 좋다.

이와 같이 기관(301)상에 반도체칩(332)을 실장하는 경우, 이 기관(301)에는 반도체칩(332)으로 전력을 공급하는 전원선(303)이 형성되고, 반도체칩(332)내에도 반도체 능동소자로 전력을 공급하는 전력공급선(403)이 형성되지만, 상술한 바와같이, 기관(301)상의 전원선(303)은 물론 반도체칩(332)내의 전력공급선(403)에 대해서도 CR 필터를 형성하여, 장치 전체의 고주파 노이즈를 감소시킬 수 있다.

반도체장치의 배선펙이 100 μ m일 때 배선회의 비저항 ρ 를 5 $\mu\Omega \cdot \text{cm}$ 로 하고 막 두께를 300nm(시트 저항: 2x0.17 Ω/\square)로 하는 배선이라면, 1cm의 배선저항이 17 Ω 으로 된다. 또, 배선이 미세하다고 하면, 배선펙이 10 μ m일 때 배선저항은 1cm당 170 Ω 으로 된다. 전원선내의 교류 임피던스는 10 내지 20 Ω 정도가 한도이다. 종횡비가 3:4인 반도체장치일 경우에, 제65도와 같이 기관(301)의 모서리를 따라 한쪽 모서리에서 대각선쪽의 다른쪽 모서리까지 가로 세로로 전원선(303)을 배선하면, 대각선 길이 0.8cm에 대한 배선저항은 1cm당 17 Ω 이고, 배선저항은 20 Ω 정도이다. 따라서, 대각선 길이가 0.8cm 이상인 장치에서는, 본 발명을 적용하여 전원선(303)의 임피던스를 저하시켜 큰 효과를 기대할 수 있다. 특히 유리기관 등의 기관 사이즈의 대형화에 적합한 기관상에 반도체 능동소자를 형성한 대형의 반도체장치에 대해서는 본 발명의 적용이 유효하다.

상기 제1 내지 제8실시예에서는 화상표시장치(특히 액정표시장치)를 예로들어 설명하였지만, 본 발명의 반도체장치는 화상표시장치에 한정되지 않고, 다른 장치, 예컨대 화상 스캐너 등의 정보입력장치, 센서 등의 정보출력장치, 화상 센서 등의 정보 입출력장치, 메모리나 커패시터어레이 등의 정보축적장치, 데이터드라이버나 주사드라이버 등의 정보의 전송과 축적을 제어하는 장치, 또는 이들의 복합장치에도 적용될 수 있다.

즉, 본 발명은 반도체 능동소자를 포함한 능동소자회로와 이 회로에 전원 전력을 공급하는 전원선이나 이 회로에 신호를 입력하는 신호선 등의 긴 전기도통 라인 등이 동일 기관상에 형성되어 있는 반도체장치 전반에 적용된다. 특히, 상기 능동소자회로를 상기 기관상에 모노리딕하게 형성한 구성, 및 상기 능동소자회로를 반도체칩으로 형성하고 이 반도체칩을 상기 기관상에 실장한 구성에도 바람직하다.

또, 상기 반도체장치가 상기 기관상에 화상표시부가 형성되어 있는 화상표시장치인 경우, 상기 화상표시부의 화소를 구동하기 위한 능동소자의 캐리어 이동도 μ 는

$$\mu \geq 5\text{cm}^2/\text{V} \cdot \text{sec}$$

로 하는 것이 바람직하다. 특히, 상기와 같은 높은 캐리어 이동도를 갖는 능동소자로 는 다결정실리콘 박막트랜지스터를 사용하는 것이 좋다.

(57) 청구의 범위

청구항 1

반도체장치로서, 기판; 상기 기판상에 형성되고, 반도체 능동소자를 포함하는 능동소자회로; 상기 기판의 단부에 형성되고, 상기 반도체장치와는 별도의 외부회로와 전기적으로 접속되는 외부 접속용 단자로, 적어도 하나의 외부 전기 신호가 상기 외부 접속용 단자에 접속되는 외부 접속용 단자; 및 상기 기판에 형성되고, 상기 능동소자회로의 각 입력단자 또는 입력 세그먼트와 상기 외부 접속용 단자 사이를 전기적으로 접속하는 전기도통 라인;을 포함하고, 상기 전기도통라인은 복수의 분할 라인으로 구성되며, 상기 분할 라인 각각은 서로 다른 위치에 배치된 입력 세그먼트 또는 입력 단자 중 하나에 접속되며, 상기 기판상에 화상표시부가 형성되고, 상기 능동소자회로는 상기 화상표시부를 구동하는 드라이버회로를 포함하는 화상 표시 장치이며, 상기 외부 접속용단자로부터 상기 능동소자회로의 각 입력구간 사이의 배선저항의 변화가 배선저항의 평균치로부터 $\pm 3.1\%$ 의 범위내에 있도록 각각의 분할라인을 형성하는 반도체장치.

청구항 2

제1항에 있어서, 상기 능동소자회로가 상기 기판상에 모노리딕하게 형성되는 반도체장치.

청구항 3

제1항에 있어서, 상기 능동소자회로가 기판상에 실장된 반도체칩인 반도체장치.

청구항 4

제1항에 있어서, 상기 전기도통라인이 외부회로에서의 신호를 상기 능동소자회로로 입력하기 위한 신호선인 반도체 장치.

청구항 5

제1항에 있어서, 상기 전기도통라인이 외부회로에서의 전원전력을 상기 능동소자회로에 공급하기 위한 전원선인 반도체장치.

청구항 6

제1항에 있어서, 상기 외부 접속용 단자가 상기 기판의 단부를 따라 형성되고, 기판 단부에 평행인 방향의 단자폭이 기판단부와 직교하는 방향의 단자폭보다 큰 반도체장치.

청구항 7

제6항에 있어서, 복수개의 상기 외부접속용 단자가 기판상에 존재하고, 상기 복수의 외부접속용 단자가 상기 기판 단부에서 상기 기판 내측방향으로 병렬(in a row)로 배치되는 반도체장치.

청구항 8

제1항에 있어서, 상기 각 분할라인은 일정한 선폭의 메인라인과, 상기 메인라인에서 분기되어 상기 능동소자회로의 각 입력구간에 접속되는 복수의 분기라인으로 구성되고; 상기 외부 접속용단자로부터 상기 능동소자회로의 각 입력구간까지의 배선저항의 변화가 상기 범위내에 있도록 상기 외부 접속용단자로부터 배선길이가 길어질수록 상기 분기라인의 선폭이 넓어지는 반도체장치.

청구항 9

제1항에 있어서, 상기 각 분할라인은 메인라인과, 상기 메인라인에서 분기되어 상기 능동소자회로의 각 입력구간에 접속되는 복수의 분기라인으로 구성되고; 상기 외부 접속용단자로부터 상기 능동소자회로의 각 입력구간까지의 배선저항의 변화가 상기 범위내에 있도록 상기 외부 접속용단자로부터 메인라인이 멀리떨어질수록 메인라인의 선폭이 넓어지는 반도체 장치.

청구항 10

반도체장치로서, 기판; 상기 기판상에 형성되고, 반도체 능동소자를 포함하는 능동소자회로; 상기 기판의 단부에 형성되고, 상기 반도체장치와는 별도의 외부회로와 전기적으로 접속되는 외부 접속용 단자로, 적어도 하나의 외부 전기 신호가 상기 외부 접속용 단자에 접속되는 외부 접속용 단자; 및 상기 기판에 형성되고, 상기 능동소자회로의 각 입력단자 또는 입력 세그먼트와 상기 외부 접속용 단자 사이를 전기적으로 접속하는 전기도통 라인;을 포함하고, 상기 전기도통라인은 복수의 분할 라인으로 구성되며, 상기 분할 라인 각각은 서로 다른 위치에 배치된 입력 세그먼트 또는 입력 단자 중 하나에 접속되며, 상기 기판상에 화상표시부가 형성되고, 상기 능동소자회로는 상기 화상표시부를 구동하는 드라이버회로를 포함하는 화상 표시 장치이며, 상기 전기도통라인은 외부회로에서의 영상신호를 상기 드라이버회로로 전송하기 위한 영상신호선이고, 상기 드라이버회로는 복수의 샘플링스위치를 구비하여 상기 영상신호선에서 입력되는 영상신호의 샘플링을 행하는 샘플링회로를 포함하며; 상기 샘플링스위치는 복수의 그룹으로 분할되고, 각 그룹과 상기 외부접속용 단자가 상기 영상신호선의 각 분할라인에 의해 접속되는 반도체장치.

청구항 11

반도체장치로서, 기판; 상기 기판상에 형성되고, 반도체 능동소자를 포함하는 능동소자회로; 상기 기판의 단부에 형성되고, 상기 반도체장치와는 별도의 외부회로와 전기적으로 접속되는 외부 접속용 단자로, 적어도 하나의 외부 전기 신호가 상기 외부 접속용 단자에 접속되는 외부 접속용 단자; 및, 상기 기판상에 형성되고, 상기 능동소자회로의 각 입력단자 또는 입력 세그먼트와 상기 외부 접속용 단자 사이를 전기적으로 접속하는 전기도통 라인;을 포함하고, 상기 전기도통라인은 복수의 분할 라인으로 구성되며, 상기 분할 라인 각각은 서로 다른 위치에 배치된 입력 세그먼트 또는 입력 단자 중 하나에 접속되며, 상기 기판상에 화상표시부가 형성되고, 상기 능동소자회로는 상기 화상표시부를 구동하는 드라이버회로를 포함하는 화상 표시 장치이며, 상기 전기도통라인은 외부회로에서의 스타트신호를 상기 드라이버회로에 전송하기 위한 스타트선이고; 상기 드라이버회로는 상기 스타트선에서 입력되는 스타트신호에 따른 영상신호의

샘플링기간을 결정하는 샘플링신호를 생성하는 샘플링신호 발생회로를 포함하는 반도체장치.

청구항 12

반도체장치로서, 기판; 상기 기판상에 형성되고, 반도체 능동소자를 포함하는 능동소자회로; 상기 기판의 단부에 형성되고, 상기 반도체장치와는 별도의 외부회로와 전기적으로 접속되는 외부 접속용 단자로, 적어도 하나의 외부 전기 신호가 상기 외부 접속용 단자에 접속되는 외부 접속용 단자; 및, 상기 기판상에 형성되고, 상기 능동소자회로의 각 입력단자 또는 입력 세그먼트와 상기 외부 접속용 단자 사이를 전기적으로 접속하는 전기도통 라인;을 포함하고, 상기 전기도통라인은 복수의 분할 라인으로 구성되며, 상기 분할 라인 각각은 서로 다른 위치에 배치된 입력 세그먼트 또는 입력 단자 중 하나에 접속되며, 상기 기판상에 화상표시부가 형성되고, 상기 능동소자회로는 상기 화상표시부를 구동하는 드라이버회로를 포함하는 화상 표시 장치이며, 상기 화상표시장치가 액정표시장치인 반도체장치.

청구항 13

반도체장치로서, 기판; 상기 기판상에 형성되고, 반도체 능동소자를 포함하는 능동소자회로; 상기 기판의 단부에 형성되고, 상기 반도체장치와는 별도의 외부회로와 전기적으로 접속되는 외부 접속용 단자로, 적어도 하나의 외부 전기 신호가 상기 외부 접속용 단자에 접속되는 외부 접속용 단자; 및, 상기 기판상에 형성되고, 상기 능동소자회로의 각 입력단자 또는 입력 세그먼트와 상기 외부 접속용 단자 사이를 전기적으로 접속하는 전기도통 라인;을 포함하고, 상기 전기도통라인은 복수의 분할 라인으로 구성되며, 상기 분할 라인 각각은 서로 다른 위치에 배치된 입력 세그먼트 또는 입력 단자 중 하나에 접속되며, 상기 기판상에 화상표시부가 형성되고, 상기 능동소자회로는 상기 화상표시부를 구동하는 드라이버회로를 포함하는 화상 표시 장치이며, 상기 화상표시부는 화소를 구동하는 능동소자를 포함하고, 상기 능동소자의 캐리어 이동도 μ 가 $\mu \geq 5\text{cm}^2/\text{V} \cdot \text{sec}$ 의 관계에 있는 반도체장치.

청구항 14

제13항에 있어서, 상기 능동소자가 다결정실리콘 박막트랜지스터인 반도체장치.

청구항 15

기판; 및, 상기 기판상에 형성되고 반도체 능동소자를 포함하는 능동소자회로;를 포함하고, 외부회로와 상기 능동소자회로간의 인터페이스를 갖는 반도체장치로서, 상기 기판상에 형성되고, 상기 반도체장치의 상기 외부회로에서 입력된 적어도 2개 값의 기본신호를 상기 능동소자회로에 전송하기 위한 신호선; 및, 파형개선신호를 상기 능동소자회로에 공급하도록 상기 신호선을 통해 전송된 기본신호에 상기 파형열화 대응 신호성분을 인가하여 구해지는 상기 파형개선신호를 생성하는 파형개선신호 생성회로;를 포함하고, 상기 파형개선신호, 생성회로는, 상기 파형개선신호의 기본 신호성분의 최대 진폭을 v , 파형열화 대응신호성분을 포함한 상기 파형개선신호 부분의 최대 진폭을 V 라 할 때,

$$(1) |v| < |V|$$

의 관계식이 성립하고, 상기 기본신호성분의 주파수를 f , 파형열화 대응신호성분의 주파수를 F 라 할 때,

$$(2) f \leq F$$

의 관계식이 성립하는 반도체장치.

청구항 16

제15항에 있어서, 상기 능동소자회로가 상기 기판상에 모노리딕하게 형성되는 반도체장치.

청구항 17

제15항에 있어서, 상기 능동소자회로가 상기 기판상에 실장된 반도체칩인 반도체장치.

청구항 18

제15항에 있어서, 상기 파형개선신호 생성회로는 외부에서 입력된 기본신호를 미분하여 파형개선신호를 생성하는 미분회로인 반도체장치.

청구항 19

제15항에 있어서, 상기 파형개선신호 생성회로는, 파형열화 대응신호를 생성하는 파형열화 대응신호 생성수단; 및 상기 파형열화 대응신호 생성수단에 의해 생성된 파형열화 대응신호와 외부에서 입력된 기본신호를 가산하는 가산수단;을 포함하는 반도체장치.

청구항 20

제19항에 있어서, 상기 파형열화 대응신호 생성수단은 외부에서 입력된 기본신호를 미분하여 파형열화 대응신호를 생성하는 미분회로인 반도체장치.

청구항 21

제15항에 기재된 반도체장치; 및, 상기 기판상에 형성된 화상표시부;를 포함하는 화상표시장치.

청구항 22

제21항에, 있어서 상기 능동소자회로는 상기 화상표시부를 구동하는 드라이버회로를 포함하는 화상표시장치.

청구항 23

제21항에 있어서, 상기 화상표시부는 액정표시패널인 화상표시장치.

청구항 24

제21항에 있어서, 상기 화상표시부가 화소를 구동하는 능동소자를 포함하고, 상기 능동소자의 캐리어 이동도 μ 가 $\mu \geq 5\text{cm}^2/\text{V} \cdot \text{sec}$ 인 화상표시장치.

청구항 25

제24항에 있어서, 상기 능동소자가 다결정실리콘 박막트랜지스터인 화상표시장치.

청구항 26

기판; 및, 상기 기판상에 형성되고 반도체 능동소자를 포함하는 능동소자회로;를 포함하고, 외부회로와 상기 능동소자회로간의 인터페이스를 갖는 반도체장치로서, 상기 기판상에 형성되고, 상기 반도체장치의 상기 외부회로에서 입력된 입력신호를 상기 능동소자회로에 전송하기 위한 신호선;을 포함하고, 상기 능동소자회로는 회로의 동작의 지표로 되고 파형의 열화로 인해 열화된 입력신호의 신호성분의 위상특성을 보상하는 위상특성 개선회로를 포함하는 반도체 장치.

청구항 27

제26항에 있어서, 상기 위상특성 개선회로가 미분회로인 반도체장치.

청구항 28

제26항에 기재된 반도체장치; 및, 상기 기판상에 형성된 화상표시부;를 포함하는 화상표시장치.

청구항 29

제28항에 있어서, 상기 화상표시부와 상기 능동소자회로가 상기 기판상에 모노리딕하게 형성되는 화상표시장치.

청구항 30

제28항에 있어서, 상기 능동소자회로가 반도체칩으로 구성되고 상기 화상표시부가 형성된 상기 기판상에 실장되는 화상표시장치.

청구항 31

기판; 및, 상기 기판상에 형성되고, 반도체 능동소자를 포함하는 능동소자회로;를 포함하고, 외부회로와 상기 능동소자회로간의 인터페이스를 갖는 반도체장치로서, 상기 기판상에 형성되고, 상기 능동소자회로의 동작주파수를 결정하며 상기 반도체장치의 상기 외부회로에서 입력되는 기본신호를 상기 능동소자회로에 전송하기 위한 신호선; 및, 상기 기본신호에 동작 타이밍을 지정하는 부분에 파형열화 대응신호성분을 추가하는 파형개선회로;를 포함하고, 상기 파형 개선 회로는, 상기 기본신호에 의해 동작하는 능동소자회로의 동작주파수를 f , 상기 파형열화 대응신호성분의 최소 펄스폭을 T 라 할 때,

$$T < 1/f$$

의 관계식이 성립하는 반도체장치.

청구항 32

제31항에 있어서, 상기 파형개선회로가, 파형열화 대응신호를 생성하는 파형열화 대응신호 생성수단; 및 상기 파형열화 대응신호 생성수단에 의해 생성된 파형열화 대응신호와 외부에서 입력된 기본신호를 가산하는 가산수단;을 포함하는 반도체장치.

청구항 33

제32항에 있어서, 상기 파형열화 대응신호 생성수단이 외부에서 입력된 기본신호를 미분하여 파형열화 대응신호 생성하는 미분회로인 반도체장치.

청구항 34

제32항에 있어서, 상기 파형열화 대응신호 생성수단이 정현파의 파형열화 대응신호를 생성하는 정현파 발생회로인 반도체장치.

청구항 35

제31항에 있어서, 상기 파형 개선 회로는 상기 파형열화 대응신호 성분의 피크치를 V_T , 상기 기본신호성분의 피크치를 V_I 라 할 때,

$$|V_T| > |V_I|$$

의 관계식이 성립하는 반도체장치.

청구항 36

제31항에 기재된 반도체장치; 및, 상기 기판상에 형성된 화상표시부;를 포함하는 화상표시장치.

청구항 37

제36항에 있어서, 상기 화상표시부와 상기 능동소자회로가 상기 기판상에 모노리딕하게 형성되는 화상표시장치.

청구항 38

제36항에 있어서, 상기 능동소자회로가 반도체칩으로 구성되고 상기 화상표시부가 형성된 상기 기판상에 실장되는 화상표시장치.

청구항 39

기판; 및, 상기 기판상에 형성되고 반도체 능동소자를 포함하는 능동소자회로;를 포함하고, 외부회로와 상기 능동소자회로간의 인터페이스를 갖는 반도체장치로서, 상기 기판상에 형성되고, 상기 반도체장치의 상기 외부회로에서 입력된 입력신호를 상기 능동소자회로에 전송하기 위한 신호선;을 포함하고, 상기 능동소자회로는, 상기 능동소자회로의 최고 전압전원을 V_{DD} , 최저 전원전압을 V_{EE} , 능동소자회로에 입력되는 상기 입력신호의 진폭을 V_{PP} (피크-피크 값)라 할 때,

$$V_{PP} > |V_{DD} - V_{EE}|$$

의 관계식이 성립하는 반도체장치.

청구항 40

제39항에 기재된 반도체장치; 및, 상기 기판상에 형성된 화상표시부;를 포함하는 화상표시장치.

청구항 41

제40항에 있어서, 상기 화상표시부와 상기 능동소자회로가 상기 기판상에 모노리딕하게 형성되는 화상표시장치.

청구항 42

제40항에 있어서, 상기 능동소자회로가 반도체칩으로 구성되고 상기 화상표시부가 형성된 상기 기판상에 실장되는 화상표시장치.

청구항 43

기판; 및, 상기 기판상에 형성되고 반도체 능동소자를 포함하는 능동소자회로;를 포함하고, 외부회로와 상기 능동소자회로간의 인터페이스를 갖는 반도체장치로서, 상기 기판상에 형성되고, 상기 반도체장치의 상기 외부회로에서 상기 능동소자회로에 전원전력을 공급하기 위한 전원선; 적어도 일부분이 상기 전원선과 대향되도록 배치된 기준전위를 갖는 용량형성용 전극; 및, 대향배치되어 있는 전원선과 용량형성용 전극 사이에 배치된 용량형성용 유전체;를 포함하는 반도체장치.

청구항 44

제43항에 있어서, 상기 능동소자회로가 상기 기판상에 모노리딕하게 형성되는 반도체장치.

청구항 45

제43항에 있어서, 상기 능동소자회로가 상기 기판상에 실장되는 반도체칩인 반도체장치.

청구항 46

제43항에 있어서, 상기 기판이 절연성기판인 반도체장치.

청구항 47

제46항에 있어서, 상기 절연성기판이 유리기판인 반도체장치.

청구항 48

제43항에 있어서, 상기 기판이 표면에 절연막을 형성한 반도체기판인 반도체장치.

청구항 49

제45항에 있어서, 상기 반도체칩이, 칩 기판; 상기 칩 기판상에 형성된 상기 반도체 능동소자; 상기 칩 기판상에 배선되고, 상기 반도체 능동소자에 전력을 공급하기 위한 전력공급선; 적어도 그 일부분이 상기 전력공급선과 대향하도록 배치되고 기준전위를 갖는 제2용량형성용 전극; 및 대향배치 되도록 정렬된 전력공급선과 제2용량형성용 전극 사이에 배치된 제2용량형성용 유전체;를 포함하는 반도체장치.

청구항 50

제43항에 기재된 반도체장치; 및, 상기 기판상에 형성된 화상표시부;를 포함하는 화상표시장치.

청구항 51

제50항에 있어서, 상기 능동소자회로가 상기 화상표시부를 구동하는 드라이버 회로를 포함하는 화상표시장치.

청구항 52

제50항에 있어서, 상기 화상표시부는 액정표시패널인 화상표시장치.

청구항 53

제50항에 있어서, 상기 화상표시부는 플라즈마 표시패널인 화상표시장치.

청구항 54

제50항에 있어서, 상기 화상표시부는 발광다이오드 표시패널인 화상표시장치.

청구항 55

제50항에 있어서, 상기 화상표시부는 화소를 구동하는 능동소자를 포함하고, 상기 능동소자의 캐리어 이동도 μ 가 $\mu \geq 5\text{cm}^2/\text{V} \cdot \text{sec}$ 인 화상표시장치.

청구항 56

제55항에 있어서, 상기 능동소자가 다결정실리콘 박막트랜지스터인 화상표시장치.

청구항 57

제43항에 있어서, 상기 전원선이 비금속 도전막과, 상기 비금속 도전막에 전기 접속되는 금속막을 포함하는 반도체장치.

청구항 58

제43항에 있어서, 상기 용량형성용 전극이 비금속도전막과 이 비금속도전막에 전기접속되는 금속막을 포함하는 반도체장치.

청구항 59

제1기판; 상기 제1기판과 대향하여 배치되는 제2기판; 및, 상기 제1기판상에 형성되고 반도체 능동소자를 포함하는 능동소자회로;를 포함하고, 외부회로와 상기 능동소자회로간의 인터페이스를 갖는 반도체장치로서, 상기 제1기판상에 형성되고, 상기 반도체장치의 상기 외부회로에서 상기 능동소자회로에 전원전압을 공급하기 위한 전원선; 상기 제2기판상에 형성되고, 적어도 일부분이 상기 전원선과 대향되게 배치된 기준전위를 갖는 용량형성용 전극; 및 대향배치 되어 있는 전원선과 용량형성용 전극 사이에 배치된 용량형성용 유전체;를 포함하는 반도체장치.

청구항 60

제59항에 기재된 반도체장치; 및, 상기 제1기판상에 형성된 화상표시부;를 포함하는 화상표시장치.

청구항 61

제60항에 있어서, 상기 화상표시부는 액정표시패널인 화상표시장치.

청구항 62

제61항에 있어서, 상기 용량형성용 유전체가 액정인 화상표시장치.

청구항 63

제62항에 있어서, 표시에 사용되는 액정과 상기 용량성 유전체로 사용되는 액정을 분리하는 격벽부재를 더 포함하는 화상표시장치.

청구항 64

제59항에 있어서, 상기 제1기판과 제2기판 사이에 배치되어 이들 기판 사이의 틈새를 밀폐하기 위한 시일부재를 더 포함하고, 상기 용량형성용 유전체가 상기 시일부재로 이루어지는 반도체장치.

청구항 65

제60항에 있어서, 상기 제1기판상의 화상표시부가 화상표시전극을 포함하고, 상기 제2기판은 상기 화상표시전극과 대향하여 배치된 대향전극이 그 표면에 형성되어 있는 대향기판인 화상표시장치.

청구항 66

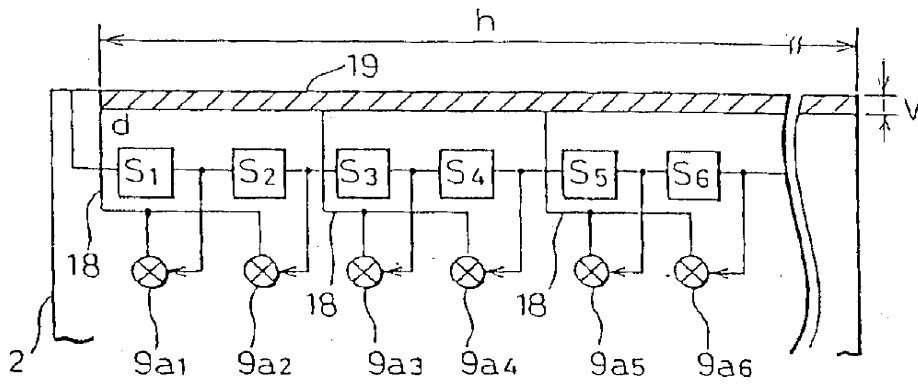
제65항에 있어서, 상기 용량형성용 전극은 상기 전원선과 대향하는 위치까지 연장하도록 형성된 상기 대향전극인 화상표시장치.

청구항 67

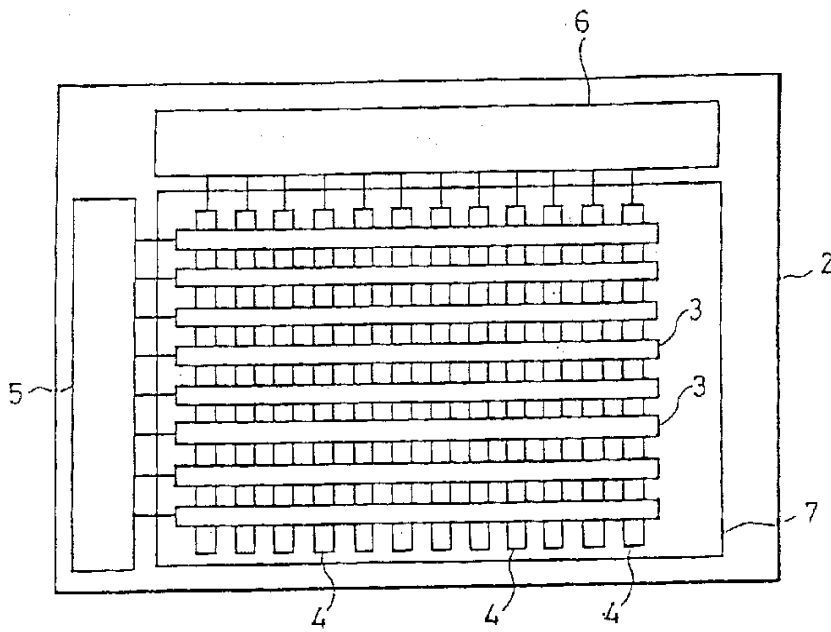
제1항에 있어서, 상기 전기도통라인은 외부회로로부터 상기 드라이버회로에 클럭신호를 전송하기 위한 클럭신호선이고, 상기 클럭신호선에서 입력된 클럭신호에 따라 영상신호의 샘플링 주기를 결정하는 샘플링신호를 생성하는 샘플링신호 발생회로를 포함하는 반도체장치.

도면

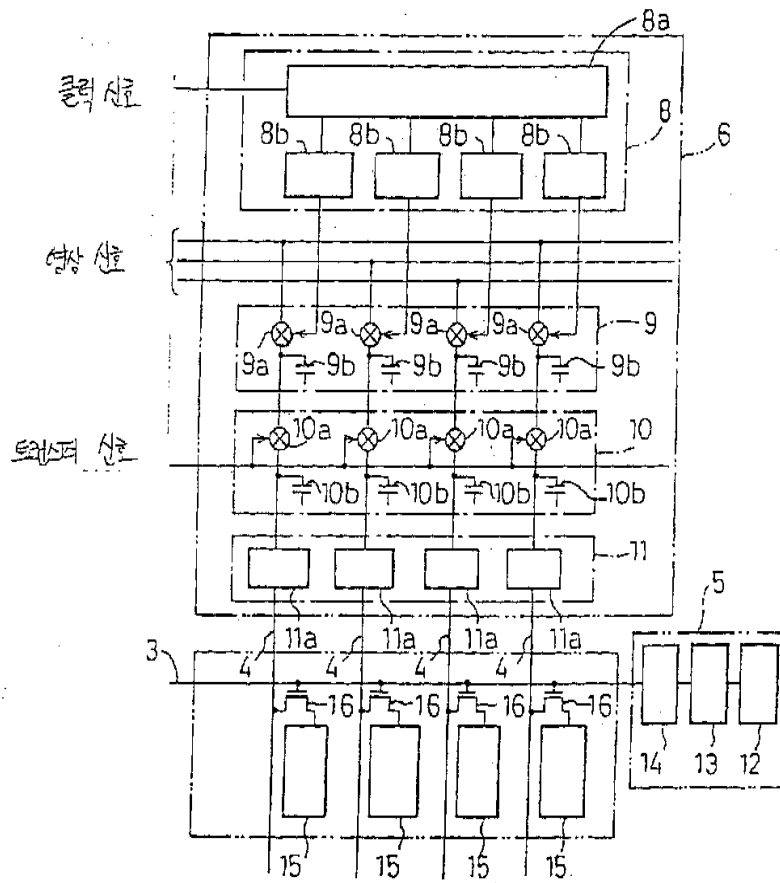
도면1



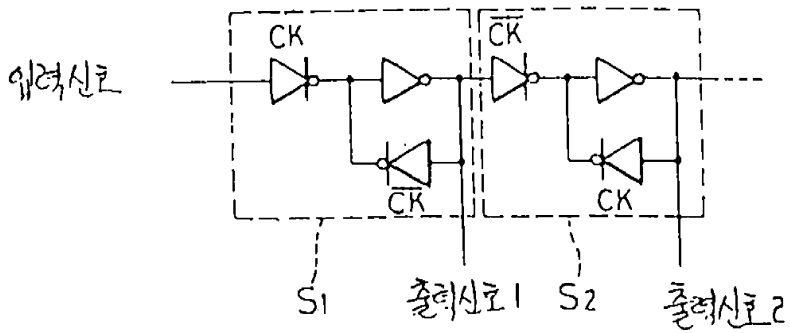
도면2



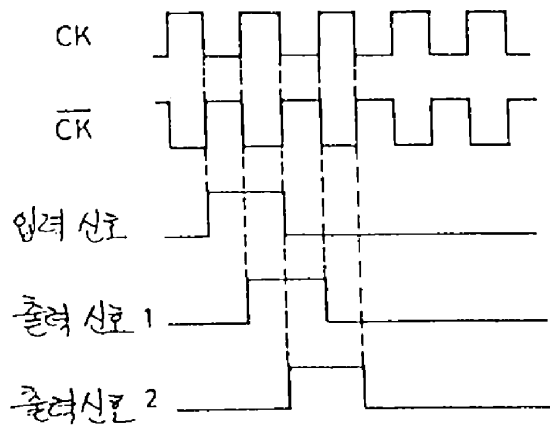
도면3



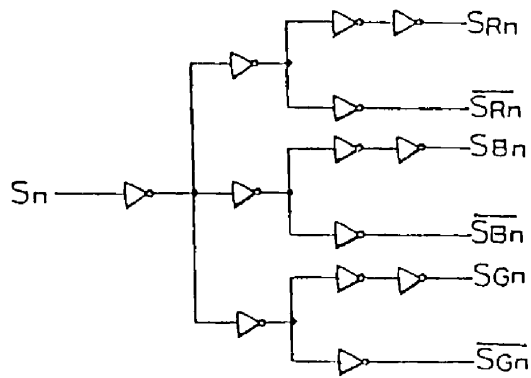
도면4



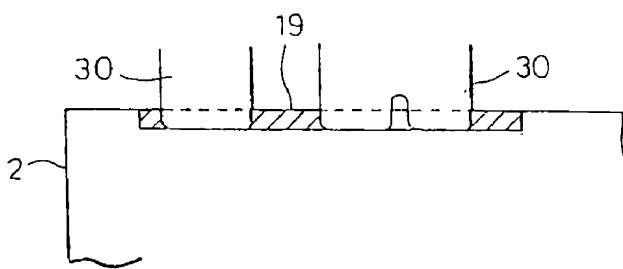
도면5



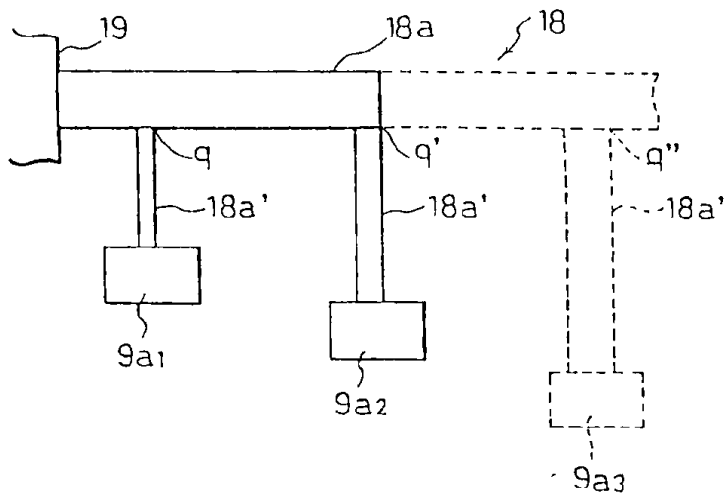
도면6



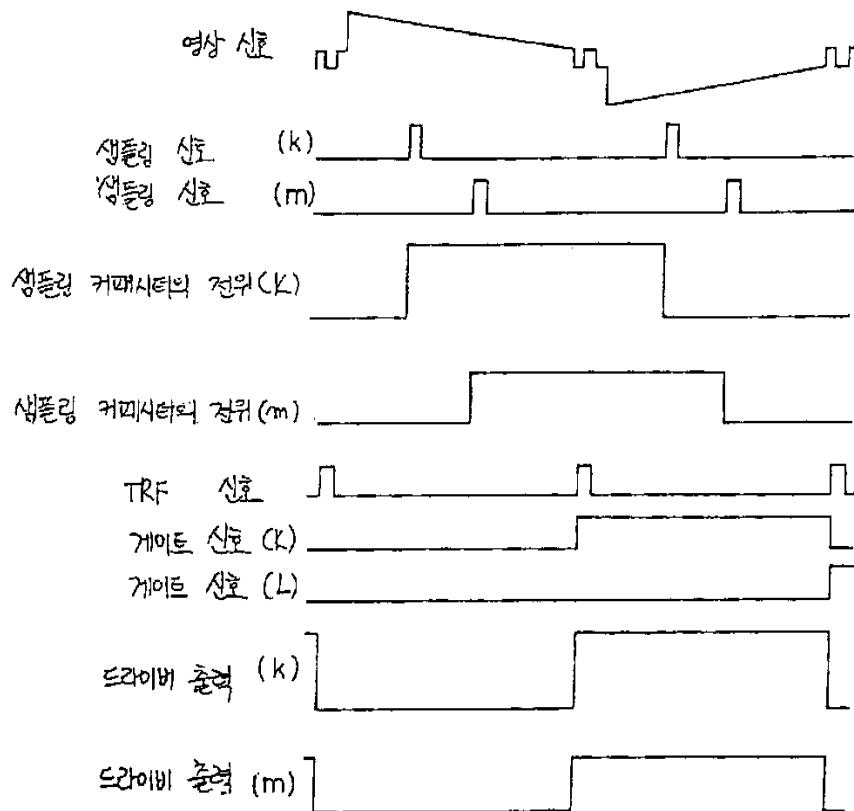
도면7



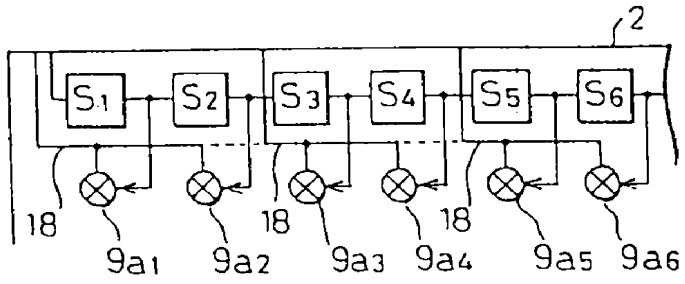
도면8



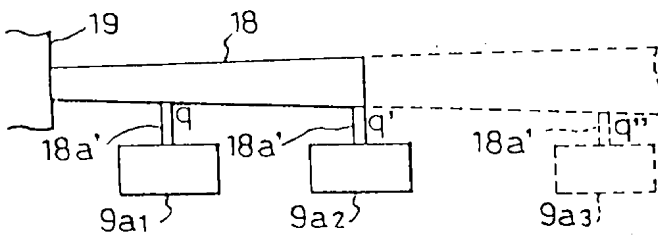
도면9



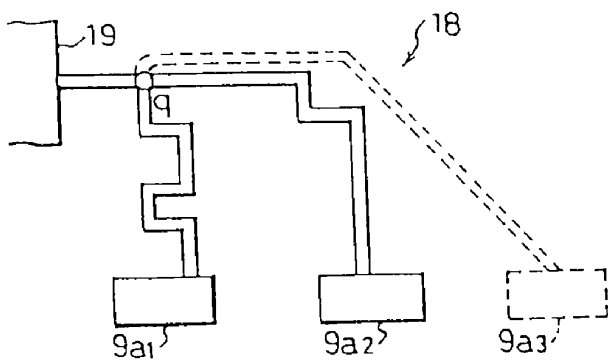
도면10



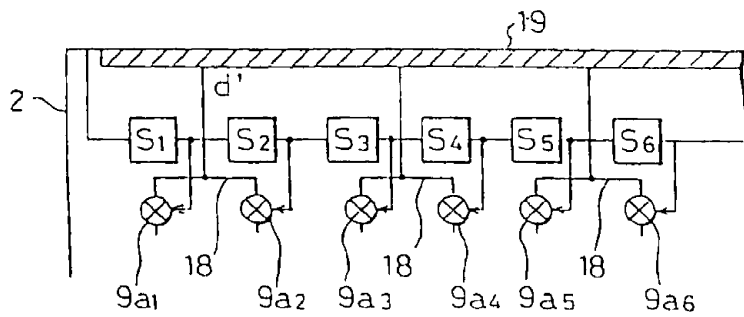
도면11



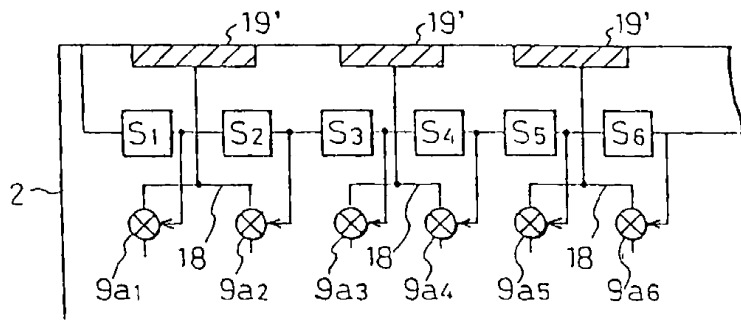
도면12



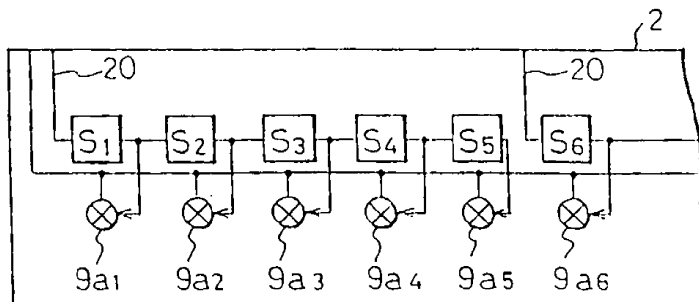
도면13



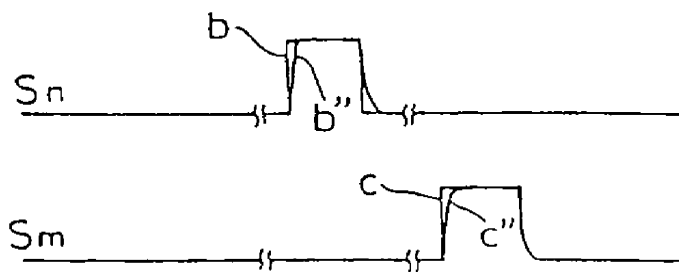
도면14



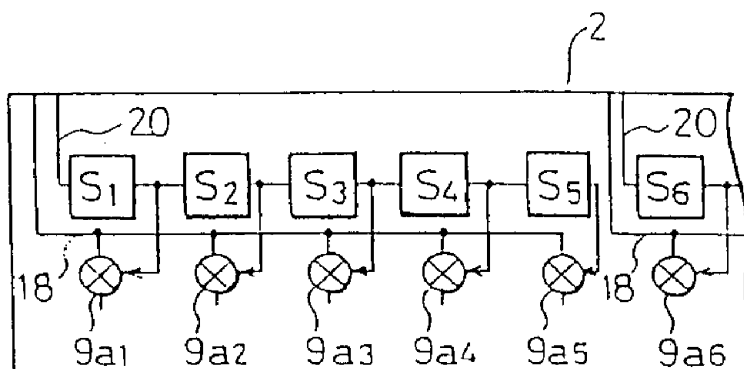
도면15



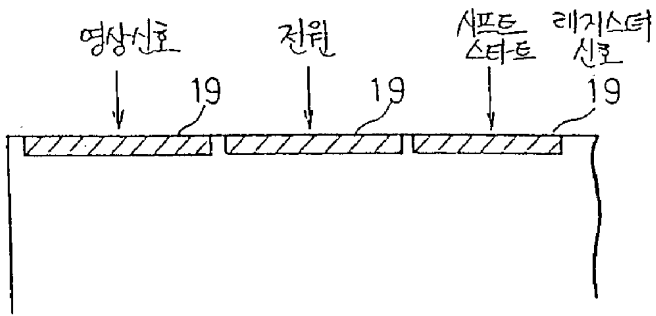
도면16



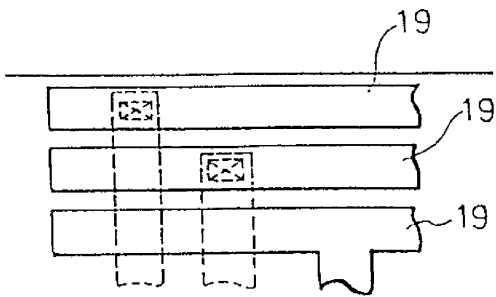
도면17



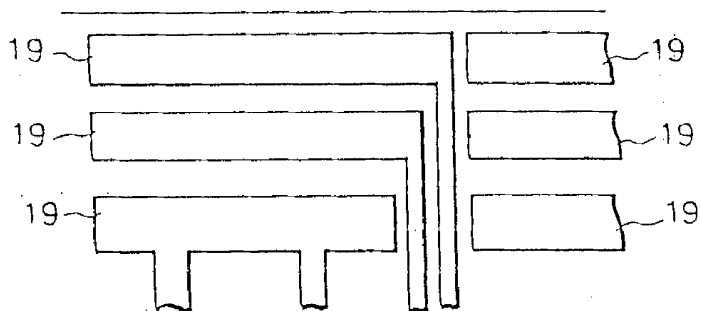
도면18



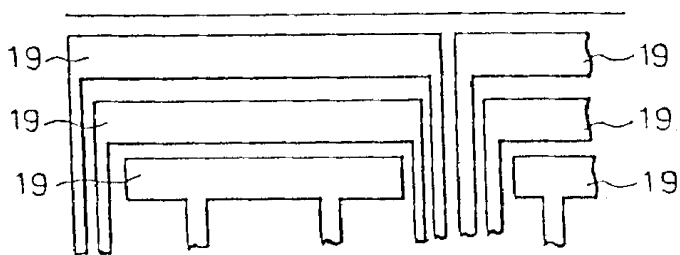
도면19



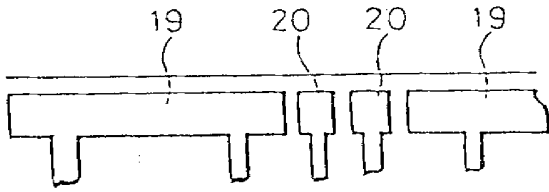
도면20



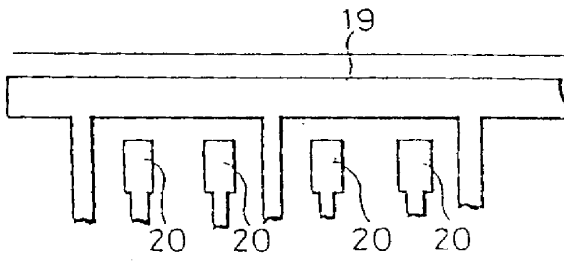
도면21



도면22



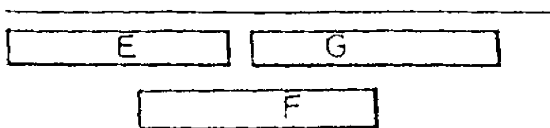
도면23



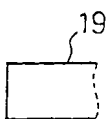
도면24a



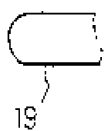
도면24b



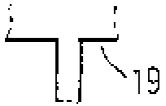
도면25a



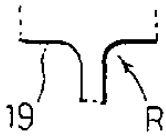
도면25b



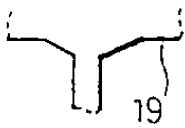
도면25c



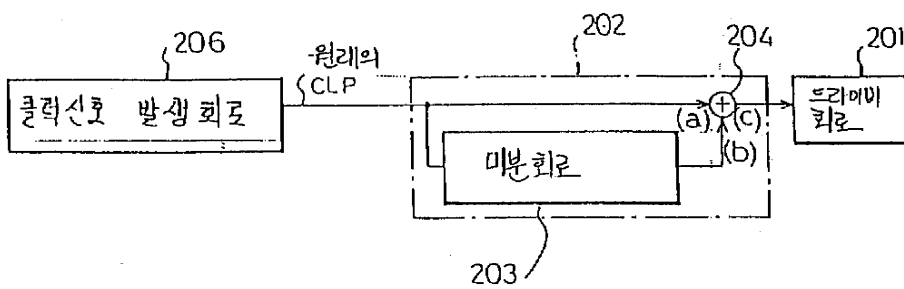
도면25d



도면25e

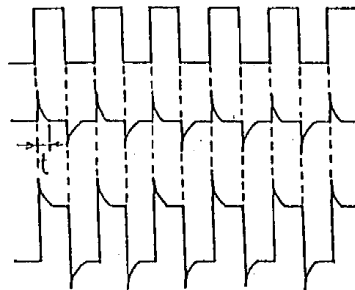


도면26

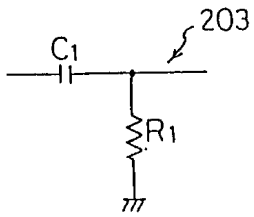


도면27

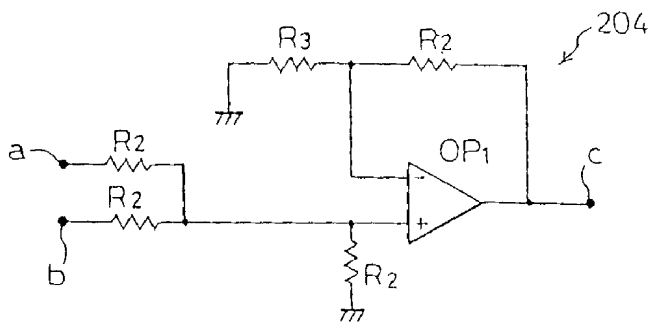
- (a) 원래의 클럭신호
(원래의 CLP)
- (b) 응답성 개선신호
- (c) 개선 클럭신호
(원래의 CLP)



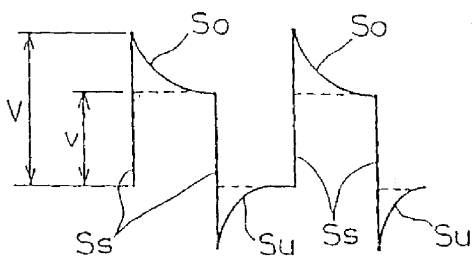
도면28



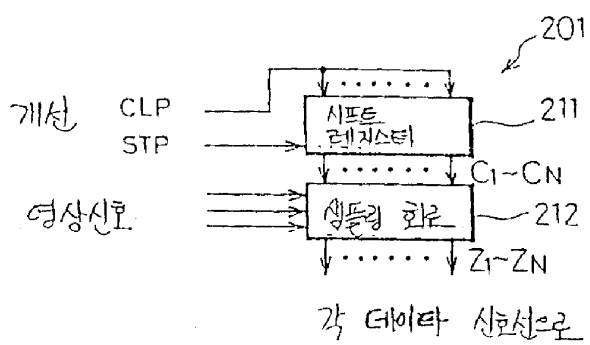
도면29



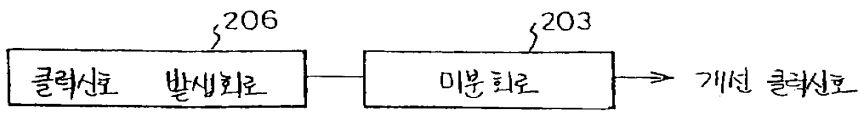
도면30



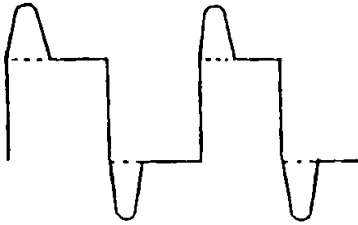
도면31



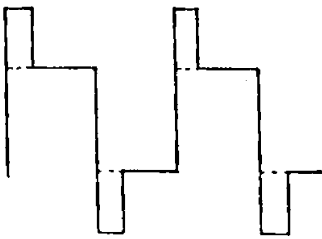
도면32



도면33a



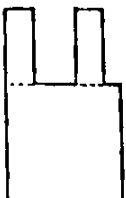
도면33b



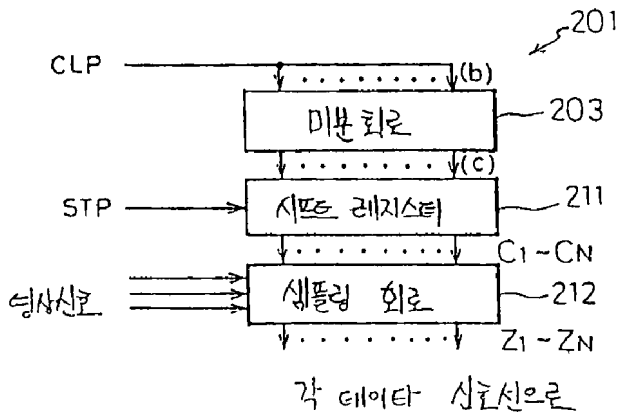
도면33c



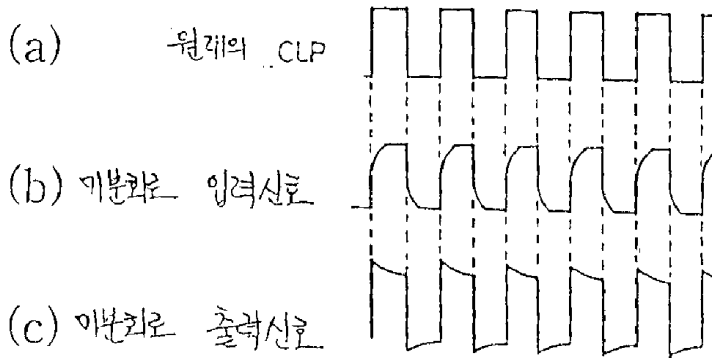
도면33d



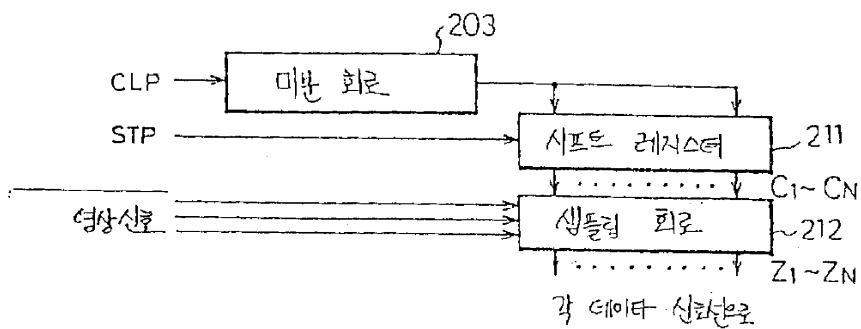
도면34



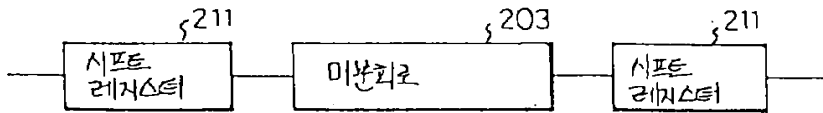
도면35



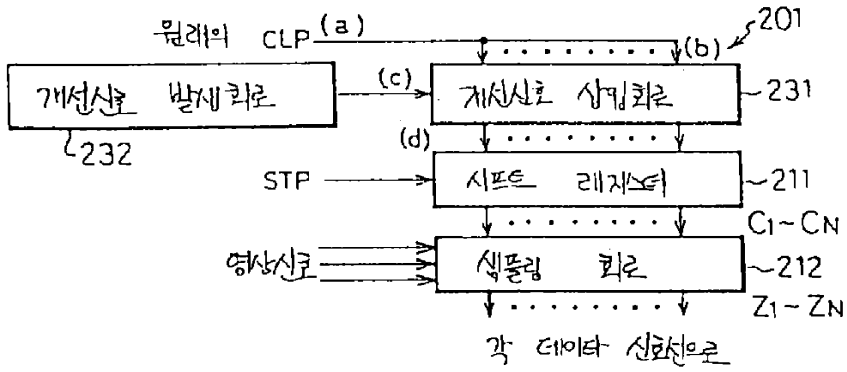
도면36



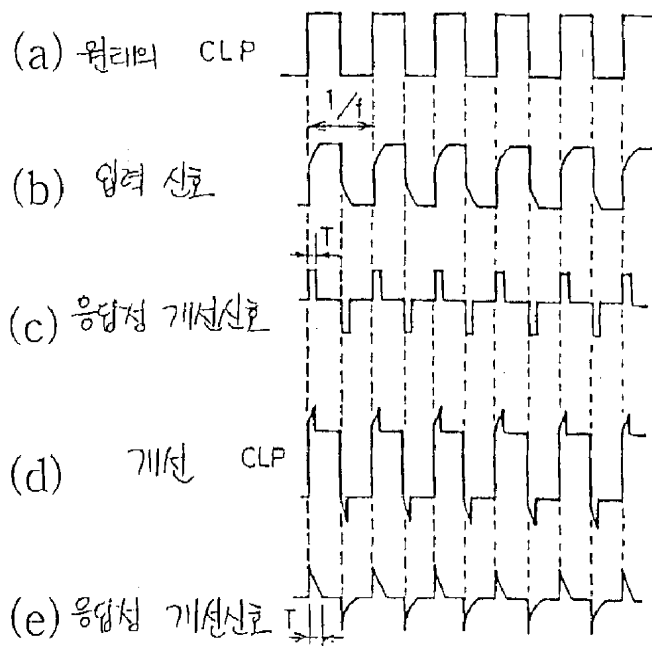
도면37



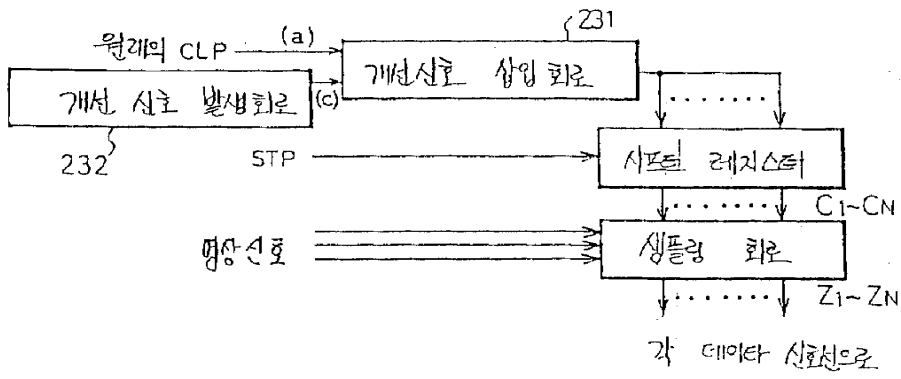
도면38



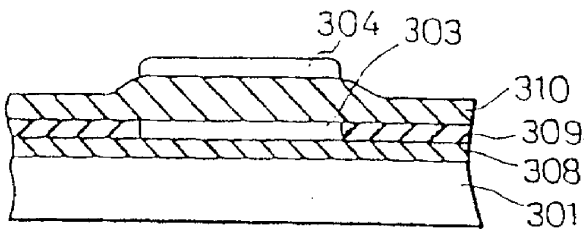
도면39



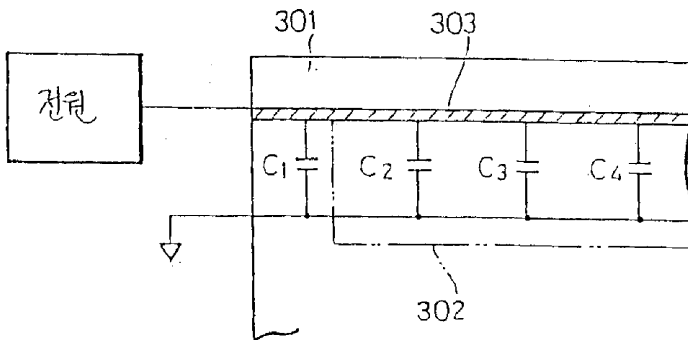
도면40



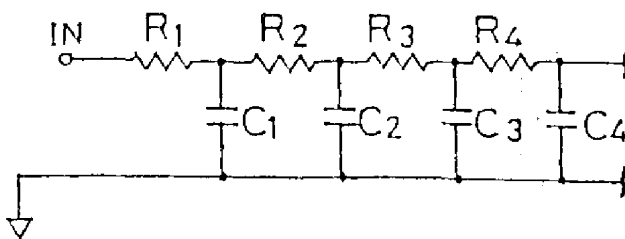
도면41



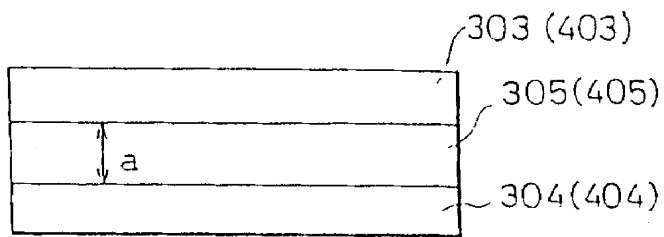
도면42



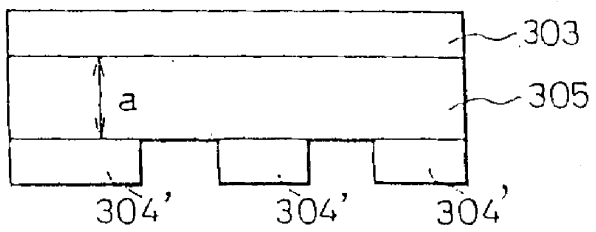
도면43



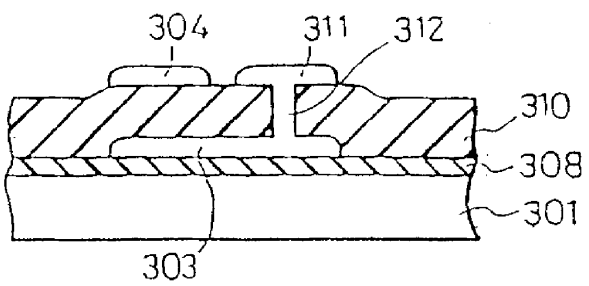
도면44



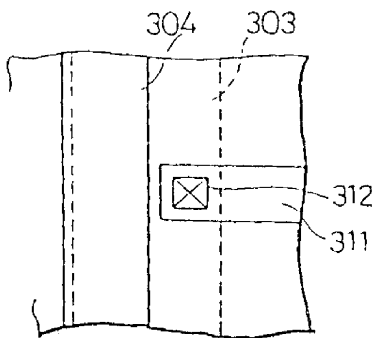
도면45



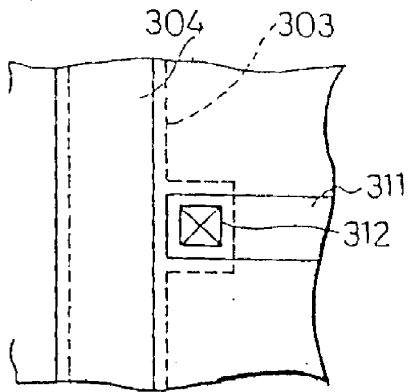
도면46



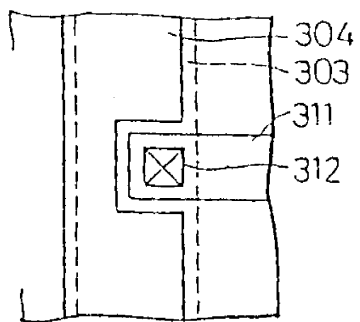
도면47



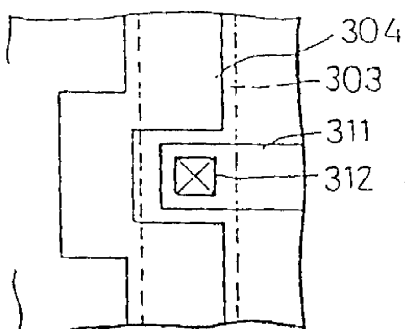
도면48



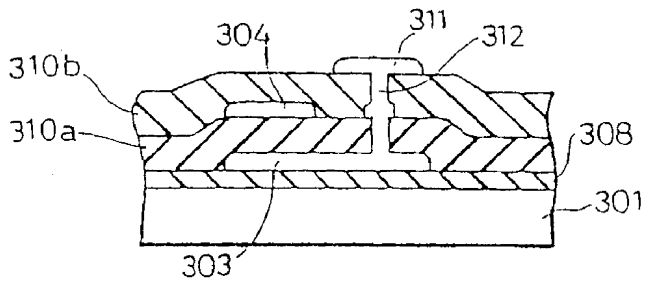
도면49



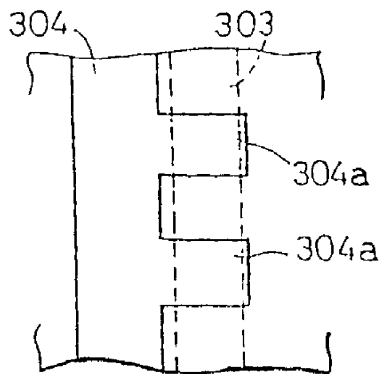
도면50



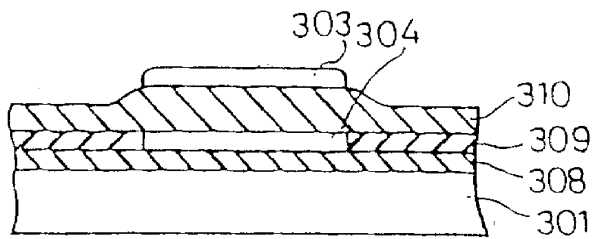
도면51



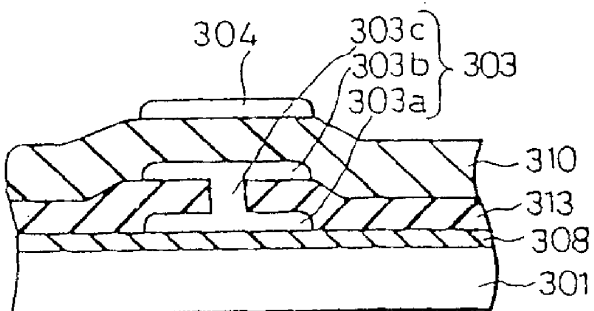
도면52



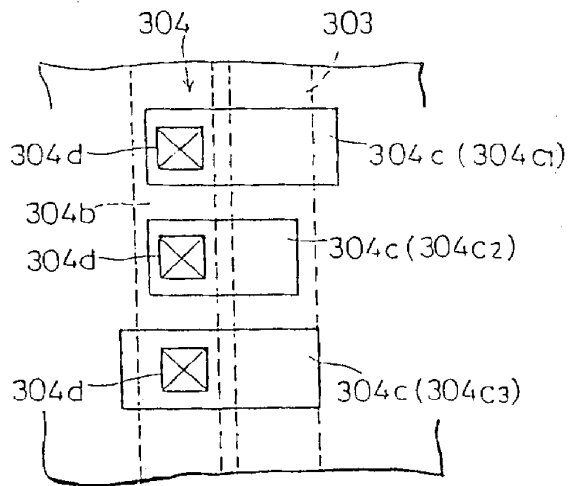
도면53



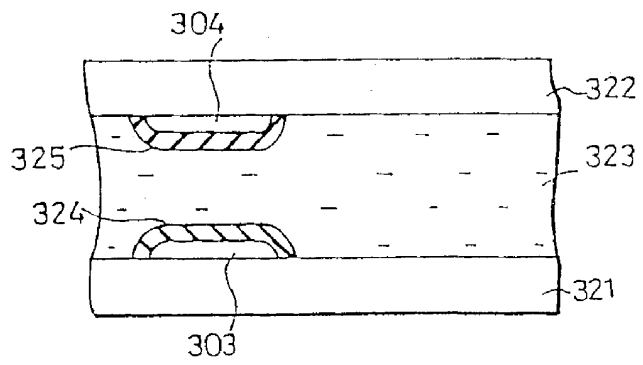
도면54



도면55

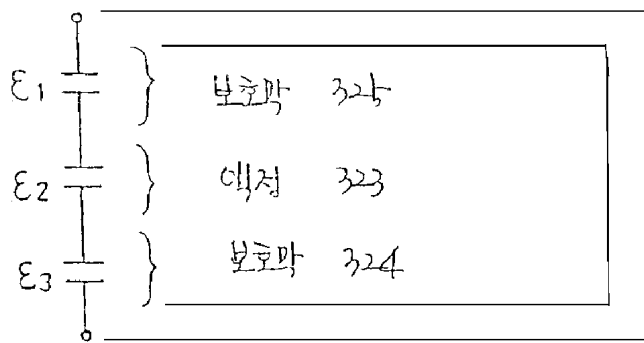


도면56



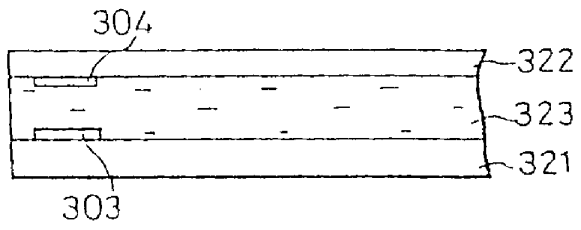
도면57

용량 결성용 전극

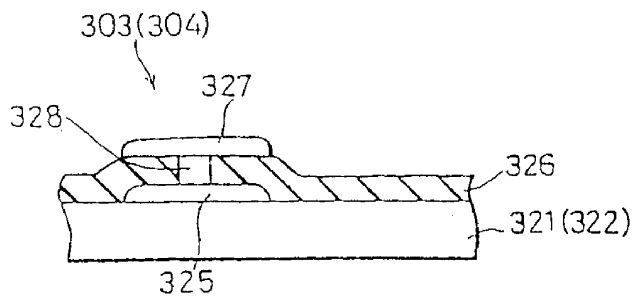


전원선 303

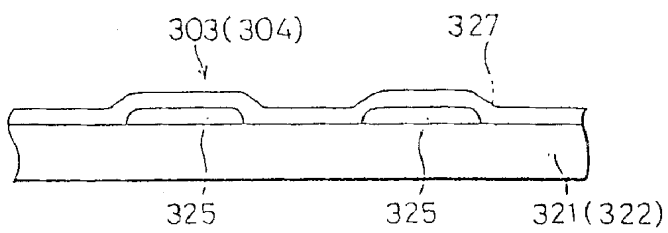
도면58



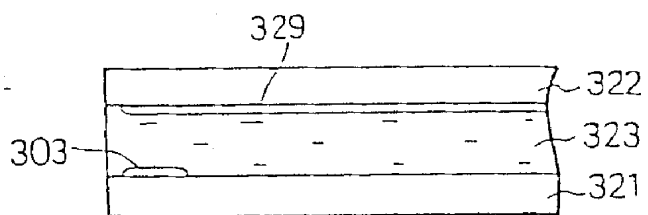
도면59



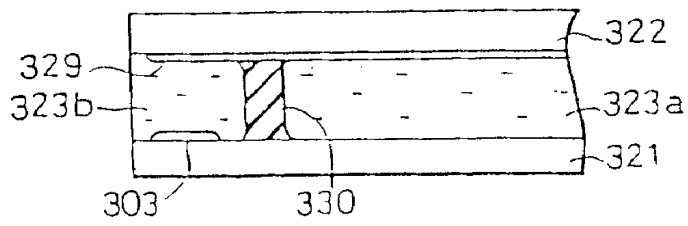
도면60



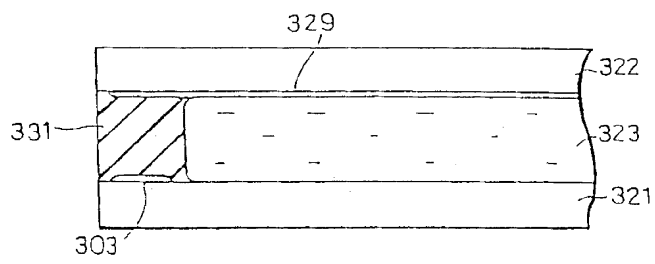
도면61



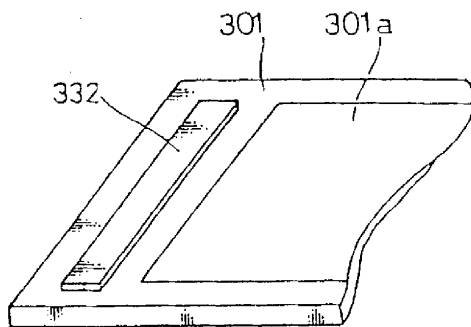
도면62



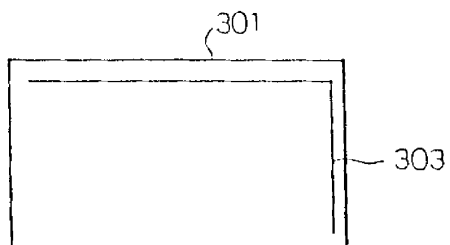
도면63



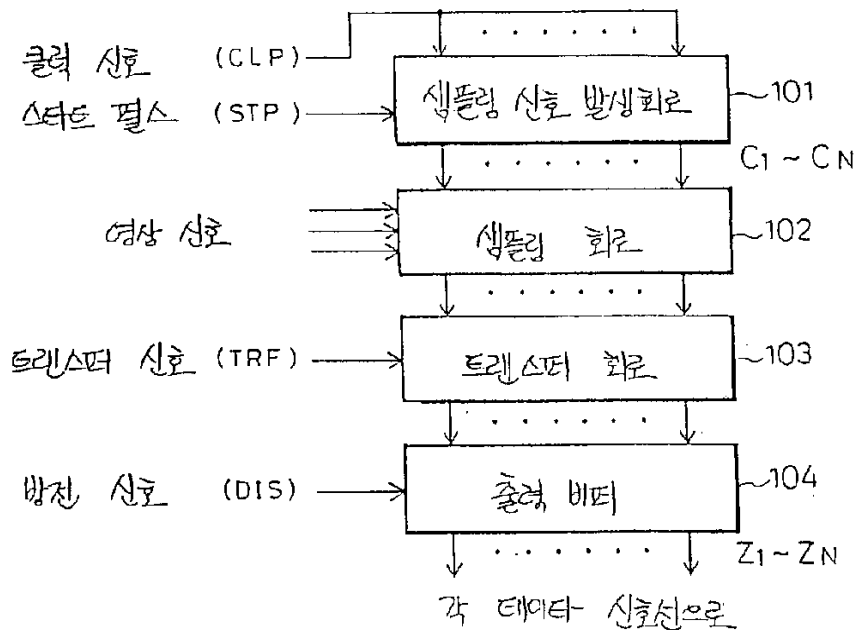
도면64



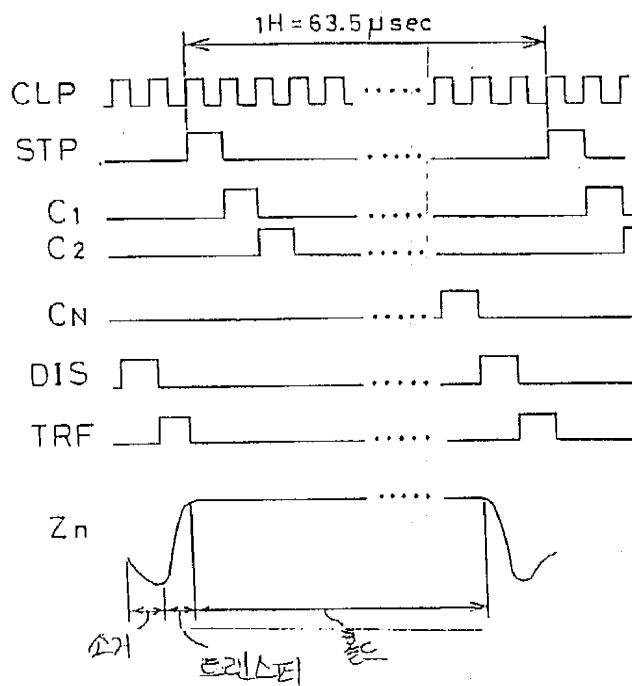
도면65



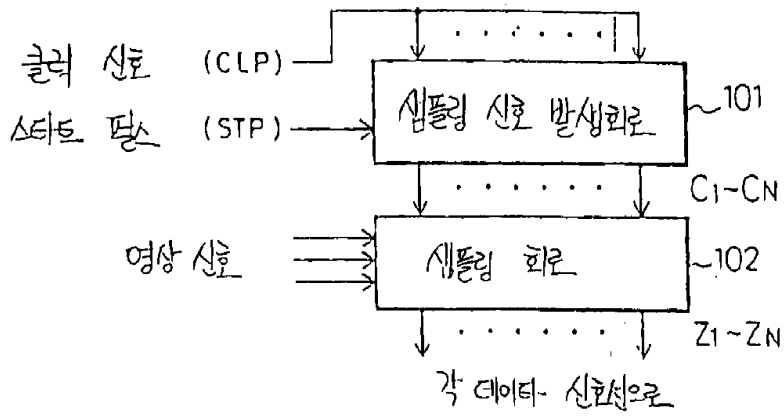
도면66



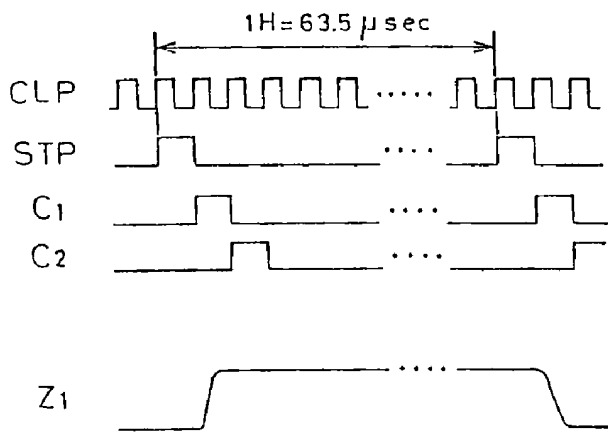
도면67



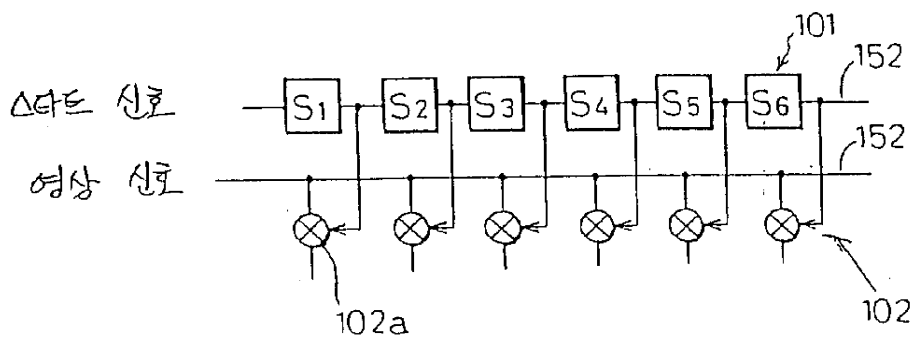
도면68



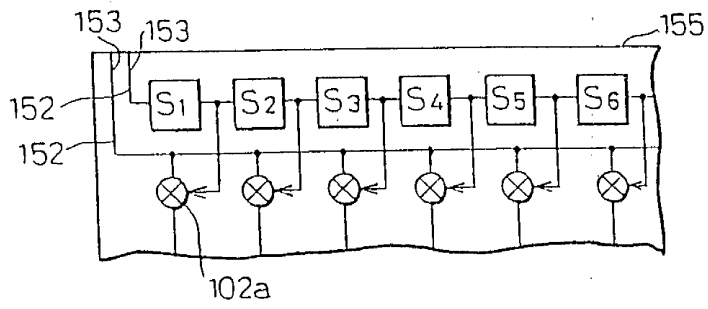
도면69



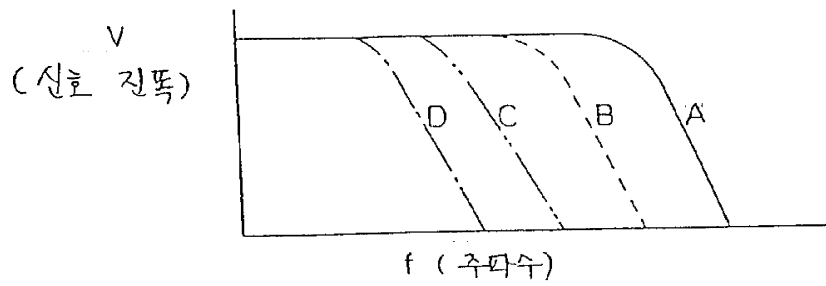
도면70



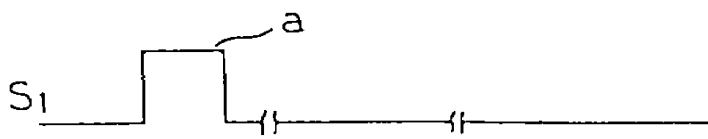
도면71



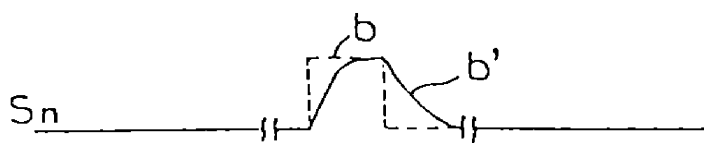
도면72



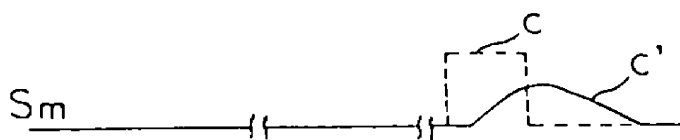
도면73a



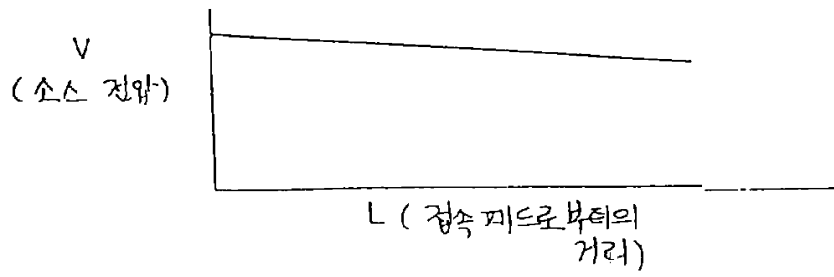
도면73b



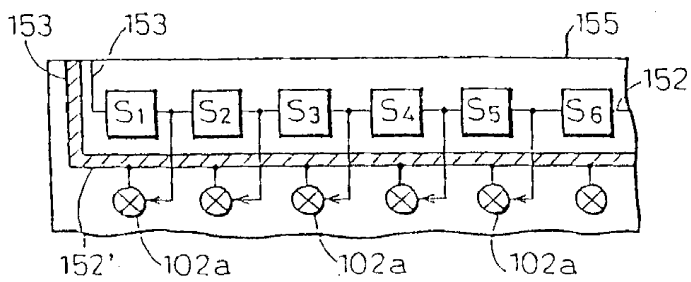
도면73c



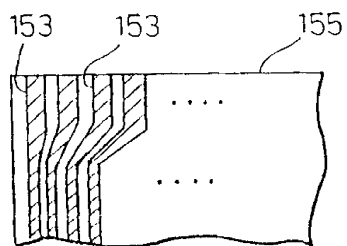
도면74



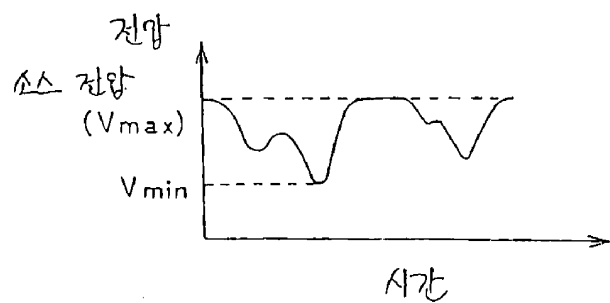
도면75



도면76



도면77



도면78

