

1. 一种半导体装置,具有:
半导体层;
栅极沟槽,其形成于所述半导体层;
绝缘层,其形成于所述半导体层上;
栅极电极,其隔着所述绝缘层埋入到所述栅极沟槽内;以及
栅极布线,其形成于所述绝缘层上,并与所述栅极电极电连接,
所述半导体层包含:外周区,其在俯视时包含所述半导体层的外缘,
所述栅极沟槽包含:
第一外周栅极沟槽部,其设置于所述外周区;以及
第二外周栅极沟槽部,其设置于比所述第一外周栅极沟槽部靠外侧的位置,
所述半导体装置具有:
第一浮空沟槽,其形成于所述半导体层中的所述第一外周栅极沟槽部与所述第二外周栅极沟槽部之间的区域;以及
电浮空状态的浮空电极,其隔着所述绝缘层埋入到所述第一浮空沟槽内。
2. 根据权利要求1所述的半导体装置,其中,
所述半导体装置还具有:保护沟槽,其设置于比所述第二外周栅极沟槽部靠外侧的位置,
所述第一浮空沟槽的宽度比所述保护沟槽的宽度大,
所述绝缘层中的形成于所述第一浮空沟槽内的部分的厚度,比所述绝缘层中的形成于所述保护沟槽内的部分的厚度厚。
3. 根据权利要求1所述的半导体装置,其中,
所述第一浮空沟槽配置成比所述第一外周栅极沟槽部更靠近所述第二外周栅极沟槽部。
4. 根据权利要求1所述的半导体装置,其中,
所述半导体装置还具有:
保护沟槽,其形成于所述外周区;以及
第二浮空沟槽,其设置于所述第二外周栅极沟槽部与所述保护沟槽之间。
5. 根据权利要求4所述的半导体装置,其中,
所述第一浮空沟槽的宽度比所述第二浮空沟槽的宽度大,
所述绝缘层中的形成于所述第一浮空沟槽内的部分的厚度,比所述绝缘层中的形成于所述第二浮空沟槽内的部分的厚度厚。
6. 根据权利要求1所述的半导体装置,其中,
所述半导体装置还包含:多个保护沟槽,其形成于所述外周区,
所述第二外周栅极沟槽部与所述第一浮空沟槽之间的距离,比相邻的两个所述保护沟槽之间的距离大。
7. 根据权利要求4所述的半导体装置,其中,
设置有多个所述保护沟槽,
所述第二外周栅极沟槽部与所述第二浮空沟槽之间的距离,比相邻的两个所述保护沟槽之间的距离大。

8. 根据权利要求4所述的半导体装置,其中,
设置有多个所述保护沟槽,
多个所述保护沟槽包含:作为多个所述保护沟槽中的靠近所述第二浮空沟槽的保护沟槽的端部保护沟槽,

所述第二浮空沟槽与所述端部保护沟槽之间的距离,比相邻的两个所述保护沟槽之间的距离大。

9. 根据权利要求1~8中任一项所述的半导体装置,其中,
所述半导体层包含:有源区,其被所述外周区包围,
所述栅极沟槽包含:
内侧栅极沟槽部,其设置于所述有源区;以及
连接沟槽,其将所述内侧栅极沟槽部与所述第一外周栅极沟槽部连接。

10. 一种半导体装置,具有:
半导体层;
栅极沟槽,其形成于所述半导体层;
绝缘层,其形成于所述半导体层上;
栅极电极,其隔着所述绝缘层埋入到所述栅极沟槽内;
栅极布线,其形成于所述绝缘层上,并与所述栅极电极电连接;
多个保护沟槽,其形成于所述半导体层;以及
保护电极,其隔着所述绝缘层埋入到所述保护沟槽内,
所述半导体层包含:外周区,其在俯视时包含所述半导体层的外缘且配置有所述保护沟槽,

所述栅极沟槽包含:外周栅极沟槽部,其配置于所述外周区,并且在俯视时被所述保护沟槽包围,

所述半导体装置具有:

第一浮空沟槽和第二浮空沟槽,其形成于所述半导体层中的所述外周栅极沟槽部与所述保护沟槽之间的区域;

电浮空状态的第一浮空电极,其隔着所述绝缘层埋入到所述第一浮空沟槽内;以及
电浮空状态的第二浮空电极,其隔着所述绝缘层埋入到所述第二浮空沟槽内,
所述第一浮空沟槽配置成比所述外周栅极沟槽部更靠近所述第二浮空沟槽。

11. 根据权利要求10所述的半导体装置,其中,
所述第一浮空沟槽的宽度比所述保护沟槽的宽度大,
所述绝缘层中的形成于所述第一浮空沟槽内的部分的厚度,比所述绝缘层中的形成于所述保护沟槽内的部分的厚度厚。

12. 根据权利要求10所述的半导体装置,其中,
所述外周栅极沟槽部的宽度比所述保护沟槽的宽度大,
所述绝缘层中的形成于所述外周栅极沟槽部内的部分的厚度,比所述绝缘层中的形成于所述保护沟槽内的部分的厚度厚。

13. 根据权利要求10所述的半导体装置,其中,
所述第一浮空沟槽的宽度与所述外周栅极沟槽部的宽度相等,

所述绝缘层中的形成于所述第一浮空沟槽内的部分的厚度,与所述绝缘层中的形成于所述外周栅极沟槽部内的部分的厚度相等。

14. 根据权利要求10所述的半导体装置,其中,
所述第一浮空沟槽的宽度比所述第二浮空沟槽的宽度大,
所述绝缘层中的形成于所述第一浮空沟槽内的部分的厚度,比所述绝缘层中的形成于所述第二浮空沟槽内的部分的厚度厚。

15. 根据权利要求10所述的半导体装置,其中,
设置有多个所述保护沟槽,
所述外周栅极沟槽部与所述第一浮空沟槽之间的距离,比相邻的两个所述保护沟槽之间的距离大。

16. 根据权利要求10所述的半导体装置,其中,
设置有多个所述保护沟槽,
所述第一浮空沟槽与所述第二浮空沟槽之间的距离,比相邻的两个所述保护沟槽之间的距离大。

17. 根据权利要求10所述的半导体装置,其中,
设置有多个所述保护沟槽,
多个所述保护沟槽包含:作为多个所述保护沟槽中的靠近所述第二浮空沟槽的保护沟槽的端部保护沟槽,

所述第二浮空沟槽与所述端部保护沟槽之间的距离,比相邻的两个所述保护沟槽之间的距离大。

18. 根据权利要求10~17中任一项所述的半导体装置,其中,
所述半导体层包含有源区,
所述栅极沟槽包含:
内侧栅极沟槽部,其设置于所述有源区;以及
连接沟槽,其将所述内侧栅极沟槽部与所述外周栅极沟槽部连接。

半导体装置

技术领域

[0001] 本公开涉及半导体装置。

背景技术

[0002] 在专利文献1中,公开了具有沟槽栅极型MOSFET (Metal-Oxide-Semiconductor Field-Effect-Transistor) 作为基本构造的半导体装置。该半导体装置包含:有源区,其设定于被源极电极覆盖的区域;栅极沟槽,其形成于有源区;多晶硅栅极,其埋入于栅极沟槽。

[0003] 现有技术文献

[0004] 专利文献

[0005] 专利文献1:日本特开2020-194881号公报

发明内容

[0006] 发明要解决的课题

[0007] 然而,在沟槽栅极型MOSFET中,可能产生漏极-源极间击穿电压降低、即所谓的触发电压降低现象(walk-in)。

[0008] 用于解决课题的手段

[0009] 本公开的一方式的半导体装置,具有:半导体层;栅极沟槽,其形成于所述半导体层;绝缘层,其形成于所述半导体层上;栅极电极,其隔着所述绝缘层埋入到所述栅极沟槽内;以及栅极布线,其形成于所述绝缘层上,并与所述栅极电极电连接,所述半导体层包含:外周区,其在俯视时包含所述半导体层的外缘,所述栅极沟槽包含:第一外周栅极沟槽部,其设置于所述外周区;以及第二外周栅极沟槽部,其设置于比所述第一外周栅极沟槽部靠外侧的位置,所述半导体装置具有:第一浮空沟槽,其形成于所述半导体层中的所述第一外周栅极沟槽部与所述第二外周栅极沟槽部之间的区域;以及电浮空状态的浮空电极,其隔着所述绝缘层埋入到所述第一浮空沟槽内。

[0010] 本公开的一方式的半导体装置,具有:半导体层;栅极沟槽,其形成于所述半导体层;绝缘层,其形成于所述半导体层上;栅极电极,其隔着所述绝缘层埋入到所述栅极沟槽内;栅极布线,其形成于所述绝缘层上,并与所述栅极电极电连接;多个保护沟槽,其形成于所述半导体层;以及保护电极,其隔着所述绝缘层埋入到所述保护沟槽内,所述半导体层包含:外周区,其在俯视时包含所述半导体层的外缘且配置有所述保护沟槽,所述栅极沟槽包含:外周栅极沟槽部,其配置于所述外周区,并且在俯视时被所述保护沟槽包围,所述半导体装置具有:第一浮空沟槽和第二浮空沟槽,其形成于所述半导体层中的所述外周栅极沟槽部与所述保护沟槽之间的区域;电浮空状态的第一浮空电极,其隔着所述绝缘层埋入到所述第一浮空沟槽内;以及电浮空状态的第二浮空电极,其隔着所述绝缘层埋入到所述第二浮空沟槽内,所述第一浮空沟槽配置成比所述外周栅极沟槽部更靠近所述第二浮空沟槽。

[0011] 发明效果

[0012] 根据本公开的半导体装置,能够抑制触发电压降低现象的产生。

附图说明

[0013] 图1是第一实施方式的例示性的半导体装置的概略俯视图。

[0014] 图2是用于对图1所示的半导体装置的金属层进行说明的概略俯视图。

[0015] 图3是用于对形成在图1所示的半导体装置的半导体层的结构进行说明的概略俯视图。

[0016] 图4是图3的F4所示的范围的局部放大图。

[0017] 图5是沿着图4的F5-F5线的半导体装置的概略剖视图。

[0018] 图6是沿着图4的F6-F6线的半导体装置的概略剖视图。

[0019] 图7是图6的F7所示的范围的局部放大图。

[0020] 图8是图6的F8所示的范围的局部放大图。

[0021] 图9是表示第二浮空沟槽和保护沟槽之间的距离与漏极-源极间击穿电压的关系的图表。

[0022] 图10是表示第一外周栅极沟槽部和第一浮空沟槽之间的距离与漏极-源极间击穿电压的关系的图表。

[0023] 图11是表示第二外周栅极沟槽部和第一浮空沟槽之间的距离与漏极-源极间击穿电压的关系的图表。

[0024] 图12是形成在比较例的半导体装置的半导体层的结构的概略平面构造的局部放大图。

[0025] 图13是表示比较例的半导体装置的I-V特性的图表。

[0026] 图14是表示第一实施方式的半导体装置的I-V特性的图表。

[0027] 图15是形成在第二实施方式的半导体装置的半导体层的结构的概略平面构造的局部放大图。

[0028] 图16是沿着图15的F16-F16线的半导体装置的概略剖视图。

[0029] 图17是图16的F17所示的范围的局部放大图。

[0030] 图18是表示第一浮空沟槽和第二浮空沟槽之间的距离与漏极-源极间击穿电压的关系的图表。

[0031] 图19是表示外周栅极沟槽部和第一浮空沟槽之间的距离与漏极-源极间击穿电压的关系的图表。

[0032] 图20是表示第二实施方式的半导体装置的I-V特性的图表。

具体实施方式

[0033] 以下,参照附图对本公开的半导体装置的几个实施方式进行说明。此外,为了使说明简单且明确,附图所示的构成要素不一定以固定的比例尺进行描绘。另外,为了容易理解,在剖视时有时省略了阴影线。附图仅是对本公开的实施方式进行例示,而不应视为对本公开进行限制。

[0034] 以下的详细记载包含了使本公开的例示性的实施方式具体化的装置、系统和方法。该详细记载仅是原本说明用的,并不意图限定本公开的实施方式或者像这样的实施方

式的应用以及使用。

[0035] <第一实施方式>

[0036] [半导体装置的平面布局]

[0037] 图1~图3是第一实施方式的半导体装置10的概略俯视图。在图2以及图3中,透视性地表示图1的半导体装置10的一部分的构成要素。更详细而言,图2是从图1透视性地表示了后述的钝化层12的半导体装置10的概略俯视图。图3是从图2透视性地表示了后述的金属层18(源极布线20、栅极布线22以及外周电极24)的半导体装置10的概略俯视图。此外,为了容易理解,在图3中用虚线表示金属层18。另外,在图1~图3中,为了容易理解附图,省略了后述的第一浮空沟槽52A和第二浮空沟槽52B。

[0038] 在本公开中使用的“俯视”这一用语是指在图1所示的相互正交的XYZ轴的Z轴方向上观察半导体装置10。除非明确地另外记载,否则“俯视”是指沿着Z轴从上方观察半导体装置10。

[0039] 如图1所示,半导体装置10在俯视时可以为矩形状。半导体装置10在一例中可以具有长方体的形状。半导体装置10在一例中也可以形成为Z轴方向为厚度方向的平板状。半导体装置10可以包含钝化层12。钝化层12可以由能够保护位于其下层的构造的任意材料构成。在一例中,钝化层12可以由氮化硅膜(SiN)形成。钝化层12可以包含焊盘开口14、16。此外,钝化层12的构成材料能够任意地变更。在一例中,钝化层12可以由氧化硅膜(SiO₂)形成。另外,钝化层12也可以由SiN膜以及SiO₂膜的层叠构造构成。

[0040] 半导体装置10可以还包含金属层18。钝化层12至少部分地覆盖金属层18。金属层18可以由钛(Ti)、镍(Ni)、金(Au)、银(Ag)、铜(Cu)、铝(Al)、Cu合金和Al合金中的至少一种来形成。在一例中,金属层18可以由AlCu合金形成。

[0041] 金属层18可以包含:源极布线20、栅极布线22以及外周电极24。源极布线20、栅极布线22以及外周电极24相互分离。栅极布线22与源极布线20分离,并且包围源极布线20。外周电极24与栅极布线22分离,并且包围栅极布线22。源极布线20、栅极布线22以及外周电极24的更详细内容参照图2将在后面进行描述。

[0042] 焊盘开口14可以使源极布线20至少部分地露出。另外,焊盘开口16可以使栅极布线22至少部分地露出。可以分别为了实现从外部向源极布线20及栅极布线22的连接,而设置焊盘开口14、16。另一方面,外周电极24也可以被钝化层12完全覆盖。焊盘开口14、16的结构(例如位置、形状、大小、数量等)例如可以根据半导体装置10的设计及使用方式而适当决定,并不限定于图1的例子。

[0043] 如图2所示,半导体装置10可以包含半导体层26。金属层18形成在半导体层26上。半导体层26包含第一面26A、及第一面26A的相反侧的第二面26B(参照图5)。图2所示的Z轴方向相当于与半导体层26的第一面26A及第二面26B正交的方向。

[0044] 半导体层26可以由硅(Si)、碳化硅(SiC)、氮化镓(GaN)中的至少一种来形成。在一例中,半导体层26可以由Si来形成。半导体层26的第二面26B包含沿着X轴方向延伸的2个边26X1、26X2、以及沿着Y轴方向延伸的2个边26Y1、26Y2。半导体层26的外缘在俯视时可以包含4个边26X1、26X2、26Y1、26Y2。由半导体层26的4个边26X1、26X2、26Y1、26Y2划定的区域可相当于一个芯片(裸片)。

[0045] 半导体层26在俯视时可以包含外周区28和被外周区28包围的有源区30。外周区28

与有源区30的边界在图2中用双点划线表示。

[0046] 有源区30是有助于半导体装置10作为晶体管的动作的区域。外周区28是无助于半导体装置10作为晶体管的动作的区域。外周区28可以包含成为半导体层26的外缘的4个边26X1、26X2、26Y1、26Y2。外周区28在俯视时可以是包围有源区30的矩形框状。关于半导体层26的更详细内容,参照图5将在后面进行描述。

[0047] 源极布线20在俯视时实质上具有矩形状的切口,由此,可以包含凹部20A。凹部20A可以形成于与半导体层26的4个边26X1、26X2、26Y1、26Y2的某一个接近的源极布线20的端部。在图2的例子中,凹部20A可以形成于与半导体层26的边26X2接近的源极布线20中的X轴方向上的中央。凹部20A能够朝向边26X2开口。

[0048] 栅极布线22可以包含栅极指部32以及栅极焊盘部34。栅极指部32可以配置于外周区28。栅极指部32沿着半导体层26的4个边26X1、26X2、26Y1、26Y2的至少一部分延伸,由此,可以至少部分地包围源极布线20。栅极焊盘部34可以配置于外周区28。栅极焊盘部34可以至少部分地配置于源极布线20的凹部20A内。栅极焊盘部34可以与栅极指部32一体地连接。在图2的例子中,栅极焊盘部34在俯视时可以配置为将沿着边26X2延伸的栅极指部32的两个部分之间连接。

[0049] 外周电极24在俯视时可以是封闭的环状。外周电极24可以沿着半导体层26的4个边26X1、26X2、26Y1、26Y2延伸。外周电极24也可以与半导体层26的4个边26X1、26X2、26Y1、26Y2分离。

[0050] 图3示意性地表示形成于半导体层26的若干个构成要素。半导体装置10可以还包含形成于半导体层26的栅极沟槽36。栅极沟槽36形成于半导体层26的外周区28以及有源区30双方。栅极沟槽36可以包含:配置于外周区28的外周栅极沟槽部38、配置于有源区30的内侧栅极沟槽部40(参照图4)、以及使外周栅极沟槽部38与内侧栅极沟槽部40连通的连接栅极沟槽部42。

[0051] 有源区30在俯视时可以形成于与源极布线20重叠的位置。有源区30在俯视时可以具有与包含凹部20A的源极布线20类似的形状。有源区30在俯视时可以比包含凹部20A的源极布线20小一圈。有源区30被源极布线20覆盖,但未被栅极焊盘部34覆盖。内侧栅极沟槽部40可以配置于有源区30。因此,内侧栅极沟槽部40在俯视时可以配置于与源极布线20重叠的位置。与内侧栅极沟槽部40连接的连接栅极沟槽部42在俯视时可以配置于与源极布线20部分重叠的位置。

[0052] 外周区28在俯视时可以具有与栅极指部32和栅极焊盘部34类似的形状。外周区28在俯视时可以包含进入到源极布线20的凹部20A的区域。外周区28被栅极指部32和栅极焊盘部34覆盖。

[0053] 配置于外周区28的外周栅极沟槽部38可以具有包围源极布线20的形状。在一例中,外周栅极沟槽部38在俯视时在外周区28中可以具有与包含凹部20A的源极布线20类似的形状。外周栅极沟槽部38在俯视时可以比包含凹部20A的源极布线20大一圈。这样,外周栅极沟槽部38在俯视时能够形成为具有沿着凹部20A那样的凹部的封闭的环状。外周栅极沟槽部38在俯视时配置于不与栅极指部32和栅极焊盘部34双方重叠的位置。另外,外周栅极沟槽部38在俯视时配置于不与源极布线20重叠的位置。即,外周栅极沟槽部38在俯视时配置于源极布线20与栅极指部32以及栅极焊盘部34之间。

[0054] 半导体装置10可以还包含形成于半导体层26的保护沟槽44。保护沟槽44可以配置为包围外周栅极沟槽部38。保护沟槽44在俯视时可以具有与外周栅极沟槽部38类似的形状。也可以说,外周栅极沟槽部38在俯视时被保护沟槽44包围。半导体装置10可以具有多个保护沟槽44。

[0055] [栅极指部周围的栅极沟槽和保护沟槽的配置]

[0056] 图4是图3的局部放大图,将图3中由单点划线包围的部分F4放大。为了容易理解,在图4中对源极布线20、栅极布线22(栅极指部32)以及外周电极24标注了点阴影。

[0057] 如图4所示,配置于有源区30的内侧栅极沟槽部40可以形成为格子状。半导体装置10可以还包含与源极布线20连接的源极接触部46。源极接触部46可以配置于被内侧栅极沟槽部40包围的半导体层26的多个矩形状的区域。在另一例中,内侧栅极沟槽部40例如可以形成为条纹状。

[0058] 配置于外周区28的外周栅极沟槽部38可以包含:第一外周栅极沟槽部38A、设置于比第一外周栅极沟槽部38A靠外侧的位置的第二外周栅极沟槽部38B。在俯视时,可以说第二外周栅极沟槽部38B相对于第一外周栅极沟槽部38A设置在有源区30的相反侧。在俯视时,可以说第二外周栅极沟槽部38B设置在比第一外周栅极沟槽部38A更远离有源区30的位置。换言之,可以说第一外周栅极沟槽部38A设置成相对于第二外周栅极沟槽部38B靠近有源区30。第一外周栅极沟槽部38A和第二外周栅极沟槽部38B在俯视时可以为彼此相似形状。

[0059] 各外周栅极沟槽部38A、38B可以具有比内侧栅极沟槽部40大的宽度。在此,第一外周栅极沟槽部38A的宽度在俯视时是指与第一外周栅极沟槽部38A延伸的方向正交的方向的尺寸。第一外周栅极沟槽部38A的宽度在俯视时也可以说是第一外周栅极沟槽部38A的短边方向的长度。例如,图4所示的第一外周栅极沟槽部38A在Y轴方向上延伸,因此,在X轴方向上具有宽度。同样地,第二外周栅极沟槽部38B的宽度在俯视时是指与第二外周栅极沟槽部38B延伸的方向正交的方向的尺寸。第二外周栅极沟槽部38B的宽度在俯视时也可以说是第二外周栅极沟槽部38B的短边方向的长度。例如,图4所示的第二外周栅极沟槽部38B在Y轴方向上延伸,因此,在X轴方向上具有宽度。另外,内侧栅极沟槽部40的宽度在俯视时是指与内侧栅极沟槽部40延伸的方向正交的方向的尺寸。即,内侧栅极沟槽部40的宽度在俯视时也可以说是内侧栅极沟槽部40的短边方向的长度。

[0060] 半导体装置10可以还具有与栅极布线22(栅极指部32)连接的栅极接触部48。栅极接触部48在俯视时可以配置于与各外周栅极沟槽部38A、38B重叠的区域。半导体装置10也可以具有多个栅极接触部48。

[0061] 使第一外周栅极沟槽部38A与内侧栅极沟槽部40连通的连接栅极沟槽部42设置成比第一外周栅极沟槽部38A更靠近有源区30。连接栅极沟槽部42与第一外周栅极沟槽部38A连接。另一方面,连接栅极沟槽部42不与第二外周栅极沟槽部38B连接。连接栅极沟槽部42配置成跨外周区28和有源区30双方。连接栅极沟槽部42可以在与第一外周栅极沟槽部38A延伸的方向(在图4中为Y轴方向)交叉的方向(在图4中为X轴方向)上延伸。连接栅极沟槽部42也可以以排列成条纹状的方式而设置多个。

[0062] 包围各外周栅极沟槽部38A、38B的多个(在图4的例子中为16个)保护沟槽44配置于外周区28。半导体装置10可以包含一个或多个保护沟槽44。保护沟槽44的数量可以根据

半导体装置10所期望的性能或布局而适当设定。在图4的例子中,多个保护沟槽44以等间距的方式排列。此外,多个保护沟槽44的配置方式可以任意变更。在一例中,多个保护沟槽44的至少一部分也可以以不同的间距来排列。

[0063] 在如图4的例子那样设置多个保护沟槽44时,保护沟槽44中的若干个在俯视时可以配置于与栅极指部32重叠的位置。或者,多个保护沟槽44的全部在俯视时也可以配置于与栅极指部32重叠的位置。

[0064] 半导体装置10可以还包含与外周电极24连接的外周接触部50。外周接触部50可以形成为封闭的环状。环状的外周接触部50在俯视时可以包围保护沟槽44。半导体装置10也可以包含多个外周接触部50。

[0065] 源极接触部46、栅极接触部48以及外周接触部50可以由任意的金属材料形成。在一例中,各接触部46、48、50可以由钨(W)、Ti以及氮化钛(TiN)中的至少一个形成。

[0066] 半导体装置10可以具有配置在连接栅极沟槽部42与保护沟槽44之间的第一浮空沟槽52A和第二浮空沟槽52B。各浮空沟槽52A、52B的更详细内容参照图4~图6及图8将在后面进行描述。

[0067] 图5是沿着图4的F5-F5线的半导体装置10的概略剖视图。半导体层26可以包含:半导体基板54,其包含半导体层26的第一面26A;外延层56,其形成在半导体基板54上,并包含半导体层26的第二面26B。在本实施方式中,半导体基板54可以是Si基板。半导体基板54可以与MISFET的漏极区对应。漏极区(半导体基板54)可以是包含p型杂质的p⁺型区。半导体基板54的杂质浓度可以设为 $1 \times 10^{18} \text{cm}^{-3}$ 以上且 $1 \times 10^{20} \text{cm}^{-3}$ 以下。半导体基板54可以具有50 μm 以上且450 μm 以下的厚度。外延层56可以是在Si基板上外延生长的Si层。外延层56的更详细内容参照图7和图8将在后面进行描述。

[0068] 半导体装置10可以还包含形成在半导体层26的第一面26A的漏极电极58。漏极电极58与漏极区(半导体基板54)电连接。漏极电极58可以由Ti、Ni、Au、Ag、Cu、Al、Cu合金和Al合金中的至少一个形成。

[0069] 半导体装置10可以还包含形成在半导体层26上的绝缘层60。在一例中,绝缘层60可以由SiO₂形成。绝缘层60也可以追加或代替性地包含由与SiO₂不同的绝缘材料例如SiN等形成的膜。绝缘层60也可以由SiN膜以及SiO₂膜的层叠构造来构成。

[0070] 绝缘层60与半导体层26的第二面26B相接。源极布线20、栅极布线22以及外周电极24形成在绝缘层60上。钝化层12至少部分地覆盖形成在绝缘层60上的源极布线20、栅极布线22以及外周电极24。未被源极布线20、栅极布线22以及外周电极24覆盖的绝缘层60的部分可以被钝化层12覆盖。

[0071] 栅极沟槽36在半导体层26的第二面26B具有开口,在Z轴方向上具有深度。同样地,保护沟槽44也在半导体层26的第二面26B具有开口,在Z轴方向上具有深度。在图示的例子中,栅极沟槽36和保护沟槽44表示为具有大致相同的深度,但在另一例中也可以具有不同的深度。例如,保护沟槽44也可以在半导体层26内形成得比栅极沟槽36深。或者,保护沟槽44也可以在半导体层26内形成得比栅极沟槽36浅。在另外的其他例中,各外周栅极沟槽部38A、38B与内侧栅极沟槽部40也可以具有不同的深度。例如,各外周栅极沟槽部38A、38B也可以形成得比内侧栅极沟槽部40深。

[0072] 在图5中,表示了一个连接栅极沟槽部42的沿着长边方向的截面。连接栅极沟槽部

42的两个端部分别与第一外周栅极沟槽部38A和内侧栅极沟槽部40连通。这样,可以通过第一外周栅极沟槽部38A、内侧栅极沟槽部40以及连接栅极沟槽部42相互连通以及从第一外周栅极沟槽部38A向外侧分离的第二外周栅极沟槽部38B来构成栅极沟槽36。

[0073] 在各外周栅极沟槽部38A、38B、内侧栅极沟槽部40以及连接栅极沟槽部42中,隔着绝缘层60埋入参照图7和图8而后述的栅极电极62。第一外周栅极沟槽部38A、内侧栅极沟槽部40以及连接栅极沟槽部42相互连通,因此,可以跨第一外周栅极沟槽部38A、内侧栅极沟槽部40以及连接栅极沟槽部42地埋入一体构成的栅极电极62。在第二外周栅极沟槽部38B中,可以埋入与上述一体构成的栅极电极62不同的栅极电极62。

[0074] 源极接触部46贯通位于源极布线20与半导体层26之间的绝缘层60而延伸,由此,将源极布线20与半导体层26连接。外周接触部50贯通位于外周电极24与半导体层26之间的绝缘层60而延伸,由此,将外周电极24与半导体层26连接。

[0075] 图6是沿着图4的F6-F6线的半导体装置10的概略剖视图,表示了相邻的两个连接栅极沟槽部42之间的区域。在图6中,对于与图5一样的结构省略说明。

[0076] 在图6中,表示了第一外周栅极沟槽部38A中的不与连接栅极沟槽部42直接连通的部分和第二外周栅极沟槽部38B。如上述以及图示那样,各外周栅极沟槽部38A、38B可以具有比内侧栅极沟槽部40大的宽度。在一例中,各外周栅极沟槽部38A、38B可以具有内侧栅极沟槽部40的宽度的1.2倍以上且2.5倍以下的宽度。

[0077] 栅极接触部48贯通绝缘层60而延伸,由此,将栅极指部32与埋入各外周栅极沟槽部38A、38B的栅极电极62连接(参照图8)。因此,栅极布线22与栅极电极62电连接。

[0078] 图7是图6的局部放大图,将图6中由单点划线包围的部分F7放大。图7表示有源区30(参照图3)的剖视图。

[0079] 半导体装置10可以还包含:隔着绝缘层60埋入到栅极沟槽36内的栅极电极62。在一例中,栅极电极62可以由导电性的多晶硅形成。绝缘层60可以包含:栅极绝缘膜64,其介于栅极电极62与半导体层26之间并覆盖栅极沟槽36;层间绝缘膜66,其形成于金属层18与半导体层26之间。栅极电极62通过栅极绝缘膜64与半导体层26分离。

[0080] 在图7中,表示了介于栅极电极62与半导体层26之间并覆盖内侧栅极沟槽部40的栅极绝缘膜64、以及形成于源极布线20与半导体层26之间的层间绝缘膜66。

[0081] 半导体层26(外延层56)可以包含:漂移区68、形成在漂移区68上的体区70、形成在体区70上的源极区72。源极区72可以包含半导体层26的第二面26B。半导体层26(外延层56)可以还包含位于源极接触部46之下的接触区74。源极布线20隔着源极接触部46与接触区74电连接。

[0082] 漂移区68可以是包含浓度比漏极区(半导体基板54)低的p型杂质的p⁻型区。漂移区68的杂质浓度可以设为 $1 \times 10^{15} \text{cm}^{-3}$ 以上且 $1 \times 10^{18} \text{cm}^{-3}$ 以下。漂移区68可以具有 $1 \mu\text{m}$ 以上且 $25 \mu\text{m}$ 以下的厚度。

[0083] 体区70可以是包含n型杂质的n⁻型区。体区70的杂质浓度可以设为 $1 \times 10^{16} \text{cm}^{-3}$ 以上且 $1 \times 10^{18} \text{cm}^{-3}$ 以下。体区70可以具有 $0.5 \mu\text{m}$ 以上且 $1.5 \mu\text{m}$ 以下的厚度。

[0084] 源极区72可以是包含浓度比漂移区68高的p型杂质的p⁺型区。源极区72的杂质浓度也可以比体区70高。源极区72的杂质浓度可以设为 $1 \times 10^{19} \text{cm}^{-3}$ 以上且 $1 \times 10^{21} \text{cm}^{-3}$ 以下。源极区72可以具有 $0.1 \mu\text{m}$ 以上且 $1 \mu\text{m}$ 以下的厚度。

[0085] 接触区74可以是包含n型杂质的n⁺型区。接触区74的杂质浓度比体区70高,可以设为 $1 \times 10^{19} \text{cm}^{-3}$ 以上且 $1 \times 10^{21} \text{cm}^{-3}$ 以下。

[0086] 此外,在本公开中,也将p型称为第一导电型,将n型称为第二导电型。p型杂质例如可以是硼(B)、铝(Al)等。另外,n型杂质例如可以是磷(P)、砷(As)等。

[0087] 内侧栅极沟槽部40在半导体层26的第二面26B具有开口,通过贯通源极区72和体区70双方而到达漂移区68。内侧栅极沟槽部40的侧壁也可以在与半导体层26的第二面26B垂直的方向(Z轴方向)上延伸。在图示的例子中,内侧栅极沟槽部40可以具有相对于Z轴方向稍微倾斜的侧面。在图示的例子中,内侧栅极沟槽部40的底壁形成为整体弯曲的形状,但不限于此。例如,内侧栅极沟槽部40的底壁的X轴方向的两端部可以形成为弯曲状,也可以具有沿着XY平面的平坦面。

[0088] 当向栅极电极62施加规定电压时,在与栅极绝缘膜64邻接的n⁻型的体区70内形成沟道。半导体装置10能够控制隔着该沟道的p⁺型的源极区72与p⁻型的漂移区68之间的Z轴方向的空穴的流动。

[0089] 图8是图6的局部放大图,将图6中由单点划线包围的部分F8放大。图8表示外周区28(参照图3),特别是被栅极指部32覆盖的区域的剖视图。

[0090] 各外周栅极沟槽部38A、38B在半导体层26的第二面26B具有开口,通过贯通体区70而到达漂移区68。各外周栅极沟槽部38A、38B的侧壁也可以在与半导体层26的第二面26B垂直的方向(Z轴方向)上延伸。在图示的例子中,各外周栅极沟槽部38A、38B可以具有相对于Z轴方向略微倾斜的侧面。在图示的例子中,各外周栅极沟槽部38A、38B的底壁的X轴方向的两端部形成为弯曲状,但不限于此。例如,各外周栅极沟槽部38A、38B的底壁可以形成为整体弯曲的形状,也可以具有整体沿着XY平面的平坦面。

[0091] 如上所述,栅极电极62也隔着绝缘层60埋入到各外周栅极沟槽部38A、38B内。各外周栅极沟槽部38A、38B具有比内侧栅极沟槽部40大的宽度,因此,栅极绝缘膜64也可以在各外周栅极沟槽部38A、38B内形成得比内侧栅极沟槽部40内厚。由此,栅极电极62可以在外周栅极沟槽部38内具有与内侧栅极沟槽部40内的栅极电极62相同的厚度。此外,各外周栅极沟槽部38A、38B内的栅极电极62可以具有比内侧栅极沟槽部40内的栅极电极62大的宽度,或者也可以具有比内侧栅极沟槽部40内的栅极电极62小的宽度。

[0092] 栅极接触部48贯通位于栅极电极62与栅极指部32之间的绝缘层60(层间绝缘膜66)而延伸,由此,将埋入到各外周栅极沟槽部38A、38B内的栅极电极62与栅极指部32连接。

[0093] 保护沟槽44可以配置成与各外周栅极沟槽部38A、38B分离。在设置多个保护沟槽44时,多个保护沟槽44也可以配置成相互分离。保护沟槽44可以设置于比第二外周栅极沟槽部38B靠外侧的位置。保护沟槽44设置为包围第二外周栅极沟槽部38B。也可以说,在俯视时,保护沟槽44相对于第二外周栅极沟槽部38B设置在有源区30的相反侧。也可以说,在俯视时,保护沟槽44设置在比第二外周栅极沟槽部38B更远离有源区30的位置。换言之,也可以说,在俯视时,第二外周栅极沟槽部38B设置为比保护沟槽44靠近有源区30。

[0094] 如图示的例子那样,保护沟槽44可以具有比各外周栅极沟槽部38A、38B小的宽度。在另一例中,保护沟槽44可以具有与各外周栅极沟槽部38A、38B相同的宽度,或者也可以具有比各外周栅极沟槽部38A、38B大的宽度。

[0095] 另外,保护沟槽44可以具有与内侧栅极沟槽部40(参照图7)相同的宽度。在另一例

中,保护沟槽44可以具有比内侧栅极沟槽部40小的宽度,或者也可以具有比内侧栅极沟槽部40大的宽度。

[0096] 保护沟槽44在半导体层26的第二面26B具有开口,通过贯通体区70而到达漂移区68。保护沟槽44的侧壁也可以在与半导体层26的第二面26B垂直的方向(Z轴方向)上延伸。在图示的例子中,保护沟槽44可以具有相对于Z轴方向略微倾斜的侧面。在图示的例子中,保护沟槽44的底壁形成为整体弯曲的形状,但不限于此。例如,保护沟槽44的底壁的X轴方向的两端部可以形成为弯曲状,也可以具有沿着XY平面的平坦面。

[0097] 半导体装置10可以还包含:隔着绝缘层60埋入到保护沟槽44内的保护电极76。在一例中,保护电极76可以由导电性的多晶硅形成。保护沟槽44在俯视时形成为封闭的环状,因此,保护电极76在俯视时也能够形成为封闭的环状。

[0098] 绝缘层60可以还包含:介于保护电极76与半导体层26之间并覆盖保护沟槽44的保护绝缘膜78。保护电极76通过保护绝缘膜78而与半导体层26分离。埋入到保护沟槽44内的保护电极76不与其他金属部件(例如,栅极指部32)连接,可以处于电浮空(floating)状态。在一例中,保护电极76可以具有与内侧栅极沟槽部40内的栅极电极62相同的宽度。此外,保护电极76可以具有比内侧栅极沟槽部40内的栅极电极62大的宽度,或者也可以具有比内侧栅极沟槽部40内的栅极电极62小的宽度。

[0099] 如图8所示,在有源区30(参照图3)以外的区域中,半导体层26不包含源极区72(参照图7),而包含漂移区68以及体区70。因此,在图8所示的区域中,半导体层26的第二面26B包含于体区70。

[0100] [连接栅极沟槽部与保护沟槽44之间的结构]

[0101] 参照图4、图6以及图8,对连接栅极沟槽部42与保护沟槽44之间的结构进行说明。此外,在以下说明中,将多个保护沟槽44中的最接近第二外周栅极沟槽部38B的保护沟槽44设为“端部保护沟槽44E”。

[0102] 如图4所示,在连接栅极沟槽部42与保护沟槽44之间配置第一浮空沟槽52A和第二浮空沟槽52B。在图4的例子中,第一浮空沟槽52A和第二浮空沟槽52B与第一外周栅极沟槽部38A和第二外周栅极沟槽部38B交替地配置。

[0103] 更详细而言,第一浮空沟槽52A配置在第一外周栅极沟槽部38A与第二外周栅极沟槽部38B之间。也可以说,第一浮空沟槽52A配置于比第一外周栅极沟槽部38A靠外侧的位置。也可以说,在俯视时,第一浮空沟槽52A相对于第一外周栅极沟槽部38A配置在有源区30的相反侧。也可以说,在俯视时,第一浮空沟槽52A配置在比第一外周栅极沟槽部38A更远离有源区30的位置。

[0104] 第一浮空沟槽52A可以配置为比第一外周栅极沟槽部38A靠近第二外周栅极沟槽部38B。即,第一浮空沟槽52A与第二外周栅极沟槽部38B之间的距离DGF12小于第一浮空沟槽52A与第一外周栅极沟槽部38A之间的距离DGF11。在一例中,距离DGF11可以设为 $1\mu\text{m}$ 以上且 $10\mu\text{m}$ 以下。在一例中,距离DGF12能够设为 $1\mu\text{m}$ 以上且 $4.6\mu\text{m}$ 以下。此外,距离DGF12与距离DGF11的关系可以任意变更。

[0105] 第二浮空沟槽52B配置在比第二外周栅极沟槽部38B靠外侧的位置。也可以说,在俯视时,第二浮空沟槽52B相对于第二外周栅极沟槽部38B配置在第一浮空沟槽52A的相反侧。在一例中,第二浮空沟槽52B可以配置在第二外周栅极沟槽部38B与端部保护沟槽44E之

间。在图4的例子中,第二浮空沟槽52B配置在第二外周栅极沟槽部38B与端部保护沟槽44E之间的中央。即,第二外周栅极沟槽部38B与第二浮空沟槽52B之间的距离DGF22等于第二浮空沟槽52B与端部保护沟槽44E之间的距离DFP。在一例中,距离DGF22可以设为 $1\mu\text{m}$ 以上且 $7\mu\text{m}$ 以下。

[0106] 此外,第二浮空沟槽52B的位置可以在第二外周栅极沟槽部38B与端部保护沟槽44E之间任意变更。在一例中,第二浮空沟槽52B也可以配置为比端部保护沟槽44E靠近第二外周栅极沟槽部38B。在另一例中,第二浮空沟槽52B可以配置成比第二外周栅极沟槽部38B靠近端部保护沟槽44E。

[0107] 在图4的例子中,距离DGF12大于相邻的保护沟槽44之间的距离DPP。在一例中,距离DPP为 $1\mu\text{m}$ 。即,在图4的例子中,距离DGF12大于 $1\mu\text{m}$ 。在一例中,距离DGF12为距离DPP的2倍以下。在一例中,距离DGF12为距离DPP的3倍以下。此外,距离DGF12可以与距离DPP相等,或者也可以小于距离DPP。

[0108] 在图4的例子中,距离DGF11大于距离DPP。在一例中,距离DGF11为距离DPP的2倍以上。此外,距离DGF11与距离DPP的关系可以任意变更。在一例中,距离DGF11为距离DPP的3倍以上。在一例中,距离DGF11为距离DPP的4倍以上。在一例中,距离DGF11为距离DPP的5倍以上。在一例中,距离DGF11为距离DPP的6倍以上。在一例中,距离DGF11为距离DPP的7倍以上。在一例中,距离DGF11为距离DPP的8倍以上。在一例中,距离DGF11为距离DPP的9倍以上。在一例中,距离DGF11为距离DPP的10倍以下。

[0109] 距离DGF11可以小于第二外周栅极沟槽部38B与第二浮空沟槽52B之间的距离DGF22。另外,距离DGF12可以小于距离DGF22。

[0110] 在另一例中,距离DGF11可以与距离DGF22相同,或者也可以大于距离DGF22。另外,在另一例中,距离DGF12可以与距离DGF22相同,或者也可以大于距离DGF22。

[0111] 距离DGF11可以大于第二浮空沟槽52B与端部保护沟槽44E之间的距离DFP。在另一例中,距离DGF11可以与距离DFP相同,或者也可以小于距离DFP。

[0112] 距离DGF22可以与距离DFP相同。在另一例中,距离DGF22可以大于距离DFP,或者也可以小于距离DFP。距离DGF22和距离DFP都可以大于距离DPP。

[0113] 第一浮空沟槽52A与第二浮空沟槽52B之间的距离DFF大于相邻的两个保护沟槽44之间的距离DPP。距离DFF大于距离DGF12。距离DFF大于距离DGF11。距离DFF大于距离DFP。

[0114] 第一浮空沟槽52A在俯视时可以具有包围第一外周栅极沟槽部38A的形状。在一例中,第一浮空沟槽52A在俯视时可以具有与第一外周栅极沟槽部38A类似的形状。第二外周栅极沟槽部38B在俯视时可以具有包围第一浮空沟槽52A的形状。在一例中,第二外周栅极沟槽部38B在俯视时可以具有与第一浮空沟槽52A类似的形状。因此,第一浮空沟槽52A在俯视时可以具有包含沿着凹部20A(参照图2)的形状的封闭的环状。

[0115] 第二浮空沟槽52B在俯视时可以具有包围第二外周栅极沟槽部38B的形状。在一例中,第二浮空沟槽52B在俯视时可以具有与第二外周栅极沟槽部38B类似的形状。因此,第二浮空沟槽52B在俯视时可以具有包含沿着凹部20A的形状的封闭的环状。

[0116] 各浮空沟槽52A、52B在俯视时配置于不与栅极指部32以及栅极焊盘部34双方重叠的位置。另外,各浮空沟槽52A、52B在俯视时配置于不与源极布线20重叠的位置。即,各浮空沟槽52A、52B在俯视时配置于源极布线20与栅极指部32以及栅极焊盘部34之间。

[0117] 如图5和图6所示,第一浮空沟槽52A可以具有与各外周栅极沟槽部38A、38B相同的宽度。即,第一浮空沟槽52A可以具有比内侧栅极沟槽部40的宽度和保护沟槽44的宽度大的宽度。

[0118] 在另一例中,第一浮空沟槽52A可以具有比各外周栅极沟槽部38A、38B大的宽度,或者也可以具有比各外周栅极沟槽部38A、38B小的宽度。另外,在另一例中,第一浮空沟槽52A可以具有与内侧栅极沟槽部40相同的宽度,或者也可以具有比内侧栅极沟槽部40小的宽度。另外,在另一例中,第一浮空沟槽52A可以具有与保护沟槽44相同的宽度,或者也可以具有比保护沟槽44小的宽度。

[0119] 第二浮空沟槽52B可以具有比各外周栅极沟槽部38A、38B小的宽度。在一例中,第二浮空沟槽52B可以具有与内侧栅极沟槽部40相同的宽度。第二浮空沟槽52B可以具有与保护沟槽44相同的宽度。即,第二浮空沟槽52B的宽度比第一浮空沟槽52A的宽度小。换言之,第一浮空沟槽52A的宽度比第二浮空沟槽52B的宽度大。

[0120] 在另一例中,第二浮空沟槽52B可以具有与各外周栅极沟槽部38A、38B相同的宽度,或者也可以具有比各外周栅极沟槽部38A、38B大的宽度。另外,在另一例中,第二浮空沟槽52B可以具有比内侧栅极沟槽部40大的宽度,或者也可以具有比内侧栅极沟槽部40小的宽度。另外,在另一例中,第二浮空沟槽52B可以具有比保护沟槽44大的宽度,或者也可以具有比保护沟槽44小的宽度。

[0121] 如图5和图6所示,第一浮空沟槽52A可以具有与第二浮空沟槽52B相同的深度。各浮空沟槽52A、52B可以具有与各外周栅极沟槽部38A、38B相同的深度。另外,各浮空沟槽52A、52B可以具有与内侧栅极沟槽部40和保护沟槽44相同的深度。

[0122] 此外,各浮空沟槽52A、52B的深度能够任意变更。在一例中,第一浮空沟槽52A可以具有比第二浮空沟槽52B深的深度,或者也可以具有比第二浮空沟槽52B浅的深度。在另一例中,各浮空沟槽52A、52B可以具有比各外周栅极沟槽部38A、38B深的深度,或者也可以具有比各外周栅极沟槽部38A、38B浅的深度。在另一例中,各浮空沟槽52A、52B可以具有比内侧栅极沟槽部40深的深度,或者也可以具有比内侧栅极沟槽部40浅的深度。在另一例中,各浮空沟槽52A、52B可以具有比保护沟槽44深的深度,或者也可以具有比保护沟槽44浅的深度。

[0123] 如图8所示,第一浮空沟槽52A在半导体层26的第二面26B具有开口,通过贯通体区70而到达漂移区68。第一浮空沟槽52A的侧壁也可以在相对于半导体层26的第二面26B垂直的方向(Z轴方向)上延伸。在图示的例子中,第一浮空沟槽52A可以具有相对于Z轴方向略微倾斜的侧面。在图示的例子中,第一浮空沟槽52A的底壁的X轴方向的两端部形成为弯曲状,但不限于此。例如,第一浮空沟槽52A的底壁可以形成为整体弯曲的形状,也可以具有沿着XY平面的平坦面。在图8的例子中,在图8的剖视时,第一浮空沟槽52A具有与各外周栅极沟槽部38A、38B的截面形状相同的截面形状。此外,第一浮空沟槽52A也可以具有与各外周栅极沟槽部38A、38B的截面形状不同的截面形状。

[0124] 第二浮空沟槽52B在半导体层26的第二面26B具有开口,通过贯通体区70而到达漂移区68。第二浮空沟槽52B的侧壁也可以在相对于半导体层26的第二面26B垂直的方向(Z轴方向)上延伸。在图示的例子中,第二浮空沟槽52B可以具有相对于Z轴方向略微倾斜的侧面。在图示的例子中,第二浮空沟槽52B的底壁形成为整体弯曲的形状,但不限于此。例如,

第二浮空沟槽52B的底壁的X轴方向的两端部可以形成为弯曲状,也可以具有沿着XY平面的平坦面。在图8的例子中,在图8的剖视时,第二浮空沟槽52B具有与保护沟槽44的截面形状相同的截面形状。此外,第二浮空沟槽52B也可以具有与保护沟槽44的截面形状不同的截面形状。

[0125] 半导体装置10可以还包含:第一浮空电极80A,其隔着绝缘层60埋入到第一浮空沟槽52A内;第二浮空电极80B,其隔着绝缘层60埋入到第二浮空沟槽52B内。在此,在本实施方式中,第一浮空电极80A对应于“浮空电极”。

[0126] 在一例中,各浮空电极80A、80B可以由导电性的多晶硅形成。各浮空沟槽52A、52B在俯视时形成为与各外周栅极沟槽部38A、38B类似的形状,因此,浮空电极80A、80B在俯视是也可以形成为与各外周栅极沟槽部38A、38B类似的形状。

[0127] 绝缘层60可以还包含第一浮空绝缘膜82A和第二浮空绝缘膜82B。第一浮空绝缘膜82A介于第一浮空电极80A与半导体层26之间而形成在第一浮空沟槽52A内。第二浮空绝缘膜82B介于第二浮空电极80B与半导体层26之间而形成在第二浮空沟槽52B内。因此,第一浮空电极80A通过第一浮空绝缘膜82A而与半导体层26分离。第二浮空电极80B通过第二浮空绝缘膜82B而与半导体层26分离。各浮空电极80A、80B不与其他金属部件(例如,栅极指部32)连接,处于电浮空状态。

[0128] 在图8的例子中,第一浮空沟槽52A的宽度与各外周栅极沟槽部38A、38B相同,因此,第一浮空绝缘膜82A的厚度与各外周栅极沟槽部38A、38B的栅极绝缘膜64的厚度相同。另一方面,第一浮空沟槽52A的宽度比内侧栅极沟槽部40的宽度大,因此,第一浮空绝缘膜82A的厚度比内侧栅极沟槽部40的栅极绝缘膜64的厚度厚。

[0129] 第二浮空沟槽52B的宽度比各外周栅极沟槽部38A、38B的宽度小,因此,第二浮空绝缘膜82B的厚度比各外周栅极沟槽部38A、38B的栅极绝缘膜64的厚度薄。换言之,各外周栅极沟槽部38A、38B的栅极绝缘膜64的厚度比第二浮空绝缘膜82B的厚度厚。另一方面,第二浮空沟槽52B的宽度与内侧栅极沟槽部40的宽度相同,因此,第二浮空绝缘膜82B的厚度与内侧栅极沟槽部40的栅极绝缘膜64的厚度相同。

[0130] 第一浮空沟槽52A的宽度比第二浮空沟槽52B的宽度大,因此,第一浮空绝缘膜82A的厚度比第二浮空绝缘膜82B的厚度厚。

[0131] 第一浮空电极80A可以具有与埋入到各外周栅极沟槽部38A、38B的栅极电极62相同的宽度。即,第一浮空电极80A可以具有与埋入到内侧栅极沟槽部40的栅极电极62及保护电极76相同的宽度。

[0132] 在另一例中,第一浮空电极80A可以具有比各外周栅极沟槽部38A、38B内的栅极电极62大的宽度,或者也可以具有比各外周栅极沟槽部38A、38B内的栅极电极62小的宽度。另外,在另一例中,第一浮空电极80A可以具有比内侧栅极沟槽部40内的栅极电极62大的宽度,或者也可以具有比内侧栅极沟槽部40内的栅极电极62小的宽度。另外,在另一例中,第一浮空电极80A可以具有比保护电极76大的宽度,或者也可以具有比保护电极76小的宽度。

[0133] 第二浮空电极80B可以具有与各外周栅极沟槽部38A、38B内的栅极电极62相同的宽度。在一例中,第二浮空电极80B可以具有与内侧栅极沟槽部40内的栅极电极62相同的宽度。第二浮空电极80B可以具有与保护电极76相同的宽度。第二浮空电极80B可以具有与第一浮空电极80A相同的宽度。

[0134] 在另一例中,第二浮空电极80B可以具有比各外周栅极沟槽部38A、38B内的栅极电极62大的宽度,或者也可以具有比各外周栅极沟槽部38A、38B内的栅极电极62小的宽度。另外,在另一例中,第二浮空电极80B可以具有比内侧栅极沟槽部40内的栅极电极62大的宽度,或者也可以具有比内侧栅极沟槽部40内的栅极电极62小的宽度。另外,在另一例中,第二浮空电极80B可以具有比保护电极76大的宽度,或者也可以具有比保护电极76小的宽度。另外,在另一例中,第二浮空电极80B也可以具有比第一浮空电极80A小的宽度。换言之,第一浮空电极80A也可以具有比第二浮空电极80B大的宽度。另外,在另一例中,第二浮空电极80B也可以具有比第一浮空电极80A大的宽度。

[0135] 接着,参照图9~图11,对各外周栅极沟槽部38A、38B和各浮空沟槽52A、52B的位置关系与漏极-源极间击穿电压(BV_{DSS})的关系进行说明。

[0136] 图9是表示第二浮空沟槽52B与端部保护沟槽44E之间的距离DFP与漏极-源极间击穿电压 BV_{DSS} 的关系的图表。

[0137] 根据图9可知,即使变更了距离DFP,漏极-源极间击穿电压 BV_{DSS} 也大致恒定。在距离DFP小于 $2.16\mu\text{m}$ 的范围内,随着距离DFP变小,漏极-源极间击穿电压 BV_{DSS} 略微降低。结果,距离DFP不会对漏极-源极间击穿电压 BV_{DSS} 造成较大的影响,因此,能够任意地设定。但是,在不能允许漏极-源极间击穿电压 BV_{DSS} 略微降低时,优选将距离DFP设定为 $2.16\mu\text{m}$ 以上。

[0138] 图10是表示距离DFP设定为 $4.16\mu\text{m}$,第二外周栅极沟槽部38B与第一浮空沟槽52A之间的距离DGF12设定为 $4\mu\text{m}$ 的状态下的、第一外周栅极沟槽部38A与第一浮空沟槽52A之间的距离DGF11与漏极-源极间击穿电压 BV_{DSS} 的关系的图表。

[0139] 根据图10可知,在距离DGF11为 $1.56\mu\text{m}$ 以上且 $4.56\mu\text{m}$ 以下的范围内,随着距离DGF11变大,漏极-源极间击穿电压 BV_{DSS} 变大。在距离DGF11为 $4.56\mu\text{m}$ 以上的范围内,即使距离DGF11变大,漏极-源极间击穿电压 BV_{DSS} 也大致恒定。结果,距离DGF11优选为 $4.56\mu\text{m}$ 以上。该情况下,距离DGF11比距离DFP大。

[0140] 图11是表示距离DGF12与漏极-源极间击穿电压 BV_{DSS} 的关系的图表。在图11的图表中,实线且黑圆的标绘所示的图表是:表示距离DGF11设定为 $3.56\mu\text{m}$ 时的距离DGF12与漏极-源极间击穿电压 BV_{DSS} 的关系的图表。单点划线且三角形的标绘所示的图表是:表示距离DGF11设定为 $2.56\mu\text{m}$ 时的距离DGF12与漏极-源极间击穿电压 BV_{DSS} 的关系的图表。

[0141] 根据图11可知,在距离DGF11为 $2.56\mu\text{m}$ 的情况和距离DGF11为 $3.56\mu\text{m}$ 的情况两者时,随着距离DGF12变大,漏极-源极间击穿电压 BV_{DSS} 降低。另外,在距离DGF11为 $3.56\mu\text{m}$ 时,与距离DGF11为 $2.56\mu\text{m}$ 的情况相比,漏极-源极间击穿电压 BV_{DSS} 整体变高。结果,为了提高漏极-源极间击穿电压 BV_{DSS} ,优选的是距离DGF11较大。并且,根据图10和图11的结果,为了提高漏极-源极间击穿电压 BV_{DSS} ,第一浮空沟槽52A优选配置为比第一外周栅极沟槽部38A靠近第二外周栅极沟槽部38B。

[0142] [作用]

[0143] 对本实施方式的半导体装置10的作用进行说明。

[0144] 图12是表示比较例的半导体装置(以下,“比较半导体装置10X”)中的外周区28的一部分的概略俯视图。

[0145] 如图12所示,比较半导体装置10X是从半导体装置10省略了第一浮空沟槽52A、第一浮空电极80A以及第一浮空绝缘膜82A的结构。伴随着这些结构的省略,第二外周栅极沟

槽部38B与本实施方式的第二外周栅极沟槽部38B相比,配置在第一外周栅极沟槽部38A的附近。

[0146] 图13是表示比较半导体装置10X中的I-V特性的图表。在图13中,横轴表示施加于比较半导体装置10X的漏极的漏极-源极间电压VD,纵轴表示流过比较半导体装置10X的漏极的电流ID。由实线和黑圆的标绘构成的图表表示第一次的I-V特性的测定结果。由单点划线和三角形的标绘构成的图表表示第二次的I-V特性的测定结果。

[0147] 在图13中,第一次测定时的漏极-源极间击穿电压 BV_{DSS} 为电压BVT,另一方面,第二次测定时的漏极-源极间击穿电压 BV_{DSS} 为比电压BVT低的电压BVL。因此,在比较半导体装置10X中,产生触发电压降低现象。这是例如第一外周栅极沟槽部38A和第二外周栅极沟槽部38B弯曲的角部分处的耗尽层的扩展方式,与第一外周栅极沟槽部38A和第二外周栅极沟槽部38B中的沿着X轴方向或Y轴方向延伸的直线部分处的耗尽层的扩展方式不同。由此,上述角部分处的漏极/源极间电流的流动方式,与上述直线部分处的漏极/源极间电流的流动方式不同。结果,在测定了1次漏极-源极间击穿电压 BV_{DSS} 之后,上述角部分的耐压性能比上述直线部分的耐压性能低,因此,认为第二次测定时的漏极-源极间击穿电压 BV_{DSS} 降低。

[0148] 图14是表示本实施方式的半导体装置10的I-V特性的图表。在图14中,横轴表示施加于本实施方式的半导体装置10的漏极的漏极-源极间电压VD,纵轴表示流过本实施方式的半导体装置10的漏极的电流ID。由实线和黑圆的标绘构成的曲线表示第一次的I-V特性的测定结果。由单点划线和三角形的标绘构成的图表表示第二次的I-V特性的测定结果。

[0149] 在图14中,第一次测定时的漏极-源极间击穿电压 BV_{DSS} 为电压BVT,另一方面,第二次测定时的漏极-源极间击穿电压 BV_{DSS} 为比电压BVT高的电压BVH。因此,在本实施方式的半导体装置10中,产生触发电压升高现象(walk-out)。即,在本实施方式的半导体装置10中,没有产生触发电压降低现象。这被认为是,通过第一浮空沟槽52A,抑制了第一外周栅极沟槽部38A和第二外周栅极沟槽部38B弯曲的角部分的耐压性能在测定了1次漏极-源极间击穿电压 BV_{DSS} 之后降低。这样,通过在第一外周栅极沟槽部38A与第二外周栅极沟槽部38B之间形成第一浮空沟槽52A(第一浮空电极80A),能够抑制触发电压降低现象的产生。

[0150] [效果]

[0151] 根据本实施方式的半导体装置10,能够得到以下的效果。

[0152] (1-1) 半导体装置10具有:半导体层26;栅极沟槽36,其形成于半导体层26;绝缘层60,其形成于半导体层26上;栅极电极62,其隔着绝缘层60埋入到栅极沟槽36内;栅极布线22,其形成于绝缘层60上,并与栅极电极62电连接。半导体层26包含:在俯视时包含半导体层26的外缘且设置有外周栅极沟槽部38的外周区28、被外周区28包围的有源区30。外周栅极沟槽部38包含:第一外周栅极沟槽部38A、设置于比第一外周栅极沟槽部38A靠外侧的第二外周栅极沟槽部38B。半导体装置10具有:第一浮空沟槽52A,其形成于半导体层26中的第一外周栅极沟槽部38A与第二外周栅极沟槽部38B之间的区域;电浮空状态的第一浮空电极80A,其隔着绝缘层60埋入到第一浮空沟槽52A内。

[0153] 相对于在不具有第一浮空沟槽52A以及第一浮空电极80A的比较半导体装置10X中产生触发电压降低现象,本实施方式的半导体装置10通过具有第一浮空沟槽52A以及第一浮空电极80A而产生触发电压升高现象。因此,根据本实施方式的半导体装置10,能够抑制触发电压降低现象的产生。

[0154] (1-2) 半导体装置10还具有:形成于外周区28的保护沟槽44。第一浮空沟槽52A的宽度比保护沟槽44的宽度大。绝缘层60中的形成于第一浮空沟槽52A内的部分即第一浮空绝缘膜82A的厚度,比绝缘层60中的形成于保护沟槽44内的部分即保护绝缘膜78的厚度厚。

[0155] 根据该结构,因第一浮空绝缘膜82A的厚度变厚,能够缓和在俯视时因第一浮空沟槽52A被弯折而形成的角部处的电场集中。因此,能够实现半导体装置10的耐压提高。

[0156] (1-3) 第一浮空沟槽52A配置成比第一外周栅极沟槽部38A更靠近第二外周栅极沟槽部38B。

[0157] 根据该结构,第一浮空沟槽52A与第一外周栅极沟槽部38A之间的距离DGF11变大,第一浮空沟槽52A与第二外周栅极沟槽部38B之间的距离DGF12变小。因此,如图10和图11的图表所示,能够提高漏极-源极间击穿电压 BV_{DSS} 。

[0158] (1-4) 第一外周栅极沟槽部38A的宽度以及第二外周栅极沟槽部38B的宽度比保护沟槽44的宽度大。

[0159] 根据该结构,能够使形成于各外周栅极沟槽部38A、38B内的栅极绝缘膜64,比形成于保护沟槽44内的保护绝缘膜78厚。由此,能够缓和在俯视时因各外周栅极沟槽部38A、38B被弯折而形成的角部处的电场集中。因此,能够实现半导体装置10的耐压提高。

[0160] (1-5) 外周电极24与栅极布线22分离,并且包围栅极布线22。

[0161] 根据该结构,能够缓和被外周电极24包围的区域中的电场集中,因此,能够实现半导体装置10的耐压提高。

[0162] (1-6) 第二外周栅极沟槽部38B与第二浮空沟槽52B之间的距离DGF22,可以比第一外周栅极沟槽部38A与第一浮空沟槽52A之间的距离DGF11小。

[0163] 根据该结构,如图9的图表所示,即使减小距离DGF22,漏极-源极间击穿电压 BV_{DSS} 也大致恒定,因此,通过减小距离DGF22,能够实现半导体装置10的小型化,并且抑制漏极-源极间击穿电压 BV_{DSS} 的降低。

[0164] (1-7) 第一外周栅极沟槽部38A与第一浮空沟槽52A之间的距离DGF11可以为 $4.56\mu\text{m}$ 以上。

[0165] 根据该结构,如图10的图表所示,在距离DGF11小于 $4.56\mu\text{m}$ 的范围内,随着距离DGF11变小,漏极-源极间击穿电压 BV_{DSS} 降低,在距离DGF11为 $4.56\mu\text{m}$ 以上的范围内,漏极-源极间击穿电压 BV_{DSS} 大致恒定。因此,距离DGF11为 $4.56\mu\text{m}$ 以上,由此,能够抑制漏极-源极间击穿电压 BV_{DSS} 的降低。并且,距离DGF11为 $4.56\mu\text{m}$ 左右,因此,能够抑制漏极-源极间击穿电压 BV_{DSS} 的降低并且实现半导体装置10的小型化。

[0166] <第二实施方式>

[0167] 参照图15~图20,对第二实施方式的半导体装置10进行说明。第二实施方式的半导体装置10与第一实施方式的半导体装置10相比,主要是外周栅极沟槽部38的结构以及连接栅极沟槽部42与保护沟槽44之间的结构不同。以下,对与第一实施方式的半导体装置10的不同点进行详细说明,对与第一实施方式的半导体装置10共通的构成要素标注相同的符号,省略其说明。

[0168] 如图15所示,本实施方式的半导体装置10具有外周栅极沟槽部90来代替外周栅极沟槽部38(参照图4)。外周栅极沟槽部90与第一实施方式的第一外周栅极沟槽部38A(参照图4)对应。即,本实施方式的半导体装置10不具有第二外周栅极沟槽部38B(参照图4)。外周

栅极沟槽部90配置于外周区28,并且在俯视时被保护沟槽44包围。如图16和图17所示,外周栅极沟槽部90的结构与第一外周栅极沟槽部38A的结构相同,因此,对与第一外周栅极沟槽部38A共通的构成要素标注相同符号,省略其详细的说明。

[0169] 如图15所示,本实施方式的栅极沟槽36可以包含:内侧栅极沟槽部40、连接栅极沟槽部42以及外周栅极沟槽部90。连接栅极沟槽部42将内侧栅极沟槽部40与外周栅极沟槽部90连接。

[0170] 在外周栅极沟槽部90与保护沟槽44之间配置第一浮空沟槽52A和第二浮空沟槽52B。第二浮空沟槽52B配置于比第一浮空沟槽52A靠外侧的位置。也可以说,第二浮空沟槽52B相对于第一浮空沟槽52A配置于外周栅极沟槽部90的相反侧。在一例中,第二浮空沟槽52B配置在第一浮空沟槽52A与端部保护沟槽44E之间。第一浮空沟槽52A配置在外周栅极沟槽部90与第二浮空沟槽52B之间。

[0171] 在图15的例子中,第一浮空沟槽52A配置为比外周栅极沟槽部90更靠近第二浮空沟槽52B。即,外周栅极沟槽部90与第一浮空沟槽52A之间的距离DGF比第一浮空沟槽52A与第二浮空沟槽52B之间的距离DFF大。在一例中,距离DGF能够设为 $2\mu\text{m}$ 以上且 $4.6\mu\text{m}$ 以下。在一例中,距离DFF可以设为 $1\mu\text{m}$ 以上且 $3.7\mu\text{m}$ 以下。

[0172] 在另一例中,距离DGF也可以比距离DFF小。即,第一浮空沟槽52A也可以配置为比第二浮空沟槽52B更靠近外周栅极沟槽部90。另外,在另一例中,距离DGF也可以与距离DFF相同。

[0173] 距离DGF和距离DFF都可以比相邻的两个保护沟槽44之间的距离DPP大。在一例中,距离DGF为距离DPP的2倍以上。在一例中,距离DGF为距离DPP的3倍以上。在一例中,距离DGF为距离DPP的4倍以下。另外,在一例中,距离DFF为距离DPP的2倍以上。在一例中,距离DFF为距离DPP的3倍以上。在一例中,距离DFF为距离DPP的4倍以上。在一例中,距离DFF为距离DPP的5倍以下。

[0174] 距离DGF可以比第二浮空沟槽52B与端部保护沟槽44E之间的距离DFP大。在另一例中,距离DGF可以与距离DFP相同,或者也可以比距离DFP小。另外,距离DFF可以比距离DFP小。在另一例中,距离DFF可以与距离DFP相同,或者也可以比距离DFP大。

[0175] 各浮空沟槽52A、52B在俯视时可以具有包围外周栅极沟槽部90的形状。在一例中,各浮空沟槽52A、52B在俯视时在外周区28中可以具有与外周栅极沟槽部90类似的形状。因此,第一浮空沟槽52A在俯视时可以具有包含沿着凹部20A(参照图2)的形状的封闭的环状。

[0176] 各浮空沟槽52A、52B在俯视时配置于不与栅极指部32以及栅极焊盘部34两者重叠的位置。另外,各浮空沟槽52A、52B在俯视时配置于不与源极布线20重叠的位置。即,各浮空沟槽52A、52B在俯视时配置于源极布线20与栅极指部32以及栅极焊盘部34之间。

[0177] 如图17所示,在第一浮空沟槽52A内,与第一实施方式一样,设置有第一浮空电极80A以及第一浮空绝缘膜82A。在第二浮空沟槽52B内,与第一实施方式一样,设置有第二浮空电极80B及第二浮空绝缘膜82B。

[0178] 接着,参照图18和图19,对外周栅极沟槽部90和各浮空沟槽52A、52B的位置关系与漏极-源极间击穿电压 BV_{DSS} 的关系进行说明。

[0179] 图18是表示第一浮空沟槽52A与第二浮空沟槽52B之间的距离DFF与漏极-源极间击穿电压 BV_{DSS} 的关系的图表。根据图18可知,随着距离DFF变小,漏极-源极间击穿电压 BV_{DSS}

变高。结果,优选的是,上述的距离DFF的范围即 $1\mu\text{m}$ 以上且 $3.7\mu\text{m}$ 以下中的距离DFF小。

[0180] 图19是表示外周栅极沟槽部90与第一浮空沟槽52A之间的距离DGF与漏极-源极间击穿电压 BV_{DSS} 的关系的图表。图19是表示距离DFF设定为 $3.72\mu\text{m}$ 时的距离DGF与漏极-源极间击穿电压 BV_{DSS} 的关系的图表。

[0181] 根据图19可知,随着距离DGF变大,漏极-源极间击穿电压 BV_{DSS} 变高。结果,为了提高漏极-源极间击穿电压 BV_{DSS} ,优选的是,距离DGF大。并且,根据图18和图19的结果,为了提高漏极-源极间击穿电压 BV_{DSS} ,第一浮空沟槽52A优选配置为比外周栅极沟槽部90更靠近第二浮空沟槽52B。

[0182] 图20是表示本实施方式的半导体装置10的I-V特性的图表。在图20中,横轴表示施加于本实施方式的半导体装置10的漏极的漏极-源极间电压VD,纵轴表示流过本实施方式的半导体装置10的漏极的电流ID。由实线和黑圆的标绘构成的图表表示第一次的I-V特性的测定结果。由单点划线和三角形的标绘构成的图表表示第二次的I-V特性的测定结果。

[0183] 在图20中,第一次测定时的漏极-源极间击穿电压 BV_{DSS} 为电压BVS,另一方面,第二次测定时的漏极-源极间击穿电压 BV_{DSS} 为比电压BVS高的电压BVU。这样,在本实施方式的半导体装置10中,产生触发电压升高现象。即,在本实施方式的半导体装置10中,不产生触发电压降低现象。这样,通过在外周栅极沟槽部90与保护沟槽44之间形成第一浮空沟槽52A(第一浮空电极80A),能够抑制触发电压降低现象的产生。

[0184] 此外,电压BVS比第一实施方式的半导体装置10的第一次测定时的漏极-源极间击穿电压 BV_{DSS} 即电压BVT低。另外,电压BVU比第一实施方式的半导体装置10的第二次测定时的漏极-源极间击穿电压 BV_{DSS} 即电压BVH低。

[0185] [效果]

[0186] 根据本实施方式的半导体装置10,除了第一实施方式的(1-5)的效果以外,还能够得到以下效果。

[0187] (2-1) 半导体装置10具有:半导体层26;栅极沟槽36,其形成于半导体层26;绝缘层60,其形成于半导体层26上;栅极电极62,其隔着绝缘层60埋入到栅极沟槽36内;栅极布线22,其形成于绝缘层60上,并与栅极电极62电连接;多个保护沟槽44,其形成于半导体层26;保护电极76,其隔着绝缘层60埋入到保护沟槽44内。半导体层26包含:在俯视时包含半导体层26的外缘且配置保护沟槽44的外周区28、被外周区28包围的有源区30。栅极沟槽36包含:配置于外周区28并且在俯视时被保护沟槽44包围的外周栅极沟槽部90。半导体装置10具有:第一浮空沟槽52A和第二浮空沟槽52B,其形成于半导体层26中的外周栅极沟槽部90与保护沟槽44之间的区域;电浮空状态的第一浮空电极80A,其隔着绝缘层60埋入到第一浮空沟槽52A内;电浮空状态的第二浮空电极80B,其隔着绝缘层60埋入到第二浮空沟槽52B内。第一浮空沟槽52A配置成比外周栅极沟槽部90更靠近第二浮空沟槽52B。

[0188] 根据该结构,如图20的图表所示,通过具有第一浮空沟槽52A和第一浮空电极80A而产生触发电压升高现象。因此,根据本实施方式的半导体装置10,能够抑制触发电压降低现象的产生。

[0189] (2-2) 第一浮空沟槽52A的宽度比保护沟槽44的宽度大。绝缘层60中的形成于第一浮空沟槽52A内的部分即第一浮空绝缘膜82A的厚度,比绝缘层60中的形成于保护沟槽44内的部分即保护绝缘膜78的厚度厚。

[0190] 根据该结构,第一浮空绝缘膜82A的厚度变厚,由此,能够缓和在俯视时因第一浮空沟槽52A被弯折而形成的角部处的电场集中。因此,能够实现半导体装置10的耐压提高。

[0191] (2-3) 外周栅极沟槽部90的宽度比保护沟槽44的宽度大。

[0192] 根据该结构,能够使形成于外周栅极沟槽部90内的栅极绝缘膜64,比形成于保护沟槽44内的保护绝缘膜78厚。由此,能够缓和在俯视时因外周栅极沟槽部90被弯折而形成的角部处的电场集中。因此,能够实现半导体装置10的耐压提高。

[0193] <变更例>

[0194] 上述的各实施方式能够如以下那样进一步变更来进行实施。

[0195] • 在各实施方式中,各外周栅极沟槽部38A、38B也可以在外周区28中沿着半导体层26的四个边26X1、26X2、26Y1、26Y2形成为封闭的环状。

[0196] • 在各实施方式中,保护沟槽44也可以在外周区28中沿着半导体层26的四个边26X1、26X2、26Y1、26Y2形成为封闭的环状。即,保护沟槽44也可以沿着半导体层26的四个边26X1、26X2、26Y1、26Y2延伸。

[0197] • 在各实施方式中,各浮空沟槽52A、52B也可以在外周区28中沿着半导体层26的4个边26X1、26X2、26Y1、26Y2形成为封闭的环状。

[0198] • 在各实施方式中,也可以省略外周电极24。

[0199] • 在各实施方式中,也可以省略保护沟槽44、保护电极76以及保护绝缘膜78。

[0200] • 在各实施方式中,栅极焊盘部34的位置能够任意地变更。在一例中,栅极焊盘部34在俯视时也可以位于半导体层26的四个角部中的某一个。

[0201] • 在上述各实施方式中,也可以采用将半导体层26内的各区域的导电型反转的构造。即,也可以将p型区设为n型区,将n型区设为p型区。

[0202] 可以在技术上不矛盾的范围内组合本说明书中记载的各种例子中的一个或多个。

[0203] 在本说明书中,“A和B中的至少一个”应理解为是指“仅A、或仅B、或者A和B双方”。

[0204] 在本说明书中使用的“在~上”这样的用语包含“在~上”和“在~的上方”的含义,除非上下文清楚地表明。因此,“第一层形成在第二层上”这样的表现,在某实施方式中可以是第一层与第二层接触而直接配置在第二层上,而在其他实施方式中是第一层与第二层不接触地配置在第二层的上方。即,“在~上”这样的用语不排除在第一层与第二层之间形成其他层的构造。

[0205] 在本说明书中使用的“垂直”、“水平”、“上方”、“下方”、“上”、“下”、“前方”、“后方”、“横”、“左”、“右”、“前”、“后”等表示方向的术语取决于说明和图示的装置的特定朝向。在本公开中,可以想到各种替代的朝向,因此,表示这些方向的术语不应被狭义地解释。

[0206] 例如,在本说明书中使用的Z轴方向不需要一定是铅垂方向,也不需要与铅垂方向完全一致。因此,本公开的各种构造(例如,图5所示的构造)不限于本说明书中说明的Z轴方向的“上”和“下”是铅垂方向的“上”和“下”。例如,X轴方向也可以是铅垂方向,或者Y轴方向也可以是铅垂方向。

[0207] <附记>

[0208] 以下记载了能够从本公开掌握的技术思想。此外,为了辅助理解而并不意图限定,对附记所记载的构成要素标注实施方式中的对应的构成要素的附图标记。附图标记是为了辅助理解而作为例子来展示的,各附记所记载的构成要素不应该限定于由附图标记表示的

构成要素。

[0209] (附记1)

[0210] 一种半导体装置(10),具有:

[0211] 半导体层(26);

[0212] 栅极沟槽(36),其形成于所述半导体层(26);

[0213] 绝缘层(60),其形成于所述半导体层(26)上;

[0214] 栅极电极(62),其隔着所述绝缘层(60)埋入到所述栅极沟槽(36)内;以及

[0215] 栅极布线(22),其形成于所述绝缘层(60)上,并与所述栅极电极(62)电连接,

[0216] 所述半导体层(26)包含:外周区(28),其在俯视时包含所述半导体层(26)的外缘,

[0217] 所述栅极沟槽(36)具有:

[0218] 第一外周栅极沟槽部(38A),其设置于所述外周区(28);以及

[0219] 第二外周栅极沟槽部(38B),其设置于比所述第一外周栅极沟槽部(38A)靠外侧的位置,

[0220] 所述半导体装置(10)具有:

[0221] 第一浮空沟槽(52A),其形成于所述半导体层(26)中的所述第一外周栅极沟槽部(38A)与所述第二外周栅极沟槽部(38B)之间的区域;以及

[0222] 电浮空状态的浮空电极(80A),其隔着所述绝缘层(60)埋入到所述第一浮空沟槽(52A)内。

[0223] (附记2)

[0224] 根据附记1所述的半导体装置,其中,

[0225] 所述半导体装置还具有:保护沟槽(44),其设置于比所述第二外周栅极沟槽部(38B)靠外侧的位置,

[0226] 所述第一浮空沟槽(52A)的宽度比所述保护沟槽(44)的宽度大,

[0227] 所述绝缘层(60)中的形成于所述第一浮空沟槽(52A)内的部分(82A)的厚度,比所述绝缘层(60)中的形成于所述保护沟槽(44)内的部分(78)的厚度厚。

[0228] (附记3)

[0229] 根据附记1或2所述的半导体装置,其中,

[0230] 所述第一浮空沟槽(52A)配置成比所述第一外周栅极沟槽部(38A)更靠近所述第二外周栅极沟槽部(38B)。

[0231] (附记4)

[0232] 根据附记1~3中任一项所述的半导体装置,其中,

[0233] 所述半导体装置还具有:

[0234] 保护沟槽(44),其形成于所述外周区(28);以及

[0235] 第二浮空沟槽(52B),其设置于所述第二外周栅极沟槽部(38B)与所述保护沟槽(44)之间。

[0236] (附记5)

[0237] 根据附记4所述的半导体装置,其中,

[0238] 所述第一浮空沟槽(52A)的宽度比所述第二浮空沟槽(52B)的宽度大,

[0239] 所述绝缘层(60)中的形成于所述第一浮空沟槽(52A)内的部分(82A)的厚度,比所

述绝缘层 (60) 中的形成于所述第二浮空沟槽 (52B) 内的部分 (82B) 的厚度厚。

[0240] (附记6)

[0241] 根据附记1~5中任一项所述的半导体装置,其中,

[0242] 所述半导体装置还包含:多个保护沟槽 (44),其形成于所述外周区 (28),

[0243] 所述第二外周栅极沟槽部 (52B) 与所述第一浮空沟槽 (52A) 之间的距离 (DFP),比相邻的两个所述保护沟槽 (44) 之间的距离 (DPP) 大。

[0244] (附记7)

[0245] 根据附记4或5所述的半导体装置,其中,

[0246] 设置有多个所述保护沟槽 (44),

[0247] 所述第二外周栅极沟槽部 (38B) 与所述第二浮空沟槽 (52B) 之间的距离 (DGF22),比相邻的两个所述保护沟槽 (44) 之间的距离 (DPP) 大。

[0248] (附记8)

[0249] 根据附记4、5和7中任一项所述的半导体装置,其中,

[0250] 设置有多个所述保护沟槽 (44),

[0251] 多个所述保护沟槽 (44) 包含:作为多个所述保护沟槽 (44) 中的靠近所述第二浮空沟槽 (52B) 的保护沟槽 (44) 的端部保护沟槽 (44E),

[0252] 所述第二浮空沟槽 (52B) 与所述端部保护沟槽 (44E) 之间的距离 (DFP),比相邻的两个所述保护沟槽 (44) 之间的距离 (DPP) 大。

[0253] (附记9)

[0254] 根据附记1~8中任一项所述的半导体装置,其中,

[0255] 所述半导体层 (26) 包含:有源区 (30),其被所述外周区 (28) 包围,

[0256] 所述栅极沟槽 (36) 包含:

[0257] 内侧栅极沟槽部 (40),其设置于所述有源区 (30);以及

[0258] 连接沟槽 (42),其将所述内侧栅极沟槽部 (40) 与所述第一外周栅极沟槽部 (38A) 连接。

[0259] (附记10)

[0260] 一种半导体装置 (10),具有:

[0261] 半导体层 (26);

[0262] 栅极沟槽 (36),其形成于所述半导体层 (26);

[0263] 绝缘层 (60),其形成于所述半导体层 (26) 上;

[0264] 栅极电极 (62),其隔着所述绝缘层 (60) 埋入到所述栅极沟槽 (36) 内;

[0265] 栅极布线 (22),其形成于所述绝缘层 (60) 上,并与所述栅极电极 (62) 电连接;

[0266] 多个保护沟槽 (44),其形成于所述半导体层 (26);以及

[0267] 保护电极 (78),其隔着所述绝缘层 (60) 埋入到所述保护沟槽 (44) 内,所述半导体层 (26) 包含:外周区 (28),其在俯视时包含所述半导体层 (26) 的外缘且配置所述保护沟槽 (44),

[0268] 所述栅极沟槽 (36) 包含:外周栅极沟槽部 (90),其配置于所述外周区 (28),并且在俯视时被所述保护沟槽 (44) 包围,

[0269] 所述半导体装置具有:

[0270] 第一浮空沟槽 (52A) 和第二浮空沟槽 (52B), 其形成于所述半导体层 (26) 中的所述外周栅极沟槽部 (90) 与所述保护沟槽 (44) 之间的区域;

[0271] 电浮空状态的第一浮空电极 (80A), 其隔着所述绝缘层 (60) 埋入到所述第一浮空沟槽 (52A) 内; 以及

[0272] 电浮空状态的第二浮空电极 (80B), 其隔着所述绝缘层 (60) 埋入到所述第二浮空沟槽 (52B) 内,

[0273] 所述第一浮空沟槽 (52A) 配置成比所述外周栅极沟槽部 (90) 更靠近所述第二浮空沟槽 (52B)。

[0274] (附记11)

[0275] 根据附记10所述的半导体装置, 其中,

[0276] 所述第一浮空沟槽 (52A) 的宽度比所述保护沟槽 (44) 的宽度大,

[0277] 所述绝缘层 (60) 中的形成于所述第一浮空沟槽 (52A) 内的部分 (82A) 的厚度, 比所述绝缘层 (60) 中的形成于所述保护沟槽 (44) 内的部分 (78) 的厚度厚。

[0278] (附记12)

[0279] 根据附记10或11所述的半导体装置, 其中,

[0280] 所述外周栅极沟槽部 (90) 的宽度比所述保护沟槽 (44) 的宽度大,

[0281] 所述绝缘层 (60) 中的形成于所述外周栅极沟槽部 (90) 内的部分 (64) 的厚度, 比所述绝缘层 (60) 中的形成于所述保护沟槽 (44) 内的部分 (78) 的厚度厚。

[0282] (附记13)

[0283] 根据附记10~12中任一项所述的半导体装置, 其中,

[0284] 所述第一浮空沟槽 (52A) 的宽度与所述外周栅极沟槽部 (90) 的宽度相等,

[0285] 所述绝缘层 (60) 中的形成于所述第一浮空沟槽 (52A) 内的部分 (82A) 的厚度, 与所述绝缘层 (60) 中的形成于所述外周栅极沟槽部 (90) 内的部分 (64) 的厚度相等。

[0286] (附记14)

[0287] 根据附记10~13中任一项所述的半导体装置, 其中,

[0288] 所述第一浮空沟槽 (52A) 的宽度比所述第二浮空沟槽 (52B) 的宽度大,

[0289] 所述绝缘层 (60) 中的形成于所述第一浮空沟槽 (52A) 内的部分 (82A) 的厚度, 比所述绝缘层 (60) 中的形成于所述第二浮空沟槽 (52B) 内的部分 (82B) 的厚度厚。

[0290] (附记15)

[0291] 根据附记10~14中任一项所述的半导体装置, 其中,

[0292] 设置有多个所述保护沟槽 (44),

[0293] 所述外周栅极沟槽部 (90) 与所述第一浮空沟槽 (52A) 之间的距离 (DGF), 比相邻的两个所述保护沟槽 (44) 之间的距离 (DPP) 大。

[0294] (附记16)

[0295] 根据附记10~15中任一项所述的半导体装置, 其中,

[0296] 设置有多个所述保护沟槽 (44),

[0297] 所述第一浮空沟槽 (52A) 与所述第二浮空沟槽 (52B) 之间的距离 (DFF), 比相邻的两个所述保护沟槽 (44) 之间的距离 (DPP) 大。

[0298] (附记17)

- [0299] 根据附记10~16中任一项所述的半导体装置,其中,
- [0300] 设置有多个所述保护沟槽(44),
- [0301] 多个所述保护沟槽(44)包含:作为多个所述保护沟槽(44)中的靠近所述第二浮空沟槽(52B)的保护沟槽(44)的端部保护沟槽(44E),
- [0302] 所述第二浮空沟槽(52B)与所述端部保护沟槽(44E)之间的距离(DFP),比相邻的两个所述保护沟槽(44)之间的距离(DPP)大。
- [0303] (附记18)
- [0304] 根据附记10~17中任一项所述的半导体装置,其中,
- [0305] 所述半导体层(26)包含有源区(30),
- [0306] 所述栅极沟槽(36)包含:
- [0307] 设置于所述有源区(30)的内侧栅极沟槽部(40);以及
- [0308] 连接沟槽(42),其将所述内侧栅极沟槽部(40)与所述外周栅极沟槽部(90)连接。
- [0309] (附记19)
- [0310] 根据附记2、4~8中任一项所述的半导体装置,其中,
- [0311] 所述第一外周栅极沟槽部(38A)的宽度和所述第二外周栅极沟槽部(38B)的宽度,比所述保护沟槽(44)的宽度大。
- [0312] (附记20)
- [0313] 根据附记1~19中任一项所述的半导体装置,其中,
- [0314] 所述半导体装置具有:外周电极(24),其形成在所述绝缘层(60)上,并且与所述栅极布线(22)分离,
- [0315] 所述外周电极(24)包围所述栅极布线(22)。
- [0316] 以上说明仅为例示。本领域技术人员应当认识到,除了为说明本公开的技术目的而列举的构成要素和方法(制造工艺)以外,还可以进行更多的可想到的组合和置换。本公开旨在涵盖在包含权利要求书在内的本公开范围内所包含的所有替代、变形和变更。
- [0317] 符号说明
- [0318] 10...半导体装置
- [0319] 10X...比较半导体装置
- [0320] 12...钝化层
- [0321] 14、16...焊盘开口
- [0322] 18...金属层
- [0323] 20...源极布线
- [0324] 20A...凹部
- [0325] 22...栅极布线
- [0326] 24...外周电极
- [0327] 26...半导体层
- [0328] 26X1、26X2、26Y1、26Y2...边
- [0329] 26A...第一面
- [0330] 26B...第二面
- [0331] 28...外周区

- [0332] 30…有源区
- [0333] 32…栅极指部
- [0334] 34…栅极焊盘部
- [0335] 36…栅极沟槽
- [0336] 38…外周栅极沟槽部
- [0337] 38A…第一外周栅极沟槽部
- [0338] 38B…第二外周栅极沟槽部
- [0339] 40…内侧栅极沟槽部
- [0340] 42…连接栅极沟槽部
- [0341] 44…保护沟槽
- [0342] 44E…端部保护沟槽
- [0343] 46…源极接触部
- [0344] 48…栅极接触部
- [0345] 50…外周接触部
- [0346] 52A…第一浮空沟槽
- [0347] 52B…第二浮空沟槽
- [0348] 54…半导体基板
- [0349] 56…外延层
- [0350] 58…漏极电极
- [0351] 60…绝缘层
- [0352] 62…栅极电极
- [0353] 64…栅极绝缘膜
- [0354] 66…层间绝缘膜
- [0355] 68…漂移区
- [0356] 70…体区
- [0357] 72…源极区
- [0358] 74…接触区
- [0359] 76…保护电极
- [0360] 78…保护绝缘膜
- [0361] 80A…第一浮空电极
- [0362] 80B…第二浮空电极
- [0363] 82A…第一浮空绝缘膜
- [0364] 82B…第二浮空绝缘膜
- [0365] 90…外周栅极沟槽部
- [0366] DGF11…第一外周栅极沟槽部与第一浮空沟槽之间的距离
- [0367] DGF12…第二外周栅极沟槽部与第一浮空沟槽之间的距离
- [0368] DGF22…第二外周栅极沟槽部与第二浮空沟槽之间的距离
- [0369] DFP…第二浮空沟槽与端部保护沟槽之间的距离
- [0370] DPP…相邻的两个保护沟槽之间的距离

- [0371] DGF…外周栅极沟槽部与第一浮空沟槽之间的距离
- [0372] DFF…第一浮空沟槽与第二浮空沟槽之间的距离。

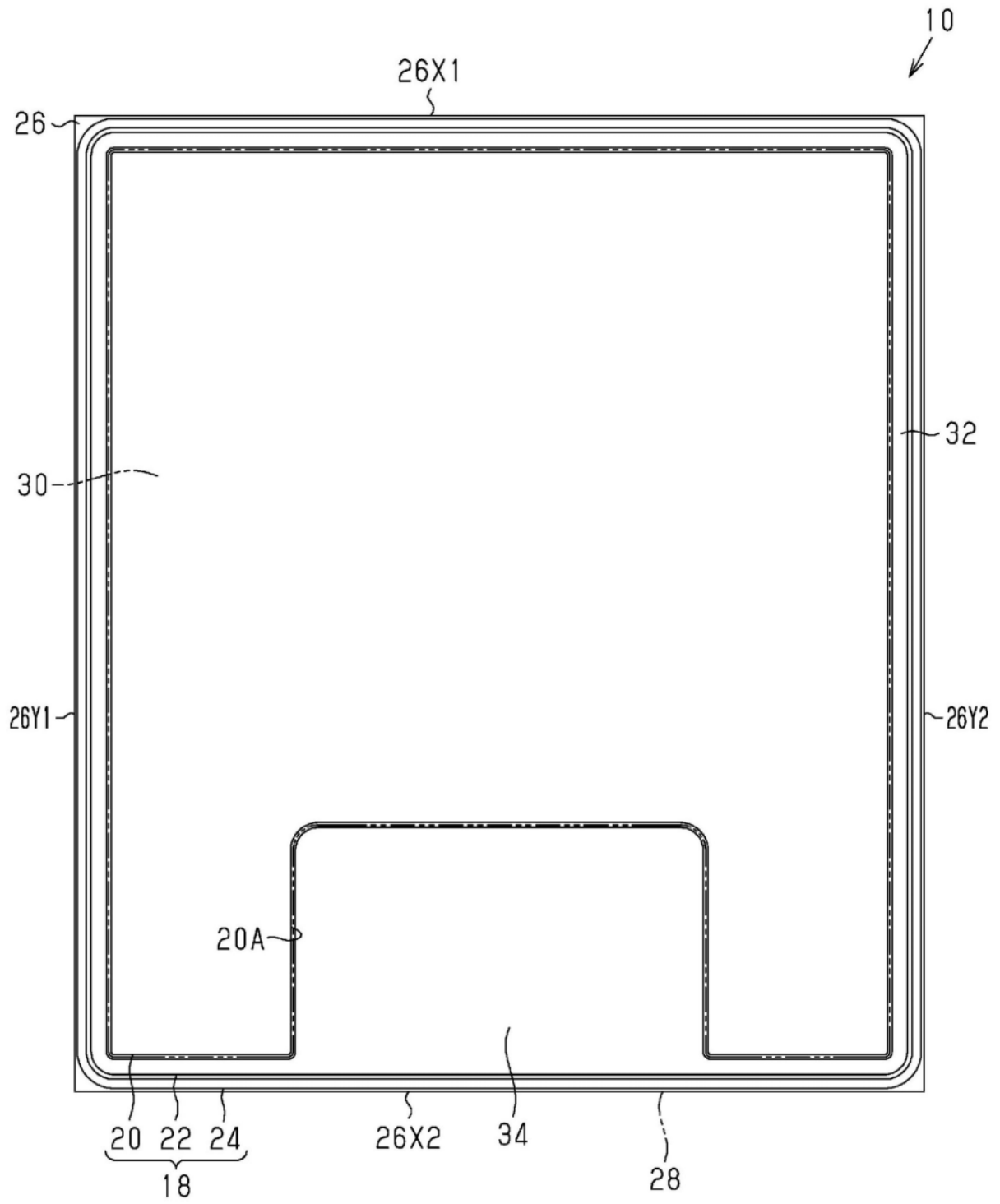


图2

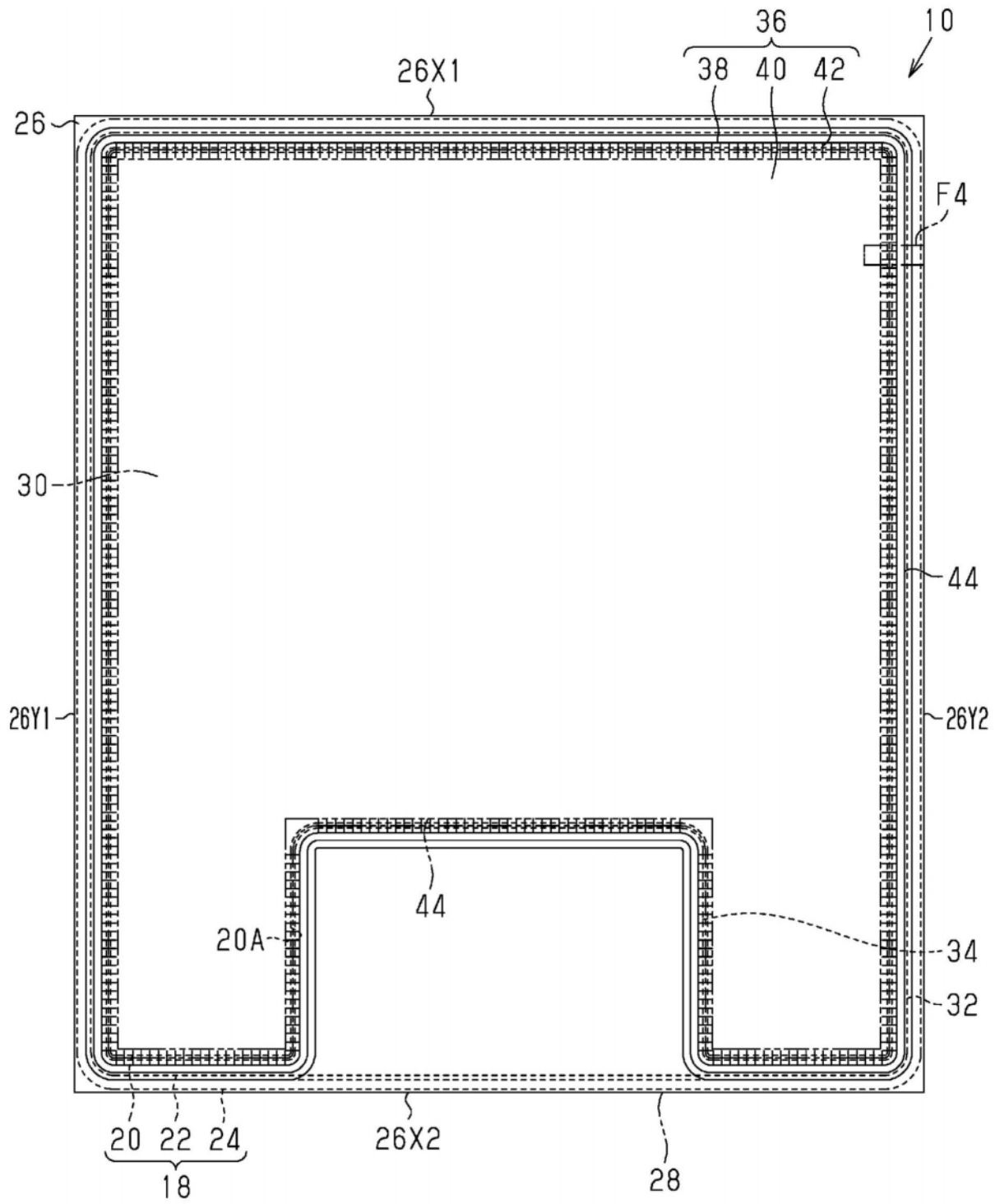


图3

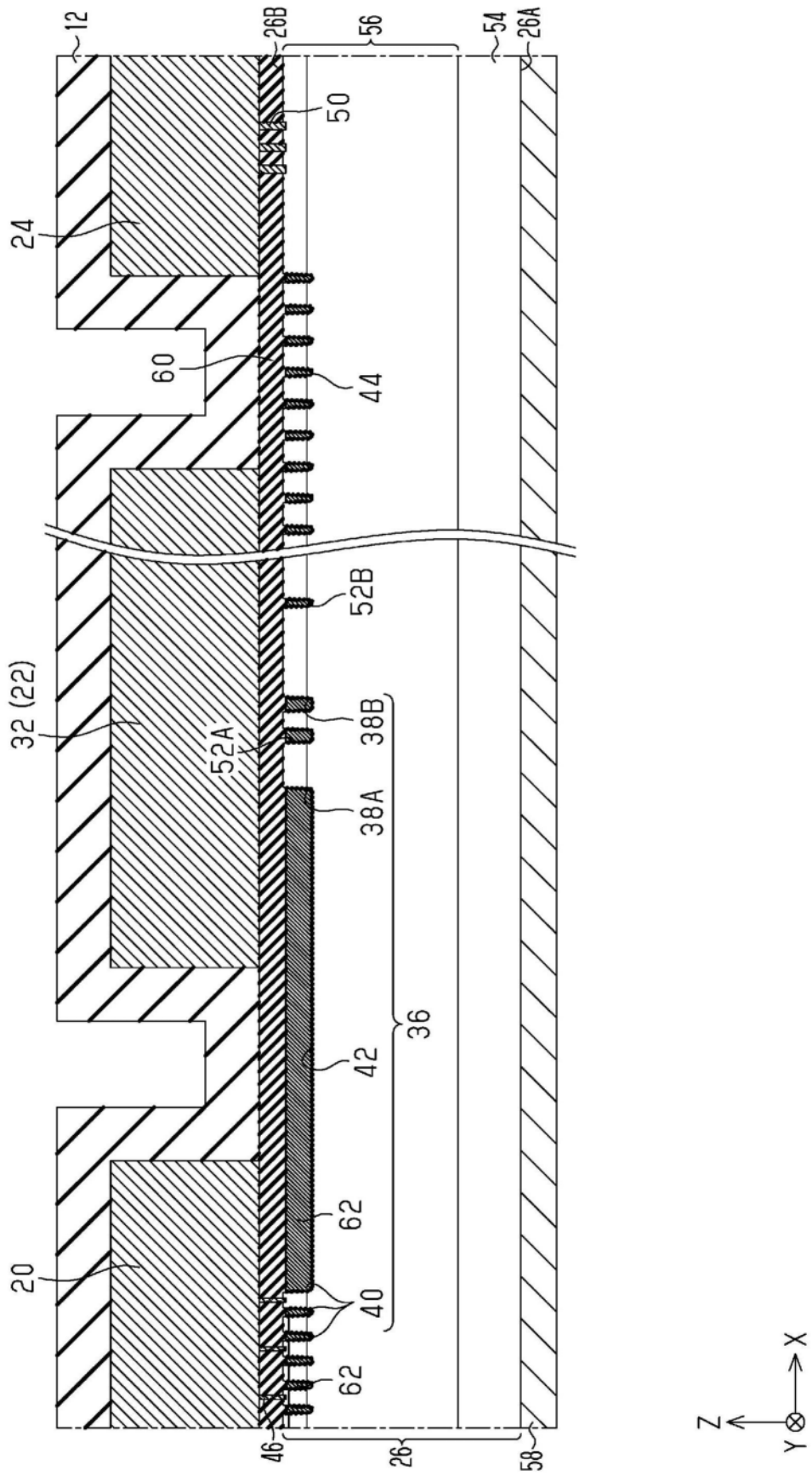


图5

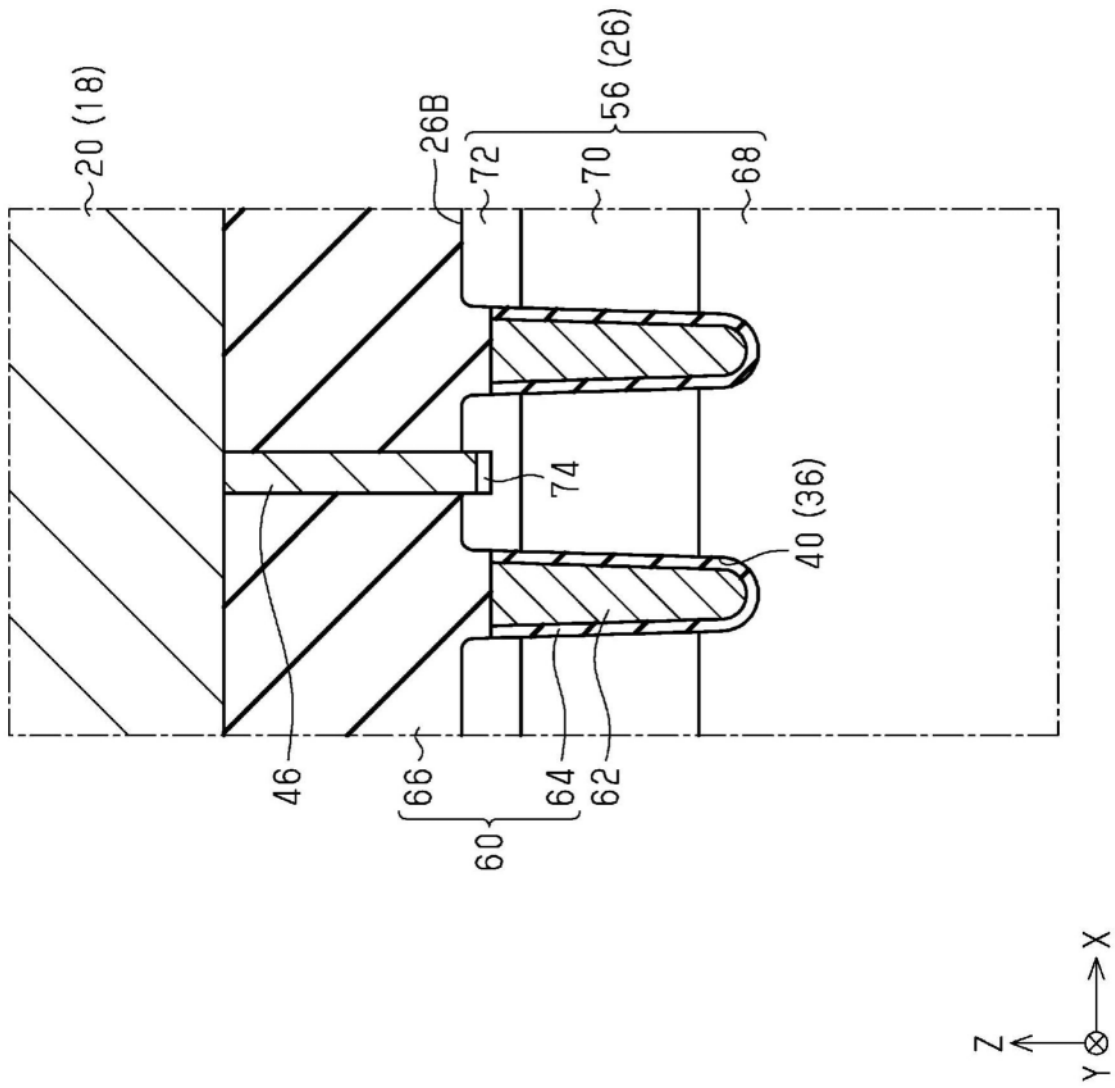


图7

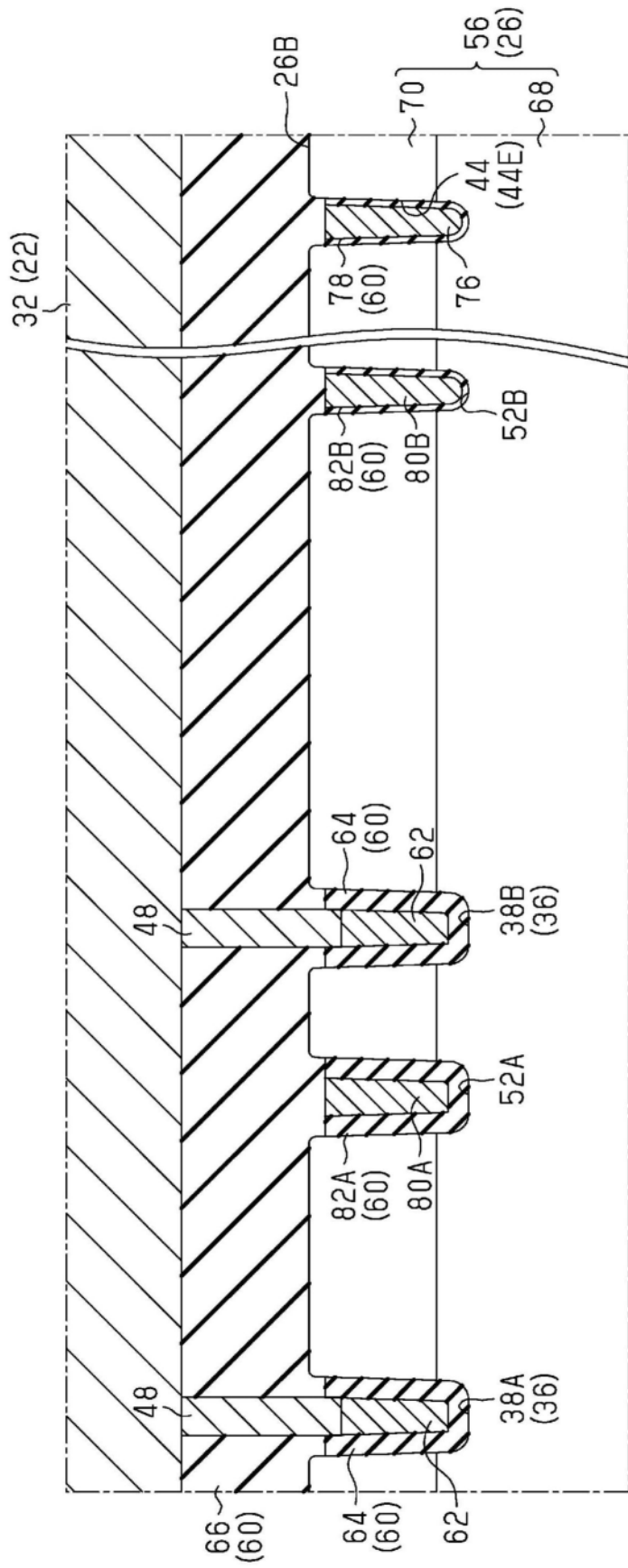


图8

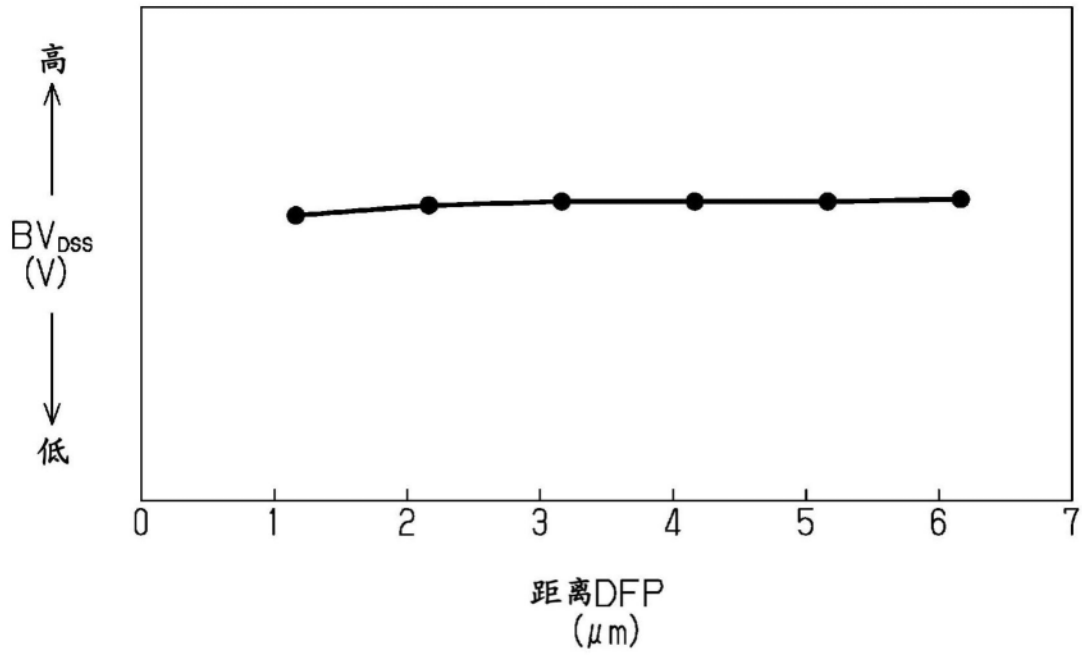


图9

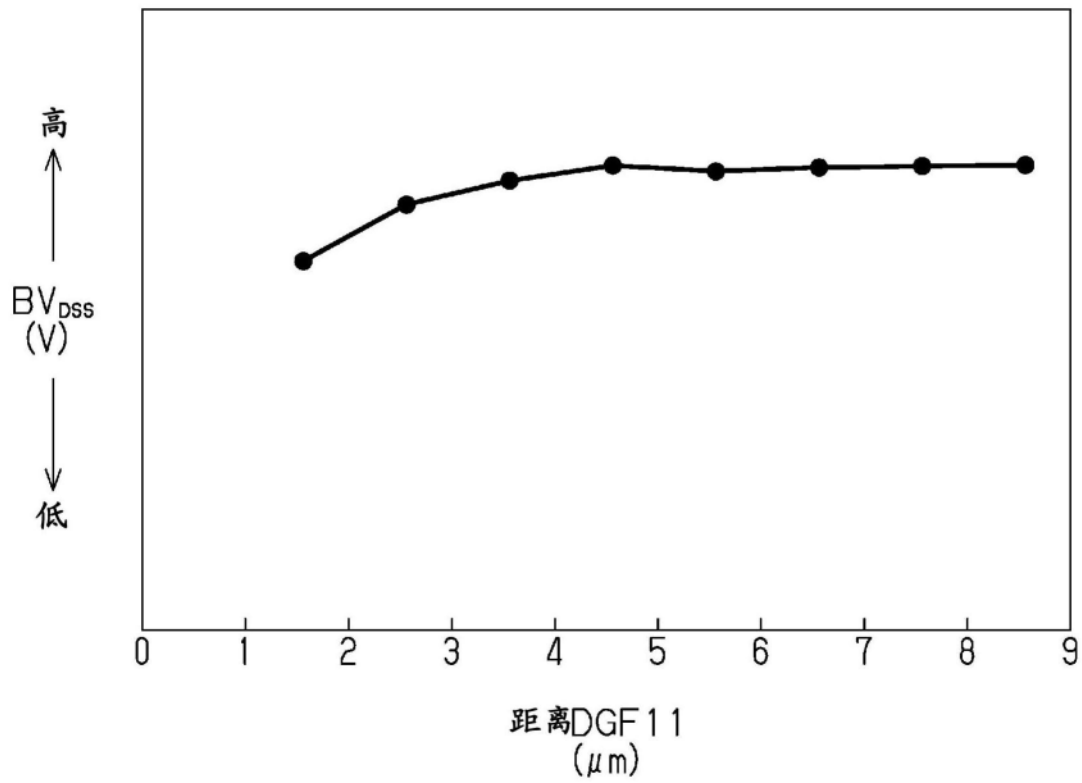


图10

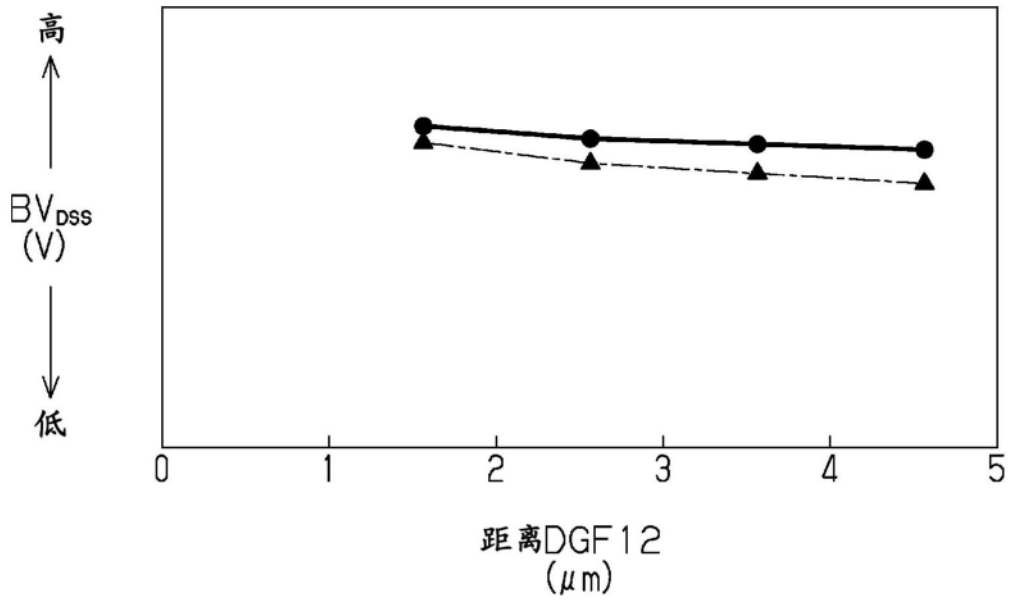


图11

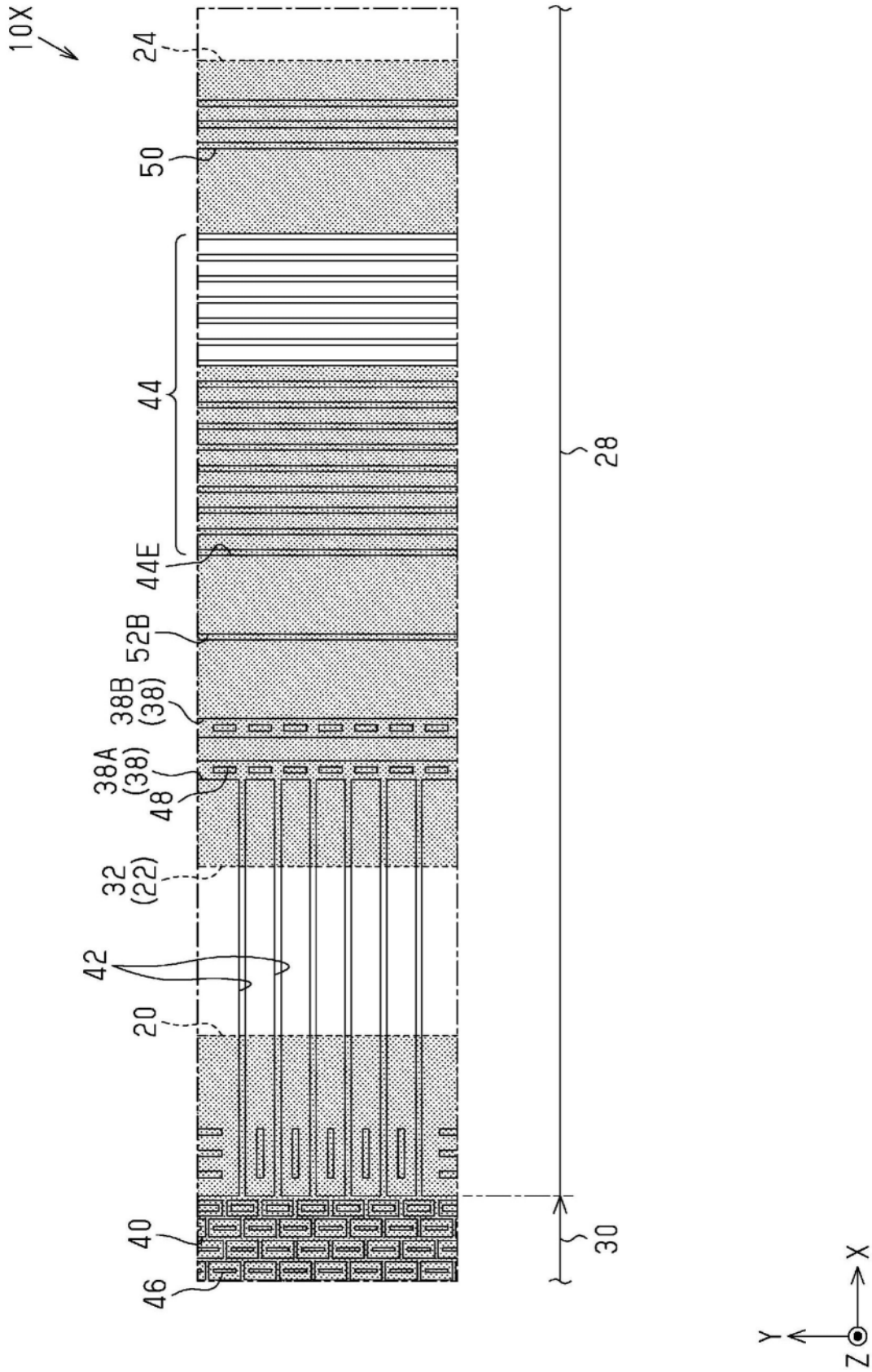


图12

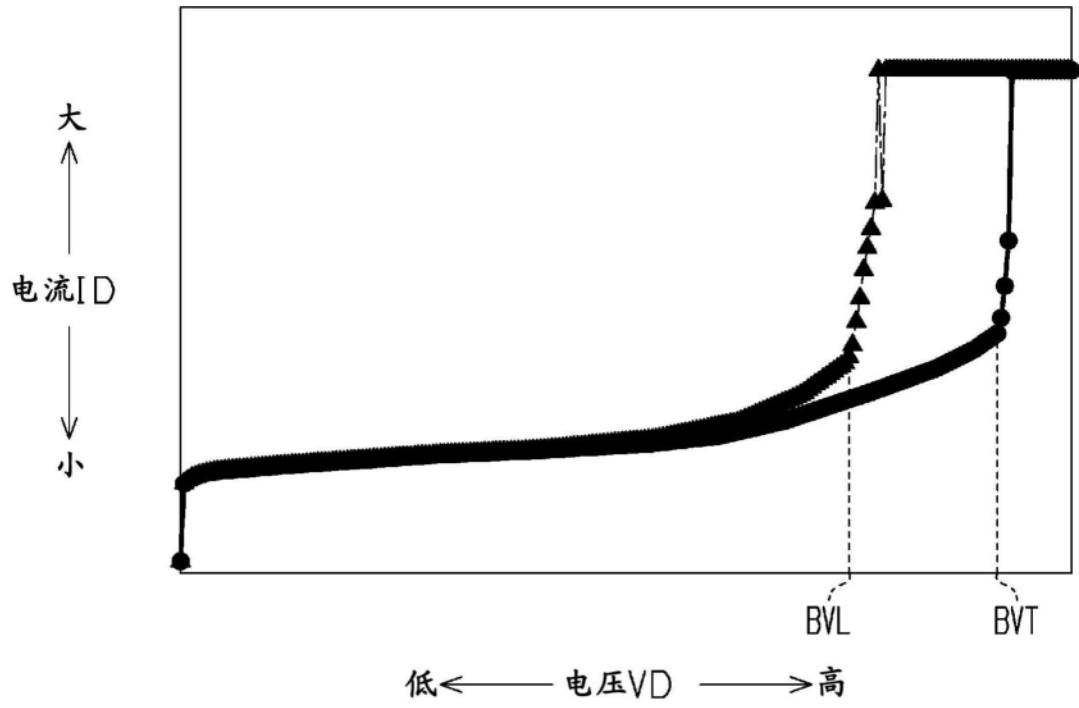


图13

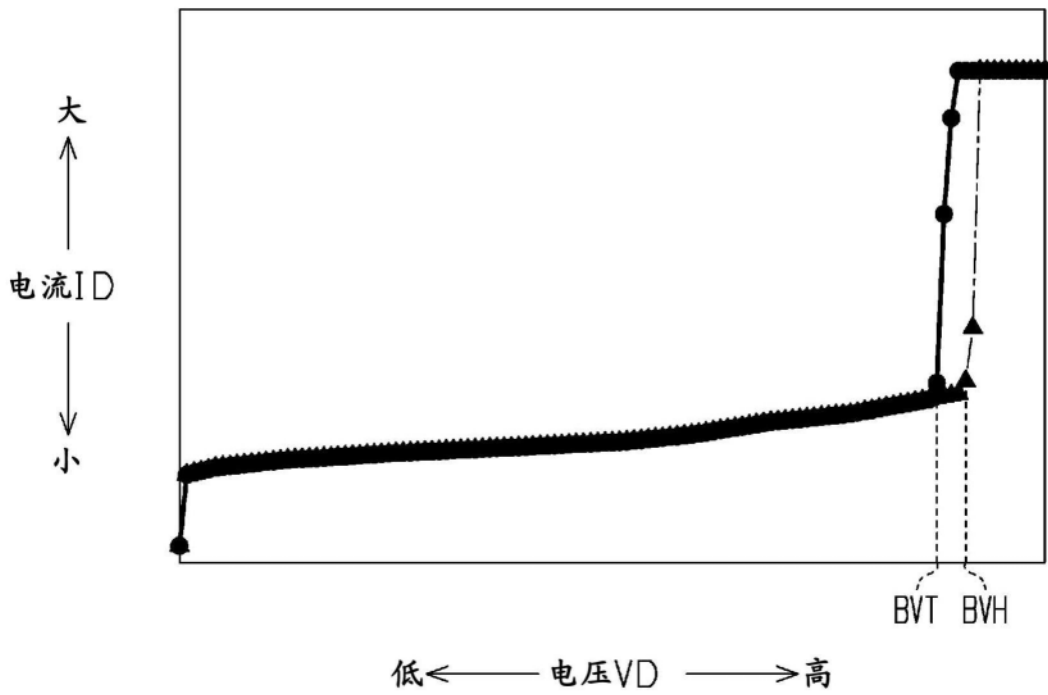


图14

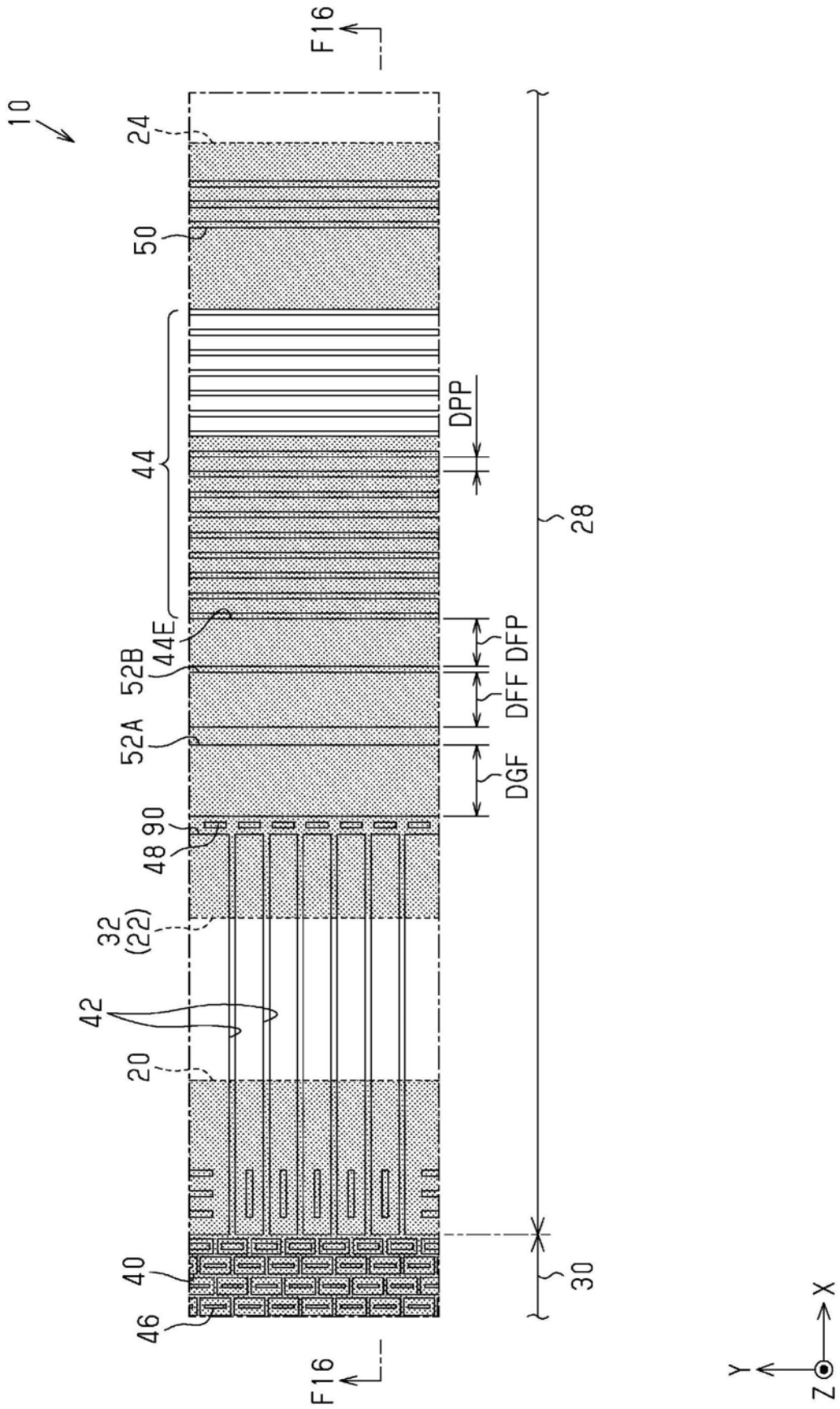


图15

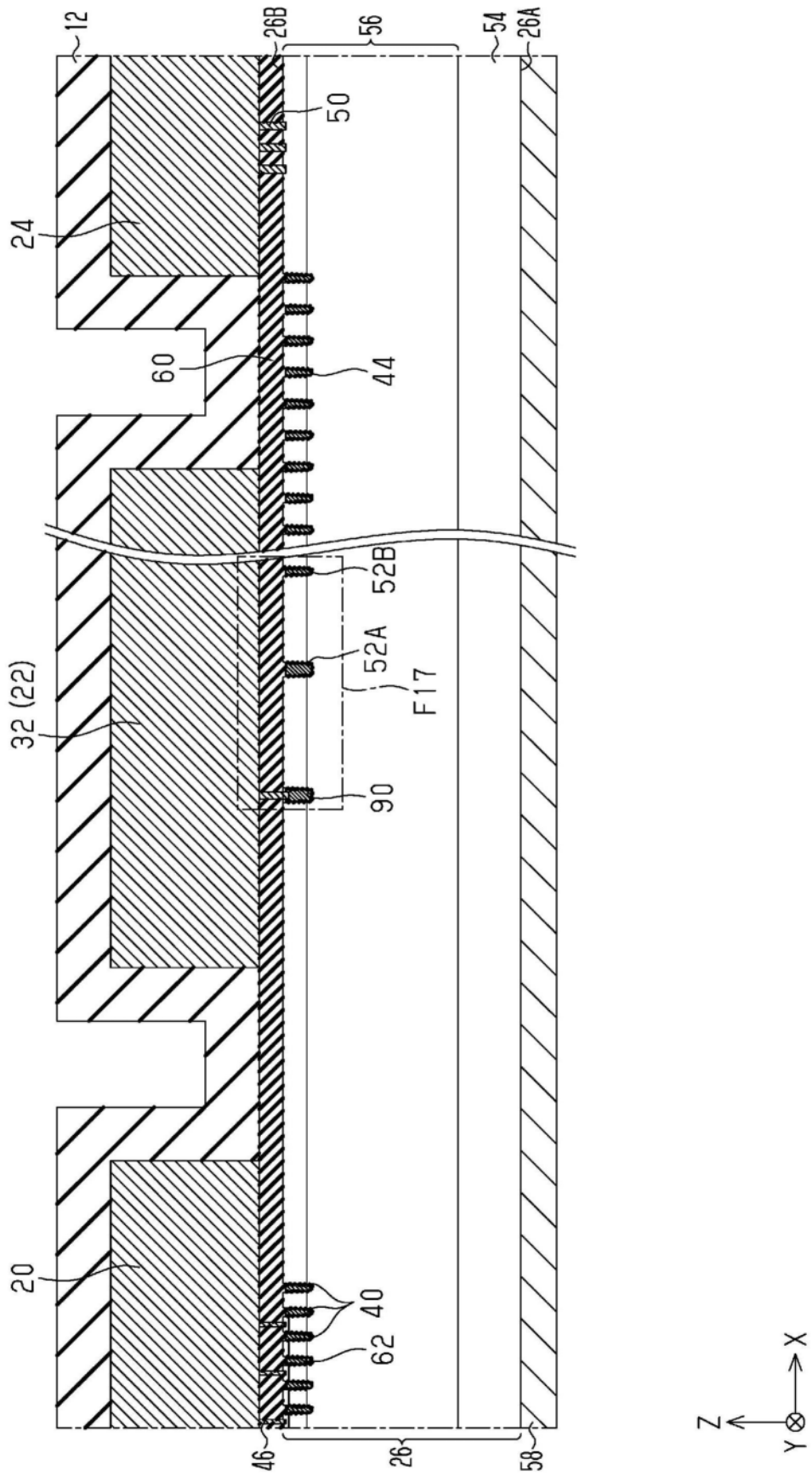


图16

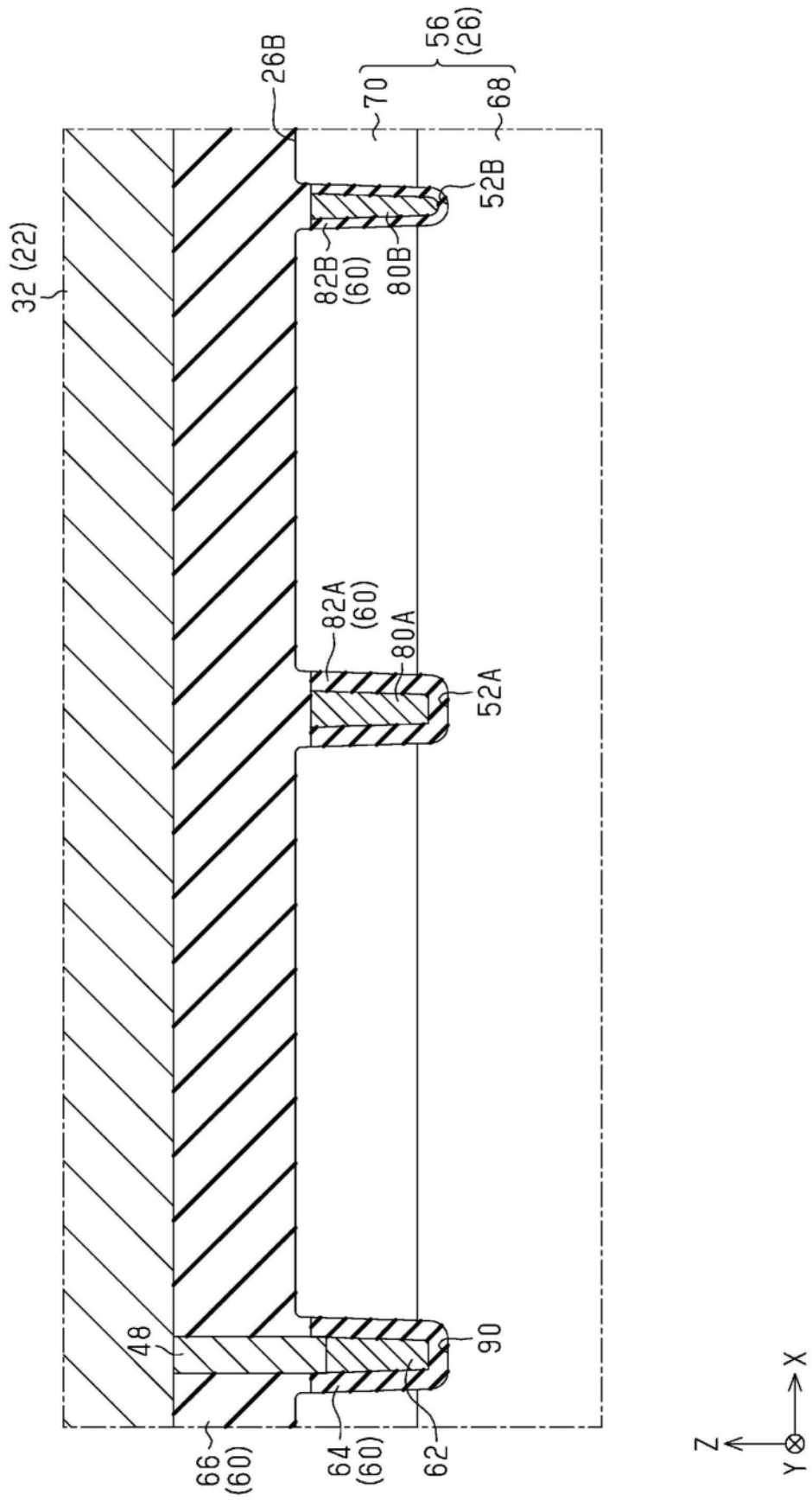


图17

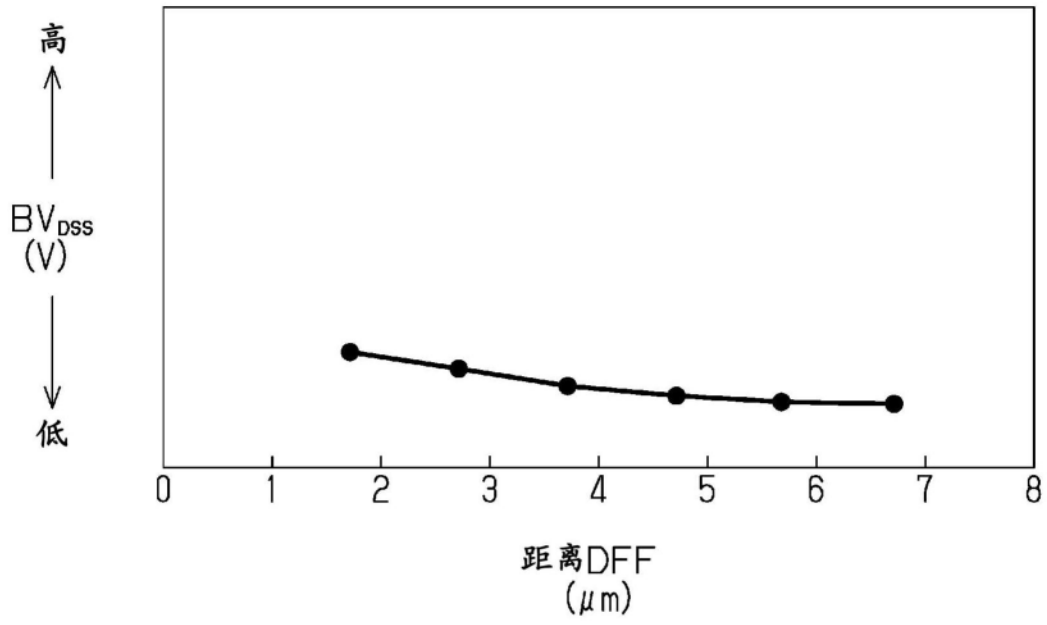


图18

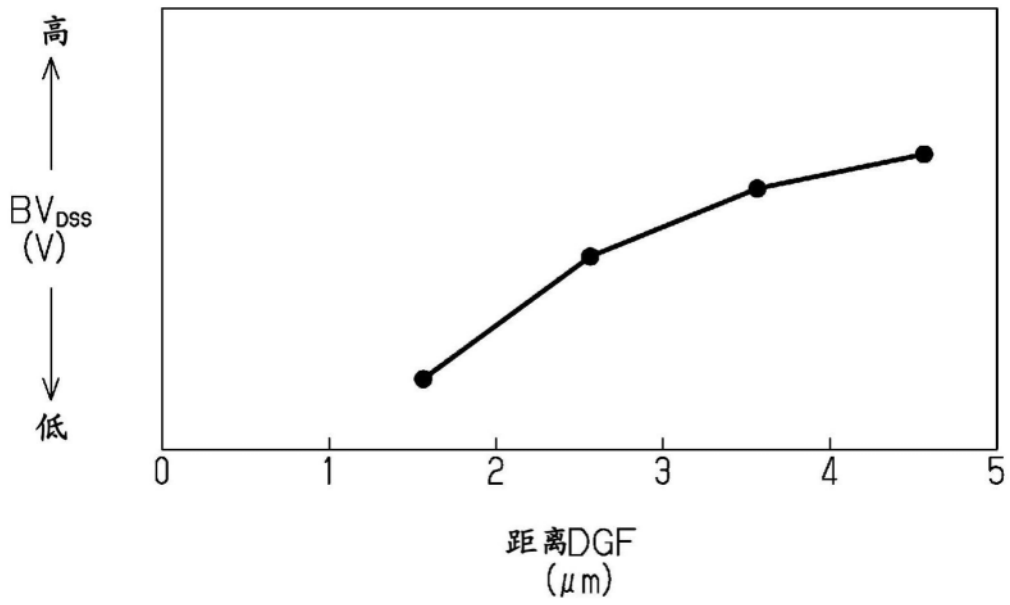


图19

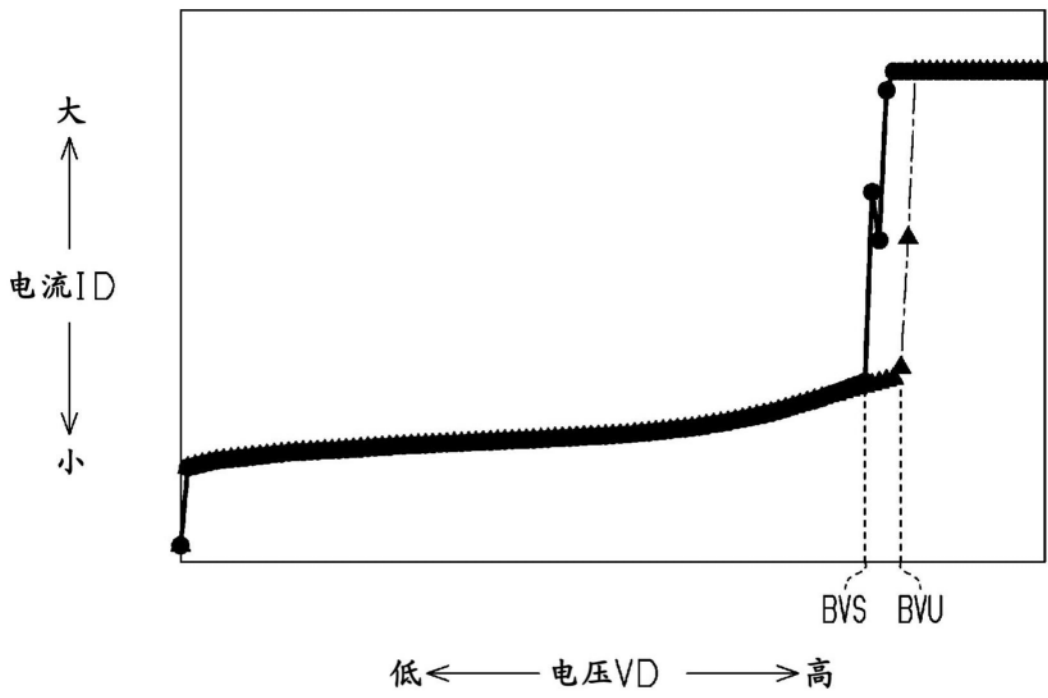


图20